



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년11월04일
(11) 등록번호 10-1457656
(24) 등록일자 2014년10월28일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) G02F 1/136 (2006.01)
(21) 출원번호 10-2008-0027874
(22) 출원일자 2008년03월26일
심사청구일자 2013년03월21일
(65) 공개번호 10-2008-0101656
(43) 공개일자 2008년11월21일
(30) 우선권주장
JP-P-2007-00131590 2007년05월17일 일본(JP)
(56) 선행기술조사문헌
JP2004288780 A*
KR1020060041819 A*
JP2005049832 A
KR1019950021284 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
혼다 타츠야
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시키가이샤한도오파이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 12 항

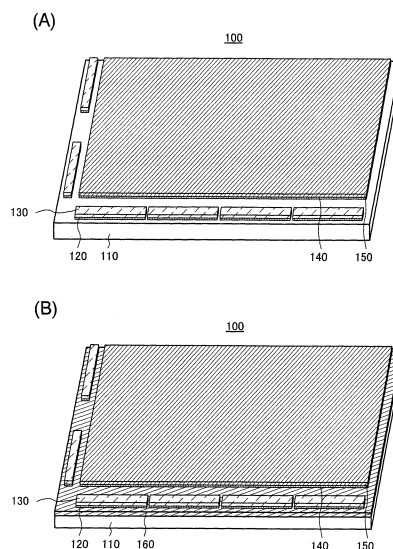
심사관 : 설관식

(54) 발명의 명칭 반도체장치의 제조방법, 표시장치의 제조방법, 반도체장치, 표시장치 및 전자기기

(57) 요약

제작 비용을 저감하면서, 고속동작이 가능한 회로를 구비한 반도체장치의 제조방법을 제공하는 것을 과제로 한다. 단결정 반도체 기판의 표면으로부터 소정의 깊이에 이온 도핑층을 형성하고, 단결정 반도체 기판 위에 제1 절연층을 형성하고, 절연성 기판 위의 일부에 제2 절연층을 형성하고, 제2 절연층 위에 비(非)단결정 반도체층을 형성하고, 제1 절연층을 통하여 단결정 반도체 기판을 절연성 기판의 제2 절연층이 형성되어 있지 않은 영역에 접합시키고, 단결정 반도체 기판을 이온 도핑층에서 분리시킴으로써, 절연성 기판 위에 단결정 반도체층을 형성한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

반도체장치를 제조하는 방법으로서,

단결정 반도체 기판의 표면으로부터 소정의 깊이에서 이온 도핑층을 형성하고, 상기 단결정 반도체 기판 위에 제1 절연층을 형성하는 단계;

절연성 기판의 제1 영역 위에 제2 절연층을 형성하고, 상기 제2 절연층 위에 비(非)단결정 반도체층을 형성하는 단계;

상기 비단결정 반도체층을 형성한 후, 상기 제1 절연층 사이에 두고 상기 단결정 반도체 기판을 상기 제2 절연층이 형성되어 있지 않은 상기 절연성 기판의 제2 영역에 접합하는 단계;

상기 절연성 기판으로부터 상기 이온 도핑층에서 상기 단결정 반도체 기판의 일부를 분리시킴으로써, 상기 절연성 기판 위에 단결정 반도체층을 형성하는 단계; 및

상기 비단결정 반도체층과 상기 단결정 반도체층을 패터닝하는 단계를 포함하고,

상기 제1 영역에서 상기 비단결정 반도체층을 사용하여 표시부의 회로가 형성되고,

상기 제2 영역에서 상기 단결정 반도체층을 사용하여 구동회로부가 형성되고,

상기 제1 절연층은 질화산화규소층과 제2 산화질화규소층을 포함하고,

상기 제2 절연층은 제1 산화질화규소층을 포함하고,

상기 제2 산화질화규소층은 상기 단결정 반도체층과 접촉하고,

상기 제1 산화질화규소층은 상기 비단결정 반도체층과 접촉하는 반도체장치 제조방법.

청구항 2

제 1 항에 있어서, 상기 제1 절연층은, 상기 단결정 반도체 기판의 표면으로부터 소정의 깊이에서 상기 이온 도핑층을 형성하기 전 또는 후에 상기 단결정 반도체 기판 위에 형성되는 반도체장치 제조방법.

청구항 3

제 1 항에 있어서, 상기 제1 절연층은 상기 질화산화규소층과 상기 절연성 기판 사이의 산화규소층을 포함하는, 반도체장치 제조방법.

청구항 4

제 1 항에 있어서, 상기 단결정 반도체층의 막 두께를 상기 비단결정 반도체층의 막 두께보다 작게 하는 반도체장치 제조방법.

청구항 5

제 1 항에 있어서, 상기 단결정 반도체층의 막 두께와 상기 제1 절연층의 막 두께의 합을, 상기 비단결정 반도체층의 막 두께와 상기 제2 절연층의 막 두께의 합과 동일하게 하는 반도체장치 제조방법.

청구항 6

제 1 항에 있어서, 상기 절연성 기판 위에 상기 단결정 반도체층을 형성한 후에 레이저광 조사를 행함으로써, 상기 단결정 반도체층 및 상기 비단결정 반도체층의 특성을 향상시키는 반도체장치 제조방법.

청구항 7

제 1 항에 있어서, 상기 비단결정 반도체층과 상기 단결정 반도체층을 패터닝하는 단계는 동시에 수행되는 반도체장치 제조방법.

청구항 8

제 1 항에 있어서, 상기 반도체장치는 디스플레이인 반도체장치 제조방법.

청구항 9

반도체장치로서,

절연성 기판 위의 질화산화규소층 및 제1 산화질화규소층;

상기 질화산화규소층 위의 제2 산화질화규소층;

상기 제2 산화질화규소층 위에서 상기 제2 산화질화규소층과 접촉하는 단결정 반도체층; 및

상기 제1 산화질화규소층 위에서 상기 제1 산화질화규소층과 접촉하는 비(非)단결정 반도체층을 포함하고,

상기 단결정 반도체층은 상기 절연성 기판 위에 구동회로부를 형성하기 위해 사용되고,

상기 비단결정 반도체층은 상기 절연성 기판 위에 표시부의 회로를 형성하기 위해 사용되는 반도체장치.

청구항 10

제 9 항에 있어서, 상기 질화산화규소층과 상기 절연성 기판 사이의 산화규소층을 더 포함하는, 반도체장치.

청구항 11

제 9 항에 있어서, 상기 단결정 반도체층의 두께는 상기 비단결정 반도체층의 두께보다 작은 반도체장치.

청구항 12

제 9 항에 있어서, 상기 반도체장치는 텔레비전 수상기, 카메라, 컴퓨터, 화상 재생장치(image reproducing device), 전자 책, 및 전화기로 이루어지는 그룹으로부터 선택된 하나에 통합되는 반도체장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체장치의 제조방법, 표시장치의 제조방법, 반도체장치, 표시장치 및 전자기기에 관한 것이다.

배경기술

[0002] 최근, 액정 표시장치, 전계발광(EL: electroluminescence) 표시장치 등의 플랫 패널 디스플레이가 주목을 끌고 있다.

[0003] 플랫 패널 디스플레이의 구동 방식으로서, 패시브 매트릭스 방식과 액티브 매트릭스 방식이 있다. 액티브 매트릭스 방식은 패시브 매트릭스 방식과 비교하여 저소비전력화, 고정세화, 기관의 대형화 등이 가능해진다는 장점을 가진다.

[0004] 여기서, 액티브 매트릭스 방식의 표시장치의 구성 예를 도 14를 사용하여 간단히 설명한다. 도 14(A)는 구동회로를 TAB(Tape Automated Bonding) 방식을 사용하여 설치하는 구성의 일례를 나타내고 있다.

[0005] 도 14(A)에서는, 절연 표면을 가지는 기관(1400) 위에, 화소(1402)를 매트릭스 형상으로 배열시킨 화소부(1401)가 형성되어 있다. 화소(1402)는 주사선측 입력단자(1403)로부터 연장하는 주사선과, 신호선측 입력단자(1404)로부터 연장하는 신호선이 교차함으로써 매트릭스 형상으로 형성된다. 화소부(1401)의 화소 각각에는, 스위칭 소자와 그것에 접속하는 화소 전극층이 구비되어 있다. 스위칭 소자의 대표적인 일례는 TFT(Thin Film

Transistor)이고, TFT의 게이트 전극층측이 주사선과, 소스 또는 드레인측이 신호선과 접속된다. 또한, 구동회로를 구성하는 IC(1451)는 FPC(Flexible Printed Circuit)(1450)와 접속되어 있다.

[0006] 도 14(A)와 같이, 외부에 구동회로를 설치하는 구성에 있어서는, 구동회로로서, 단결정 실리콘을 사용한 IC(집적회로)를 사용하는 것이 가능하기 때문에, 구동회로의 속도에 기인한 문제는 생기지 않는다. 그러나, 이와 같이 IC를 설치하는 경우에는, 표시부와 IC를 따로 따로 준비할 필요가 있는 점, 표시부와 IC와의 접속 공정이 필요한 점 등으로부터, 충분히 비용을 저감시킬 수 없었다. 또한, IC분만큼 표시장치의 사이즈(특히, 두께)가 커지게 되는 문제가 있었다.

[0007] 그래서, 상기 문제점을 해소한다는 관점에서, 화소부와 구동회로부를 일체로 형성하는 방법이 사용되게 되었다(예를 들어, 문헌 1 참조). 도 14(B)는 화소부와 구동회로부를 일체로 형성한 경우의 구성의 일례이다.

[0008] [문헌 1] 일본 공개특허공고 평8-6053호 공보

발명의 내용

해결 하고자하는 과제

[0009] 도 14(B)에 나타내는 경우에는, 구동회로(1460)의 반도체층으로서, 화소부와 마찬가지로 비정질 실리콘이나 미(微)결정 실리콘, 다결정 실리콘 등의 비(非)단결정 실리콘이 사용되고 있다. 그러나, 비정질 실리콘은 물론, 미결정 실리콘이나 다결정 실리콘을 사용하는 경우에도, 그의 특성은 단결정 실리콘을 사용하는 경우에 비해서는 한참 뒤떨어져 있다는 문제가 존재한다. 특히, 종래의 구동회로 일체형의 표시장치에 사용되는 반도체층에서는, 필요하고 또한 충분한 특성(이동도, S값 등)을 가지는 TFT의 제작이 곤란하고, 구동회로라는 고속 동작이 요구되는 반도체장치를 제조함에 있어서 큰 문제가 되고 있다.

[0010] 상기 문제점을 감안하여, 본 발명은, 제작 비용을 저감하면서 고속동작이 가능한 회로를 설치한 반도체장치의 제조방법을 제공하는 것을 하나의 과제로 한다. 또한, 이 제조방법을 사용한 반도체장치, 특히, 표시장치를 제공하는 것을 하나의 과제로 한다.

과제 해결수단

[0011] 본 발명에서는, 구동회로부와 화소부를, 상이한 성질의 반도체층으로 형성한다. 구체적으로는, 구동회로부는 단결정 반도체층으로 형성하고, 화소부는 비단결정 반도체층으로 형성한다. 이것에 의해, 제작 비용을 저감하면서, 필요하고도 충분한 특성을 가지는 구동회로를 제조할 수 있다.

[0012] 본 발명의 반도체장치의 제조방법 중 하나는, 단결정 반도체 기판의 표면으로부터 소정의 깊이이 이온 도핑층을 형성하고, 단결정 반도체 기판 위에 제1 절연층을 형성하고, 절연성 기판 위의 일부에 제2 절연층을 형성하고, 제2 절연층 위에 비단결정 반도체층을 형성하고, 제1 절연층을 통하여 단결정 반도체 기판을 절연성 기판의 제2 절연층이 형성되어 있지 않은 영역에 접합시키고, 단결정 반도체 기판을 이온 도핑층에서 분리시킴(이온 도핑층을 박리면(분리면, 벽개면(劈開面))이라고 칭하여도 좋다)으로 하여 절연성 기판으로부터 박리시킴)으로써, 절연성 기판 위에 단결정 반도체층을 형성하는 것을 특징으로 한다.

[0013] 본 발명의 반도체장치의 제조방법 중 다른 하나는, 단결정 반도체 기판의 표면으로부터 소정의 깊이이 이온 도핑층을 형성하고, 단결정 반도체 기판 위에 제1 절연층을 형성하고, 절연성 기판 위의 일부에 제2 절연층을 형성하고, 제2 절연층 위에 비단결정 반도체층을 형성하고, 제1 절연층을 통하여 단결정 반도체 기판을 절연성 기판의 제2 절연층이 형성되어 있지 않은 영역에 접합시키고, 단결정 반도체 기판을 이온 도핑층에서 분리시킴으로써, 절연성 기판 위에 단결정 반도체층을 형성하고, 절연성 기판 위의 단결정 반도체층을 사용하여 고속동작이 요구되는 회로를 형성하고, 절연성 기판 위의 비단결정 반도체층을 사용하여 고속동작이 요구되지 않는 회로를 형성하는 것을 특징으로 한다. 여기서, 고속동작이 요구되는 회로란, 일정 이상의 주파수에서의 구동이 요구되는 회로를 말하는 것으로 한다. 일례로서는, 1 MHz 이상의 주파수에서의 동작이 요구되는 회로를 말한다. 사용하는 반도체층을 요구되는 주파수로 규정하는 것은, 회로에 사용되는 스위칭 소자의 동작 가능한 주파수가 반도체 재료에 크게 의존하고 있기 때문이다. 캐리어 이동도가 큰 단결정 반도체 재료(단결정 실리콘에서의 전자(電子)의 경우 $500 \text{ cm}^2/\text{V} \cdot \text{s}$ 정도)를 사용한 스위칭 소자는 신호의 전달속도가 크고 고주파수 동작에 적합하다. 한편, 캐리어 이동도가 작은 비단결정 반도체 재료(비정질 실리콘에서의 전자의 경우 $0.6 \text{ cm}^2/\text{V} \cdot \text{s}$ 정도)

를 사용한 스위칭 소자는 신호의 전달 속도도 작고 고주파수 동작에는 적합하지 않다. 또한, 스위칭 소자의 동작 가능한 주파수의 상한은, 재료 이외의 파라미터(예를 들어, 채널 길이 등)에도 의존하기 때문에, 일률적으로 어느 주파수 이상으로 고속동작을 규정하는 것은 곤란하다. 여기서는, 표시장치의 구동회로에 요구되는 성능을 일단 하나의 기준으로 하여 주파수를 나타내었다.

[0014] 본 발명의 표시장치의 제조방법 중 하나는, 단결정 반도체 기관의 표면으로부터 소정의 깊이로 이온 도핑층을 형성하고, 단결정 반도체 기관 위에 제1 절연층을 형성하고, 절연성 기관 위의 일부에 제2 절연층을 형성하고, 제2 절연층 위에 비단결정 반도체층을 형성하고, 제1 절연층을 통하여 단결정 반도체 기관을 절연성 기관의 제2 절연층이 형성되어 있지 않은 영역에 접합시키고, 단결정 반도체 기관을 이온 도핑층에서 분리시킴으로써, 절연성 기관 위에 단결정 반도체층을 형성하고, 절연성 기관 위의 단결정 반도체층을 사용하여 구동회로를 형성하고, 절연성 기관 위의 비단결정 반도체층을 사용하여 표시부(화소부)의 회로를 형성하는 것을 특징으로 하고 있다.

[0015] 상기에서, 제1 절연층 또는 제2 절연층은 2층 이상의 적층 구조로 형성되어 있어도 좋다. 또한, 제1 절연층의 단결정 반도체층과 접하는 부분과, 제2 절연층의 비단결정 반도체층과 접하는 부분은 동일한 재료를 사용하여 형성되도록 하여도 좋다. 특히, 제1 절연층의 단결정 반도체층과 접하는 부분과, 제2 절연층의 비단결정 반도체층과 접하는 부분은 산화질화규소층 및 질화산화규소층의 적층 구조로 형성되는 것이 바람직하다. 여기서, 단결정 반도체층 및 비단결정 반도체층과 접하는 것은 산화질화규소층이다. 또한, 제1 절연층의 절연성 기관과 접하는 부분은 산화규소층으로 형성되는 것이 바람직하다. 그 중에서도, 유기 실란을 사용하여 화학 기상 성장법에 의해 산화규소층을 형성하면 좋다.

[0016] 또한, 상기에서, 비단결정 반도체층의 막 두께보다 단결정 반도체층의 막 두께를 작게 형성하는 것이 바람직하다. 또한, 단결정 반도체층의 막 두께와 제1 절연층의 막 두께의 합이, 비단결정 반도체층의 막 두께와 제2 절연층의 막 두께의 합과 동일하게 되도록 형성하는 것이 바람직하다. 여기서, 동일합이란, 엄밀하게 동일한 것에 한정되지 않는다. 예를 들어, ± 5 퍼센트 정도의 차이라면, 동일한 것으로 볼 수 있다.

[0017] 또한, 상기에서, 절연성 기관 위에 단결정 반도체층을 형성한 후에 레이저광을 조사하여, 단결정 반도체층 및 비단결정 반도체층의 특성을 향상시키는 것이 바람직하다. 또한, 단결정 반도체층 및 비단결정 반도체층은 절연성 기관의 일 표면 위에 형성하여도 좋고, 절연성 기관의 상이한 표면에 형성하여도 좋다. 또한, 상기에서는, 이온 도핑층을 형성한 후에 절연층을 형성하는 구성으로 하고 있지만, 절연층을 형성한 후에 이온 도핑층을 형성하는 구성으로 하여도 좋다.

[0018] 본 발명의 반도체장치의 하나는, 절연성 기관 위의 제1 절연층 및 제2 절연층과, 제1 절연층 위의 단결정 반도체층과, 제2 절연층 위의 비단결정 반도체층을 가지는 것을 특징으로 하고 있다.

[0019] 본 발명의 반도체장치의 다른 하나는, 절연성 기관 위의 제1 절연층 및 제2 절연층과, 제1 절연층 위의 단결정 반도체층과, 제2 절연층 위의 비단결정 반도체층을 가지고, 단결정 반도체층은 고속동작이 요구되는 회로를 형성하기 위해 사용되고, 비단결정 반도체층은 고속동작이 요구되지 않는 회로를 형성하기 위해 사용된 것을 특징으로 하고 있다.

[0020] 본 발명의 표시장치의 하나는, 절연성 기관 위의 제1 절연층 및 제2 절연층과, 제1 절연층 위의 단결정 반도체층과, 제2 절연층 위의 비단결정 반도체층을 가지고, 단결정 반도체층은 구동회로를 형성하기 위해 사용되고, 비단결정 반도체층은 표시부(화소부)의 회로를 형성하기 위해 사용된 것을 특징으로 하고 있다.

[0021] 상기에서, 제1 절연층 또는 제2 절연층은 2층 이상의 적층 구조이어도 좋다. 또한, 제1 절연층의 단결정 반도체층과 접하는 부분과, 제2 절연층의 비단결정 반도체층과 접하는 부분은 동일한 재료이어도 좋다. 특히, 제1 절연층의 단결정 반도체층과 접하는 부분과, 제2 절연층의 비단결정 반도체층과 접하는 부분은 산화질화규소층 및 질화산화규소층의 적층 구조인 것이 바람직하다. 여기서, 단결정 반도체층 및 비단결정 반도체층과 접하는 것은 산화질화규소층이다. 또한, 제1 절연층의, 절연성 기관과 접하는 부분은 산화규소층인 것이 바람직하다. 그 중에서도, 유기 실란을 사용하여 화학 기상 성장법에 의해 형성된 산화규소이면 더 좋다.

[0022] 또한, 상기에서, 비단결정 반도체층의 막 두께보다 단결정 반도체층의 막 두께가 작은 구성이면 바람직하다. 또한, 단결정 반도체층의 막 두께와 제1 절연층의 막 두께의 합이 비단결정 반도체층의 막 두께와 제2 절연층의 막 두께의 합과 동일한 구성이면 바람직하다. 여기서, 동일합이란, 엄밀하게 동일한 것에 한정되지 않는다. 예를 들어, ± 5 퍼센트 정도의 차이라면 동일한 것으로 볼 수 있다.

[0023] 또한, 상기 반도체장치 및 표시장치를 사용하여 여러가지 전자기기를 제공할 수 있다.

효 과

[0024] 본 발명의 제조방법을 사용함으로써, 필요하고도 충분한 특성을 가지는 구동회로를 제조할 수 있다. 이것에 의해, 완전한 모놀리식(monolithic)형의 반도체장치를 제조할 수 있기 때문에 제작 비용을 저감할 수 있다. 또한, 외부에 IC를 접속하는 것에 기인하여 생기는 두께를 저감시킬 수 있다. 또한, 프레임 부분의 면적을 저감시킨 반도체장치를 제조할 수 있다. 또한, 본 발명을 사용함으로써, 유리 기판 등의 내열성이 낮은 기판을 사용하여 고성능의 반도체장치를 제조할 수 있다.

[0025] 또한, 고정세한 표시장치를 제조하는 경우, 화소 간격이 작게 되기 때문에, 화소부의 용량이 작게 된다. 즉, 화소부의 스위칭 트랜지스터에 요구되는 특성은 경감되게 된다. 또한, 대형의 표시장치를 제조하는 경우, 화소 피치가 커지기 때문에 트랜지스터의 사이즈를 크게 할 수 있다. 이 경우에도, 화소부의 스위칭 트랜지스터에 요구되는 특성은 경감된다. 따라서, 화소부의 스위칭 트랜지스터를 비정질 반도체 또는 비단결정 반도체로 형성했다고 해도 충분한 성능을 가진다.

[0026] 이것에 대하여, 대형이고 고정세한 표시장치에서는, 구동회로와 화소를 연결하는 배선이 길어지기 때문에, 배선 저항은 증가한다. 즉, 구동회로에 가해지는 전류가 증대하고, 부하가 커지게 된다. 또한, 화소수가 증가함에 따라, 처리해야 할 데이터수가 증가하고, 구동회로의 부하가 커지게 된다. 즉, 구동회로부의 트랜지스터에는 높은 성능이 요구되게 된다.

[0027] 이와 같이, 비단결정 반도체층과 단결정 반도체층을 함께 사용함으로써, 요구되는 특성을 완전히 만족시킬 수 있다는 점에서, 특히, 대형이고 고정세한 표시장치에서 본 발명의 효과는 크다.

발명의 실시를 위한 구체적인 내용

[0028] 본 발명의 실시형태에 대하여 도면을 사용하여 이하에 설명한다. 그러나, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그의 형태 및 상세 사항을 여러가지로 변경할 수 있음은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 본 발명의 구성에서, 동일한 것을 나타내는 부호는 다른 도면간에서 공통으로 사용하는 것으로 한다.

[0029] [실시형태 1]

[0030] 본 실시형태에서는, 본 발명에 사용하는 반도체 기판의 제조방법을 도 1~도 7을 사용하여 이하에 설명한다. 또한, 본 실시형태의 반도체 기판은, 그의 일부를 단결정 반도체 기판으로부터 이종(異種) 기판(이하, 「베이스 기판」이라고 한다)으로 전사(轉寫)하여 형성하는 것이다.

[0031] 도 1에, 본 발명에 사용하는 반도체 기판의 사시도를 나타낸다. 또한, 도 2 및 도 3에, 본 발명에 사용하는 반도체 기판의 단면도를 나타낸다.

[0032] 도 1(A), 도 2(A) 및 도 2(B)에서, 반도체 기판(100)은, 베이스 기판(110)의 일 표면 위에, 절연층(120)과 단결정 반도체층(130)이 순차로 적층된 적층체가 대수 형성되고, 또한, 절연층(140)과 비단결정 반도체층(150)이 순차로 적층되어 형성된 구성을 가진다. 단결정 반도체층(130) 및 비단결정 반도체층(150)은 절연층(120) 및 절연층(140)을 사이에 두고 베이스 기판(110) 위에 형성되어 있다. 즉, 다수의 단결정 반도체층(130) 및 비단결정 반도체층(150)이 1장의 베이스 기판(110) 위에 제공됨으로써, 1장의 반도체 기판(100)이 형성되어 있다. 또한, 도 1~도 3에서는, 편의상, 1장의 반도체 기판(100)으로부터 하나의 표시장치를 제조하는 경우의 구성에 대해서만 나타내지만, 본 발명은 이것에 한정하여 해석되는 것은 아니다.

[0033] 단결정 반도체층(130)으로서, 대표적으로는 단결정 실리콘이 적용된다. 그 외, 단결정 게르마늄이나, 갈륨 비소, 인듐 인 등의 화합물 반도체(단결정)를 적용할 수도 있다.

[0034] 단결정 반도체층(130)의 형상은 특별히 한정되지 않지만, 직사각형 형상(정사각형을 포함한다)으로 하면 가공이 용이해지고, 베이스 기판(110)에도 집적도 좋게 접합할 수 있어 바람직하다.

[0035] 베이스 기판(110)에는, 절연 표면을 가지는 기판 또는 절연 기판을 사용한다. 구체적으로는, 알루미늄 실리케이트 유리, 알루미늄 붕규산 유리, 바륨 붕규산 유리와 같은 전자 공업용으로 사용되는 각종 유리 기판, 석영 기판, 세라믹 기판, 사파이어 기판 등을 사용할 수 있다. 바람직하게는 유리 기판을 사용하는 것이 좋고, 예를

들어, 제6 세대(1500 mm×1850 mm), 제7 세대(1870 mm×2200 mm), 제8 세대(2200 mm×2400 mm)와 같은 대면적의 마더(mother) 유리 기판을 사용할 수 있다. 대면적의 마더 유리 기판을 베이스 기판(110)으로서 사용함으로써, 반도체 기판의 대면적화를 실현할 수 있다. 본 실시형태에서는, 1장의 베이스 기판으로부터 하나의 표시장치를 제조하는 경우에 대해서 나타내지만, 1장의 베이스 기판으로부터 다수의 표시장치를 제조하는 경우(다면취(多面取)의 경우)에는, 단결정 반도체층(130) 및 비단결정 반도체층(150)의 크기를 적절히 조절하여 제조하면 된다.

[0036] 베이스 기판(110)과 단결정 반도체층(130) 사이에는 절연층(120)이 제공되어 있다. 절연층(120)은 단층 구조로 해도 좋고 적층 구조로 해도 좋지만, 베이스 기판(110)과 접합하는 면(이하, 「접합면」이라고도 한다)은 평활면을 가지고, 친수성 표면이 되도록 한다.

[0037] 도 2(A)는 절연층(120)으로서 접합층(122)을 형성하는 예를 나타내고 있다. 평활면을 가지고 친수성 표면을 형성할 수 있는 접합층(122)으로서는 산화규소층이 적합하다. 특히, 유기 실란을 사용하여 화학 기상 성장법에 의해 제조되는 산화규소층이 바람직하다. 유기 실란으로서는, 테트라에톡시실란(약칭: TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란($\text{Si}(\text{CH}_3)_4$), 트리메틸실란($(\text{CH}_3)_3\text{SiH}$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.

[0038] 상기 평활면을 가지고 친수성 표면을 형성하는 접합층(122)은 막 두께 5 nm~500 nm의 범위로 형성하는 것이 바람직하다. 접합층(122)의 막 두께를 상기 범위 내로 함으로써, 피성막(被成膜) 표면의 표면 거치름을 평활화하는 것과 동시에, 그 막의 성장표면의 평활성을 확보하는 것이 가능하다. 또한, 접합층(122)과 접합하는 기판(도 2(A)에서는 베이스 기판(110))과의 접합 불량을 저감시킬 수 있다. 또한, 베이스 기판(110)에도 접합층(122)과 동일한 산화규소층을 제공하여도 좋다. 절연 표면을 가지는 기판 또는 절연 기판인 베이스 기판(110)에 단결정 반도체층(130)을 접합할 때, 접합을 형성하는 면의 한쪽 또는 양쪽 모두에, 바람직하게는 유기 실란을 원재료로 하여 성막한 산화규소층으로 이루어지는 접합층을 제공함으로써 강한 접합을 형성할 수 있다.

[0039] 도 2(B)에는 절연층(120)을 적층 구조로 하는 예를 나타내고 있다. 구체적으로는, 절연층(120)으로서, 접합층(122) 및 질소 함유 절연층(124)의 적층 구조를 형성하는 예를 나타내고 있다. 또한, 베이스 기판(110)과의 접합면에는 접합층(122)이 형성되도록 하기 위해, 단결정 반도체층(130)과 접합층(122)과의 사이에 질소 함유 절연층(124)이 제공된 구성으로 한다. 질소 함유 절연층(124)은 질화규소층, 질화산화규소층($\text{Si}_x\text{N}_y\text{O}_z$: $x>y$) 또는 산화질화규소층(SiO_xN_y : $x>y$) 등을 사용하여 단층 구조 또는 적층 구조로 형성한다. 예를 들어, 단결정 반도체층(130)측으로부터 산화질화규소층, 질화산화규소층을 적층하여 질소 함유 절연층(124)으로 할 수 있다.

[0040] 여기서, 단결정 반도체층(130)에 접하도록 질화산화규소층을 형성한 경우, 응력에 의해 단결정 반도체층의 특성이 저하하게 되는 문제가 있다. 또한, 가동(可動) 이온이나 수분 등의 확산을 방지한다는 관점에서는, 질화산화규소층을 제공하는 것이 바람직하다. 즉, 상기 예와 같이, 단결정 반도체층(130)측으로부터 산화질화규소층, 질화산화규소층을 적층하여 질소 함유 절연층(124)으로 하는 것이 바람직하다. 또한, 질소 함유 절연층(124)은 가동 이온이나 수분 등의 불순물이 단결정 반도체층(130)으로 확산하는 것을 방지하기 위해 제공되어 있고, 접합층(122)은 베이스 기판(110)과 접합을 형성하기 위해 제공되어 있다는 점에서, 그의 목적은 다르다. 또한, 상기 구성은 어디까지나 일례이고, 단결정 반도체층(130)과 질화산화규소층을 접하여 제공하는 구성을 배제하는 것은 아니다.

[0041] 또한, 비단결정 반도체층(150)의 하부에 제공된 절연층(140)은 단결정 반도체층(130)의 하부에 제공된 절연층(120)과 동일한 구성으로 하는 것에는 한정되지 않지만, 도 2(A) 및 도 2(B)에 나타내는 바와 같이, 적어도 비단결정 반도체층(150)과 접하는 재료와 단결정 반도체층(130)과 접하는 재료를 동일하게 하는 것이 바람직하다. 접하는 재료를 동일하게 함으로써, 후의 패터닝 시의 비단결정 반도체층(150) 및 단결정 반도체층(130)의 에칭 특성을 같게 할 수 있다.

[0042] 또한, 산화질화규소층이란, 그의 조성으로서 질소보다 산소의 함유량이 많은 것을 나타내고, 예를 들어, 산소가 50 원자% 이상 70 원자% 이하, 질소가 0.5 원자% 이상 15 원자% 이하, 규소가 25 원자% 이상 35 원자% 이하, 수소가 0.1 원자% 이상 10 원자% 이하의 범위로 함유되는 것을 말한다. 또한, 질화산화규소층이란, 그의 조성으로서 산소보다 질소의 함유량이 많은 것을 나타내고, 예를 들어, 산소가 5 원자% 이상 30 원자% 이하, 질소가 20 원자% 이상 55 원자% 이하, 규소가 25 원자% 이상 35 원자% 이하, 수소가 10 원자% 이상 25 원자% 이하의 범위로 함유되는 것을 말한다. 그러나, 상기 범위는 러더포드 후방 산란법(RBS: Rutherford Backscattering

Spectrometry)이나, 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용하여 측정된 경우의 것이다. 또한, 구성 원소의 함유 비율은 그의 합계가 100 원자%를 초과하지 않는 값을 취한다.

- [0043] 도 1(B), 도 3(A) 및 3(B)는 베이스 기판(110)에 접합층(164)을 포함하는 절연층(160)을 형성하는 예를 나타내고 있다. 절연층(160)은 단층 구조이어도 좋고 적층 구조이어도 좋지만, 단결정 반도체층(130)과의 접합면은 평활면을 가지고 친수성 표면을 형성하도록 한다. 또한, 베이스 기판(110)과 접합층(164) 사이에는, 베이스 기판(110)으로서 사용되는 유리 기판으로부터 알칼리 금속 또는 알칼리토류 금속 등의 가동 이온의 확산을 방지하기 위해, 배리어층(162)이 제공되어 있는 것이 바람직하다.
- [0044] 도 3(A)는 절연층(160)으로서, 배리어층(162)과 접합층(164)의 적층 구조를 형성하는 예를 나타내고 있다. 접합층(164)로서는, 상기 접합층(122)과 동일한 산화규소층을 제공하면 좋다. 또한, 단결정 반도체층(130)에 적절히 접합층을 제공하여도 좋다. 도 3(A)에서는, 단결정 반도체층(130)에도 접합층(122)을 제공하는 예를 나타내고 있다. 이러한 구성으로 함으로써, 베이스 기판(110) 및 단결정 반도체층(130)을 접합시킬 때 접합층끼리 접합을 형성하기 때문에, 보다 강한 접합을 형성시킬 수 있다. 배리어층(162)은 산화규소층, 질화규소층, 산화질화규소층 또는 질화산화규소층을 사용하여 단층 구조 또는 적층 구조로 형성한다. 바람직하게는, 질소를 함유하는 절연층을 사용하여 형성한다.
- [0045] 도 3(B)는 베이스 기판(110)에 접합층(164)을 제공하는 예를 나타내고 있다. 구체적으로는, 베이스 기판(110)에 절연층(160)으로서 배리어층(162)과 접합층(164)의 적층 구조를 제공하고 있다. 또한, 단결정 반도체층(130)에는 산화규소층(126)을 제공하고 있다. 베이스 기판(110)에 단결정 반도체층(130)을 접합할 때에는, 산화규소층(126)이 접합층(164)과 접합을 형성한다. 산화규소층(126)은 열산화법에 의해 형성된 것이 바람직하다. 또한, 산화규소층(126)으로서 케미컬 옥사이드를 사용할 수도 있다. 케미컬 옥사이드는, 예를 들어, 오존 함유수로 단결정 반도체 기판 표면을 처리함으로써 형성할 수 있다. 케미컬 옥사이드는 단결정 반도체 기판 표면의 양호한 평탄성을 반영하여 형성되므로 바람직하다.
- [0046] 또한, 비단결정 반도체층(150)의 하부에 제공된 절연층(140)은 단결정 반도체층(130)의 하부에 제공된 접합층(122)이나 산화규소층(126)과 동일한 구성으로 하는 것에는 한정되지 않지만, 도 2(A) 및 도 2(B)에 나타내는 바와 같이, 적어도 비단결정 반도체층(150)과 접하는 재료와 단결정 반도체층(130)과 접하는 재료를 동일하게 하는 것이 바람직하다. 접하는 재료를 동일하게 함으로써, 후의 패터닝 시의 비단결정 반도체층(150) 및 단결정 반도체층(130)의 에칭 특성을 같게 할 수 있다.
- [0047] 다음에, 반도체 기판의 제조방법에 대해 설명한다. 여기서는, 도 2(B)에 나타내는 반도체 기판의 제조방법의 예에 대하여 도 4~도 7을 사용하여 설명한다. 또한, 도 2(A), 도 3(A), 도 3(B) 등에 나타내는 반도체 기판에 대해서도 마찬가지로 하여 제조할 수 있다는 것은 말할 필요도 없다.
- [0048] 먼저, 도 4(A)에 나타내는 바와 같이, 베이스 기판(400) 위에 절연층(402)을 성막한다. 베이스 기판(400)으로서, 상기과 같은 기판을 사용할 수 있다. 또한, PET, PES, PEN으로 대표되는 플라스틱이나, 아크릴 등의 가요성을 가지는 합성수지로 된 기판을 사용하는 것도 가능하다.
- [0049] 절연층(402)은 베이스 기판(400) 중에 함유되는 알칼리 금속이나 알칼리토류 금속이 반도체층 안으로 확산하여, 반도체 소자의 특성에 악영향을 주는 것을 방지하기 위해 제공된다. 따라서, 알칼리 금속이나 알칼리토류 금속의 반도체층으로의 확산을 억제할 수 있는 질화규소나, 질소를 함유하는 산화규소와 같은 절연성 재료를 사용하여 형성하는 것이 바람직하다. 본 실시형태에서는, 플라즈마 CVD법을 사용하여 질소를 함유하는 산화규소막을 10 nm 이상 400 nm 이하(바람직하게는 50 nm 이상 300 nm 이하)의 막 두께가 되도록 형성한다.
- [0050] 다음에, 절연층(402) 위에 반도체층(404)을 형성한다. 반도체층(404)의 막 두께는 25 nm 이상 100 nm 이하(바람직하게는 30 nm 이상 60 nm 이하)로 한다. 또한, 반도체층(404)은 비정질 반도체이어도 좋고, 다결정 반도체이어도 된다. 또한 반도체로서는, 실리콘(Si) 뿐만 아니라 실리콘 게르마늄(SiGe) 등을 사용할 수도 있다.
- [0051] 다음에, 도 4(B)에 나타내는 바와 같이, 반도체층(404)에 레이저광(408)을 조사하여, 결정화를 행한다. 본 실시형태와 같은 레이저 결정화를 행하는 경우에는, 레이저에 대한 반도체층(404)의 내성을 높이기 위해, 500℃, 1시간 정도의 가열처리 공정을 레이저 결정화 공정 전에 부가하여도 좋다.
- [0052] 레이저 결정화 공정에는, 예를 들어, 연속 발진 레이저(CW 레이저)나, 의사(擬似)적인 CW 레이저(발진 주파수가 10 MHz 이상, 바람직하게는 80 MHz 이상인 펄스 발진 레이저) 등을 사용할 수 있다.
- [0053] 구체적으로는, 연속 발진 레이저로서, Ar 레이저, Kr 레이저, CO₂ 레이저, YAG 레이저, YVO₄ 레이저, YLF 레이

저, YAlO_3 레이저, GdVO_4 레이저, Y_2O_3 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 헬륨 카드뮴 레이저 등을 들 수 있다.

[0054] 또한, 의사적인 CW 레이저로서, Ar 레이저, Kr 레이저, 엑시머 레이저, CO_2 레이저, YAG 레이저, YVO_4 레이저, YLF 레이저, YAlO_3 레이저, GdVO_4 레이저, Y_2O_3 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 구리 증기 레이저, 금 증기 레이저와 같은 펄스 발진 레이저 등을 들 수 있다.

[0055] 이와 같은 펄스 발진 레이저는, 발진 주파수를 증가시키면, 연속 발진 레이저와 동일한 효과를 나타내게 된다.

[0056] 예를 들어, 연속 발진이 가능한 고체 레이저를 사용하는 경우, 기본파의 제2 고조파 내지 제4 고조파를 조사함으로써 대입경의 결정을 얻을 수 있다. 대표적으로는, YAG 레이저(기본파 1064 nm)의 제2 고조파(532 nm)나 제3 고조파(355 nm)를 사용할 수 있다. 파워 밀도는 0.01 MW/cm^2 이상 100 MW/cm^2 이하 정도(바람직하게는 0.1 MW/cm^2 이상 10 MW/cm^2 이하)로 하면 좋다.

[0057] 상기와 같은 반도체층(404)에의 레이저광 조사에 의해, 결정성이 보다 높혀진 결정성 반도체층(410)(또는 비단결정 반도체층)이 형성된다.

[0058] 또한, 본 실시형태에서는 레이저광 조사에 의해 결정성 반도체층(410)을 형성하는 예를 나타냈지만, 본 발명은 이것에 한정하여 해석되지 않는다. 공정의 간략화를 위해, 결정화 공정을 거치지 않은 반도체층(404)을 사용하여도 좋다.

[0059] 다음에, 도 4(C)에 나타내는 바와 같이 결정성 반도체층(410)을 선택적으로 에칭하고, 또한 절연층(402)을 에칭하여, 베이스 기판 표면의 일부를 노출시킨다. 결정성 반도체층(410)의 에칭 시에, 후의 화소 TFT를 구성하는 섬형상 반도체층을 형성하여도 좋다. 이상의 공정에 의해, 베이스 기판(400) 위에 결정성 반도체층(410)(또는 비단결정 반도체층)이 형성되었다.

[0060] 다음에, 단결정 반도체층을 형성한다. 먼저, 단결정 반도체 기판(500)을 준비한다(도 5(A), 도 6(A) 참조). 단결정 반도체 기판(500)으로서는, 예를 들어, 실리콘 기판이나 게르마늄 기판, 갈륨 비소나 인듐 인 등의 화합물 반도체 기판을 사용할 수 있다. 실리콘 기판으로서는, 직경 5 인치(125 mm), 직경 6 인치(150 mm), 직경 8 인치(200 mm), 직경 12 인치(300 mm) 사이즈의 것이 대표적이고, 그의 형상은 원형인 것이 많지만, 이것을 사각형 형상으로 가공한 것을 사용하여도 좋다. 또한, 두께는 1.5 mm 정도까지 적절히 선택할 수 있다.

[0061] 다음에, 단결정 반도체 기판(500)의 표면으로부터, 전계에서 가속된 이온(502)을 소정의 깊이에 주입하여, 이온 도핑층(504)(간단히 손상 영역이라고 부를 수도 있다)을 형성한다(도 5(A), 도 6(A) 참조). 여기서, 이온 주입이란, 이온을 전계에서 가속시켜 대상물에 조사하는 것을 말한다. 이것에 의해, 대상물의 표면으로부터 소정의 깊이 영역에, 대상물의 조성, 원자 배열 등이 변화된 영역(손상 영역)을 형성할 수 있다. 또한, 본 실시형태에서는, 이온 도핑 장치를 사용하여 이온을 주입하므로, 상기 손상 영역을, 특히, 이온 도핑층이라고 부르고 있다. 그러나, 여기서 말하는 「이온 도핑 장치를 사용한 이온 주입」은, 이온의 질량 분리를 행하지 않고, H_3^+ 이온의 비율을 높여 주입하는 것을 특징으로 하기 때문에, 이러한 특징을 구비하는 다른 방법을 사용하여도 좋다. 즉, 「이온 도핑층」이 이온 도핑 장치를 사용하여 제조된 것에 한정하여 해석되는 것은 아니다. 또한, 질량 분리를 행하는 이온 주입 방법으로서, 이온 주입 장치를 사용하는 방법이 있지만, 이온 도핑 장치를 사용하는 이온 주입은 이온 주입 장치를 사용하는 경우와 비교하여 이온 주입 효율을 높일 수 있기 때문에, 이온 도핑 장치를 사용하여 이온을 주입하는 것이 바람직하다고 할 수 있다.

[0062] 단결정 반도체 기판(500)에의 이온(502)의 주입은, 후에 베이스 기판(400)에 형성되는 단결정 반도체층(512)의 막 두께를 고려하여 행해진다(도 7(B)). 바람직하게는, 단결정 반도체층(512)의 막 두께가 5 nm~500 nm, 보다 바람직하게는 10 nm~200 nm가 되도록 한다. 또한, 단결정 반도체층(512)의 특성을 보다 향상시키기 위해, 단결정 반도체층의 막 두께가 작게 되도록 이온 도핑층(504)을 형성하는 것이 바람직하다. 구체적으로는, 결정성 반도체층(410)(또는 비단결정 반도체층)보다 단결정 반도체층(512)의 막 두께가 작게 되도록 형성한다. 막 두께를 작게 함으로써, 고속화에 수반하는 단(短)채널 효과를 억제할 수 있다. 또한, 기생용량을 저감시킬 수 있다. 또한, 결정성 반도체층(410)(또는 비단결정 반도체층)에 대해서는, 단결정 반도체층(512)만큼의 특성이 요구되는 것은 아니기 때문에, 수율이 좋은 막 두께로 형성해 주면 좋다.

- [0063] 이온(502)으로서는, 수소, 헬륨, 할로젠 원소로부터 선택된 소스 가스를 플라즈마 여기하여 생성된 이온 종(種)을 사용하는 것이 바람직하다. 수소 이온을 주입하는 경우에는, H^+ , H_2^+ , H_3^+ 이온을 생성할 때 H_3^+ 이온의 비율을 높여 두면 이온 주입 효율을 높일 수 있고, 주입 시간을 단축시킬 수 있기 때문에 바람직하다. 또한, 이러한 구성으로 함으로써, 단결정 반도체층(512)의 박리를 용이하게 행할 수 있다.
- [0064] 또한, 소정의 깊이에 이온 도핑층(504)을 형성하기 위해, 이온(502)을 높은 도즈 조건으로 주입하는 경우가 있다. 이 때, 조건에 따라서는 단결정 반도체 기판(500)의 표면이 거칠어지게 된다. 이 때문에, 단결정 반도체 기판(500)의 표면에 보호층으로서 질화규소층 또는 질화산화규소층 등을 막 두께 50 nm 이상 200 nm 이하 정도의 범위로 형성해 두어도 좋다.
- [0065] 다음에, 단결정 반도체 기판(500)에 절연층(506)을 형성한 후, 접합층(508)을 형성한다(도 5(B), 도 6(B) 참조). 절연층(506)은 절연층(402)과 동일한 재료로 형성하는 것이 바람직하지만, 이것에 한정되는 것은 아니다. 또한, 절연층(506)과 절연층(402)을 동일한 재료로 형성함으로써, 에칭의 선택비를 충분히 확보할 수 있다. 즉, 후에 형성되는 단결정 반도체층(512)과 결정성 반도체층(410)(또는 비단결정 반도체층)의 막 두께가 상이한 경우에도, 동시에 후에 형성되는 단결정 반도체층(512)과 결정성 반도체층(410)에 에칭을 행하여 패터닝하는 것이 가능하게 된다. 절연층(506) 및 절연층(402)의 일례로서, 산화질화규소층과 질화산화규소층의 적층 구조를 사용하여도 좋다. 단결정 반도체층(512)과 결정성 반도체층(410)(또는 비단결정 반도체층)에 접하여 산화질화규소층을 가지고, 산화질화규소층과 질화산화규소층이 적층된 구성이면, 응력에 의해 단결정 반도체층(512) 및 결정성 반도체층(410)(또는 비단결정 반도체층)의 특성이 저하되어 버리는 문제도 없고, 또한, 가동 이온이나 수분 등의 확산을 방지하는 것이 가능하고, 또한, 에칭 선택비를 충분히 확보할 수 있다.
- [0066] 본 실시형태에서는 절연층(506)으로서, 플라즈마 CVD법을 사용하여, 질소를 함유하는 산화규소막을 형성한다. 접합층(508)은, 단결정 반도체 기판(500)이 베이스 기판과 접합을 형성하는 면에 형성한다. 여기서 형성하는 접합층(508)으로서는, 상기와 같이 유기 실란을 원료 가스에 사용한 화학 기상 성장법에 의해 성막되는 산화규소층이 바람직하다. 그 외에, 실란을 원료 가스에 사용한 화학 기상 성장법에 의해 성막되는 산화규소층을 적용할 수도 있다. 화학 기상 성장법에 의한 성막에서는, 단결정 반도체 기판(500)에 형성한 이온 도핑층(504)으로부터 탈가스가 일어나지 않을 정도의 온도, 예를 들어, 350℃ 이하의 온도가 적용된다. 또한, 단결정 반도체 기판(500)으로부터 단결정 반도체층(512)을 박리하는 가열처리는 화학 기상 성장법에 의한 성막 온도보다 높은 가열처리 온도가 적용된다.
- [0067] 또한, 후에 박리에 의해 형성되는 단결정 반도체층(512)과, 절연층(506) 및 접합층(508)의 막 두께의 합이, 결정성 반도체층(410)(또는 비단결정 반도체층)과 절연층(402)의 막 두께의 합과 같게 되도록, 절연층(506) 등을 형성하는 것이 바람직하다. 막 두께의 합이 같게 되도록 형성함으로써, 배선의 단절 등을 저감시킬 수 있다. 또한, 막 두께의 합을 같게 하는 것은, 양호한 제조 프로세스가 가능해진다는 점에서 유효하다.
- [0068] 다음에, 단결정 반도체 기판(500)을 소망의 크기, 형상으로 가공한다(도 5(C), 도 6(C) 참조). 도 6(C)에서는, 원형의 단결정 반도체 기판(500)을 분단하여, 사각형의 단결정 반도체 기판(510)을 형성하는 예를 나타내고 있다. 이 때, 절연층(506), 접합층(508) 및 이온 도핑층(504)도 분단된다. 즉, 소망의 크기, 형상을 가지고, 소정의 깊이에 이온 도핑층(504)이 형성되고, 표면(베이스 기판(400)과의 접합면)에 접합층(508)이 형성된 단결정 반도체 기판(510)이 얻어진다.
- [0069] 사각형의 단결정 반도체 기판(510)은 소망의 크기로 할 수 있지만, 여기서는, 구동회로의 크기로 한다. 구동회로의 크기는 구동회로로서 요구되는 면적에 따라 적절히 선택하면 된다. 단결정 반도체 기판을 사각형 형상으로 하면, 후의 제조공정에서의 가공이 용이해지고, 또한, 단결정 반도체 기판(500)으로부터 사각형의 단결정 반도체 기판(510)을 효율적으로 잘라내는 것도 가능해지므로 바람직하다. 단결정 반도체 기판(500)의 분단은 다이서(dicer) 또는 와이어 쏘우(wire saw) 등의 절단장치, 레이저 절단, 플라즈마 절단, 전자빔 절단, 그 외 임의의 절단 수단을 사용하여 행할 수 있다.
- [0070] 또한, 단결정 반도체 기판 표면에 접합층을 형성할 때까지의 공정 순서는 적절히 바꾸는 것이 가능하다. 도 5 및 도 6에서는 단결정 반도체 기판에 이온 도핑층을 형성하고, 상기 단결정 반도체 기판의 표면에 절연층 및 접합층을 형성한 후, 상기 단결정 반도체 기판을 소망의 사이즈로 가공하는 예를 나타내고 있다. 이것에 대하여, 예를 들어, 단결정 반도체 기판을 소망의 사이즈로 가공한 후, 그 소망의 사이즈의 단결정 반도체 기판에 이온 도핑층을 형성하고, 상기 소망의 사이즈의 단결정 반도체 기판의 표면에 절연층 및 접합층을 형성할 수도 있다.
- [0071] 다음에, 베이스 기판(400)과 단결정 반도체 기판(510)을 접합시킨다. 도 7(A)에는, 베이스 기판(400)과 단결정

반도체 기판(510)의 접합층(508)의 표면을 밀착시키고, 베이스 기판(400)과 접합층(508)을 접합시켜, 베이스 기판(400)과 단결정 반도체 기판(510)을 접합하는 예를 나타낸다. 또한, 접합을 형성하는 면(접합면)은 충분히 청정화시켜 두는 것이 바람직하다. 베이스 기판(400)과 접합층(508)을 밀착시킴으로써 접합이 형성된다. 이 접합에는 반 데르 발스(van der Waals)력이 작용하고, 베이스 기판(400)과 단결정 반도체 기판(510)을 밀착시켜 압력을 가함으로써, 수소 결합에 의한 강고한 접합을 형성하는 것이 가능하다.

[0072] 또한, 베이스 기판(400)과 접합층(508)의 양호한 접합을 형성하기 위해, 접합면을 활성화시켜 두어도 좋다. 예를 들어, 접합을 형성하는 면들의 한쪽 또는 양쪽 모두에 원자 빔 또는 이온 빔을 조사한다. 원자 빔 또는 이온 빔을 이용하는 경우에는, 아르곤 등의 불활성 가스 중성 원자 빔 또는 불활성 가스 이온 빔을 사용할 수 있다. 그 외에, 플라스마 조사 또는 라디칼 처리를 행함으로써 접합면을 활성화할 수도 있다. 이러한 표면처리에 의해, 400℃ 이하의 온도이더라도 이종(異種) 재료간의 접합을 형성하는 것이 용이해진다.

[0073] 또한, 접합층(508)을 통하여 베이스 기판(400)과 단결정 반도체 기판(510)을 접합시킨 후에는, 가열처리나 가압처리를 행하는 것이 바람직하다. 가열처리나 가압처리를 행함으로써 접합 강도를 향상시키는 것이 가능해진다. 가열처리의 온도는 베이스 기판(400)의 내열 온도 이하인 것이 바람직하다. 가압처리에서는, 접합면에 수직인 방향으로 압력이 가해지도록 행하고, 베이스 기판(400) 및 단결정 반도체 기판(510)의 내압성을 고려하여 행한다.

[0074] 다음에, 가열처리를 행하고, 이온 도핑층(504)을 박리면으로 하여 단결정 반도체 기판(510)의 일부를 분리한다(도 7(B) 참조). 가열처리의 온도는 접합층(508)의 성막 온도 이상, 베이스 기판(400)의 내열 온도 이하로 하는 것이 바람직하다. 예를 들어, 400℃~600℃의 가열처리를 행함으로써, 이온 도핑층(504)에 형성된 미소한 공동(空洞)의 체적 변화가 일어나, 이온 도핑층(504)을 따라 분리(박리, 벽개(劈開)라고 칭하여도 좋다)하는 것이 가능해진다. 접합층(508)은 베이스 기판(400)과 접합하여 있기 때문에, 베이스 기판(400) 위에는 단결정 반도체층(512)이 잔존하게 된다.

[0075] 이상으로, 베이스 기판(400) 위에 접합층(508)을 통하여 단결정 반도체층(512)이 제공되고, 또한 결정성 반도체층(410)(또는 비단결정 반도체층)이 제공된 반도체 기판이 형성된다. 또한, 본 실시형태에서 설명한 반도체 기판은, 1장의 베이스 기판 위에 접합층을 사이에 두고 다수의 단결정 반도체층이 제공된 구조이지만, 이것에 한정되어 해석되지 않는다.

[0076] 또한, 본 실시형태에서는, 단결정 반도체층 및 결정성 반도체층(비단결정 반도체층)은 절연성 기판의 일 표면 위에 형성하였지만, 본 발명은 이것에 한정되지 않는다. 예를 들어, 절연성 기판의 일 표면(앞면)에 비단결정 반도체층을 형성하여 표시부로 하고, 절연성 기판의 다른 일 표면(뒷면)에 단결정 반도체층을 형성하여 구동회로부로 하여도 좋다. 이러한 구성으로 함으로써, 절연성 기판의 일 표면을 모두 표시부로서 사용할 수 있기 때문에, 표시장치의 프레임 부분이 매우 적어지고, 표시면의 유효 이용이 가능해진다. 또한, 구동회로를 단결정 반도체층으로 형성함으로써, 구동회로에 필요하고도 충분한 동작 속도를 확보할 수 있다. 여기서, 앞면의 표시부와 뒷면의 구동회로부의 전기적 접속은 절연성 기판, 예를 들어, 유리 기판을 관통하는 매립 배선에 의해 행할 수 있다. 또한, FPC를 사용하여 접속하는 것도 가능하다.

[0077] 또한, 박리에 의해 얻어지는 단결정 반도체층은 그의 표면을 평탄화하기 위해 화학적 기계적 연마(Chemical Mechanical Polishing: CMP)를 행하는 것이 바람직하다. 또한, CMP 등의 물리적 연마 수단을 사용하지 않고, 단결정 반도체층의 표면에 레이저광을 조사하여 평탄화를 행하여도 좋다. 레이저광을 조사하여 단결정 반도체층을 평탄화하는 경우에는, 동시에, 비단결정 반도체층에 레이저광을 조사하여 그의 결정성을 향상시켜도 좋다. 이것에 의해, 한번의 공정으로 단결정 반도체층의 평탄화와 비단결정 반도체층의 특성 향상을 실현할 수 있다. 즉, 비단결정 반도체층만을 결정화하는 공정이 불필요하게 되기 때문에 공정수를 삭감할 수 있고, 제작 비용의 저감으로 이어진다. 레이저로서는, 본 실시형태에서 나타난 결정화에 관련된 레이저 등을 사용하는 것이 가능하다. 또한, 레이저광을 조사할 때에는 산소 농도가 10 ppm 이하인 질소 분위기 하에서 행하는 것이 바람직하다. 이것은, 산소 분위기 하에서 레이저광 조사를 행하면 단결정 반도체층 표면이 거칠어질 우려가 있기 때문이다. 또한, 얻어진 단결정 반도체층의 박막화를 목적으로 하여 CMP 등을 행하여도 좋다.

[0078] 또한, 본 실시형태에서는, 이온 도핑층(504)을 형성한 후에 절연층(506)을 형성하는 경우에 대하여 설명하고 있지만, 본 발명은 이것에 한정되어 해석되지 않는다. 절연층(506)을 형성한 후에 이온 도핑층(504)을 형성하는 구성으로 하여도 좋다.

[0079] 본 실시형태에서 나타난 방법을 사용함으로써, 단결정 반도체층과 비단결정 반도체층이 함께 형성된 기판을 제

공할 수 있다. 이것에 의해, 고속동작이 요구되는 회로를 단결정 반도체층을 사용하여 형성할 수 있다. 여기서, 고속동작이 요구되는 회로란, 일정 이상의 주파수에서의 구동이 요구되는 회로를 말한다. 일례로서는, 1 MHz 이상의 주파수에서의 동작이 요구되는 회로를 말한다. 사용하는 반도체층을 요구되는 주파수로 규정하는 것은, 회로에 사용되는 스위칭 소자의 동작 가능한 주파수가 반도체 재료에 크게 의존하고 있기 때문이다. 캐리어 이동도가 큰 단결정 반도체 재료(단결정 실리콘에서의 전자의 경우 $500 \text{ cm}^2/\text{V} \cdot \text{s}$ 정도)를 사용한 스위칭 소자는 신호의 전달 속도가 크고 고주파수 동작에 적합하다. 한편, 캐리어 이동도가 작은 비단결정 반도체 재료(비정질 실리콘에서의 전자의 경우 $0.6 \text{ cm}^2/\text{V} \cdot \text{s}$ 정도)를 사용한 스위칭 소자는 신호의 전달 속도도 작고 고주파수 동작에 적합하지 않다. 또한, 스위칭 소자의 동작 가능한 주파수의 상한은, 재료 이외의 파라미터(예를 들어, 채널 길이 등)에도 의존하기 때문에, 일률적으로 어느 주파수 이상을 고속동작이라고 규정하는 것은 곤란하다. 여기서는, 표시장치에서의 구동회로에 요구되는 성능을 하나의 목표로 하여 주파수의 기준을 나타냈다.

[0080] [실시형태 2]

[0081] 본 실시형태에서는, 실시형태 1에서 제조한 반도체 기판을 사용하여 액정 표시장치를 제조하는 방법에 대하여 도 8~도 11을 사용하여 이하에 설명한다.

[0082] 도 8(A)는 액정 표시장치의 상면도이고, 도 8(B)는 도 8(A)의 O-P선에서의 단면도이고, 도 8(C)는 액정 표시장치의 사시도이다.

[0083] 본 실시형태의 액정 표시장치는, 제1 기판(800) 위에 제공된 표시부(820)와, 제1 구동회로부(830)와, 제2 구동회로부(850)를 가진다. 표시부(820), 제1 구동회로부(830) 및 제2 구동회로부(850)는 시일(seal)재(880)에 의해 제1 기판(800)과 제2 기판(890) 사이에 봉지(封止)되어 있다. 또한, 제1 기판(800) 위에는, 제1 구동회로부(830) 및 제2 구동회로부(850)에 외부로부터의 신호를 전달하는 외부 입력단자가 접속되는 단자 영역(870)이 제공된다.

[0084] 도 8(B)에 나타내는 바와 같이, 표시부(820)에는 트랜지스터를 가지는 화소 회로부(822)가 제공되어 있다. 또한, 제1 구동회로부(830)에는 트랜지스터를 가지는 주변 회로부(832)가 제공되어 있다. 제1 기판(800)과 화소 회로부(822) 사이에는, 절연층(802)이 제공되어 있다. 제1 기판(800)과 주변 회로부(832) 사이에는, 접합층(804)과 절연층(806)이 적층되어 있다. 또한, 제1 기판(800) 위에 하지 절연층으로서 기능하는 절연층을 형성하는 구성으로 하여도 좋다. 화소 회로부(822) 및 주변 회로부(832), 또는 그의 상층에는, 층간절연층으로서 기능하는 절연층(808) 및 절연층(809)이 제공되어 있다. 화소 회로부(822)에 형성된 트랜지스터의 소스 전극 또는 드레인 전극은 절연층(809)에 형성된 개구를 통하여 화소 전극(860)에 전기적으로 접속된다. 또한, 화소 회로부(822)는 트랜지스터를 사용한 회로가 집적되어 있지만, 여기서는 편의상 하나의 트랜지스터의 단면만을 나타내고 있다. 마찬가지로, 주변 회로부(832)에도 트랜지스터를 사용한 회로가 집적되어 있지만, 편의상 2개의 트랜지스터의 단면만을 나타내고 있다.

[0085] 화소 회로부(822) 및 주변 회로부(832) 위에는, 화소 전극(860)을 덮도록 형성된 배향막(882)과, 배향막(887) 사이에 끼여진 액정층(884)이 제공되어 있다. 액정층(884)은 스페이서(886)에 의해 거리(셀 갭)가 제어되어 있다. 배향막(887) 위에는 대향 전극(888) 및 컬러 필터(889)를 사이에 두고 제2 기판(890)이 제공되어 있다. 제1 기판(800) 및 제2 기판(890)은 시일재(880)에 의해 고착되어 있다.

[0086] 또한, 제1 기판(800)의 외측에는 편광판(891)이, 제2 기판(890)의 외측에는 편광판(892)이 제공되어 있다. 또한, 본 실시형태에 나타내는 액정 표시장치는 투과형이기 때문에, 제1 기판(800) 및 제2 기판(890)에 편광판을 설치하고 있지만, 예를 들어, 반사형의 액정 표시장치로 하는 경우에는, 제2 기판(890)에만 편광판을 설치하면 된다. 본 발명은 투과형, 반사형, 및 그들을 조합한 반투과형 중 어느 것에도 적용할 수 있다.

[0087] 또한, 단자 영역(870)에는 단자 전극(874)이 제공되어 있다. 그 단자 전극(874)은 이방성 도전층(876)에 의해 외부 입력단자(878)와 전기적으로 접속되어 있다.

[0088] 다음에, 도 8에서 나타낸 액정 표시장치의 제조방법의 일례에 관하여 설명한다.

[0089] 먼저, 반도체 기판을 준비한다(도 9(A) 참조). 여기서는, 도 2(B)와 유사한 반도체 기판을 적용하는 예를 나타내지만, 본 발명은 이것에 한정하여 해석되는 것은 아니다.

[0090] 베이스 기판인 기판(800) 위에는, 절연층(802)을 사이에 두고 비단결정 반도체층(810)이, 그리고, 접합층(804)

및 절연층(806)을 사이에 두고 단결정 반도체층(811)이 제공되어 있다. 기판(800)으로서는, 절연 표면을 가지는 기판 또는 절연 기판을 사용한다. 예를 들어, 알루미늄 실리케이트 유리, 알루미늄 붕규산 유리, 박막 붕규산 유리와 같은 전자 공업용으로 사용되는 각종 유리 기판, 석영 기판, 세라믹 기판, 사파이어 기판 등을 사용할 수 있다. 여기서는, 유리 기판을 사용하는 것으로 한다.

[0091] 또한, 유리 기판으로부터 알칼리 금속 또는 알칼리토류 금속 등의 가동 이온의 확산을 방지하기 위해, 하지 절연층으로서 기능하는 절연층을 별도로 형성하여도 좋다. 구체적으로는, 질화규소층 또는 질화산화규소층 등의 질소를 함유하는 절연층을 형성하는 것이 바람직하다.

[0092] 다음에, 비단결정 반도체층(810)을 선택적으로 에칭하여 표시부(820)에 비단결정 반도체층(821)을 형성하고, 단결정 반도체층(811)을 선택적으로 에칭하여 제1 구동회로부(830)에 제1 단결정 반도체층(831) 및 제2 단결정 반도체층(841)을 형성한다. 그리고, 비단결정 반도체층(821), 제1 단결정 반도체층(831) 및 제2 단결정 반도체층(841) 위에 게이트 절연층(812)을 사이에 두고 게이트 전극(814)을 형성한다(도 9(B) 참조).

[0093] 그리고, 완성되는 트랜지스터의 스레시홀드 전압을 제어하기 위해, 비단결정 반도체층(821), 제1 단결정 반도체층(831) 및 제2 단결정 반도체층(841)에 저농도의 일 도전형을 부여하는 불순물 원소를 첨가하여도 좋다. 이 경우, 트랜지스터의 채널 형성 영역에도 불순물 원소가 첨가되게 된다. 또한, 여기서 첨가하는 불순물 원소는 소스 영역 또는 드레인 영역으로서 기능하는 고농도 불순물 영역 및 LDD 영역으로서 기능하는 저농도 불순물 영역보다 낮은 농도로 첨가한다.

[0094] 게이트 전극(814)은, 기판 전면(全面)에 도전층을 형성한 후, 그 도전층을 선택적으로 에칭하여 소망의 형상으로 가공하여 형성한다. 여기서는, 게이트 전극(814)으로서 도전층에 의한 적층 구조를 형성한 후, 선택적으로 에칭하여, 분리된 도전층이 비단결정 반도체층(821), 제1 단결정 반도체층(831) 및 제2 단결정 반도체층(841)을 각각 횡단하도록 가공하고 있다.

[0095] 게이트 전극(814)을 형성하는 도전층은, CVD법이나 스퍼터링법에 의해, 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 크롬(Cr), 알루미늄(Al), 구리(Cu), 니오브(Nb) 등으로부터 선택된 금속원소, 또는 그 금속원소를 함유하는 합금 재료 또는 화합물 재료를 사용하여 기판 전면(全面)에 도전층을 형성한 후, 그 도전층을 선택적으로 에칭하여 형성할 수 있다. 또한, 인 등의 일 도전형을 부여하는 불순물 원소가 첨가된 다결정 실리콘으로 대표되는 반도체 재료를 사용하여 형성할 수도 있다.

[0096] 또한, 여기서는 게이트 전극(814)을 2층의 도전층의 적층 구조로 형성하는 예를 나타내지만, 게이트 전극은 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다. 또한, 도전층의 측면을 테이퍼 형상으로 하여도 좋다. 게이트 전극을 도전층의 적층 구조로 하는 경우, 하층의 도전층의 폭을 크게 하여도 좋고, 각 층의 측면을 상이한 각도의 테이퍼 형상으로 하여도 좋다.

[0097] 게이트 절연층(812)은 CVD법, 스퍼터링법, ALD법 등을 사용하여 산화규소, 산화질화규소, 산화하프늄, 산화알루미늄, 산화탄탈 등의 재료를 사용하여 형성할 수 있다. 또한, 비단결정 반도체층(821), 제1 단결정 반도체층(831) 및 제2 단결정 반도체층(841)을 플라즈마 처리에 의해 고상(固相) 산화 또는 고상 질화하여 형성할 수도 있다. 그 외에, CVD법 등에 의해 절연층을 형성한 후, 그 절연층을 플라즈마 처리에 의해 고상 산화 또는 고상 질화하여 형성하여도 좋다.

[0098] 또한, 도 9(B)에서는, 게이트 절연층(812)과 게이트 전극(814)의 측면부가 일치하도록 가공되는 예를 나타내지만, 특별히 한정되지 않고, 게이트 전극(814)의 에칭에서 게이트 절연층(812)을 남기도록 가공하여도 좋다.

[0099] 또한, 게이트 절연층(812)에 고유전율 물질(high-k 재료라고도 불린다)을 사용하는 경우에는, 게이트 전극(814)을 다결정 실리콘, 실리콘사이드, 금속 또는 금속 질화물로 형성한다. 바람직하게는 금속 또는 금속 질화물로 형성하는 것이 바람직하다. 예를 들어, 게이트 전극(814) 중, 게이트 절연층(812)과 접하는 도전층을 금속 질화물 재료로 형성하고, 그 위의 도전층을 금속 재료로 형성한다. 이 조합을 사용함으로써, 게이트 절연층을 박막화시킨 경우에도 게이트 전극으로 공핍층이 퍼지는 것을 방지할 수 있고, 미세화한 경우에도 트랜지스터의 구동 능력을 손상시키는 것을 방지할 수 있다.

[0100] 다음에, 게이트 전극(814) 위에 절연층(816)을 형성한다. 그리고, 게이트 전극(814)을 마스크로 하여 일 도전형을 부여하는 불순물 원소를 첨가한다(도 9(C) 참조). 여기서는, 제1 구동회로부(830)에 형성된 제1 단결정 반도체층(831) 및 제2 단결정 반도체층(841)에 상이한 도전형을 부여하는 불순물 원소를 첨가하는 예를 나타낸다. 또한, 표시부(820)에 형성된 비단결정 반도체층(821)에는 제1 단결정 반도체층(831)과 동일한 도전형을 부

여하는 불순물 원소를 첨가하는 예를 나타낸다.

- [0101] 표시부(820)에 형성된 비단결정 반도체층(821)에는, 게이트 전극(814)을 마스크로 하여 자기정합적으로 한 쌍의 불순물 영역(823)과, 그 한 쌍의 불순물 영역(823) 사이에 위치하는 채널 형성 영역(825)이 형성된다.
- [0102] 제1 구동회로부(830)에 형성된 제1 단결정 반도체층(831)에는, 게이트 전극(814)을 마스크로 하여 자기정합적으로 한 쌍의 불순물 영역(833)과, 그 한 쌍의 불순물 영역(833) 사이에 위치하는 채널 형성 영역(835)이 형성된다. 제2 단결정 반도체층(841)에는, 게이트 전극(814)을 마스크로 하여 자기정합적으로 한 쌍의 불순물 영역(843)과, 그 한 쌍의 불순물 영역(843) 사이에 위치하는 채널 형성 영역(845)이 형성된다. 불순물 영역(833) 및 불순물 영역(843)에는 상이한 도전형의 불순물 원소가 첨가되어 있다.
- [0103] 일 도전형을 부여하는 불순물 원소로서는, 붕소(B), 알루미늄(Al), 갈륨(Ga) 등의 p형을 부여하는 원소, 인(P), 비소(As) 등의 n형을 부여하는 원소를 사용할 수 있다. 본 실시형태에서는, 표시부(820)에 형성된 비단결정 반도체층(821), 제1 구동회로부(830)에 형성된 제1 단결정 반도체층(831)에 n형을 부여하는 불순물 원소, 예를 들어, 인을 첨가한다. 또한, 제2 단결정 반도체층(841)에 p형을 부여하는 불순물 원소, 예를 들어, 붕소를 첨가한다. 또한, 비단결정 반도체층(821)과 제1 단결정 반도체층(831)에 불순물 원소를 첨가할 때에는, 레지스트 마스크 등을 사용하여 제2 단결정 반도체층(841)을 선택적으로 덮으면 좋다. 마찬가지로, 제2 단결정 반도체층(841)에 불순물 원소를 첨가할 때에는, 레지스트 마스크 등을 사용하여 비단결정 반도체층(821) 및 제1 단결정 반도체층(831)을 선택적으로 덮으면 좋다.
- [0104] 절연층(816)은 CVD법, 스퍼터링법, ALD법 등을 사용하여, 산화규소 또는 산화질화규소, 또는 질화규소 또는 질화산화규소 등의 재료를 사용하여 형성할 수 있다. 일 도전형을 부여하는 불순물 원소를 첨가할 때, 절연층(816)을 통과시켜 첨가하는 구성으로 함으로써, 비단결정 반도체층 및 단결정 반도체층에 가해지는 데미지(damage)를 저감시킬 수 있다.
- [0105] 다음에, 게이트 전극(814)의 측면에 사이드월(sidewall) 절연층(818)을 형성한다. 그리고, 게이트 전극(814) 및 사이드월 절연층(818)을 마스크로 하여 일 도전형을 부여하는 불순물 원소를 첨가한다(도 9(D) 참조). 또한, 비단결정 반도체층(821), 제1 단결정 반도체층(831) 및 제2 단결정 반도체층(841)에는, 각각 앞의 공정(불순물 영역(823), 불순물 영역(833) 및 불순물 영역(843)을 형성하는 공정)에서 첨가한 불순물 원소와 동일한 도전형의 불순물 원소를 첨가한다. 또한, 앞의 공정에서 첨가한 불순물 원소보다 높은 농도로 첨가한다.
- [0106] 비단결정 반도체층(821)에는, 게이트 전극(814) 및 사이드월 절연층(818)을 마스크로 하여 자기정합적으로 한 쌍의 고농도 불순물 영역(826)과, 한 쌍의 저농도 불순물 영역(824)이 형성된다. 여기서 형성되는 고농도 불순물 영역(826)은 소스 영역 또는 드레인 영역으로서 기능하고, 저농도 불순물 영역(824)은 LDD(Lightly Doped Drain) 영역으로서 기능한다.
- [0107] 제1 단결정 반도체층(831)에는, 게이트 전극(814) 및 사이드월 절연층(818)을 마스크로 하여 자기정합적으로 한 쌍의 고농도 불순물 영역(836)과 한 쌍의 저농도 불순물 영역(834)이 형성된다. 여기서 형성되는 고농도 불순물 영역(836)은 소스 영역 또는 드레인 영역으로서 기능하고, 저농도 불순물 영역(834)은 LDD 영역으로서 기능한다. 제2 단결정 반도체층(841)에는, 게이트 전극(814) 및 사이드월 절연층(818)을 마스크로 하여 자기정합적으로 한 쌍의 고농도 불순물 영역(846)과, 한 쌍의 저농도 불순물 영역(844)이 형성된다.
- [0108] 또한, 비단결정 반도체층(821) 및 제1 단결정 반도체층(831)에 불순물 원소를 첨가할 때에는, 레지스트 마스크 등을 사용하여 제2 단결정 반도체층(841)을 선택적으로 덮으면 좋다. 마찬가지로, 제2 단결정 반도체층(841)에 불순물 원소를 첨가할 때에는, 레지스트 마스크 등을 사용하여 비단결정 반도체층(821) 및 제1 단결정 반도체층(831)을 선택적으로 덮으면 좋다.
- [0109] 사이드월 절연층(818)은 절연층(816)을 사이에 두고 게이트 전극(814)의 측면에 형성된다. 예를 들어, 게이트 전극(814)을 매립하도록 형성한 절연층을, 수직 방향을 주축으로 한 이방성 에칭을 행함으로써, 게이트 전극(814)의 측면에 자기정합적으로 형성할 수 있다. 사이드월 절연층(818)은 질화규소 또는 질화산화규소 또는 산화규소 또는 산화질화규소 등의 재료를 사용하여 형성할 수 있다. 또한, 절연층(816)을 산화규소 또는 산화질화규소를 사용하여 형성하는 경우, 사이드월 절연층(818)을 질화규소 또는 질화산화규소를 사용하여 형성함으로써, 절연층(816)을 에칭 스톱퍼로서 기능시킬 수 있다. 또한, 절연층(816)을 질화규소 또는 질화산화규소를 사용하여 형성하는 경우에는, 사이드월 절연층(818)을 산화규소 또는 산화질화규소를 사용하여 형성하면 좋다. 이와 같이, 에칭 스톱퍼로서 기능할 수 있는 절연층을 제공함으로써, 사이드월 절연층을 형성할 때의 오버에칭에 의해 비단결정 반도체층 및 단결정 반도체층이 에칭되는 것을 방지할 수 있다.

- [0110] 다음에, 절연층(816)의 노출부를 에칭한다(도 10(A) 참조). 절연층(816)은 사이드월 절연층(818) 및 게이트 전극(814) 사이, 사이드월 절연층(818) 및 비단결정 반도체층(821) 사이, 사이드월 절연층(818) 및 제1 단결정 반도체층(831) 사이, 그리고 사이드월 절연층(818) 및 제2 단결정 반도체층(841) 사이에 남는다.
- [0111] 또한, 소스 영역 또는 드레인 영역으로서 기능하는 고농도 불순물 영역을 저저항화하기 위해 실리사이드층을 형성하여도 좋다. 실리사이드층으로서, 코발트 실리사이드 또는 니켈 실리사이드를 적용하면 좋다. 비단결정 반도체층 및 단결정 반도체층의 막 두께가 얇은 경우에는, 고농도 불순물 영역이 형성된 비단결정 반도체층 및 단결정 반도체층의 바닥부까지 실리사이드 반응을 진행시켜 풀 실리사이드화하여도 좋다.
- [0112] 다음에, 기판(800)의 전면에 절연층(808)을 형성한 후, 그 절연층(808)을 선택적으로 에칭하여, 표시부(820)의 비단결정 반도체층(821)에 형성된 고농도 불순물 영역(826)에 이르는 개구를 형성한다. 또한, 제1 구동회로부(830)의 제1 단결정 반도체층(831) 및 제2 단결정 반도체층(841)에 형성된 고농도 불순물 영역(836) 및 고농도 불순물 영역(846)에 각각 이르는 개구를 형성한다. 그리고, 그 개구를 매립하도록 도전층(819)을 형성한다. 또한, 단자 영역(870)에 단자 전극(874)을 형성한다(도 10(B) 참조).
- [0113] 절연층(808)은 CVD법이나 스퍼터링법, ALD(Atomic Layer Deposition)법, 도포법 등에 의해, 산화규소, 질화규소, 산화질화규소, 질화산화규소 등의 산소 또는 질소를 함유하는 무기 절연재료나, DLC(diamond-like carbon) 등의 탄소를 함유하는 절연재료, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐 페놀, 벤조시클로부텐, 아크릴 등의 유기 절연재료 또는 실록산 수지 등의 실록산 재료를 사용하여 형성한다. 또한, 실록산 재료란, Si-O-Si 결합을 포함하는 재료에 상당한다. 실록산은, 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 함유하는 유기기(예를 들어, 알킬기, 방향족 탄화수소)가 사용된다. 치환기로서, 플루오로기를 사용할 수도 있다. 또는, 치환기로서, 적어도 수소를 함유하는 유기기와, 플루오로기를 사용하여도 좋다. 또한, 절연층(808)은, CVD법이나 스퍼터링 법, ALD법을 사용하여 절연층을 형성한 후, 그 절연층에 산소 분위기 또는 질소 분위기에서 플라즈마 처리를 행하여도 좋다. 여기서는, 절연층(808)은 단층 구조의 예를 나타내지만, 2층 이상의 적층 구조로 하여도 좋다. 또한, 무기 절연층과 유기 절연층을 조합하여 형성하여도 좋다. 예를 들어, 기판(800)의 전면에 패시베이션층으로서 기능하는 질화규소막이나 질화산화규소막을 형성하고, 그의 상층에 평탄화층으로서 기능하는 인 실리케이트 유리(PSG)나 붕소 인 실리케이트 유리(BPSG)를 재료에 사용한 절연층을 형성할 수 있다.
- [0114] 도전층(819)은 소스 전극 또는 드레인 전극으로서 기능한다. 도전층(819)은 절연층(808)에 형성된 개구를 통하여 비단결정 반도체층(821), 제1 단결정 반도체층(831) 또는 제2 단결정 반도체층(841)에 전기적으로 접속된다.
- [0115] 도전층(819)은 CVD법이나 스퍼터링법을 사용하여, 알루미늄(Al), 텅스텐(W), 티탄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오디뮴(Nd), 탄소(C), 실리콘(Si) 등의 금속원소, 또는 그 금속원소를 함유하는 합금 재료 또는 화합물 재료를 사용하여 단층 구조 또는 적층 구조로 도전층을 형성하고, 그 도전층을 선택적으로 에칭함으로써 형성할 수 있다. 알루미늄을 함유하는 합금 재료로서는, 예를 들어, 알루미늄을 주성분으로 하고 니켈을 함유하는 재료 또는 알루미늄을 주성분으로 하고 니켈과, 탄소와 구조 중 어느 하나 또는 양쪽 모두를 함유하는 합금 재료를 들 수 있다. 또한, 텅스텐을 함유하는 화합물 재료로서는, 예를 들어, 텅스텐 실리사이드를 들 수 있다. 도전층(819)은, 예를 들어, 배리어층과 알루미늄-실리콘(Al-Si)층과 배리어층의 적층 구조, 배리어층과 알루미늄-실리콘(Al-Si)층과 질화티탄층과 배리어층의 적층 구조를 채용할 수 있다. 또한, 배리어층이란, 티탄, 티탄의 질화물, 몰리브덴, 또는 몰리브덴의 질화물로 이루어지는 박막에 상당한다. 알루미늄이나 알루미늄-실리콘은 저항값이 낮고 저렴하기 때문에, 소스 전극 또는 드레인 전극으로서 기능하는 도전층을 형성하는 재료로서 가장 적합하다. 또한, 소스 전극 또는 드레인 전극으로서 기능하는 도전층을, 상층과 하층에 배리어층을 형성한 적층 구조로 하면, 알루미늄이나 알루미늄-실리콘의 힐록 발생을 방지할 수 있어 바람직하다.
- [0116] 단자 영역(870)에 형성되는 단자 전극(874)은, 후에 형성되는 FPC 등의 외부 입력단자와 제1 구동회로부(830) 및 제2 구동회로부(850)를 전기적으로 접속시키기 위한 전극으로서 기능한다. 여기서는, 도전층(819)과 동일한 재료를 사용하여 단자 전극(874)을 형성하는 예를 나타내고 있다.
- [0117] 이상으로, 표시부(820)에 비단결정 반도체층(821)을 가지는 트랜지스터가 형성된 화소 회로부(822)가 형성된다. 또한, 제1 구동회로부(830)에 제1 단결정 반도체층(831)을 가지는 트랜지스터 및 제2 단결정 반도체층(841)을 가지는 트랜지스터가 형성된 주변 회로부(832)가 형성된다.

- [0118] 또한, 본 실시형태에서는, 비단결정 반도체층과 단결정 반도체층에 동시에 도핑 등을 적용하는 공정에 대하여 설명했지만, 본 발명은 이것에 한정되는 것은 아니다. 비단결정 반도체층에 최적의 공정, 단결정 반도체층에 최적의 공정을 사용하여 액정 표시장치를 제조하여도 좋다. 또한, 비단결정 반도체층과 단결정 반도체층에, 동시에 에칭이나 도핑 등을 적용하는 경우에는, 제조공정이 매우 간략화될 수 있기 때문에, 저비용화, 수율 향상 등의 유리한 효과가 얻어진다.
- [0119] 다음에, 표시부(820) 및 제1 구동회로부(830) 위에 절연층(809)을 형성한다. 그리고, 표시부(820) 위에 형성된 절연층(809)을 선택적으로 에칭하여, 화소 회로부(822)에 형성된 트랜지스터의 도전층(819)에 이르는 개구를 형성한다. 그 후, 그 개구를 매립하도록 화소 전극(860)을 형성한다(도 10(C) 참조).
- [0120] 절연층(809)은 표시부(820) 및 제1 구동회로부(830)의 요철을 평활화하여 평탄한 표면을 형성할 수 있는 평탄화층인 것이 바람직하다. 예를 들어, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐 페놀, 벤조시클로부텐, 아크릴 등의 유기 절연재료 또는 실록산 수지 등의 실록산 재료를 사용하여 형성할 수 있다. 여기서는, 절연층(809)을 단층 구조로 하는 예를 나타내지만, 2층 이상의 적층 구조로 하여도 좋다. 적층 구조로 하는 경우, 예를 들어, 유기 수지 등을 상층으로 하고, 산화규소, 질화규소 또는 산화질화규소 등의 무기 절연층을 하층으로 한 적층 구조, 또는 무기 절연층들 사이에 유기 절연층을 끼운 구조로 할 수 있다. 절연층(809)은 각종 인쇄법(스크린 인쇄, 평판 인쇄, 요판 인쇄, 그라비아 인쇄 등), 액적 토출법, 디스펜서법 등을 사용하여 선택적으로 형성할 수 있다. 또한, 스핀 코팅법 등을 사용하여 절연층을 전면에 형성한 후, 소망의 영역(여기서는 표시부(820) 및 제1 구동회로부(830)) 이외의 부분을 선택적으로 에칭하여 절연층(809)을 형성할 수도 있다.
- [0121] 화소 전극(860)은, 본 실시형태에서는 가시광을 투과하는 재료를 사용하여 형성하는 것이 바람직하다. 가시광을 투과하는 도전성 재료로서는, 인듐 주석 산화물(ITO), 산화규소를 함유하는 인듐 주석 산화물(ITSO), 산화아연(ZnO), 산화 인듐 아연(IZO), 또는 갈륨을 첨가한 산화아연(GZO) 등을 들 수 있다. 한편, 화소 전극(860)의 막 두께를 충분히 작게 할 수 있는 경우에는, 상기 재료에 한정되지 않는다. 통상의 두께에서는 광을 투과하지 않는 재료라도, 충분히 얇게 형성한 경우에는 광을 투과하기 때문이다. 이러한 경우에는, 탄탈(Ta), 텅스텐(W), 티탄(Ti), 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 은(Ag) 등의 금속원소, 또는 그 금속원소를 함유하는 합금 재료 또는 화합물 재료를 사용하는 것도 가능하다. 또한, 반사형 또는 반투과형의 액정 표시장치를 제조하는 경우에는 상기 금속원소 등을 사용하면 좋다.
- [0122] 다음에, 스페이서(886)를 형성한 후, 화소 전극(860) 및 스페이서(886)를 덮도록 배향막(882)을 형성한다. 그리고, 표시부(820) 및 제1 구동회로부(830), 제2 구동회로부(850)를 둘러싸도록 시일재(880)를 형성한다(도 11(A) 참조).
- [0123] 스페이서(886)는 에폭시, 폴리이미드, 폴리아미드, 폴리이미드아미드, 아크릴 등의 유기 절연재료, 또는 산화규소, 질화규소, 산화질화규소, 질화산화규소 등의 무기 절연재료를 사용하여 단층 구조 또는 적층 구조로 형성할 수 있다. 본 실시형태에서는, 스페이서(886)로서 기둥 형상의 스페이서를 형성하기 위해, 기판 전면에 절연층을 형성한 후, 에칭 가공하여 소망의 형상의 스페이서를 얻는다. 또한, 스페이서(886)의 형상은 특별히 한정되지 않고, 구 형상의 스페이서를 산포하여도 좋다. 스페이서(886)에 의해 셀 갭을 유지할 수 있다.
- [0124] 배향막(882)은 액정을 일정 방향으로 배열시키는 것이 가능한 층이다. 재료는, 이용하는 액정의 동작 모드에 따라 적절히 선택하면 된다. 예를 들어, 배향막(882)은 폴리이미드, 폴리아미드 등의 재료를 사용하여 형성하고, 배향 처리를 행함으로써 배향막(882)을 제조할 수 있다. 배향 처리로서는, 러빙이나, 자외선 조사 등을 행하면 좋다. 배향막(882)의 형성 방법은 특별히 한정되지 않지만, 각종 인쇄법이나 액적 토출법을 사용하면 절연층(809) 위에 선택적으로 형성할 수 있다.
- [0125] 시일재(880)는 표시 영역을 적어도 둘러싸도록 형성한다. 본 실시형태에서는, 표시부(820), 제1 구동회로부(830) 및 제2 구동회로부(850)의 주변을 둘러싸도록 시일 패턴을 형성한다. 시일재(880)로서는, 열경화 수지나 광경화 수지를 사용할 수 있다. 또한, 시일재에 필러(filler)를 포함시킴으로써 셀 갭을 유지시킬 수도 있다. 시일재(880)는, 후에 대향 전극, 컬러 필터 등이 제공된 기관과 밀봉할 때 광 조사, 가열 처리 등을 행하여 경화를 행한다.
- [0126] 시일재(880)로 둘러싸인 영역에 액정층(884)을 형성한다. 또한, 컬러 필터(889), 대향 전극(888), 배향막(887)이 순차로 적층된 제2 기관(890)과 제1 기관(800)을 접합한다(도 11(B) 참조).
- [0127] 액정층(884)은 소망의 액정재료를 사용하여 형성한다. 또한, 액정층(884)은 시일재(880)로 형성된 시일 패턴 내에 액정재료를 적하하여 형성할 수 있다. 액정 재료의 적하는 디스펜서법이나 액적 토출법을 사용하여 행하

면 좋다. 또한, 액정 재료는 미리 감압 하에서 탈기하여 두거나, 적하 후에 감압 하에서 탈기하는 것이 바람직하다. 또한, 액정재료의 적하 시에 불순물 등이 혼입하지 않도록, 불활성 분위기에서 행하는 것이 바람직하다. 또한, 액정재료를 적하하여 액정층(884)을 형성한 후, 제1 기관(800)과 제2 기관(890)을 접합하기까지는, 액정층(884)에 기포 등이 들어가지 않도록 감압 하에서 행하는 것이 바람직하다.

- [0128] 또한, 액정층(884)은 제1 기관(800)과 제2 기관(890)을 접합한 후, 시일재(880)의 틀 형상 패턴 내에 모세관 현상을 이용하여 액정재료를 주입하여 형성할 수도 있다. 이 경우, 미리 시일재 등에 액정의 주입구가 되는 부분을 형성하여 둔다. 또한, 액정 재료는 감압 하에서 주입을 행하는 것이 바람직하다.
- [0129] 제1 기관(800)과 제2 기관(890)은 대향시켜 밀착시킨 후, 시일재(880)를 경화시켜 접합할 수 있다. 이 때, 제2 기관(890)에 제공된 배향막(887)과 제1 기관(800)에 제공된 배향막(882)으로 액정층(884)이 협지되는 구조가 되도록 접합한다. 또한, 제1 기관(800)과 제2 기관(890)의 접합 및 액정층(884)의 형성을 행한 후, 가열처리를 행하여 액정층(884)의 배향 호트러짐을 수정하는 것도 가능하다.
- [0130] 제2 기관(890)으로서, 투광성을 가지는 기관을 사용한다. 예를 들어, 알루미늄 실리케이트 유리, 알루미늄 붕규산 유리, 바륨 붕규산 유리 등의 각종 유리 기관, 석영 기관, 세라믹 기관, 사파이어 기관 등을 사용할 수 있다.
- [0131] 제2 기관(890) 위에는, 접합시키기 전에, 컬러 필터(889), 대향 전극(888), 배향막(887)을 순차로 형성하여 둔다. 또한, 제2 기관(890)에는, 컬러 필터(889) 외에 블랙 매트릭스를 제공하여도 좋다. 또한, 컬러 필터(889)는 제2 기관(890)의 외측에 제공하여도 좋다. 또한, 모노컬러 표시로 하는 경우에는, 컬러 필터(889)를 제공하지 않아도 된다. 또한, 시일재를 제2 기관(890) 측에 제공하여도 좋다. 또한, 시일재를 제2 기관(890) 측에 제공하는 경우에는, 액정재료는 제2 기관(890)에 제공된 시일재의 패턴 내에 적하한다.
- [0132] 대향 전극(888)은 인듐 주석 산화물(ITO), 산화규소를 함유하는 인듐 주석 산화물(ITSO), 산화아연(ZnO), 산화인듐 아연(IZO), 또는 갈륨을 첨가한 산화아연(GZO) 등의, 가시광을 투과하는 성질을 가지는 도전 재료를 사용하여 형성할 수 있다. 배향막(887)은 상기 배향막(882)과 마찬가지로 형성할 수 있다.
- [0133] 이상에 의해, 제1 기관(800)과 제2 기관(890) 사이에, 액정층(884)을 포함하는 표시부(820), 제1 구동회로부(830) 및 제2 구동회로부(850)가 봉지된 구조가 얻어진다. 또한, 표시부(820) 및 제1 구동회로부(830), 제2 구동회로부(850)에 형성되는 회로부에는, 트랜지스터 외에, 저항이나 커패시터 등을 동시에 제조하여도 좋다. 또한, 트랜지스터의 구조는 특별히 한정되지 않는다. 예를 들어, 하나의 비단결정 반도체층 또는 단결정 반도체층에 대하여 다수의 게이트를 형성한 멀티게이트 구조로 할 수도 있다.
- [0134] 다음에, 제1 기관(800) 및 제2 기관(890)에 편광판(891) 및 편광판(892)을 설치하고, 단자 전극(874)에 이방성 도전층(876)을 통하여 외부 입력단자(878)를 접속한다(도 11(C) 참조).
- [0135] 외부 입력단자(878)는 외부로부터의 신호(예를 들어, 비디오 신호, 클록 신호, 스타트 신호, 리셋 신호 등)나 전위를 전달하는 역할을 담당한다. 여기서는, 외부 입력단자(878)로서 FPC를 접속한다. 또한, 단자 전극(874)은 제1 구동회로부(830) 및 제2 구동회로부(850)에 전기적으로 접속되어 있는 것으로 한다.
- [0136] 이상에 의해 액정 표시장치를 얻을 수 있다. 본 실시형태에 나타내는 바와 같이, 단결정 반도체층을 사용하여 구동회로부를 형성하고, 비단결정 반도체층을 사용하여 표시부(화소부)를 형성함으로써, 제작 비용을 저감하면서, 필요하고도 충분한 특성을 가지는 구동회로를 제작할 수 있다. 이것에 의해, 완전한 모놀리식형의 반도체장치를 제조할 수 있기 때문에 제작 비용을 저감할 수 있다. 또한, 외부에 IC를 접속하는 것에 기인하여 생기는 두께를 저감할 수 있다. 또한, 프레임 부분의 면적을 저감시킨 반도체장치를 제조할 수 있다. 또한, 유리 기관 등의 내열성이 낮은 기관을 사용하여 고성능의 반도체장치를 제조할 수 있다.
- [0137] 또한, 본 실시형태는 실시형태 1과 적절히 조합하여 사용할 수 있다.
- [0138] [실시형태 3]
- [0139] 실시형태 2에서는, 액정 표시장치를 사용하는 표시장치를 제조하는 예를 나타냈지만, 본 실시형태에서는 그 밖의 표시장치에 대하여 도 12를 사용하여 설명한다.
- [0140] 도 12(A)는 발광소자를 사용하는 표시장치(발광장치, EL 표시장치라고도 한다)의 일례이다. 도 12(B)는, 전기영동 소자를 사용하는 표시장치(전자 페이퍼, 전기영동 표시장치라고도 한다)의 일례이다. 또한, 표시소자 이외의 구성은 실시형태 2에서 나타낸 것과 마찬가지로이므로, 상세한 설명은 생략한다.

- [0141] 도 12(A)는 액정 소자 대신에 발광 소자(1210)를 사용한 표시장치를 나타내고 있다. 여기서, 화소 전극(음극)(1212) 과 대향 전극(양극)(1216) 사이에 유기 화합물층(1214)이 제공되어 있는 예를 나타낸다. 유기 화합물층(1214)은 적어도 발광층을 가지고, 그 외에, 전자 주입층, 전자 수송층, 정공 수송층, 정공 주입층 등을 가지고 있어도 좋다. 또한, 화소 전극(1212)의 단부는 격벽층(1218)으로 덮여 있다. 격벽층(1218)은, 절연재료를 사용하여 기판 전면에 성막한 후에 화소 전극(1212)의 일부가 노출되도록 가공하거나, 액적 토출법 등을 사용하여 선택적으로 형성하면 좋다. 화소 전극(1212) 및 격벽층(1218) 위에, 유기 화합물층(1214), 대향 전극(1216)이 순차로 적층된다. 발광소자(1210)와 제2 기판(890) 사이의 공간(1220)은 불활성 기체 등을 충전하여도 좋고, 수지 등을 형성하여도 좋다.
- [0142] 또한, 본 실시형태에서는, 유기 재료를 사용하여 발광소자를 형성하였지만, 본 발명은 이것에 한정하여 해석되지 않는다. 무기 재료를 사용하여 발광소자를 형성하여도 좋고, 유기 재료와 무기 재료를 조합하여 발광소자를 형성하여도 좋다.
- [0143] 도 12(B)는 액정 소자 대신에 전기영동 소자를 사용한 표시장치를 나타내고 있다. 여기서, 화소 전극(1232)과 대향 전극(공통 전극)(1234) 사이에 전기영동층(1240)이 제공되어 있는 예를 나타낸다. 전기영동층(1240)은 바인더(1236)에 의해 고정된 다수의 마이크로 캡슐(1230)을 가지고 있다. 마이크로 캡슐(1230)은 직경 10 μm ~ 200 μm 정도이고, 투명한 액체와, 정(正)으로 대전된 흰색 미립자와, 부(負)로 대전된 검은색 미립자를 봉입(封入)한 구성으로 되어 있다. 그 마이크로 캡슐(1230)은 화소 전극(1232)과 대향 전극(1234)에 의해 전기장이 부여되면, 흰색 미립자와 검은색 미립자가 반대 방향으로 이동하고, 흰색 또는 검은색을 표시할 수 있다. 이 원리를 응용한 표시소자가 전기영동 소자이다. 전기영동 소자는 액정소자에 비해 반사율이 높기 때문에, 보조 라이트(예를 들어, 프론트 라이트)가 없이도, 조금 어두운 장소에서 표시부를 인식하는 것이 가능하다. 또한, 소비전력도 작다. 또한, 표시부에 전원이 공급되지 않는 경우라도, 한번 표시한 상(像)을 유지하는 것이 가능하다.
- [0144] 본 실시형태는 실시형태 1 및 2 와 적절히 조합하여 사용할 수 있다.
- [0145] [실시형태 4]
- [0146] 본 발명의 표시장치를 사용한 전자기기에 대하여 도 13을 참조하여 설명한다.
- [0147] 본 발명의 표시장치를 사용한 전자기기로서, 비디오 카메라, 디지털 카메라 등의 카메라, 고글형 디스플레이(헤드 장착형 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 오디오 컴포넌트 등), 컴퓨터, 게임기기, 휴대형 정보 단말기(모바일 컴퓨터, 휴대 전화기, 휴대형 게임기, 전자 책 등), 기록 매체를 구비한 화상 재생 장치(구체적으로는, Digital Versatile Disc(DVD)) 등의 기록 매체를 재생하고, 그의 화상을 표시할 수 있는 디스플레이를 구비한 장치) 등을 들 수 있다.
- [0148] 도 13(A)는 텔레비전 수상기 또는 퍼스널 컴퓨터의 모니터이다. 케이스(2001), 지지대(2002), 표시부(2003), 스피커부(2004), 비디오 입력단자(2005) 등을 포함한다. 표시부(2003)에는 본 발명의 표시장치가 사용되고 있다. 본 발명에 의해, 저비용이고 고성능인 텔레비전 수상기 또는 퍼스널 컴퓨터의 모니터를 제공할 수 있다.
- [0149] 도 13(B)는 디지털 카메라이다. 본체(2101)의 정면 부분에는 수상(受像)부(2103)가 제공되어 있고, 본체(2101)의 상면 부분에는 셔터 버튼(2106)이 설치되어 있다. 또한, 본체(2101)의 배면 부분에는, 표시부(2102), 조작 키(2104), 및 외부 접속 포트(2105)가 제공되어 있다. 표시부(2102)에는 본 발명의 표시장치가 사용되고 있다. 본 발명에 의해, 저비용이고 고성능인 디지털 카메라를 제공할 수 있다.
- [0150] 도 13(C)는 노트형 퍼스널 컴퓨터이다. 본체(2201)에는 키보드(2204), 외부 접속 포트(2205), 포인팅 디바이스(2206)가 제공되어 있다. 또한, 본체(2201)에는 표시부(2203)를 가지는 케이스(2202)가 부착되어 있다. 표시부(2203)에는 본 발명의 표시장치가 사용되고 있다. 본 발명에 의해, 저비용이고 고성능인 노트형 퍼스널 컴퓨터를 제공할 수 있다.
- [0151] 도 13(D)는 모바일 컴퓨터로서, 본체(2301), 표시부(2302), 스위치(2303), 조작 키(2304), 적외선 포트(2305) 등을 포함한다. 표시부(2302)에는 본 발명의 표시장치가 사용되고 있다. 본 발명에 의해, 저비용이고 고성능인 모바일 컴퓨터를 제공할 수 있다.
- [0152] 도 13(E)는 화상 재생 장치이다. 본체(2401)에는 표시부 B(2404), 기록 매체 판독부(2405) 및 조작 키(2406)가 제공되어 있다. 또한, 본체(2401)에는, 스피커부(2407) 및 표시부 A(2403) 각각을 가지는 케이스(2402)가

부착되어 있다. 표시부 A(2403) 및 표시부 B(2404) 각각에는 본 발명의 표시장치가 사용되고 있다. 본 발명의 표시장치를 가짐으로써, 저비용이고 고성능인 화상 재생 장치를 제공할 수 있다.

[0153] 도 13(F)는 전자 책이다. 본체(2501)에는 조작 키(2503)가 제공되어 있다. 또한, 본체(2501)에는 다수의 표시부(2502)가 장착되어 있다. 표시부(2502)에는 본 발명의 표시장치가 사용되고 있다. 본 발명의 표시장치를 가짐으로써, 저비용이고 고성능인 전자 책을 제공할 수 있다.

[0154] 도 13(G)는 비디오 카메라로서, 본체(2601)에는 외부 접속 포트(2604), 리모콘 수신부(2605), 수상부(2606), 배터리(2607), 음성 입력부(2608), 조작 키(2609), 및 접안부(2610)가 제공되어 있고, 또한, 본체(2601)에는 표시부(2602)를 가지는 케이스(2603)가 장착되어 있다. 표시부(2602)에는 본 발명의 표시장치가 사용되고 있다. 본 발명에 의해, 저비용이고 고성능인 비디오 카메라를 제공할 수 있다.

[0155] 도 13(H)는 휴대 전화기로서, 본체(2701), 케이스(2702), 표시부(2703), 음성 입력부(2704), 음성 출력부(2705), 조작 키(2706), 외부 접속 포트(2707), 안테나(2708) 등을 포함한다. 표시부(2703)에는 본 발명의 표시장치가 사용되고 있다. 본 발명에 의해, 저비용이고 고성능인 휴대 전화를 제공할 수 있다.

[0156] 이상과 같이, 본 발명의 적용 범위는 매우 넓고, 모든 분야의 전자기기에 사용하는 것이 가능하다. 또한, 본 실시형태는 실시형태 1 내지 3과 적절히 조합하여 사용할 수 있다.

도면의 간단한 설명

[0157] 도 1은 본 발명의 반도체 기관의 사시도.

[0158] 도 2는 본 발명의 반도체 기관의 단면도.

[0159] 도 3은 본 발명의 반도체 기관의 단면도.

[0160] 도 4는 본 발명의 반도체 기관의 제조공정을 나타내는 도면.

[0161] 도 5는 본 발명의 반도체 기관의 제조공정을 나타내는 도면.

[0162] 도 6은 본 발명의 반도체 기관의 제조공정을 나타내는 도면.

[0163] 도 7은 본 발명의 반도체 기관의 제조공정을 나타내는 도면.

[0164] 도 8은 본 발명의 액정 표시장치를 나타내는 도면.

[0165] 도 9는 본 발명의 액정 표시장치의 제조공정을 나타내는 도면.

[0166] 도 10은 본 발명의 액정 표시장치의 제조공정을 나타내는 도면.

[0167] 도 11은 본 발명의 액정 표시장치의 제조공정을 나타내는 도면.

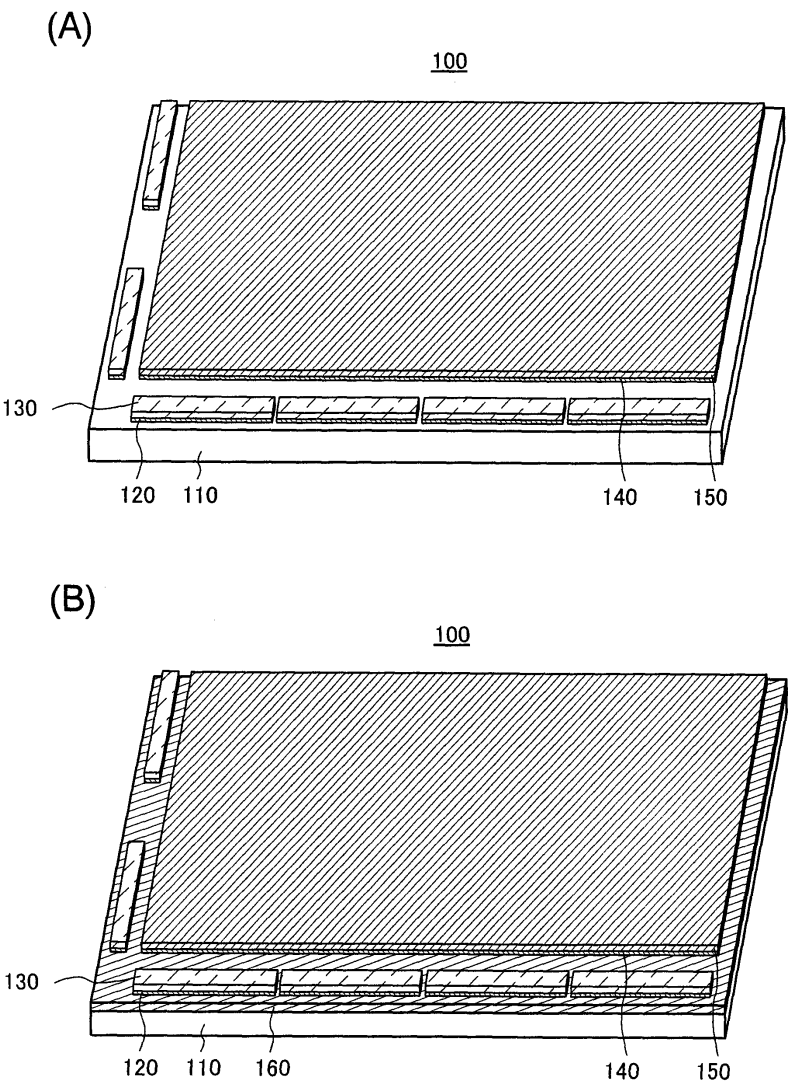
[0168] 도 12는 본 발명의 표시장치를 나타내는 도면.

[0169] 도 13은 본 발명의 전자기기를 나타내는 도면.

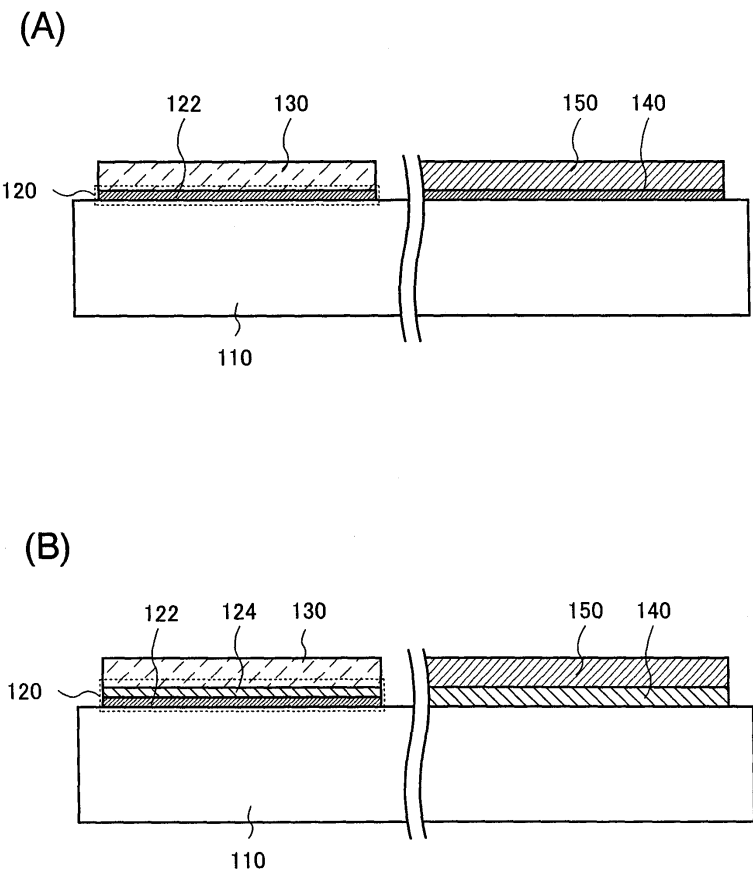
[0170] 도 14는 종래의 표시장치의 구성예를 나타내는 도면.

도면

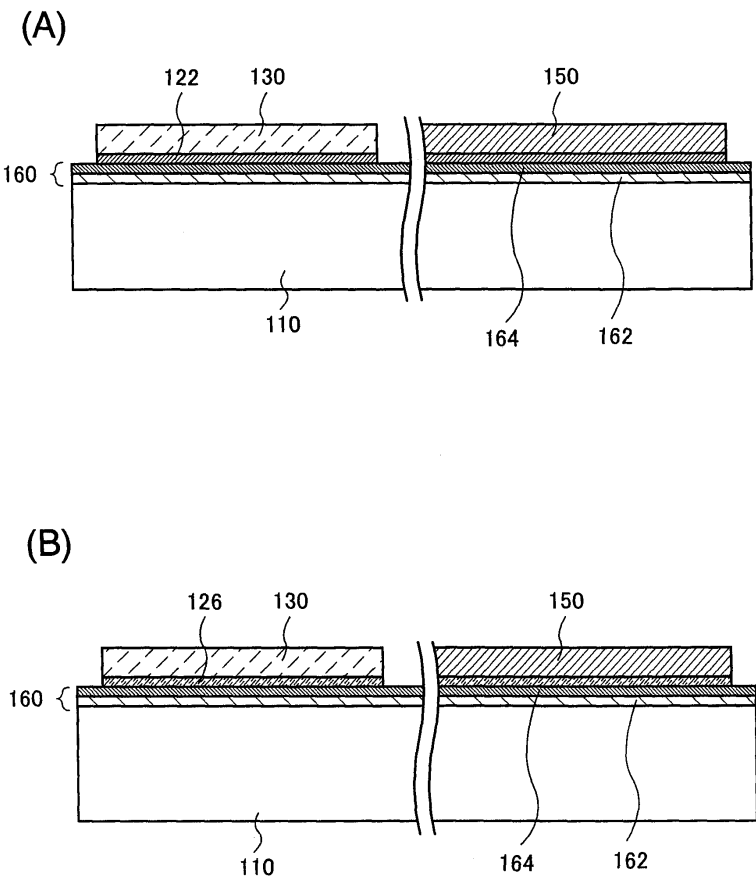
도면1



도면2

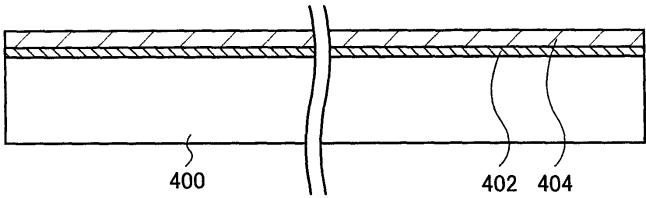


도면3

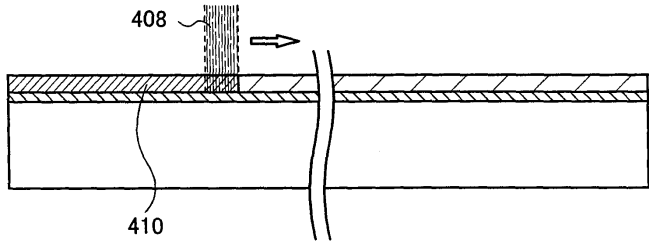


도면4

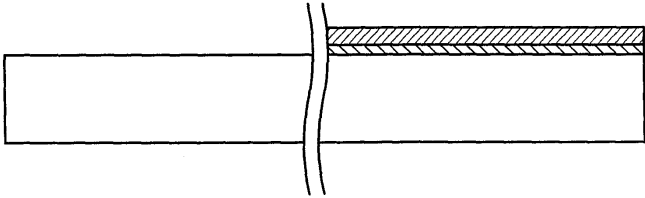
(A)



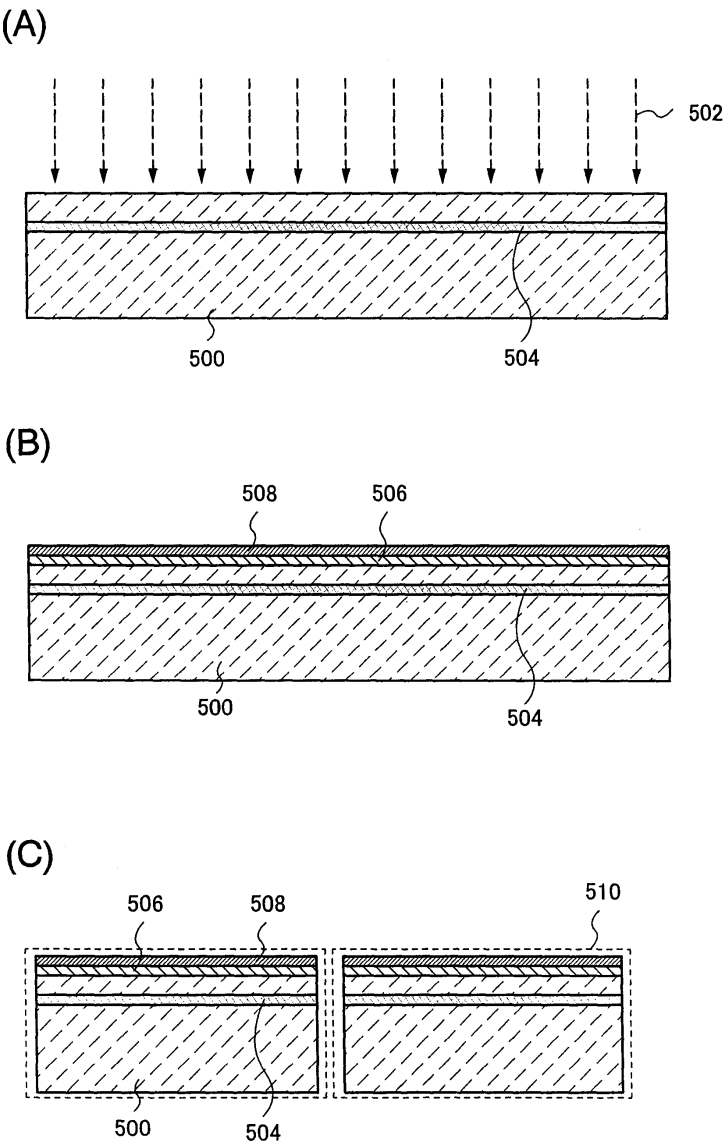
(B)



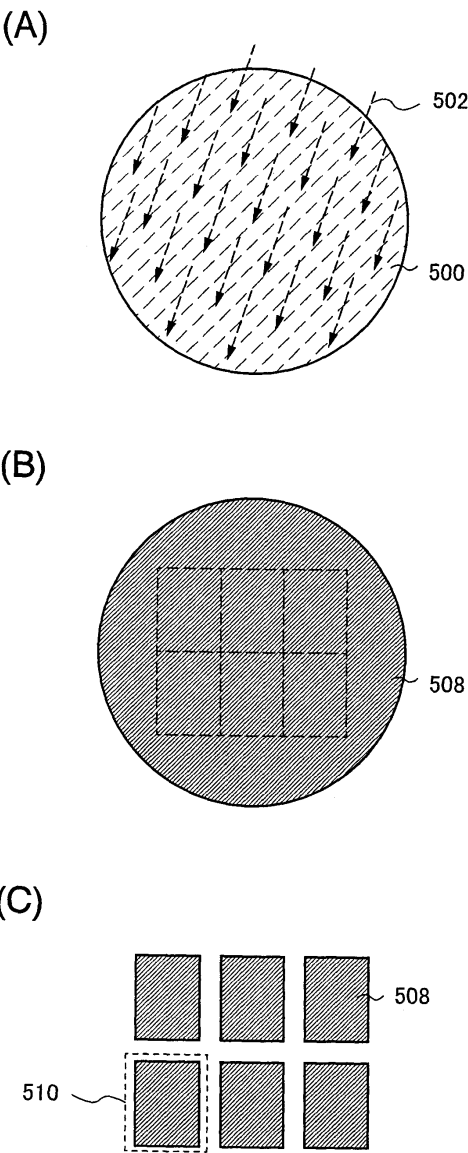
(C)



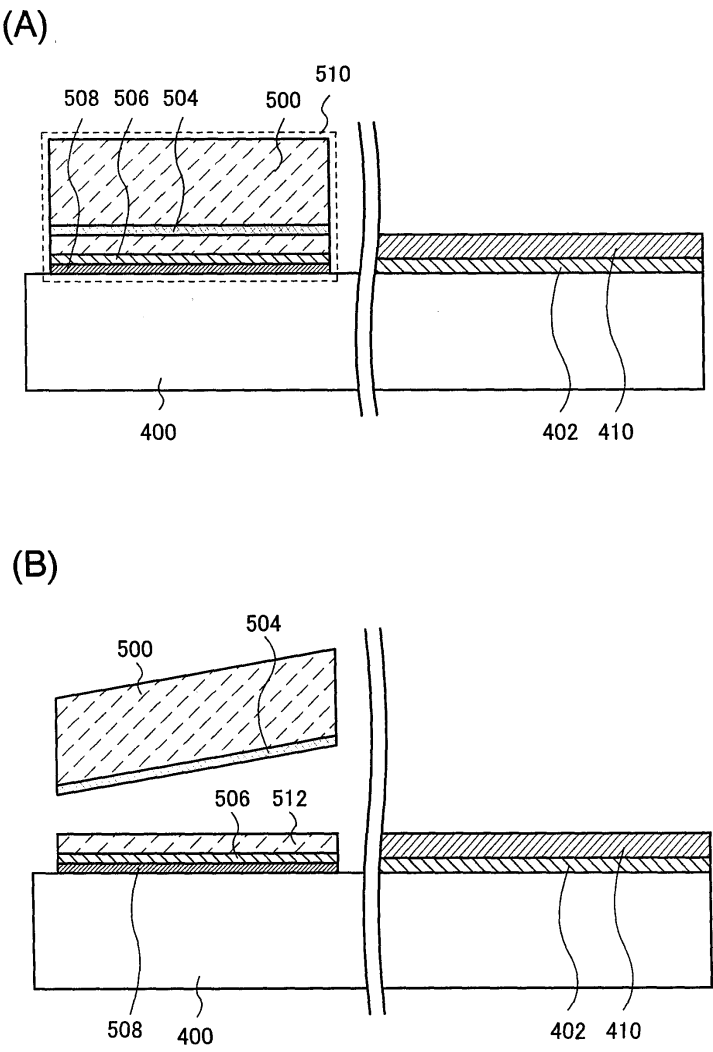
도면5



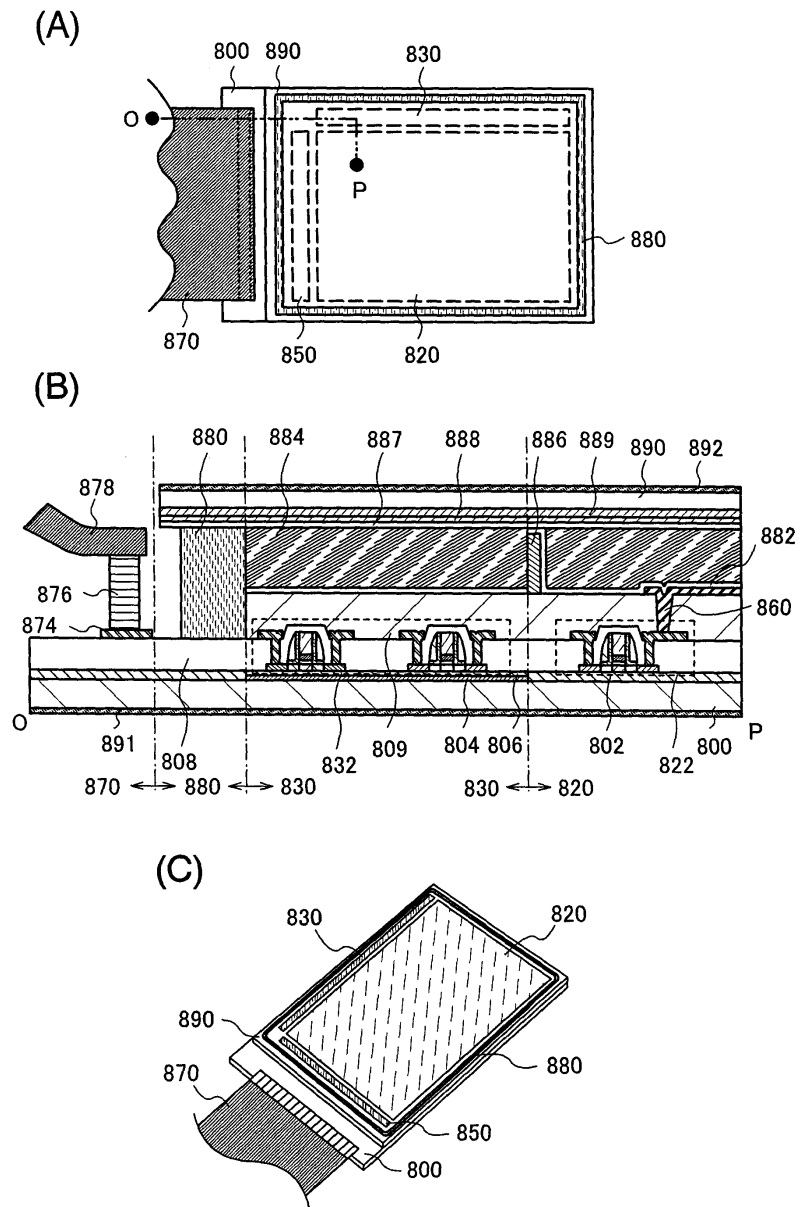
도면6



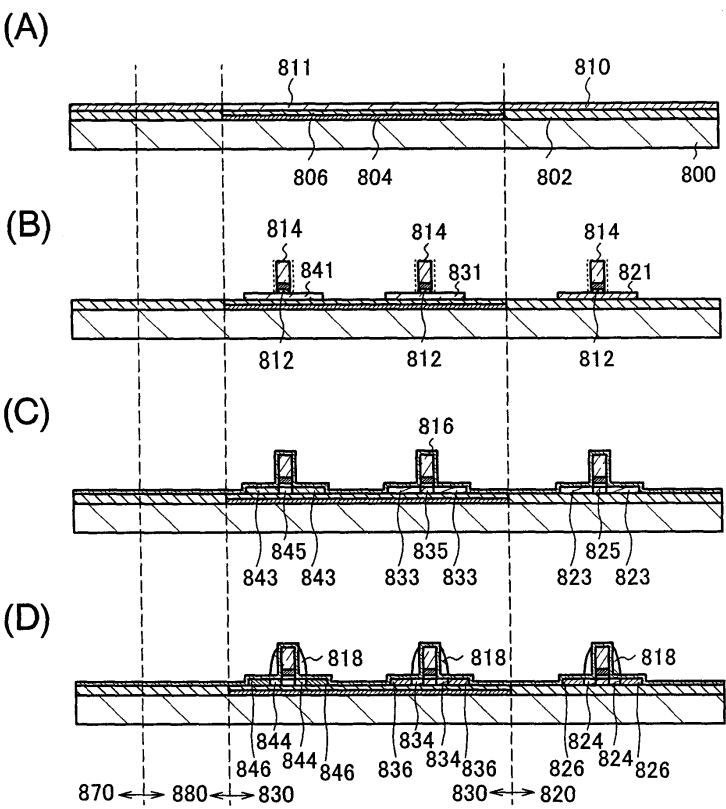
도면7



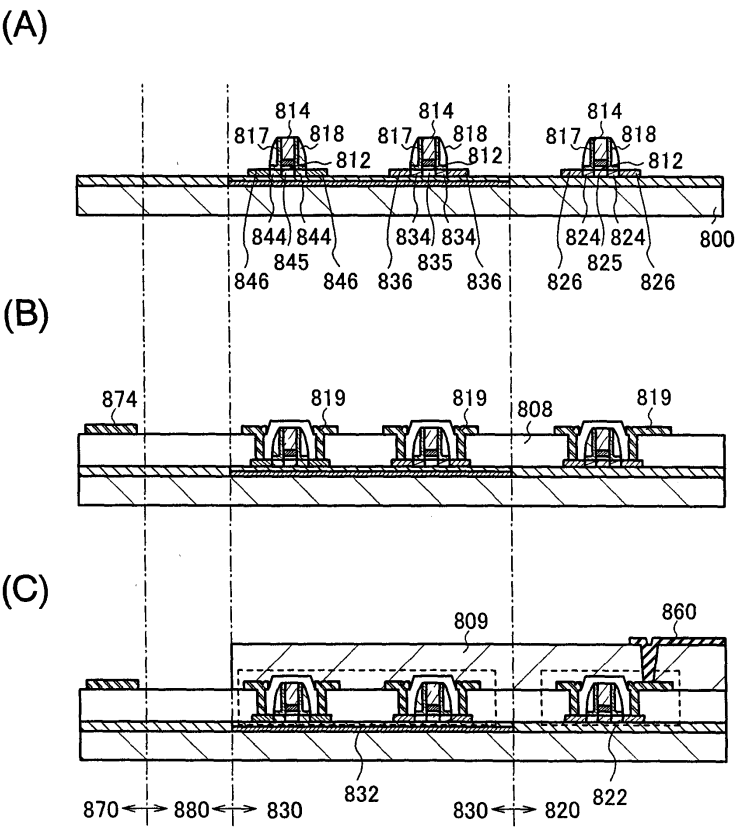
도면8



도면9

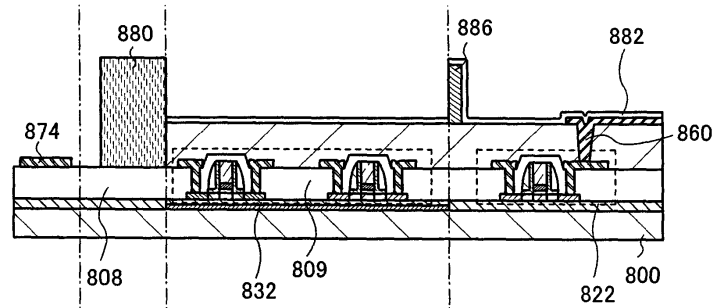


도면10

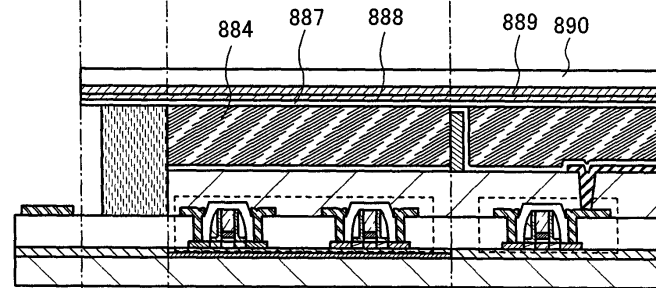


도면11

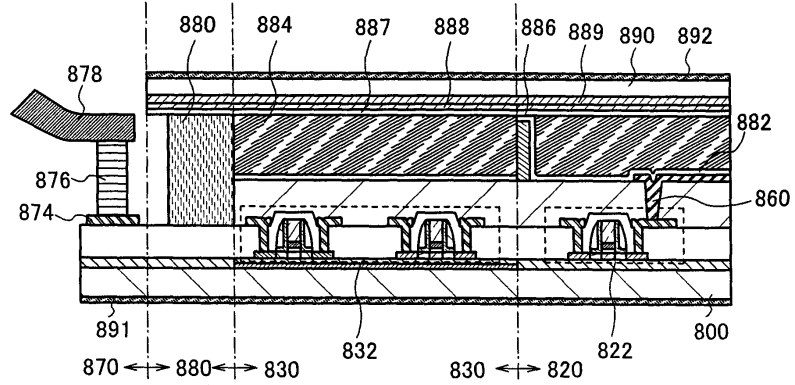
(A)



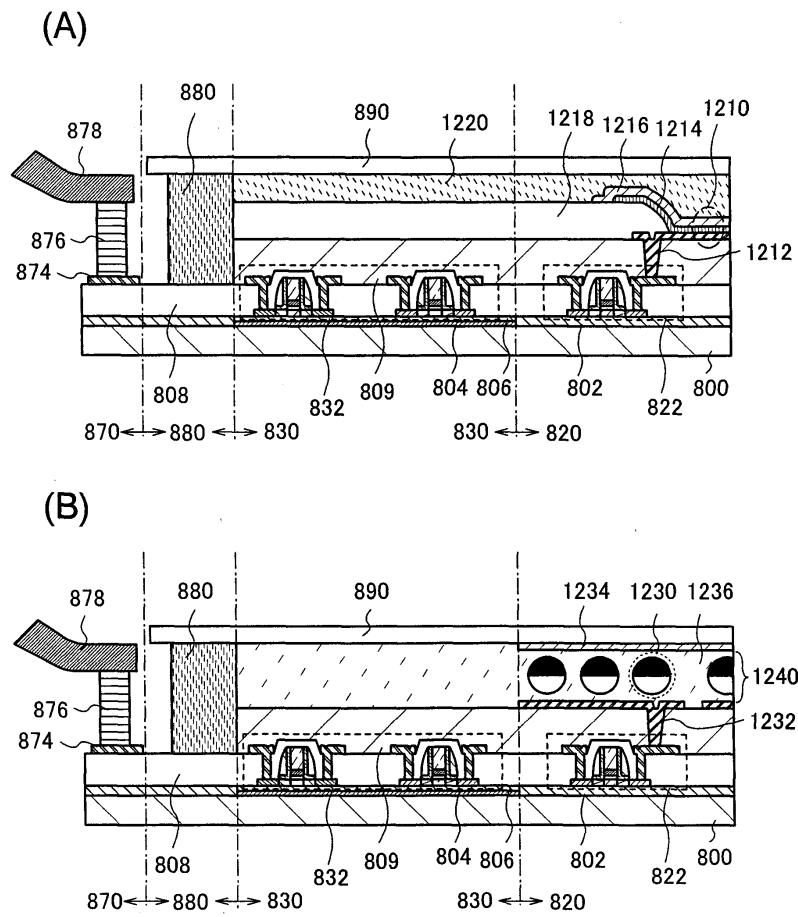
(B)



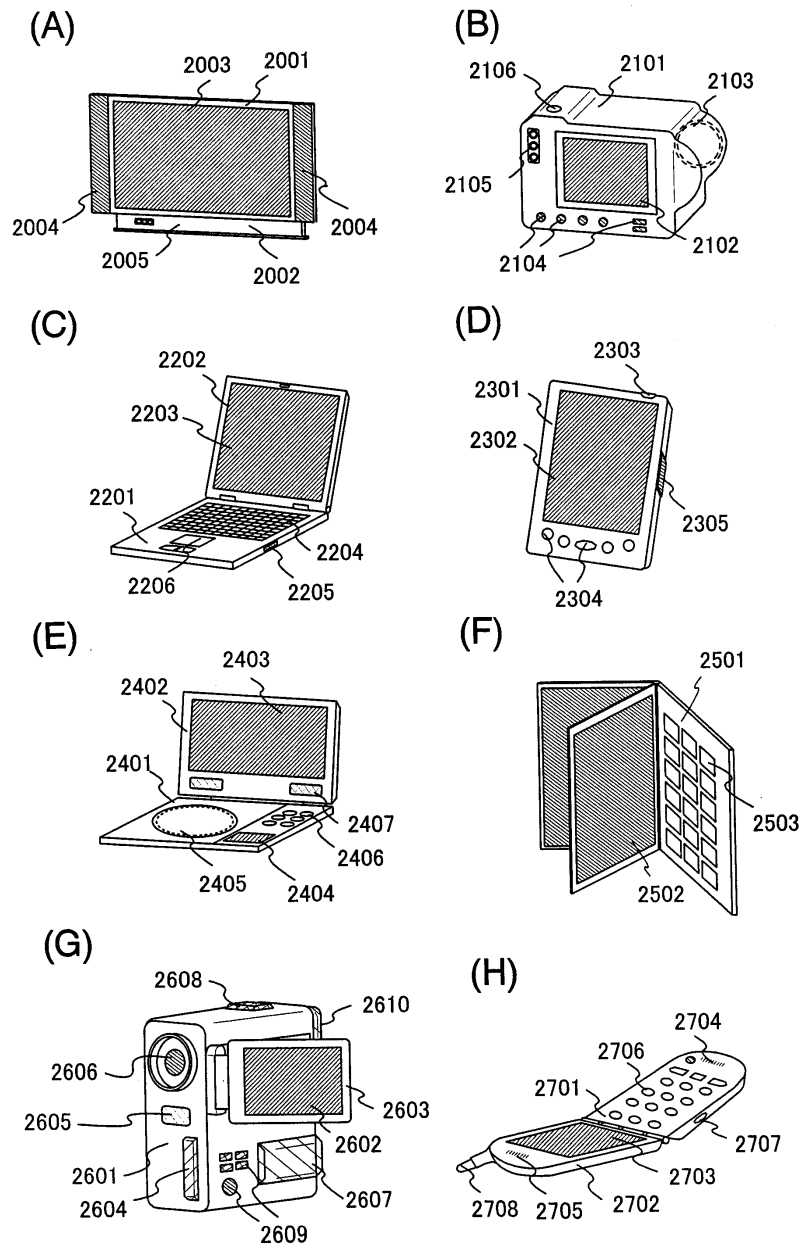
(C)



도면12

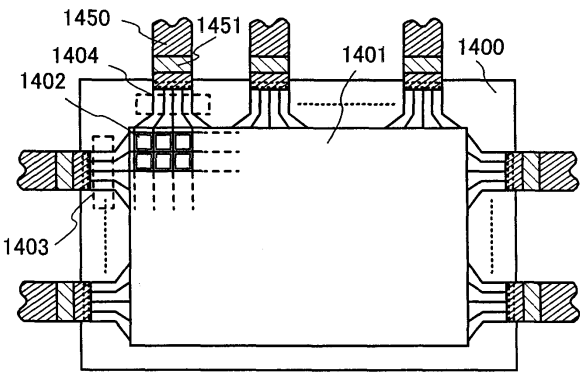


도면13



도면14

(A)



(B)

