

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6149049号  
(P6149049)

(45) 発行日 平成29年6月14日 (2017. 6. 14)

(24) 登録日 平成29年5月26日 (2017. 5. 26)

(51) Int. Cl.

F I

H O 1 L 21/477 (2006. 01)

H O 1 L 21/477

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 8 B

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 8 A

H O 1 L 21/363 (2006. 01)

H O 1 L 21/363

H O 1 L 29/78 6 2 7 F

請求項の数 5 (全 31 頁)

(21) 出願番号 特願2015-4131 (P2015-4131)  
 (22) 出願日 平成27年1月13日 (2015. 1. 13)  
 (62) 分割の表示 特願2011-27296 (P2011-27296)  
                   の分割  
           原出願日 平成23年2月10日 (2011. 2. 10)  
 (65) 公開番号 特開2015-119189 (P2015-119189A)  
 (43) 公開日 平成27年6月25日 (2015. 6. 25)  
           審査請求日 平成27年1月14日 (2015. 1. 14)  
 (31) 優先権主張番号 特願2010-28598 (P2010-28598)  
 (32) 優先日 平成22年2月12日 (2010. 2. 12)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
                   株式会社半導体エネルギー研究所  
                   神奈川県厚木市長谷 3 9 8 番地  
 (72) 発明者 山崎 舜平  
                   神奈川県厚木市長谷 3 9 8 番地 株式会社  
                   半導体エネルギー研究所内  
           審査官 右田 勝則

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

対向して配置させた一組のターゲットを用いたスパッタリング法により、基板上に酸化物半導体層を形成し、

前記酸化物半導体層のスパッタリング形成時における、雰囲気の不純物濃度が 1 p p m 以下であり、

前記不純物は、水素又は水を有し、

前記酸化物半導体層に、前記酸化物半導体層の水素又は水を低減する熱処理を行い、

前記熱処理中に、不活性ガスの第 1 の雰囲気から酸素を含む第 2 の雰囲気に切り替える半導体装置の作製方法。

【請求項 2】

対向して配置させた一組のターゲットを用いたスパッタリング法により、基板上に酸化物半導体層を形成し、

前記酸化物半導体層のスパッタリング形成時における、雰囲気の不純物濃度は 1 p p m 以下であり、

前記不純物は、水素又は水を有し、

前記酸化物半導体層に、前記酸化物半導体層の水素又は水を低減する熱処理を行い、

前記熱処理中に、不活性ガスの第 1 の雰囲気から酸素を含む第 2 の雰囲気に切り替え、

前記熱処理後の前記酸化物半導体層のキャリア濃度は、 $1 \times 10^{12} / \text{cm}^3$  未満である半導体装置の作製方法。

**【請求項 3】**

請求項 1 又は請求項 2 において、

前記第 2 の雰囲気中で熱処理を行うことで、前記酸化物半導体層の欠陥準位を低減する半導体装置の作製方法。

**【請求項 4】**

請求項 1 乃至請求項 3 のいずれか一において、

前記熱処理は、前記酸化物半導体層を島状にエッチングする前に行う半導体装置の作製方法。

**【請求項 5】**

請求項 1 乃至請求項 3 のいずれか一において、

前記熱処理は、前記酸化物半導体層を島状にエッチングした後に行う半導体装置の作製方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

発明の技術分野は、半導体装置およびその作製方法に関する。ここで、半導体装置とは、半導体特性を利用することで機能する素子および装置全般を指すものである。

**【背景技術】****【0002】**

半導体材料として酸化物半導体を用いてトランジスタ等の半導体装置を作製し、該半導体装置を半導体集積回路や電子デバイスに応用する技術が注目されている。例えば、半導体材料として酸化亜鉛、In-Ga-Zn-O系酸化物半導体を用いてトランジスタを作製し、画像表示装置のスイッチング素子などに用いる技術が特許文献 1 及び特許文献 2 で開示されている。

**【0003】**

酸化物半導体にチャネル形成領域（チャネル領域ともいう）を設けたトランジスタは、アモルファスシリコンを用いたトランジスタよりも高い移動度が得られている。さらに、酸化物半導体膜はスパッタリング法（スパッタ法ともいう）などによって比較的低温で膜形成が可能であり、多結晶シリコンを用いたトランジスタよりも製造工程が容易である。例えば、特許文献 3 では、対向して配置された一組のターゲットを用いたスパッタリング法により形成した酸化亜鉛薄膜をチャネル形成領域に用いた薄膜トランジスタが開示されている。

**【先行技術文献】****【特許文献】****【0004】**

【特許文献 1】特開 2007 - 123861 号公報

【特許文献 2】特開 2007 - 96055 号公報

【特許文献 3】特開 2006 - 005115 号公報

**【発明の概要】****【発明が解決しようとする課題】****【0005】**

しかしながら、酸化物半導体を用いて作製した半導体素子の特性は未だ十分なものとは言えない。例えば、酸化物半導体層を用いたトランジスタには、制御された閾値電圧、高い動作速度等の電気的特性、または十分な信頼性が求められている。

**【0006】**

そこで、本発明の一態様は、高い電気的特性を有する半導体装置、若しくはその作製方法を提供することを目的の一とする。または、高い信頼性を有する半導体装置、若しくはその作製方法を提供することを目的の一とする。

**【課題を解決するための手段】****【0007】**

10

20

30

40

50

トランジスタの作製工程において、ゲート絶縁層と酸化物半導体層との界面にプラズマダメージが混入すると、ゲート絶縁層と酸化物半導体層との界面に欠陥（界面トラップ）を生じる。更には、ゲート絶縁層中及び酸化物半導体層中の方または双方にプラズマダメージが混入すると、欠陥（膜中トラップ）を生じる。これらの欠陥は、トランジスタの閾値電圧がシフトする原因となる。

【0008】

さらに、酸化物半導体を用いたトランジスタの閾値電圧は酸化物半導体膜に含まれるキャリア密度（キャリア濃度ともいう）にも影響される。また、酸化物半導体膜に含まれるキャリアは、酸化物半導体膜に含まれる不純物により発生する。例えば、成膜された酸化物半導体膜に含まれる $H_2O$ に代表される水素原子を含む化合物や炭素原子を含む化合物、

10

もしくは水素原子や炭素原子等の不純物は、酸化物半導体膜のキャリア密度を高める。  
【0009】  
 $H_2O$ に代表される水素原子を含む化合物、もしくは水素原子等の不純物を含む酸化物半導体膜を用いて作製したトランジスタは、閾値電圧のシフトなどの経時劣化を制御することが困難である。

【0010】

そこで、上記目的を達成するためには、作製工程におけるゲート絶縁層中、酸化物半導体層中、またはその界面の少なくとも一へのプラズマダメージを抑制し、且つ、酸化物半導体膜に含まれるキャリア密度に影響する不純物、例えば、 $H_2O$ に代表される水素原子を含む化合物、もしくは水素原子等の不純物を排除すればよい。

20

【0011】

具体的には、本発明の一態様の半導体装置は、ゲート電極と、ゲート電極と重なる酸化物半導体層と、酸化物半導体層と接するソース電極及びドレイン電極と、ゲート電極と酸化物半導体層との間に設けられたゲート絶縁層と、を有し、酸化物半導体層は、対向ターゲット方式を用いたスパッタリング法により成膜され、且つ酸化物半導体層に含まれるキャリア濃度が、 $1 \times 10^{12} / cm^3$ 未満である半導体装置である。

【0012】

また、本発明の別の態様の半導体装置は、ゲート電極と、ゲート電極と重なる酸化物半導体層と、酸化物半導体層と接するソース電極及びドレイン電極と、ゲート電極と酸化物半導体層との間に設けられたゲート絶縁層と、を有し、酸化物半導体層に含まれるキャリア濃度は、 $1 \times 10^{12} / cm^3$ 未満であり、ゲート絶縁層は、対向ターゲット方式を用いたスパッタリング法により成膜される半導体装置である。

30

【0013】

また、上記の半導体装置において、酸化物半導体層は、対向ターゲット方式を用いたスパッタリング法により成膜されるのが好ましい。

【0014】

または、上記の半導体装置において、酸化物半導体層の少なくとも一部に接する絶縁層をさらに有し、絶縁層は、対向ターゲット方式を用いたスパッタリング法により成膜されるのが好ましい。

【0015】

また、本発明の別の態様は、基板上に、ゲート電極を形成し、ゲート電極上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層と電氣的に接続するソース電極及びドレイン電極を形成する半導体装置の作製方法であって、酸化物半導体層は、対向させて配置した一組のターゲットを用いたスパッタリング法により成膜され、酸化物半導体層形成後に、第1の加熱処理により、酸化物半導体層に含まれる水素濃度を低減し、第2の加熱処理により、酸化物半導体層に酸素を供給する半導体装置の作製方法である。

40

【0016】

また、本発明の別の態様は、基板上に酸化物半導体層を形成し、酸化物半導体層と電氣的に接続するソース電極及びドレイン電極を形成し、酸化物半導体層の少なくともチャネ

50

ル形成領域と接するゲート絶縁層を形成し、ゲート絶縁層上に、ゲート電極を形成する半導体装置の作製方法であって、酸化物半導体層は、対向させて配置した一組のターゲットを用いたスパッタリング法により成膜され、酸化物半導体層形成後に、第1の加熱処理により、酸化物半導体層に含まれる水素濃度を低減し、第2の加熱処理により、酸化物半導体層に酸素を供給する半導体装置の作製方法である。

【0017】

なお、上記の半導体装置の作製方法において、ゲート絶縁膜を、対向させて配置した一組のターゲットを用いたスパッタリング法により形成するのが好ましい。

【0018】

または、上記の半導体装置の作製方法において、酸化物半導体層に接して、対向させて配置した一組のターゲットを用いたスパッタリング法により絶縁層を形成するのが好ましい。

10

【0019】

本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【0020】

本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合をなども含む。

20

【0021】

「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0022】

本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

30

【発明の効果】

【0023】

開示する発明の一態様によって、以下のいずれか、または双方の効果を得ることが可能である。

【0024】

本発明の一態様によって、高い電氣的特性を有する半導体装置またはその作製方法を提供することができる。

40

【0025】

本発明の一態様によって、高い信頼性を有する半導体装置またはその作製方法を提供することができる。

【図面の簡単な説明】

【0026】

【図1】半導体装置の断面図。

【図2】成膜装置の断面図。

【図3】成膜装置の断面図及び上面図。

【図4】半導体装置の作製工程に係る断面図。

【図5】半導体装置の作製工程に係る断面図。

50

【図 6】半導体装置の平面図及び断面図。

【図 7】半導体装置の断面図。

【図 8】半導体装置の断面図、上面図及び回路図。

【図 9】電子機器を示す図。

【発明を実施するための形態】

【0027】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

10

【0028】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0029】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0030】

(実施の形態 1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製工程の例について、図 1 乃至図 4 を参照して説明する。

20

【0031】

半導体装置の構成例

図 1 (A) 乃至図 1 (D) に、半導体装置の例として、トランジスタの断面構造を示す。

【0032】

図 1 (A) に示すトランジスタ 160 は、トップゲート型のトランジスタの一例であり、基板 100 上に、酸化物半導体層 144 と、酸化物半導体層 144 に接して設けられたソース電極 142 a 及びドレイン電極 142 b と、酸化物半導体層 144 の少なくともチャネル形成領域、ソース電極 142 a 及びドレイン電極 142 b を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上に設けられ、酸化物半導体層 144 のチャネル形成領域と重なるゲート電極 148 と、を有している。

30

【0033】

図 1 (B) に示すトランジスタ 170 もまた、トップゲート型のトランジスタの一例であり、図 1 (A) に示すトランジスタ 160 との相違の一は、ソース電極 142 a 及びドレイン電極 142 b と、酸化物半導体層 144 との積層順である。すなわち、図 1 (B) に示すトランジスタ 170 は、基板 100 上に、ソース電極 142 a 及びドレイン電極 142 b と、ソース電極 142 a 及びドレイン電極 142 b の一端面に少なくとも接する酸化物半導体層 144 と、酸化物半導体層 144 上に設けられたゲート絶縁層 146 と、ゲート絶縁層 146 上に設けられ、酸化物半導体層 144 のチャネル形成領域と重なるゲート電極 148 と、を有している。

40

【0034】

図 1 (C) に示すトランジスタ 180 は、ボトムゲート型のトランジスタの一例であり、基板 100 上に、ゲート電極 148 と、ゲート電極 148 を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上に設けられたソース電極 142 a 及びドレイン電極 142 b と、ソース電極 142 a 及びドレイン電極 142 b の一端面に少なくとも接する酸化物半導体層 144 と、酸化物半導体層 144 上に設けられた絶縁層 150 と、を有している。なお、絶縁層 150 は、必ずしも設けなくとも良い。

【0035】

図 1 (D) に示すトランジスタ 190 もまた、ボトムゲート型のトランジスタの一例であり、図 1 (C) に示すトランジスタ 180 との相違の一は、ソース電極 142 a 及びドレ

50

イン電極 142b と、酸化物半導体層 144 との積層順である。すなわち、図 1 (D) に示すトランジスタ 190 は、基板 100 上に、ゲート電極 148 と、ゲート電極 148 を覆うゲート絶縁層 146 と、ゲート絶縁層 146 上に設けられた酸化物半導体層 144 と、酸化物半導体層 144 に接して設けられたソース電極 142a 及びドレイン電極 142b と、酸化物半導体層 144 の少なくともチャネル形成領域、ソース電極 142a 及びドレイン電極 142b を覆う絶縁層 150 と、を有している。なお、絶縁層 150 は、必ずしも設けなくとも良い。

#### 【0036】

図 1 (A) 乃至図 1 (D) に示す各トランジスタに含まれる酸化物半導体層 144 は、水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化された酸化物半導体層である。具体的には、例えば、酸化物半導体層 144 の水素濃度は  $5 \times 10^{19} \text{ atoms/cm}^3$  以下、望ましくは  $5 \times 10^{18} \text{ atoms/cm}^3$  以下、より望ましくは  $5 \times 10^{17} \text{ atoms/cm}^3$  以下とする。なお、上述の酸化物半導体層 144 中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層 144 では、水素や酸素欠陥等に由来するキャリア濃度が  $1 \times 10^{12} / \text{cm}^3$  未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$  未満、より望ましくは  $1.45 \times 10^{10} / \text{cm}^3$  未満となる。酸化物半導体層 144 を有するトランジスタでは、オフ電流を十分に小さくすることが可能である。例えば、酸化物半導体層 144 の膜厚が 30 nm で、チャネル長が 2  $\mu\text{m}$  のトランジスタの、室温 (25 ) でのチャネル幅 1  $\mu\text{m}$  あたりのオフ電流 (ゲートバイアスは -3 V) は 100 zA (1 zA (zeptoampere) は  $1 \times 10^{-21} \text{ A}$ ) 以下、望ましくは 10 zA 以下となる。このように、高純度化された酸化物半導体 (以下、本明細書では、I 型化 (真性化) または実質的に I 型化された酸化物半導体ともいう) を用いることで、極めて優れたオフ電流特性のトランジスタを得ることができる。

#### 【0037】

さらに、図 1 (A) 乃至図 1 (D) に示す各トランジスタに含まれる酸化物半導体層 144、またはゲート絶縁層 146 の少なくとも一、好ましくは双方が、図 2 に示す対向ターゲット方式のスパッタリング装置を用いて成膜されており、成膜時に生じるプラズマ等の電界の影響が低減されている。

#### 【0038】

##### 成膜装置の構成例

図 2 に示すスパッタリング装置は、真空容器 202 内に、対向して配置された一組のターゲット 204a 及びターゲット 204b と、ターゲット 204a 及びターゲット 204b のスパッタ面に対して垂直な方向に磁界を発生させる永久磁石等の磁界発生手段 206a ~ 206d と、基板 100 を載置するための基板ホルダー 208 と、を有している。図 2 において、ターゲットは、電源 210 と接続された電極 (図示せず) にそれぞれ固定されている。基板ホルダー 208 は、基板 100 面内における膜厚分布を抑制するために、基板 100 を図 2 の左から右 (あるいはその逆) へ移動可能であるのが好ましい。

#### 【0039】

成膜を行う際には、排気管 212 と連結された排気手段 (図示せず) を用いて真空容器 202 内を減圧または真空状態とし、ガス供給手段 (図示せず) と連結された供給管 214 よりスパッタガスとして酸素 ( $\text{O}_2$ ) ガスとアルゴン (Ar) ガスの混合ガス、または Ar ガスを導入する。その後、ターゲット 204a 及びターゲット 204b に電圧を印加することによりスパッタガスを励起し、励起されたイオンによりターゲット 204a 及びターゲット 204b をスパッタリングする。スパッタリングに用いる電源は、DC (直流) 電源または RF (交流) 電源のいずれを用いても良いが、酸化物半導体層を成膜する場合には、DC 電源を用いるのが好ましく、ゲート絶縁層 (絶縁層) を成膜する場合には、RF 電源を用いるのが好ましい。

10

20

30

40

50

## 【 0 0 4 0 】

図 2 に図示するスパッタリング方法では、スパッタ面（基板 1 0 0 の被成膜面）に対して垂直な方向に発生した磁界によって、プラズマがターゲット 2 0 4 a 及びターゲット 2 0 4 b 間に閉じこめられ、基板 1 0 0 に直接作用しないため、成膜される膜及びその下地となる膜にプラズマによるダメージを与えずに成膜することが可能である。なお、成膜速度が安定するまでシャッター 2 1 6 によって基板 1 0 0 への被膜形成を停止しておき、成膜時にシャッター 2 1 6 を開けて成膜を開始するのが好ましい。シャッター 2 1 6 の形状は図 2 に限定されない。

## 【 0 0 4 1 】

また、基板ホルダー 2 0 8 にはヒータを設けて、基板 1 0 0 を加熱しながら成膜を行ってもよい。基板ホルダー 2 0 8 のヒータを用いて、減圧状態に保持された真空容器 2 0 2 内に基板 1 0 0 を保持し、基板 1 0 0 の温度が 1 0 0 以上 5 5 0 未満、好ましくは 2 0 0 以上 4 0 0 以下となるように基板 1 0 0 上の膜を熱することもできる。そして、真空容器 2 0 2 内の水分を除去しつつ、水素や水などが除去されたスパッタガス（酸素またはアルゴン）を導入し、上記ターゲット 2 0 4 a、2 0 4 b を用いて成膜を行う。基板ホルダー 2 0 8 のヒータを用いて、基板 1 0 0 を熱しながら成膜することにより、スパッタによる損傷をより軽減することもできる。

10

## 【 0 0 4 2 】

真空容器 2 0 2 内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、真空容器 2 0 2 から水素や水などを除去することができる。

20

## 【 0 0 4 3 】

なお、図 2 では真空容器 2 0 2 底面に対して基板 1 0 0 の被成膜面を平行に示しているが、特に限定されず、基板ホルダー 2 0 8 で基板 1 0 0 の被成膜面が真空容器 2 0 2 底面に対して斜め、または垂直になるように配置してもよい。

## 【 0 0 4 4 】

また、真空容器 2 0 2 内に基板 1 0 0 を 2 枚以上配置することも可能である。例えば、図 3 に示すように、真空容器 2 0 2 内に基板を複数枚（図 3 では 6 枚）配置することができる。なお、図 3（A）は真空容器 2 0 2 の断面模式図であり、図 3（B）は、図 3（A）における鎖線 A - B の断面を上方からみた上面模式図である。

30

## 【 0 0 4 5 】

図 3 に示すスパッタリング装置においては、空間を形成するように、ターゲット 2 0 4 a とターゲット 2 0 4 b とが対向して配置され、該空間に表面が面するように、6 枚の基板 1 0 0 が円状に配置されている。また、円筒状のシャッター 2 1 6 を装置上方または下方から伸縮させることで、成膜速度が安定するまでシャッター 2 1 6 によって基板 1 0 0 への被膜形成を停止しておき、成膜時にシャッター 2 1 6 を開けて成膜を開始するのが好ましい。シャッター 2 1 6 の形状は図 3 に限定されない。

40

## 【 0 0 4 6 】

図 3 に示す成膜装置を用いると、一度のスパッタリング工程で複数枚の基板を処理することが可能となるため、半導体装置の製造工程におけるスループットを向上させることができる。

## 【 0 0 4 7 】

なお、図 1（C）または図 1（D）に示すトランジスタ 1 8 0 またはトランジスタ 1 9 0 において、絶縁層 1 5 0 を図 2 または図 3 に示すスパッタリング装置を用いて成膜するとより好ましい。

## 【 0 0 4 8 】

トランジスタの作製工程の例

以下、図 4 及び図 5 を用いて、図 1 に示すトランジスタの作製工程の例について説明する

50

。

## 【 0 0 4 9 】

トランジスタ 1 6 0 の作製工程

まず、図 4 ( A ) 乃至図 4 ( C ) を用いて、図 1 ( A ) に示すトランジスタ 1 6 0 の作製工程の一例について説明する。

## 【 0 0 5 0 】

基板 1 0 0 上にスパッタリング法により酸化物半導体層を成膜し、選択的にエッチングして島状の酸化物半導体層 1 4 4 を形成する ( 図 4 ( A ) 参照 )。酸化物半導体層の成膜には、図 2 または図 3 に示した対向ターゲット方式のスパッタリング法を用いるのが好ましい。酸化物半導体層の成膜に対向ターゲット方式のスパッタリング法を用いることで、被成膜面、及び、形成される酸化物半導体層へのプラズマによる損傷 ( プラズマダメージ ) を抑制することができ、膜質の良い酸化物半導体層とすることができる。

10

## 【 0 0 5 1 】

基板 1 0 0 に使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板など基板を用いることができる。また、少なくとも酸化物半導体層 1 4 4 の形成面に絶縁表面を有していれば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I 基板などを適用することも可能であり、これらの基板上に半導体素子が設けられていてもよい。また、基板 1 0 0 上に下地膜が設けられていても良い。

20

## 【 0 0 5 2 】

酸化物半導体層は、四元系金属酸化物である  $In - Sn - Ga - Zn - O$  系や、三元系金属酸化物である  $In - Ga - Zn - O$  系、 $In - Sn - Zn - O$  系、 $In - Al - Zn - O$  系、 $Sn - Ga - Zn - O$  系、 $Al - Ga - Zn - O$  系、 $Sn - Al - Zn - O$  系や、二元系金属酸化物である  $In - Zn - O$  系、 $Sn - Zn - O$  系、 $Al - Zn - O$  系、 $Zn - Mg - O$  系、 $Sn - Mg - O$  系、 $In - Mg - O$  系や、 $In - O$  系、 $Sn - O$  系、 $Zn - O$  系などを用いて形成することができる。

## 【 0 0 5 3 】

中でも、 $In - Ga - Zn - O$  系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

30

## 【 0 0 5 4 】

$In - Ga - Zn - O$  系の酸化物半導体材料の代表例としては、 $InGaO_3 (ZnO)_m$  ( $m > 0$ ) で表記されるものがある。また、Ga に代えて M を用い、 $InMO_3 (ZnO)_m$  ( $m > 0$ ) のように表記される酸化物半導体材料がある。ここで、M は、ガリウム ( Ga )、アルミニウム ( Al )、鉄 ( Fe )、ニッケル ( Ni )、マンガン ( Mn )、コバルト ( Co ) などから選ばれた一の金属元素または複数の金属元素を示す。例えば、M としては、Ga、Ga および Al、Ga および Fe、Ga および Ni、Ga および Mn、Ga および Co などを用いることができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

40

## 【 0 0 5 5 】

酸化物半導体層をスパッタ法で作製するためのターゲットとしては、 $In : Ga : Zn = 1 : x : y$  ( $x$  は 0 以上、 $y$  は 0 . 5 以上 5 以下) の組成式で表されるものを用いるのが好適である。例えば、 $In : Ga : Zn = 1 : 1 : 1$  [ a t o m 比 ] ( $x = 1$ 、 $y = 1$ )、( すなわち、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$  [ m o l 数比 ] ) の組成比を有するターゲットなどを用いることができる。また、 $In : Ga : Zn = 1 : 1 : 0 . 5$  [ a t o m 比 ] ( $x = 1$ 、 $y = 0 . 5$ ) の組成比を有するターゲットや、 $In : Ga : Zn = 1 : 1 : 2$  [ a t o m 比 ] ( $x = 1$ 、 $y = 2$ ) の組成比を有するターゲットや、 $In : Ga : Zn = 1 : 0 : 1$  [ a t o m 比 ] ( $x = 0$ 、 $y = 1$ ) の組成比を有するターゲットを用いることもできる。

50



## 【0056】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In}:\text{Zn}=50:1\sim 1:2$ （モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=25:1\sim 1:4$ ）、好ましくは $\text{In}:\text{Zn}=20:1\sim 1:1$ （モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=10:1\sim 1:2$ ）、さらに好ましくは $\text{In}:\text{Zn}=15:1\sim 1.5:1$ （モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=15:2\sim 3:4$ ）とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In}:\text{Zn}:\text{O}=X:Y:Z$ のとき、 $Z>1.5X+Y$ とする。

## 【0057】

本実施の形態では、非晶質構造の酸化物半導体層を、In-Ga-Zn-O系の金属酸化物ターゲットを用いる対向ターゲット方式のスパッタリング法により形成することとする。

10

## 【0058】

金属酸化物ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層を形成することが可能である。

## 【0059】

酸化物半導体層の形成雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度1ppm以下（望ましくは濃度10ppb以下）にまで除去された高純度ガス雰囲気を用いるのが好適である。

20

## 【0060】

酸化物半導体層の形成の際には、例えば、減圧状態に保持された処理室内に被処理物を保持し、被処理物の温度が100℃以上550℃未満、好ましくは200℃以上400℃以下となるように被処理物を熱する。または、酸化物半導体層の形成の際の被処理物の温度は、室温（25±10℃）としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層を形成する。被処理物を熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層中の不純物濃度を低減できる。

30

## 【0061】

なお、酸化物半導体層の形成にパルス直流（DC）電源を用いると、ごみ（成膜時に形成される粉状の物質など）を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層の厚さは、1nm以上50nm以下、好ましくは1nm以上30nm以下、より好ましくは1nm以上10nm以下とする。このような厚さの酸化物半導体層を用いることで、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。

40

## 【0062】

その後、酸化物半導体層に対して、熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体層中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300℃以上550℃未満、または400℃以上500℃以下とする。

## 【0063】

50

なお、対向ターゲット方式のスパッタリング装置を用いて酸化物半導体層 144 を形成する場合、平行平板のスパッタリング装置と比較して成膜時の気相状態が長いため、形成された酸化物半導体層中には、平行平板のスパッタリング装置で成膜した酸化物半導体層よりも高い濃度で水素（水や水酸基を含む）が含有されていることがある。したがって、該対向ターゲット方式のスパッタリング法を用いて形成された酸化物半導体層 144 に対して脱水・脱水素の効果を奏する第 1 の熱処理を施すことは、特に効果的である。

#### 【0064】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450℃、1 時間の条件で行うことができる。この間、酸化物半導体層は大気に触れさせず、水や水素の混入が生じないようにする。

10

#### 【0065】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

20

#### 【0066】

例えば、第 1 の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出す GRTA 処理を行ってもよい。GRTA 処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第 1 の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

#### 【0067】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上（すなわち、不純物濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下）とする。

30

#### 【0068】

いずれにしても、第 1 の熱処理によって不純物を低減し、I 型（真性半導体）または I 型に限りなく近い酸化物半導体層を形成することで、極めて優れた特性のトランジスタを実現することができる。

#### 【0069】

ところで、上述の熱処理（第 1 の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や、脱水素化処理は、酸化物半導体層の形成後やゲート絶縁層の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

40

#### 【0070】

酸化物半導体層のエッチングは、上記熱処理の前、または上記熱処理の後のいずれにおいて行っても良い。また、素子の微細化という観点からはドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。なお、素子におけるリーク電

50

流などが問題とならない場合には、酸化物半導体層を島状に加工しないで用いても良い。

【0071】

次に、酸化物半導体層144上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極142a、ドレイン電極142bを形成する(図4(B)参照)。

【0072】

導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウム、またはこれらを複数組み合わせた材料を用いてもよい。

10

【0073】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパ形状を有するソース電極142a、およびドレイン電極142bへの加工が容易であるというメリットがある。

【0074】

20

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化錫、酸化亜鉛、インジウム錫酸化物(ITOと略記する場合がある)、酸化インジウム酸化亜鉛、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

【0075】

導電層のエッチングは、形成されるソース電極142aおよびドレイン電極142bの端部が、テーパ形状となるように行うことが好ましい。ここで、テーパ角は、例えば、30°以上60°以下であることが好ましい。ソース電極142a、ドレイン電極142bの端部をテーパ形状となるようにエッチングすることにより、後に形成されるゲート絶縁層146の被覆性を向上し、段切れを防止することができる。

30

【0076】

なお、トランジスタ160のチャネル長(L)は、ソース電極142aおよびドレイン電極142bの下端部の間隔によって決定される。なお、チャネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm~数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を、10nm以上1000nm(1μm)以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

【0077】

40

次に、ソース電極142aおよびドレイン電極142b上に、酸化物半導体層144の少なくともチャネル形成領域に接するゲート絶縁層146を形成し、その後、ゲート絶縁層146上において酸化物半導体層144と重畳する領域にゲート電極148を形成する(図4(C)参照)。

【0078】

ゲート絶縁層146は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート(HfSi<sub>x</sub>O<sub>y</sub>(x>0, y>0))、窒素が添加されたハフニウムシリケート(HfSi<sub>x</sub>O<sub>y</sub>(x>0, y>0))、窒素が添加されたハフニウムアルミネート(HfAl<sub>x</sub>O<sub>y</sub>(

50

$x > 0$ 、 $y > 0$ ))、などを含むように形成するのが好適である。ゲート絶縁層 146 は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1 nm 以上 100 nm 以下、好ましくは 10 nm 以上 50 nm 以下とすることができる。

#### 【0079】

なお、ゲート絶縁層 146 の成膜には、図 2 または図 3 に示した対向ターゲット方式のスパッタリング法を用いるのが好ましい。ゲート絶縁層 146 の成膜に対向ターゲット方式のスパッタリング法を用いることで、被成膜面（具体的には、ソース電極 142a、ドレイン電極 142b または酸化物半導体層 144 と、ゲート絶縁層 146 との界面）、及び形成されるゲート絶縁層 146 に対するプラズマによる損傷（プラズマダメージ）を抑制することができ、膜質の良いゲート絶縁層 146 とすることができる。また、ゲート絶縁層 146 の被覆性を向上し、ゲートリーク電流などの発生を抑制することができる。

#### 【0080】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層 146 に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート ( $\text{HfSi}_x\text{O}_y$  ( $x > 0$ 、 $y > 0$ ))、窒素が添加されたハフニウムシリケート ( $\text{HfSi}_x\text{O}_y$  ( $x > 0$ 、 $y > 0$ ))、窒素が添加されたハフニウムアルミネート ( $\text{HfAl}_x\text{O}_y$  ( $x > 0$ 、 $y > 0$ ))、などの高誘電率 (high-k) 材料を用いると良い。high-k 材料をゲート絶縁層 146 に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k 材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

#### 【0081】

ゲート絶縁層 146 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第 2 の熱処理を行うのが望ましい。熱処理の温度は、200 以上 450 以下、望ましくは 250 以上 350 以下である。例えば、窒素雰囲気下で 250、1 時間の熱処理を行えばよい。第 2 の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層 146 が酸素を含む場合、酸化物半導体層 144 に酸素を供給し、該酸化物半導体層 144 の酸素欠損を補填して、I 型（真性半導体）または I 型に限りなく近い酸化物半導体層を形成することもできる。

#### 【0082】

なお、本実施の形態では、ゲート絶縁層 146 の形成後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第 2 の熱処理を行っても良い。また、第 1 の熱処理に続けて第 2 の熱処理を行っても良いし、第 1 の熱処理に第 2 の熱処理を兼ねさせても良いし、第 2 の熱処理に第 1 の熱処理を兼ねさせても良い。

#### 【0083】

上述のように、第 1 の熱処理と第 2 の熱処理の少なくとも一方を適用することで、酸化物半導体層 144 を、その主成分以外の不純物が極力含まれないように高純度化することができる。

#### 【0084】

ゲート電極 148 は、ゲート絶縁層 146 上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極 148 となる導電層は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。詳細は、ソース電極 142a 及びドレイン電極 142b 上などの場合と同様であり、これらの記載を参酌できる。

#### 【0085】

以上の工程によって、トランジスタ 160 を形成することができる。

## 【0086】

また、トランジスタ160上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。例えば、保護絶縁層として酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。また、保護絶縁層の成膜に対向ターゲット方式のスパッタリング法を用いることもできる。

## 【0087】

また、平坦化絶縁層としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層を形成してもよい。

10

## 【0088】

なお、図1（B）に示すトランジスタ170は、ソース電極142a及びドレイン電極142bと、酸化物半導体層144の成膜順以外は、図4に示すトランジスタ160の作製工程と同様の工程によって作製することが可能である。すなわち、基板100上に、導電層を形成し、該導電層を選択的にエッチングすることによってソース電極142a及びドレイン電極142bを形成し、ソース電極142a及びドレイン電極142b上に酸化物半導体層144を形成した後、酸化物半導体層144に接するゲート絶縁層146を形成し、その後、ゲート絶縁層146上において酸化物半導体層144と重畳する領域にゲート電極148を形成することで、トランジスタ170を形成することができる。酸化物半導体層144成膜後には、第1の熱処理及び第2の熱処理を施すのが好ましい。これらの詳細は図4を参照することができるため、記載を省略する。

20

## 【0089】

トランジスタ180の作製工程

次いで、図5（A）乃至図5（C）を用いて、図1（C）に示すトランジスタ180の作製工程の一例について説明する。なお、特に記載がない限り、図4に示したトランジスタ160と同じ符号を付した構成には、同様の材料及び同様の成膜方法を採用することができる。

## 【0090】

基板100上に、導電層を形成し、当該導電層を選択的にエッチングすることによって、ゲート電極148を形成する。次いで、ゲート電極148を覆うようにゲート絶縁層146を成膜する。その後、ゲート絶縁層146上に導電層を形成し、該導電層を選択的にエッチングしてソース電極142a及びドレイン電極142bを形成する（図5（A）参照）。

30

## 【0091】

なお、図5においては、ゲート絶縁層146を選択的にエッチングし、島状のゲート絶縁層146としているが、島状に加工されていない構成を採用しても良い。ゲート絶縁層146を島状に加工しない場合には、加工の際のエッチングによるゲート絶縁層146の汚染を防止することができる。

40

## 【0092】

ゲート絶縁層146の成膜には、図2または図3に示した対向ターゲット方式のスパッタリング法を用いるのが好ましい。ゲート絶縁層146の成膜に対向ターゲット方式のスパッタリング法を用いることで、被成膜面（具体的には、ゲート電極148とゲート絶縁層146との界面）、及び形成されるゲート絶縁層146に対するプラズマによる損傷（プラズマダメージ）を抑制することができ、膜質の良いゲート絶縁層146とすることができる。また、ゲート絶縁層146の被覆性を向上し、ゲートリーク電流などの発生を抑制することができる。

## 【0093】

次いで、ソース電極142a及びドレイン電極142b上にスパッタリング法により酸化

50

物半導体層を成膜し、選択的にエッチングして島状の酸化物半導体層 144 を形成する（図 5（B）参照）。酸化物半導体層の成膜には、図 2 または図 3 に示した対向ターゲット方式のスパッタリング法を用いるのが好ましい。酸化物半導体層の成膜に対向ターゲット方式のスパッタリング法を用いることで、被成膜面（具体的には、ソース電極 142 a、ドレイン電極 142 b またはゲート絶縁層 146 と、酸化物半導体層との界面）、及び形成される酸化物半導体層へのプラズマによる損傷（プラズマダメージ）を抑制することができ、膜質の良い酸化物半導体層とすることができる。また、酸化物半導体層の被覆性を向上し、接続不良などの発生を抑制することができる。また、酸化物半導体層 144 に対しては、熱処理（第 1 の熱処理）を行うことが望ましい。

【0094】

10

次いで、ソース電極 142 a、ドレイン電極 142 b 及び酸化物半導体層 144 を覆うように絶縁層 150 を形成する（図 5（C）参照）。

【0095】

絶縁層 150 は、少なくとも 1 nm 以上の膜厚とし、スパッタ法など、絶縁層 150 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層 150 に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャネルが低抵抗化（N 型化）してしまい、寄生チャネルが形成されるおそれがある。よって、絶縁層 150 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【0096】

20

なお、絶縁層 150 の成膜には、図 2 または図 3 に示した対向ターゲット方式のスパッタリング法を用いるのが好ましい。絶縁層 150 の成膜に対向ターゲット方式のスパッタリング法を用いることで、被成膜面（具体的には、ソース電極 142 a、ドレイン電極 142 b または酸化物半導体層 144 と、絶縁層 150 との界面）、及び形成される絶縁層 150 へのプラズマによる損傷（プラズマダメージ）を抑制することができ、膜質の良い絶縁層とすることができる。また、絶縁層の被覆性を向上し、段切れなどの発生を抑制することができる。

【0097】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の熱処理（好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）を行う。例えば、窒素雰囲気下で 250 、1 時間の第 2 の熱処理を行う。第 2 の熱処理を行うと、酸化物半導体層 144 が絶縁層 150 と接した状態で加熱される。

30

【0098】

以上の工程を経ることによって、成膜後の酸化物半導体層に対して脱水化または脱水素化のための熱処理を行って低抵抗化した後、酸化物半導体層の酸素欠損を補填することができる。その結果、高抵抗化（I 型化）した酸化物半導体層 144 が形成される。以上の工程でトランジスタ 180 が形成される。

【0099】

絶縁層 150 上にさらに保護絶縁層を形成してもよい。例えば、RF スパッタ法を用いて窒化珪素膜を形成することができる。また、保護絶縁層の成膜に対向ターゲット方式のスパッタリング法を用いることもできる。また、保護絶縁層上に平坦化のための平坦化絶縁層を設けてもよい。

40

【0100】

なお、図 1（D）に示すトランジスタ 190 は、ソース電極 142 a 及びドレイン電極 142 b と、酸化物半導体層 144 の成膜順以外は、図 5 に示すトランジスタ 180 の作製工程と同様の工程によって作製することが可能である。すなわち、基板 100 上に、ゲート電極 148 を形成し、ゲート電極 148 上にゲート絶縁層 146 を形成し、ゲート絶縁層 146 上に酸化物半導体層 144 を形成した後、酸化物半導体層 144 に接するソース電極 142 a 及びドレイン電極 142 b を形成し、その後、酸化物半導体層 144 の少なくともチャネル形成領域、ソース電極 142 a 及びドレイン電極 142 b を覆う絶縁層 1

50

50を形成することで、トランジスタ190を形成することができる。酸化物半導体層144成膜後には、第1の熱処理及び第2の熱処理を施すのが好ましい。これらの詳細は図5を参照することができるため、記載を省略する。

#### 【0101】

本実施の形態で示すトランジスタは、ゲート絶縁層及び酸化物半導体層の少なくとも一方を、対向ターゲット方式を用いたスパッタリング法により形成しているため、ゲート絶縁層と酸化物半導体層との界面、ゲート絶縁層中、または、酸化物半導体層中の少なくともいずれかへのプラズマダメージの混入を防ぎ、界面トラップ、膜中トラップ等の欠陥の発生を抑制することができる。よって、閾値電圧のシフトが制御された信頼性の高いトランジスタを形成することができる。

10

#### 【0102】

また、本実施の形態で示すトランジスタは、第1の熱処理により、N型不純物である水素を酸化物半導体から除去し、第2の熱処理により、欠損部に酸素を導入することで、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性化(I型化)、又は実質的に真性化している。酸化物半導体膜を高純度化することにより、トランジスタのしきい値電圧値をプラスとすることができ、所謂ノーマリーオフのトランジスタを実現できる。

#### 【0103】

このように、I型化または実質的にI型化された酸化物半導体(例えば、キャリア密度が $1 \times 10^{12} / \text{cm}^3$ 未満、さらに望ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満)を用いることで、極めて優れたオフ電流特性のトランジスタを得ることが可能である。また、閾値電圧のばらつきの少ない、信頼性の高いトランジスタとすることが可能である。

20

#### 【0104】

特に、対向ターゲット方式のスパッタリング装置を用いて酸化物半導体層を形成する場合、形成された酸化物半導体層中には、平行平板のスパッタリング装置で成膜した酸化物半導体層よりも高い濃度で水素(水や水酸基を含む)が含有されていることがあるため、脱水・脱水素の効果を奏する第1の熱処理を施すことは、効果的である。

#### 【0105】

さらに、ゲート絶縁層及び酸化物半導体層の少なくとも一方を、対向ターゲット方式を用いたスパッタリング法により形成することで、ゲート絶縁層または酸化物半導体層を薄膜化した場合でも被覆性の良い膜を、安定した膜質で成膜することが可能であるため、半導体装置の微細化を実現することができる。半導体装置を十分に微細化することで、一基板あたりの半導体装置の取り数が増大し、半導体装置を低コストで製造可能となる。また、チャンネル長の縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。

30

#### 【0106】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

#### 【0107】

##### (実施の形態2)

本実施の形態では、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図6を用いて説明する。図6に示す液晶表示パネルは、実施の形態1で示したトランジスタを含む。図6(A)及び図6(C)は、トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図6(B)は、図6(A)または図6(C)のM-Nにおける断面図に相当する。

40

#### 【0108】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006

50

とによって、液晶層 4008 と共に封止されている。また第 1 の基板 4001 上のシール材 4005 によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路 4003 が実装されている。

#### 【0109】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG 方法、ワイヤボンディング方法、或いはTAB 方法などを用いることができる。図 6 (A) は、COG 方法により信号線駆動回路 4003 を実装する例であり、図 6 (C) は、TAB 方法により信号線駆動回路 4003 を実装する例である。

#### 【0110】

また第 1 の基板 4001 上に設けられた画素部 4002 と、走査線駆動回路 4004 は、トランジスタを複数有しており、図 6 (B) では、画素部 4002 に含まれるトランジスタ 4010 と、走査線駆動回路 4004 に含まれるトランジスタ 4011 とを例示している。図 6 (B) において、トランジスタ 4010、4011 は、第 1 のゲート絶縁層 4020a、第 2 のゲート絶縁層 4020b を有する。なお、ゲート絶縁層を単層としても良い。トランジスタ 4010、4011 上には絶縁層 4041、4042、4021 が設けられている。

#### 【0111】

トランジスタ 4010、4011 には、実施の形態 1 で示したトランジスタ 190 を用いることができる。もちろん、実施の形態 1 で示したトランジスタ 160、170、180 のいずれかを用いてもよい。また、これらを組み合わせて用いることもできる。本実施の形態において、トランジスタ 4010、4011 は n チャンネル型トランジスタである。

#### 【0112】

絶縁層 4021 上において、駆動回路用のトランジスタ 4011 の酸化物半導体層のチャネル形成領域と重なる位置に導電層 4040 が設けられている。導電層 4040 を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、トランジスタの信頼性が向上し、例えばバイアス - 熱ストレス試験 (BT 試験) において、BT 試験前後におけるトランジスタ 4011 のしきい値電圧の変化量を低減することができる。また、導電層 4040 の電位はトランジスタ 4011 のゲート電極の電位と同じでもよいし、異なっても良く、第 2 のゲート電極として機能させることもできる。また、導電層 4040 の電位が GND、0V、或いはフローティング状態であってもよい。

#### 【0113】

また、液晶素子 4013 が有する画素電極層 4030 は、トランジスタ 4010 と電氣的に接続されている。そして液晶素子 4013 の対向電極層 4031 は第 2 の基板 4006 上に形成されている。画素電極層 4030 と対向電極層 4031 と液晶層 4008 とが重なっている部分が、液晶素子 4013 に相当する。なお、画素電極層 4030、対向電極層 4031 はそれぞれ配向膜として機能する絶縁層 4032、4033 が設けられ、絶縁層 4032、4033 を介して液晶層 4008 を挟持している。

#### 【0114】

なお、第 1 の基板 4001、第 2 の基板 4006 としては、透光性基板を用いることができ、ポリエステルフィルム、またはアクリル樹脂フィルムなどのプラスチックや、ガラスや、セラミックスなどを用いることができる。

#### 【0115】

また 4035 は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層 4030 と対向電極層 4031 との間の距離 (セルギャップ) を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層 4031 は、トランジスタ 4010 と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層 4031 と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材 4005 に含有させる。

#### 【0116】



また、配向膜を用いないブルー相を示す液晶を用いてもよく、その場合には横電界方式とするため、図 6 に示す電極配置と異なる配置とする。例えば、同一絶縁層上に画素電極層と共通電極層とを並べて配置し、液晶層に横電界を印加する。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために 5 重量% 以上のカイラル剤を混合させた液晶組成物を用いて液晶層 4008 に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が 1 m s e c 以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

#### 【0117】

なお透過型液晶表示装置の他に、半透過型液晶表示装置でも適用できる。

10

#### 【0118】

また、液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光膜を設けてもよい。

#### 【0119】

トランジスタ 4011、4010 上には、酸化物半導体層に接して絶縁層 4041 が形成されている。絶縁層 4041 は実施の形態 1 で示した絶縁層 150 と同様な材料及び方法で形成すればよい。ここでは、絶縁層 4041 として、図 2 または図 3 の成膜装置を用いたスパッタ法により酸化珪素膜を形成する。また、絶縁層 4041 上に接して保護絶縁層 4042 を形成する。また、保護絶縁層 4042 は実施の形態 1 で示した保護絶縁層と同様な材料及び方法で形成すればよい。また、トランジスタの表面凹凸を低減するために、保護絶縁層 4042 を平坦化絶縁膜として機能する絶縁層 4021 で覆う構成となっている。

20

#### 【0120】

また、平坦化絶縁膜として絶縁層 4021 を形成する。絶縁層 4021 としては、ポリイミド、アクリル、ペンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層 4021 を形成してもよい。

30

#### 【0121】

絶縁層 4021 の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG 法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層 4021 の焼成工程と半導体層の加熱処理を兼ねることで効率よく半導体装置を作製することが可能となる。

#### 【0122】

画素電極層 4030、対向電極層 4031 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、酸化インジウム酸化亜鉛、酸化シリコンを含むインジウム錫酸化物などの透光性を有する透光性の導電性材料を用いることができる。

40

#### 【0123】

また別途形成された信号線駆動回路 4003 と、走査線駆動回路 4004 または画素部 4002 に与えられる各種信号及び電位は、FPC 4018 から供給されている。

#### 【0124】

接続端子電極 4015 が、液晶素子 4013 が有する画素電極層 4030 と同じ導電膜から形成され、端子電極 4016 は、トランジスタ 4010、4011 のソース電極及びド

50

レイン電極と同じ導電膜で形成されている。

【0125】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0126】

また図6においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0127】

本実施の形態で示す液晶表示パネルは、実施の形態1で示した電氣的特性が良好で、信頼性の高いトランジスタを用いて構成されているため、良好な品質を有する液晶表示パネルとすることが可能である。

【0128】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0129】

(実施の形態3)

本実施の形態では、半導体装置の一形態として電子ペーパーの例を示す。

【0130】

実施の形態1に示すトランジスタは、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電氣泳動表示装置(電氣泳動ディスプレイ)とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0131】

電氣泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子を含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの(無色を含む)とする。

【0132】

このように、電氣泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的效果を利用したディスプレイである。

【0133】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0134】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1のトランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0135】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁氣泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0136】

10

20

30

40

50

図7は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられるトランジスタ581としては、実施の形態1で示すトランジスタと同様に作製でき、電気的特性が良好で、信頼性の高いトランジスタである。

【0137】

図7の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0138】

図7において、トランジスタ581はボトムゲート構造のトランジスタであり、実施の形態1で示したトランジスタ190を用いることができる。もちろん、実施の形態1で示したトランジスタ160、170、180のいずれかを用いてもよい。また、これらを組み合わせることもできる。トランジスタ581は、第1のゲート絶縁層582a、第2のゲート絶縁層582bの積層上に接して酸化物半導体層を有し、該酸化物半導体層と接する絶縁層583に覆われている。なお、第1のゲート絶縁層582aはハフニウムを含む絶縁膜とするのが好ましく、第2のゲート絶縁層582bよりも比誘電率の高い膜を用いているのが好ましい。ただし、ゲート絶縁層を単層で形成しても良い。

【0139】

トランジスタ581のソース電極又はドレイン電極は、絶縁層583、585に形成される開口で、第1の電極層587と接して電氣的に接続している。第1の電極層587と第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされている球形粒子589が一对の基板580、596の間に設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている。

【0140】

また、第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、トランジスタ581と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板580、596間に配置される導電性粒子を介して第2の電極層588と共通電位線とを電氣的に接続することができる。

【0141】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 $\mu$ m~20 $\mu$ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0142】

以上の工程により、実施の形態1で示すトランジスタを有する電子ペーパーを作製することができる。本実施の形態で示す電子ペーパーは、実施の形態1で示した電気的特性が良好で、信頼性の高いトランジスタを用いて構成されているため、良好な品質を有する電子ペーパーとすることが可能である。

【0143】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0144】

10

20

30

40

50

#### (実施の形態 4)

本実施の形態では、半導体装置の一例として、記憶媒体（メモリ素子）を示す。本実施の形態では、実施の形態 1 で示す酸化物半導体を用いたトランジスタと、酸化物半導体以外の材料を用いたトランジスタとを同一基板上に形成する。

##### 【0145】

図 8 は、半導体装置の構成の一例である。図 8 (A) には、半導体装置の断面を、図 8 (B) には、半導体装置の平面を、それぞれ示す。ここで、図 8 (A) は、図 8 (B) の C 1 - C 2 および D 1 - D 2 における断面に相当する。また、図 8 (C) には、上記半導体装置をメモリ素子として用いる場合の回路図の一例を示す。図 8 (A) および図 8 (B) に示される半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 140 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 を有する。本実施の形態では、第 1 の半導体材料を酸化物半導体以外の半導体材料とし、第 2 の半導体材料を酸化物半導体とする。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

10

##### 【0146】

図 8 におけるトランジスタ 140 は、半導体材料（例えば、シリコンなど）を含む基板 200 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むように設けられた不純物領域 120 と、不純物領域 120 に接する金属化合物領域 124 と、チャネル形成領域 116 上に設けられたゲート絶縁層 108 と、ゲート絶縁層 108 上に設けられたゲート電極 110 と、を有する。

20

##### 【0147】

半導体材料を含む基板 200 は、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができる。なお、一般に「SOI 基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む。つまり、「SOI 基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI 基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

30

##### 【0148】

基板 200 上にはトランジスタ 140 を囲むように素子分離絶縁層 106 が設けられており、トランジスタ 140 を覆うように絶縁層 128 および絶縁層 130 が設けられている。なお、高集積化を実現するためには、図 8 に示すようにトランジスタ 140 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 140 の特性を重視する場合には、ゲート電極 110 の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域 120 を設けても良い。

##### 【0149】

トランジスタ 140 は公知の技術を用いて作製することができる。このようなトランジスタ 140 は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

40

##### 【0150】

トランジスタ 140 を形成した後、トランジスタ 162 および容量素子 164 の形成前の処理として、絶縁層 128 や絶縁層 130 に CMP 処理を施して、ゲート電極 110 の上面を露出させる。ゲート電極 110 の上面を露出させる処理としては、CMP 処理の他にエッチング処理などを適用することも可能であるが、トランジスタ 162 の特性を向上させるために、絶縁層 128 や絶縁層 130 の表面は可能な限り平坦にしておくことが望ましい。

50

## 【0151】

次に、ゲート電極110、絶縁層128、絶縁層130などの上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極またはドレイン電極142c、ソース電極またはドレイン電極142dを形成する。

## 【0152】

導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。Mn、Mg、Zr、Be、Nd、Scのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

10

## 【0153】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有するソース電極またはドレイン電極142c、およびソース電極またはドレイン電極142dへの加工が容易であるというメリットがある。

## 【0154】

上部のトランジスタ162のチャンネル長(L)は、ソース電極またはドレイン電極142c、およびソース電極またはドレイン電極142dの下端部の間隔によって決定される。なお、チャンネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm～数10nmと波長の短い超紫外線を用いるのが望ましい。

20

## 【0155】

次に、ソース電極またはドレイン電極142cの上に絶縁層143aを、ソース電極またはドレイン電極142dの上に絶縁層143bを、それぞれ形成する。絶縁層143aおよび絶縁層143bは、ソース電極またはドレイン電極142cや、ソース電極またはドレイン電極142dを覆う絶縁層を形成した後、当該絶縁層を選択的にエッチングすることにより形成できる。また、絶縁層143aおよび絶縁層143bは、後に形成されるゲート電極の一部と重畳するように形成する。このような絶縁層を設けることにより、ゲート電極と、ソース電極またはドレイン電極との間の容量を低減することが可能である。

30

## 【0156】

絶縁層143aや絶縁層143bは、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。

## 【0157】

なお、ゲート電極と、ソース電極またはドレイン電極との間の容量を低減させるという点では、絶縁層143aおよび絶縁層143bを形成するのが好適であるが、当該絶縁層を設けない構成とすることも可能である。

## 【0158】

次に、ソース電極またはドレイン電極142c、およびソース電極またはドレイン電極142dを覆うように酸化物半導体層を形成した後、当該酸化物半導体層を選択的にエッチングして酸化物半導体層144を形成する。

40

## 【0159】

酸化物半導体層は、実施の形態1に示す材料及び形成プロセスを用いる。なお、酸化物半導体層の成膜には、図2または図3に示す対向ターゲット方式のスパッタリング装置を用いるのが好ましい。

## 【0160】

その後、酸化物半導体層に対して、熱処理(第1の熱処理)を行うことが望ましい。この第1の熱処理によって酸化物半導体層中の、過剰な水素(水や水酸基を含む)を除去し、

50

酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300 以上550 未満、または400 以上500 以下とする。特に、対向ターゲット方式のスパッタリング装置を用いて酸化物半導体層を形成する場合、形成された酸化物半導体層中には、平行平板のスパッタリング装置で成膜した酸化物半導体層よりも高い濃度で水素（水や水酸基を含む）が含有されていることがあるため、脱水・脱水素の効果を奏する第1の熱処理を施すことは、効果的である。

【0161】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450 、1時間の条件で行うことができる。この間、酸化物半導体層は大気に触れさせず、水や水素の混入が生じないようにする。第1の熱処理によって不純物を低減し、I型（真性）またはI型に限りなく近い酸化物半導体層を形成することで、極めて優れた特性のトランジスタを実現することができる。

10

【0162】

次に、酸化物半導体層144に接するゲート絶縁層146を形成する。ゲート絶縁層146は、実施の形態1に示す材料及び形成プロセスを用いる。なお、ゲート絶縁層146の成膜には、図2または図3に示す対向ターゲット方式のスパッタリング装置を用いるのが好ましい。

【0163】

次に、ゲート絶縁層146上において酸化物半導体層144と重畳する領域にゲート電極148aを形成し、ソース電極またはドレイン電極142cと重畳する領域に電極148bを形成する。

20

【0164】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200 以上450 以下、望ましくは250 以上350 以下である。例えば、窒素雰囲気下で250 、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、I型（真性）またはI型に限りなく近い酸化物半導体層を形成することもできる。

【0165】

30

なお、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさせても良い。

【0166】

上述のように、第1の熱処理と第2の熱処理の少なくとも一方を適用することで、酸化物半導体層144を、その主成分以外の不純物が極力含まれないように高純度化することができる。

【0167】

ゲート電極148aおよび電極148bは、ゲート絶縁層146上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。

40

【0168】

次に、ゲート絶縁層146、ゲート電極148a、および電極148b上に、絶縁層150および絶縁層152を形成する。絶縁層150および絶縁層152は、スパッタ法やCVD法などを用いて形成することができる。また、酸化シリコン、酸化窒素シリコン、窒素シリコン、酸化ハフニウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁層150および絶縁層152の成膜には、図2または図3に示す対向ターゲット方式のスパッタリング装置を用いるのが好ましい。

【0169】

次に、ゲート絶縁層146、絶縁層150、及び絶縁層152に、ソース電極またはドレ

50

イン電極 1 4 2 d にまで達する開口を形成する。当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

【 0 1 7 0 】

その後、上記開口に電極 1 5 4 を形成し、絶縁層 1 5 2 上に電極 1 5 4 に接する配線 1 5 6 を形成する。

【 0 1 7 1 】

電極 1 5 4 は、例えば、開口を含む領域に P V D 法や C V D 法などを用いて導電層を形成した後、エッチング処理や C M P といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【 0 1 7 2 】

配線 1 5 6 は、スパッタ法をはじめとする P V D 法や、プラズマ C V D 法などの C V D 法を用いて導電層を形成した後、当該導電層をパターニングすることによって形成される。また、導電層の材料としては、A l、C r、C u、T a、T i、M o、W から選ばれた元素や、上述した元素を成分とする合金等を用いることができる。M n、M g、Z r、B e、N d、S c のいずれか、またはこれらを複数組み合わせた材料を用いてもよい。詳細は、ソース電極またはドレイン電極 1 4 2 c などと同様である。

【 0 1 7 3 】

以上により、高純度化された酸化物半導体層 1 4 4 を用いたトランジスタ 1 6 2、および容量素子 1 6 4 が完成する。容量素子 1 6 4 は、ソース電極またはドレイン電極 1 4 2 c、酸化物半導体層 1 4 4、ゲート絶縁層 1 4 6、および電極 1 4 8 b、で構成される。

【 0 1 7 4 】

なお、図 8 の容量素子 1 6 4 では、酸化物半導体層 1 4 4 とゲート絶縁層 1 4 6 を積層させることにより、ソース電極またはドレイン電極 1 4 2 c と、電極 1 4 8 b との間の絶縁性を十分に確保することができる。もちろん、十分な容量を確保するために、酸化物半導体層 1 4 4 を有しない構成の容量素子 1 6 4 を採用しても良い。また、絶縁層 1 4 3 a と同様に形成される絶縁層を有する構成の容量素子 1 6 4 を採用しても良い。さらに、容量が不要の場合は、容量素子 1 6 4 を設けない構成とすることも可能である。

【 0 1 7 5 】

図 8 ( C ) には、上記半導体装置をメモリ素子として用いる場合の回路図の一例を示す。図 8 ( C ) において、トランジスタ 1 6 2 のソース電極またはドレイン電極の一方と、容量素子 1 6 4 の電極の一方と、トランジスタ 1 4 0 のゲート電極とは、電気的に接続されている。また、第 1 の配線 ( 1 s t L i n e : ソース線とも呼ぶ ) とトランジスタ 1 4 0 のソース電極とは、電気的に接続され、第 2 の配線 ( 2 n d L i n e : ビット線とも呼ぶ ) とトランジスタ 1 4 0 のドレイン電極とは、電気的に接続されている。また、第 3 の配線 ( 3 r d L i n e : 第 1 の信号線とも呼ぶ ) とトランジスタ 1 6 2 のソース電極またはドレイン電極の他方とは、電気的に接続され、第 4 の配線 ( 4 t h L i n e : 第 2 の信号線とも呼ぶ ) と、トランジスタ 1 6 2 のゲート電極とは、電気的に接続されている。そして、第 5 の配線 ( 5 t h L i n e : ワード線とも呼ぶ ) と、容量素子 1 6 4 の電極の他方は電気的に接続されている。

【 0 1 7 6 】

酸化物半導体を用いたトランジスタ 1 6 2 は、オフ電流が極めて小さいという特徴を有しているため、トランジスタ 1 6 2 をオフ状態とすることで、トランジスタ 1 6 2 のソース電極またはドレイン電極の一方と、容量素子 1 6 4 の電極の一方と、トランジスタ 1 4 0 のゲート電極とが電気的に接続されたノード ( 以下、ノード F G ) の電位を極めて長時間にわたって保持することが可能である。そして、容量素子 1 6 4 を有することにより、ノード F G に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

【 0 1 7 7 】

半導体装置に情報を記憶させる場合 ( 書き込み ) は、まず、第 4 の配線の電位を、トランジスタ 1 6 2 がオン状態となる電位にして、トランジスタ 1 6 2 をオン状態とする。これ

10

20

30

40

50

により、第3の配線の電位が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。ここでは、異なる二つの電位レベルを与える電荷（以下、ロー（Low）レベル電荷、ハイ（High）レベル電荷という）のいずれかが与えられるものとする。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、ノードFGが浮遊状態となるため、ノードFGには所定の電荷が保持されたままの状態となる。以上のように、ノードFGに所定量の電荷を蓄積及び保持させることで、メモリセルに情報を記憶させることができる。

#### 【0178】

トランジスタ162のオフ電流は極めて小さいため、ノードFGに供給された電荷は長時間にわたって保持される。したがって、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となり、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

10

#### 【0179】

記憶された情報を読み出す場合（読み出し）は、第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、ノードFGに保持された電荷量に応じて、トランジスタ140は異なる状態をとる。一般に、トランジスタ140をnチャネル型とすると、ノードFGにHighレベル電荷が保持されている場合のトランジスタ140の見かけのしきい値 $V_{th\_H}$ は、ノードFGにLowレベル電荷が保持されている場合のトランジスタ140の見かけのしきい値 $V_{th\_L}$ より低くなるためである。ここで、見かけのしきい値とは、トランジスタ140を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{th\_H}$ と $V_{th\_L}$ の中間の電位 $V_0$ とすることにより、ノードFGに保持された電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0$ （ $> V_{th\_H}$ ）となれば、トランジスタ140は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0$ （ $< V_{th\_L}$ ）となっても、トランジスタ140は「オフ状態」のままである。このため、第5の配線の電位を制御して、トランジスタ140のオン状態またはオフ状態を読み出す（第2の配線の電位を読み出す）ことで、記憶された情報を読み出すことができる。

20

#### 【0180】

また、記憶させた情報を書き換える場合においては、上記の書き込みによって所定量の電荷を保持したノードFGに、新たな電位を供給することで、ノードFGに新たな情報に係る電荷を保持させる。具体的には、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、ノードFGに供給され、ノードFGに所定量の電荷が蓄積される。その後、第4の配線の電位をトランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、ノードFGには、新たな情報に係る電荷が保持された状態となる。すなわち、ノードFGに第1の書き込みによって所定量の電荷が保持された状態で、第1の書き込みと同様の動作（第2の書き込み）を行うことで、記憶させた情報を上書きすることが可能である。

30

40

#### 【0181】

本実施の形態で示すトランジスタ162は、ゲート絶縁層及び酸化物半導体層の少なくとも一方を、対向ターゲット方式を用いたスパッタリング法により形成しているため、ゲート絶縁層と酸化物半導体層との界面、ゲート絶縁層中、または、酸化物半導体層中の少なくともいずれかへのプラズマダメージの混入を防ぎ、界面トラップ、膜中トラップ等の欠陥の発生を抑制することができる。さらに、高純度化され、真性化された酸化物半導体層144を用いることで、トランジスタ162のオフ電流を十分に低減することができる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

#### 【0182】

50



また、本実施の形態において示す半導体装置では、トランジスタ 140 とトランジスタ 162 を重畳させることで、集積度が十分に高められた半導体装置が実現される。

【0183】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0184】

(実施の形態 5)

本明細書に開示する半導体装置は、さまざまな電子機器(遊技機も含む)に適用することができる。電子機器としては、例えば、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

10

【0185】

本実施の形態では、上記実施の形態のいずれかで得られる電気的特性が良好で、信頼性の高いトランジスタを搭載した電子機器の例について図9を用いて説明する。

【0186】

図9(A)は、ノート型のパーソナルコンピュータであり、本体3001、筐体3002、表示部3003、キーボード3004などによって構成されている。なお、ノート型のパーソナルコンピュータは、上記実施の形態で示すトランジスタを含んでいる。そのため、良好な品質を有し、信頼性の高いノート型のパーソナルコンピュータが実現される。

20

【0187】

図9(B)は、携帯情報端末(PDA)であり、本体3021には表示部3023と、外部インターフェイス3025と、操作ボタン3024等が設けられている。また操作用の付属品としてスタイラス3022がある。なお、携帯情報端末(PDA)は、上記実施の形態で示すトランジスタを含んでいる。そのため、良好な品質を有し、信頼性の高い携帯情報端末(PDA)が実現される。

【0188】

図9(C)は、上記実施の形態で示す電子ペーパーを一部品として実装して作製した電子書籍である。図9(C)は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

30

【0189】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図9(C)では表示部2705)に文章を表示し、左側の表示部(図9(C)では表示部2707)に画像を表示することができる。

40

【0190】

また、図9(C)では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカー2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

【0191】

50

また、電子書籍２７００は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

#### 【０１９２】

図９（Ｄ）は、携帯電話であり、筐体２８００及び筐体２８０１の二つの筐体で構成されている。筐体２８０１には、表示パネル２８０２、スピーカー２８０３、マイクロフォン２８０４、ポインティングデバイス２８０６、カメラ用レンズ２８０７、外部接続端子２８０８などを備えている。また、筐体２８０１には、携帯型情報端末の充電を行う太陽電池セル２８１０、外部メモリスロット２８１１などを備えている。また、アンテナは筐体２８０１内部に内蔵されている。なお、携帯電話は、上記実施の形態で示すトランジスタを少なくとも一部品として含んでいる。

10

#### 【０１９３】

また、表示パネル２８０２はタッチパネルを備えており、図９（Ｄ）には映像表示されている複数の操作キー２８０５を点線で示している。なお、太陽電池セル２８１０で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

#### 【０１９４】

表示パネル２８０２は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル２８０２と同一面上にカメラ用レンズ２８０７を備えているため、テレビ電話が可能である。スピーカー２８０３及びマイクロフォン２８０４は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体２８００と筐体２８０１は、スライドし、図９（Ｄ）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

20

#### 【０１９５】

外部接続端子２８０８はＡＣアダプタ及びＵＳＢケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット２８１１に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。記録媒体として、実施の形態４に示す半導体装置を用いることができる。実施の形態４によれば、オフ電流を十分に低減することができるトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

#### 【０１９６】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

30

#### 【０１９７】

図９（Ｅ）は、デジタルカメラであり、本体３０５１、表示部（Ａ）３０５７、接眼部３０５３、操作スイッチ３０５４、表示部（Ｂ）３０５５、バッテリー３０５６などによって構成されている。なお、デジタルカメラは、上記実施の形態で示すトランジスタを含んでいる。そのため、良好な品質を有し、信頼性の高いデジタルカメラが実現される。

#### 【０１９８】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、良好な品質を有する電子機器が実現される。

40

#### 【符号の説明】

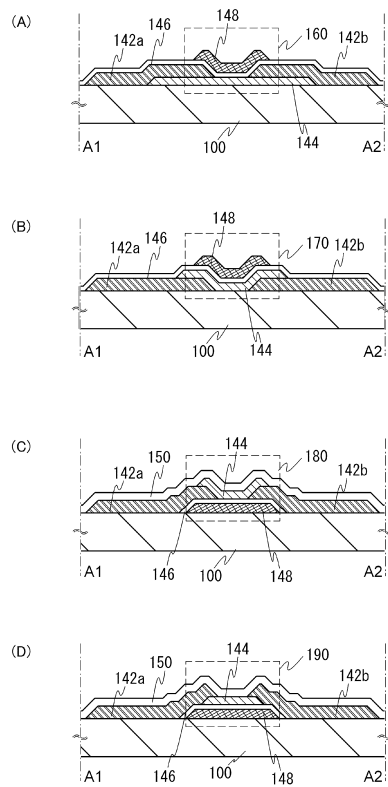
#### 【０１９９】

１００	基板
１０６	素子分離絶縁層
１０８	ゲート絶縁層
１１０	ゲート電極
１１６	チャネル形成領域
１２０	不純物領域
１２４	金属化合物領域
１２８	絶縁層

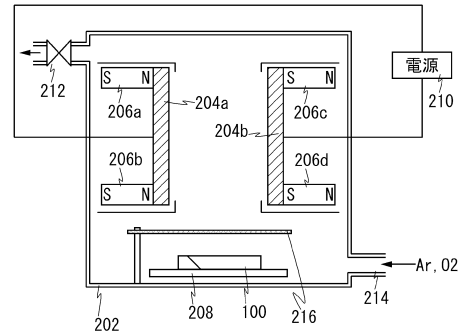
50

1 3 0	絶縁層	
1 4 0	トランジスタ	
1 4 2 a	ソース電極	
1 4 2 b	ドレイン電極	
1 4 2 c	ドレイン電極	
1 4 2 d	ドレイン電極	
1 4 3 a	絶縁層	
1 4 3 b	絶縁層	
1 4 4	酸化物半導体層	
1 4 6	ゲート絶縁層	10
1 4 8	ゲート電極	
1 4 8 a	ゲート電極	
1 4 8 b	電極	
1 5 0	絶縁層	
1 5 2	絶縁層	
1 5 4	電極	
1 5 6	配線	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	20
1 7 0	トランジスタ	
1 8 0	トランジスタ	
1 9 0	トランジスタ	
2 0 0	基板	
2 0 2	真空容器	
2 0 4 a	ターゲット	
2 0 4 b	ターゲット	
2 0 6 a	磁界発生手段	
2 0 6 b	磁界発生手段	
2 0 6 c	磁界発生手段	30
2 0 6 d	磁界発生手段	
2 0 8	基板ホルダー	
2 1 0	電源	
2 1 2	排気管	
2 1 4	供給管	
2 1 6	シャッター	

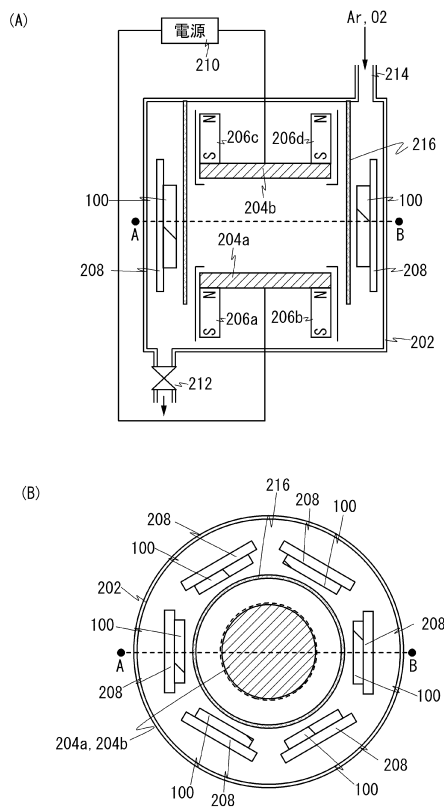
【図 1】



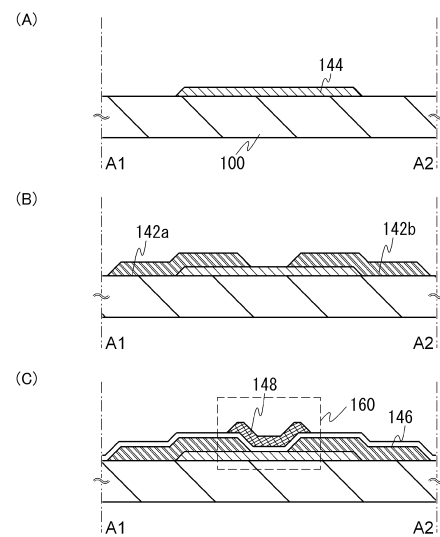
【図 2】



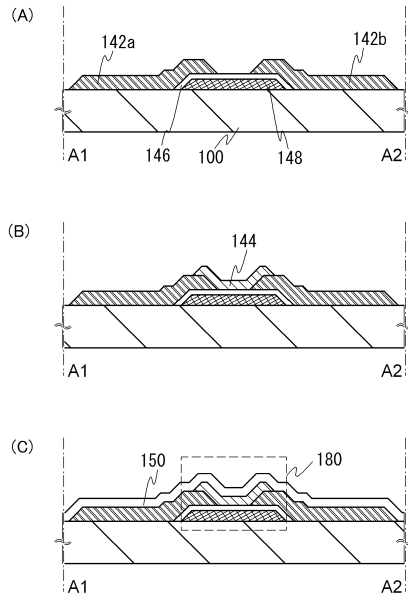
【図 3】



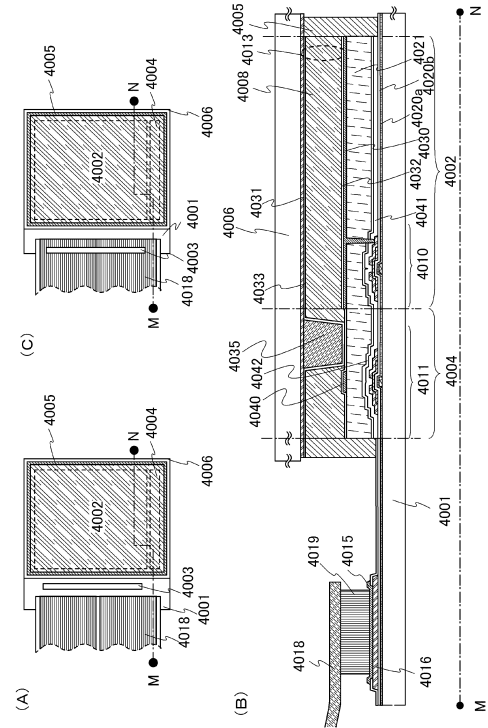
【図 4】



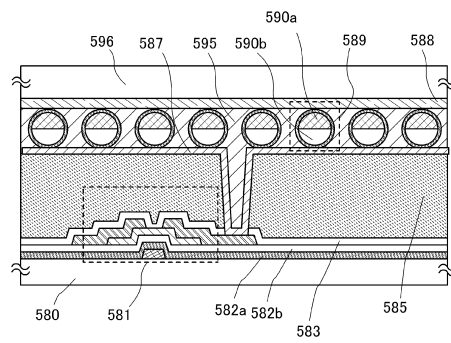
【図 5】



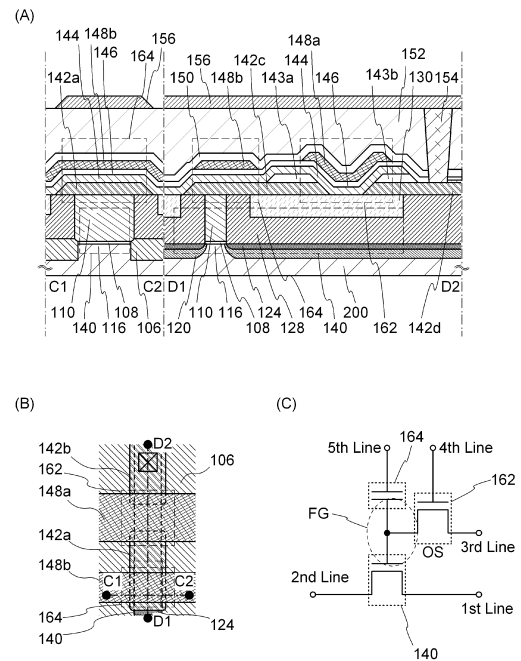
【図 6】



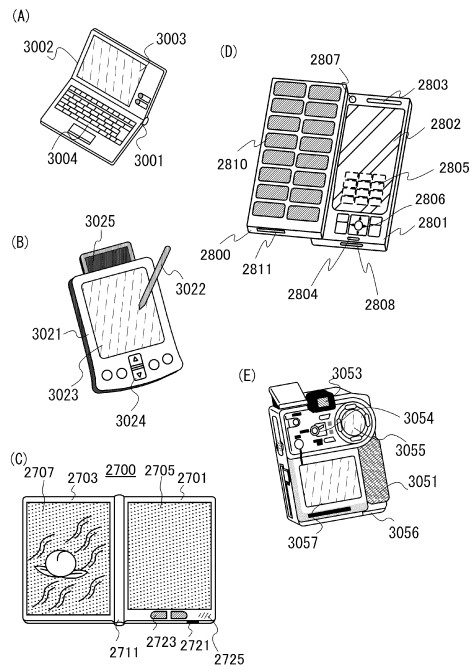
【図 7】



【図 8】



## 【図 9】



---

フロントページの続き

(56)参考文献 特許第5 1 8 5 4 0 4 ( J P , B 2 )

特開2 0 0 6 - 0 0 5 1 1 5 ( J P , A )

特開2 0 0 8 - 2 8 1 9 8 8 ( J P , A )

国際公開第2 0 0 9 / 0 3 4 9 5 3 ( W O , A 1 )

国際公開第2 0 0 8 / 0 9 6 7 6 8 ( W O , A 1 )

特開2 0 0 9 - 0 9 9 8 4 7 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 4 7 7

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 3 6 3

H 0 1 L 2 9 / 7 8 6