

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年3月15日(15.03.2018)



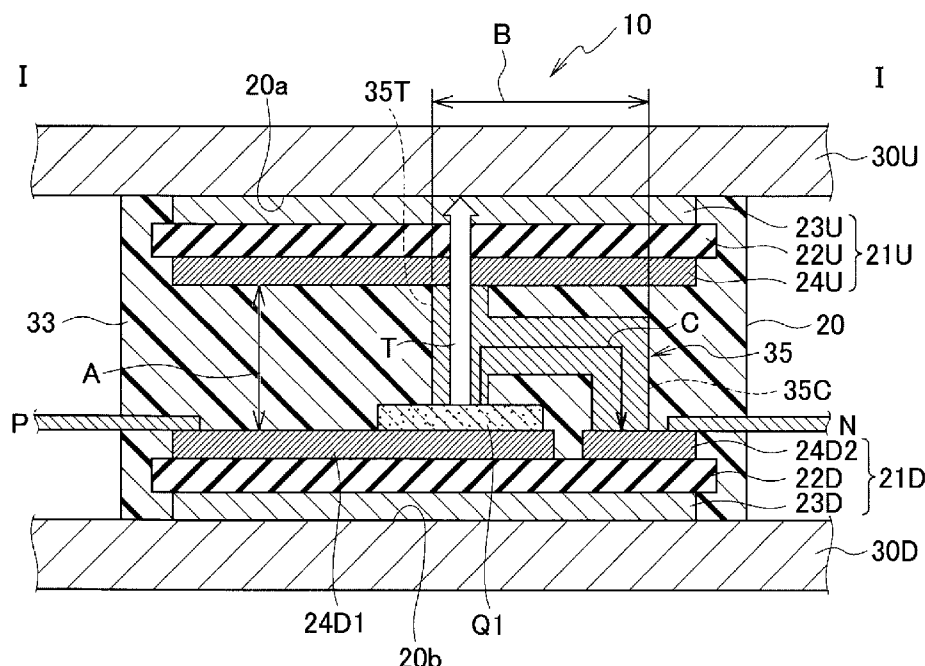
(10) 国際公開番号

WO 2018/047485 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) *H01L 25/18* (2006.01)
H01L 23/29 (2006.01) *H02M 7/48* (2007.01)
- (21) 国際出願番号: PCT/JP2017/026653
- (22) 国際出願日: 2017年7月24日(24.07.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-173873 2016年9月6日(06.09.2016) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: 岩橋 清太 (IWAHASHI Seita);
〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 三好 秀和, 外 (MIYOSHI Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目 2 番 8 号 虎ノ門琴平タワー Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: POWER MODULE AND INVERTER DEVICE

(54) 発明の名称: パワーモジュールおよびインバータ装置



(57) **Abstract:** A power module (10) is provided with: a lower ceramic substrate (21D); a semiconductor device Q1 which is mounted on the lower ceramic substrate (21D) and generates heats during operation; an upper ceramic substrate (21U) disposed on the semiconductor device Q1 so as to face the lower ceramic substrate (21D); a bridge section (35C) which transmits an electrical signal and is connected to an electrode pattern (24D2), one end of which is disposed on the semiconductor device Q1 and the other end of which is formed on the lower ceramic substrate (21D); and a post section (35T), one end of which is disposed on the semiconductor device Q1 and the other end of which is connected to the upper ceramic substrate (21U), the post section (35T) conducting heat from the semiconductor device Q1 to a second insulation

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

substrate (22U). A power module and inverter device capable of efficiently dissipating heat are provided.

(57) 要約: パワーモジュール(10)は、下部セラミック基板(21D)と、下部セラミック基板(21D)上に搭載されて動作時に発熱する半導体デバイスQ1と、半導体デバイスQ1上に、下部セラミック基板(21D)に対向して配置された上部セラミック基板(21U)と、半導体デバイスQ1上に一端が配置され、他端側が下部セラミック基板(21D)に形成された電極パターン(24D2)に接続されて電気信号を伝送するブリッジ部(35C)と、半導体デバイスQ1上に一端が配置され、他端側が上部セラミック基板(21U)に接続されて半導体デバイスQ1の熱を第2絶縁基板(22U)側に伝導するポスト部(35T)とを備える。効率的に放熱可能なパワーモジュールおよびインバータ装置を提供する。

明 細 書

発明の名称： パワーモジュールおよびインバータ装置

技術分野

[0001] 本実施の形態は、パワーモジュールおよびインバータ装置に関する。

背景技術

[0002] パワーモジュールの1つとして、従来から、絶縁ゲートバイポーラトランジスタ（IGBT：Insulated Gate Bipolar Transistor）のような半導体デバイスを含むパワー素子（チップ）の外囲が樹脂でモールドされたパワー半導体モジュールが知られている。動作状態において、半導体デバイスは発熱するため、裏面側にヒートシンクやフィンなどの放熱器や冷却器を配置して放熱させ、半導体デバイスを冷却するのが一般的である。

[0003] 特に、モジュールの上下の両面に冷却器を配置した両面冷却構造においては、チップ上に金属ブロックを配置することで、電氣的、熱的に上面側と接続する構成が一般的である。

先行技術文献

特許文献

[0004] 特許文献1：特開2007-311441号公報

特許文献2：特開2013-179229号公報

特許文献3：特開2010-140969号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、この両面冷却構造において、電氣的、熱的な経路が同一経路である場合、ジュール熱による発熱が、放熱を妨げてしまい、特性を悪化させる。

[0006] 本実施の形態は、効率的に放熱可能なパワーモジュールおよびインバータ装置を提供する。

課題を解決するための手段

[0007] 本実施の形態の一態様によれば、第1絶縁基板と、前記第1絶縁基板上に搭載されて動作時に発熱する半導体デバイスと、前記半導体デバイス上に、前記第1絶縁基板に対向して配置された第2絶縁基板と、前記半導体デバイス上に一端が配置され、他端側が前記第1絶縁基板に形成された電極パターンに接続されて電気信号を伝送する電気伝導路層と、前記半導体デバイス上に一端が配置され、他端側が前記第2絶縁基板に接続されて前記半導体デバイスの熱を前記第2絶縁基板側に伝導する熱伝導路層とを備えるパワーモジュールが提供される。

[0008] また、本実施の形態の他の態様によれば、表面と裏面とを有する第1絶縁基板と、前記第1絶縁基板の前記表面側に搭載されて動作時に発熱する半導体デバイスと、前記半導体デバイス上に、前記第1絶縁基板に対向して配置され、表面と裏面とを有する第2絶縁基板と、前記第2絶縁基板の前記半導体デバイスに対向する面と反対側の面に配置された第1冷却器と、一端が前記半導体デバイス上に配置され、他端側が前記第1絶縁基板に形成された電極パターンに接続されて電気信号を伝送する電気伝導路層と、一端が前記半導体デバイス上に配置され、他端側が前記第2絶縁基板に接続されて前記半導体デバイスの熱を前記第1冷却器に伝導する熱伝導路層とを備え、前記電気伝導路層は、前記熱伝導路層の側面から前記電極パターンに接続される一体型のブロック構造を備えるパワーモジュールが提供される。

[0009] また、本実施の形態の他の態様によれば、第1絶縁基板と、前記第1絶縁基板上に搭載されて動作時に発熱する半導体デバイスと、前記半導体デバイス上に、前記第1絶縁基板に対向して配置された第2絶縁基板と、前記第2絶縁基板の前記半導体デバイスに対向する面と反対側の面に配置された第1冷却器と、一端が前記半導体デバイス上に配置され、他端側が前記第1絶縁基板に形成された電極パターンに接続されて電気信号を伝送する電気伝導路層と、前記電気伝導路層の前記第2絶縁基板側に積層化配置され、前記第2絶縁基板に接続されて前記半導体デバイスの熱を前記第1冷却器に伝導する熱伝導路層とを備えるパワーモジュールが提供される。

[0010] また、本実施の形態の他の態様によれば、電源端子と基準端子との間に接続された半導体デバイスを含む回路が形成されたパワーモジュールを用いて電力変換を行うインバータ装置であって、前記パワーモジュールは、第1絶縁基板と、前記第1絶縁基板上に搭載されて動作時に熱を発生する前記半導体デバイスと、前記半導体デバイス上に、前記半導体デバイスに対向する面と反対側に、前記第1絶縁基板に対向して配置された第2絶縁基板と、一端が前記半導体デバイス上に形成された電極パッドに接続され、他端側が前記第1絶縁基板に形成された電極パターンに接続され、前記半導体デバイスからの電流を前記第2絶縁基板を介さずに前記電極パターンに流す電気伝導路層と、一端が前記半導体デバイス上に配置され、他端側が前記第2絶縁基板側に接続され、前記半導体デバイスの熱を前記第2絶縁基板に伝える熱伝導路層とを備え、少なくとも前記半導体デバイスと、前記電気伝導路層と、前記熱伝導路層と、前記各端子の一部を封止するモールド樹脂を備えるインバータ装置が提供される。

発明の効果

[0011] 本実施の形態によれば、効率的に放熱可能なパワーモジュールおよびインバータ装置を提供可能である。

図面の簡単な説明

[0012] [図1]第1の実施の形態に係るパワーモジュールであって、図2（a）のⅠ-Ⅰ線に沿う模式的断面構造図。

[図2]（a）第1の実施の形態に係るパワーモジュールの一部を透過して示す模式的平面構成図、（b）第1の実施の形態に係るパワーモジュールの模式的回路表現図。

[図3]比較例1に係るパワーモジュールの模式的断面構造図。

[図4]（a）第1の実施の形態の第1変形例に係るパワーモジュールであって、図4（b）のⅠⅠ-ⅠⅠ線に沿う模式的断面構造図、（b）第1の実施の形態の第1変形例に係るパワーモジュールの一部を透過して示す模式的平面構成図。

[図5] (a) 第1の実施の形態の第2変形例に係るパワーモジュールであって、図5 (b) のⅠⅠⅠーⅠⅠⅠ線に沿う模式的断面構造図、(b) 第1の実施の形態の第2変形例に係るパワーモジュールの一部を透過して示す模式的平面構成図。

[図6] (a) 第1の実施の形態の第3変形例に係るパワーモジュールであって、図6 (b) のⅠⅤーⅠⅤ線に沿う模式的断面構造図、(b) 第1の実施の形態の第3変形例に係るパワーモジュールの一部を透過して示す模式的平面構成図。

[図7] (a) 第2の実施の形態に係るパワーモジュールであって、図7 (b) のⅤーⅤ線に沿う模式的断面構造図、(b) 第2の実施の形態に係るパワーモジュールの一部を透過して示す模式的平面構成図。

[図8] (a) 第3の実施の形態に係るパワーモジュールであって、図8 (b) のⅤⅠーⅤⅠ線に沿う模式的断面構造図、(b) 第3の実施の形態に係るパワーモジュールの一部を透過して示す模式的平面構成図。

[図9] 第3の実施の形態に係るパワーモジュールの模式的鳥瞰構成図。

[図10] 第3の実施の形態に係るパワーモジュールをモデルケースとして、各構成部の材料、厚み、熱伝導率の具体例について示す図。

[図11] 第3の実施の形態に係るパワーモジュールをモデルケースとして、熱抵抗についてシミュレーションを行った際の結果を対比して示すもので、(a) ポスト部にSiC (Silicon Carbide) を適用した場合のシミュレーション結果、(b) ポスト部にCu (Copper) を適用した場合のシミュレーション結果。

[図12] 第3の実施の形態の第1変形例に係るパワーモジュールの模式的断面構造図。

[図13] (a) 第3の実施の形態の第2変形例に係るパワーモジュールであって、図13 (b) のⅤⅠⅠーⅤⅠⅠ線に沿う模式的断面構造図、(b) 第3の実施の形態の第2変形例に係るパワーモジュールの一部を透過して示す模式的平面構成図。

[図14] (a) 第3の実施の形態の第3変形例に係るパワーモジュールであって、図14(b)のV-I-I-V-I-I線に沿う模式的断面構造図、(b) 第3の実施の形態の第3変形例に係るパワーモジュールの一部を透過して示す模式的平面構成図。

[図15] (a) 第3の実施の形態の第4変形例に係るパワーモジュールであって、図15(b)のI-X-I-X線に沿う模式的断面構造図、(b) 第3の実施の形態の第4変形例に係るパワーモジュールの一部を透過して示す模式的平面構成図。

[図16] 第4の実施の形態に係るパワーモジュールであって、図17(a)のX-X線に沿う模式的断面構造図。

[図17] (a) 第4の実施の形態に係るパワーモジュールの一部を透過して示す模式的平面構成図、(b) 第4の実施の形態に係るパワーモジュールの模式的回路表現図。

[図18] 比較例2に係るパワーモジュールの模式的断面構造図。

[図19] 実施の形態の第1適用例に係るパワーモジュールの模式的断面構造図。
。

[図20] 実施の形態の第2適用例に係るパワーモジュールの模式的断面構造図。
。

[図21] 実施の形態の第3適用例に係るパワーモジュールの模式的断面構造図。
。

[図22] 実施の形態の第4適用例に係るパワーモジュールの模式的断面構造図。
。

[図23] 実施の形態に係るパワーモジュールの例であって、ワンインワン型(1 in 1)モジュールのSiC MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の模式的回路表現図。

[図24] 実施の形態に係るパワーモジュールの例であって、1 in 1モジュールのSiC MOSFETの詳細回路表現図。

[図25] 実施の形態に係るパワーモジュールの例であって、ツーインワン型(

2 in 1) モジュールのSiC MOSFETの模式的回路表現図。

[図26]実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、ソースパッド電極SP、ゲートパッド電極GPを含む、SiC MOSFETの模式的断面構造図。

[図27]実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、エミッタパッド電極EP、ゲートパッド電極GPを含む、IGBTの模式的断面構造図。

[図28]実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、SiC DI (Double Implanted) MOSFETの模式的断面構造図。

[図29]実施の形態に係るパワーモジュールに適用可能な半導体デバイスの例であって、SiC T (Trench) MOSFETの模式的断面構造図。

[図30]実施の形態に係るパワーモジュールを用いて構成した3相交流インバータの回路構成において、SiC MOSFETを適用し、電源端子PL・接地端子NL間にスナバコンデンサを接続した回路構成例。

[図31]実施の形態に係るパワーモジュールを用いて構成した3相交流インバータにおいて、SiC MOSFETを適用した模式的回路構成図。

発明を実施するための形態

[0013] 次に、図面を参照して、本実施の形態について説明する。以下に説明する図面の記載において、同一または類似の部分には同一または類似の符号を付している。ただし、図面は模式的なものであり、各構成部品の厚みと平面寸法との関係などは現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また、図面の相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0014] また、以下に示す実施の形態は、技術的思想を具体化するための装置や方法を例示するものであって、各構成部品の材質、形状、構造、配置などを特定するものではない。この実施の形態は、特許請求の範囲において、種々の

変更を加えることができる。

[0015] [実施の形態]

（第 1 の実施の形態）

第 1 の実施の形態に係るパワーモジュール（Power Module：以下「PM」と記す）10の模式的断面構造は、図1に示すように表される。なお、図1には、1 in 1（ワンインワン型）モジュールタイプのPM10に適用した場合が例示されている。

[0016] また、図2（a）には、第1の実施の形態に係るPM10の一部を透過して示す模式的平面構成が示され、図2（b）には、半導体デバイス（チップ）Q1として、SiC MOSFETを適用した場合の第1の実施の形態に係るPM10の模式的回路構成が示されている。

[0017] なお、図1に示されたPM10の模式的断面構造は、例えば、図2（a）のI-I線に沿ったものとなっている。また、図2（a）の模式的平面パターン構成においては、特に、上部冷却器（第1冷却器）30Uおよび上部セラミック基板（第2絶縁基板）21Uの記載を省略している。また、半導体デバイスQ1の一例として、例えば、1つのモジュール内に最大で5個まで並列接続可能なチップ（MOSFET）Qを搭載した場合を例示している。

[0018] ここで、以下の説明においては、PM10の上部セラミック基板21U側をU（UP）側、下部セラミック基板（第1絶縁基板）21D側をD（DOWN）側と定義する。この定義は、後述する比較例の説明においても同様である。

[0019] 第1の実施の形態に係るPM10は、図1および図2に示すように、半導体デバイスQ1をモールド樹脂33によって封止した半導体モジュール20と、半導体モジュール20のU側の上面20aに配置された上部冷却器30Uと、上面20aに対向する、半導体モジュール20のD側の下面20bに配置された下部冷却器（第2冷却器）30Dとを備える。

[0020] 半導体モジュール20は、図1に示すように、半導体デバイスQ1の上下に対向して配置された上部セラミック基板21Uおよび下部セラミック基板

21Dと、半導体デバイスQ1の上面に配置された伝導路層35と、モールド樹脂33と、正側電源入力端子電極Pと、負側電源入力端子電極Nとを備える。

[0021] 下部セラミック基板21Dは、絶縁層22Dを介して銅などの金属箔（例えば、第1銅プレート層）が積層された導電層23D・導電層24D（第1電極パターン24D1・第2電極パターン24D2）を備え、上部セラミック基板21Uは、絶縁層22Uを介して銅などの金属箔（例えば、第2銅プレート層）が積層された導電層23U・導電層24Uを備える。

[0022] 上部セラミック基板21Uおよび下部セラミック基板21Dは、第1導電層24Dと第2導電層24Uとが対向し、ほぼ平行に配置される。

[0023] 上部セラミック基板21Uおよび下部セラミック基板21Dとしては、例えば、AMB（Active Metal Brazed、Active Metal Bond）基板などを適用可能である。または、例えば、DBC（Direct Bonding Copper）基板、DBA（Direct Brazed Aluminum）基板、若しくはDBC基板の代わりに有機絶縁樹脂層を適用するようにしても良い。

[0024] 第1電極パターン24D1上には、半導体デバイスQ1のD側が搭載されると共に、正側電源入力端子電極Pの基端部が接合され、第2電極パターン24D2上には、負側電源入力端子電極Nの基端部が接合されると共に、伝導路層35のブリッジ部（電気伝導路層）35Cの先端側が接続されている。

[0025] なお、図2（b）に示すように、SiC MOSFETを適用した場合、G1は半導体デバイスQ1のゲート端子（ゲート信号用のリード端子）、D1は正側電源入力端子電極Pにつながる半導体デバイスQ1のドレイン端子、S1は負側電源入力端子電極Nにつながる半導体デバイスQ1のソース端子である。

[0026] ここで、伝導路層35は、例えば、電気経路Cを確立するためのブリッジ部35Cと、放熱経路Tを確立するためのポスト部（熱伝導路層）35Tとを備える。

- [0027] 第1の実施の形態に係るPM10の場合、半導体デバイスQ1の上面（U側）には、伝導路層35の基端側である、例えば、ポスト部35Tの基端側が接続されている。また、このポスト部35Tの先端側は、上部セラミック基板21UのD側の導電層24Uに接続されている。ポスト部35Tは、例えば、平面がほぼ方形の柱状電極構造を有し、先端側と基端側とでほぼ均一な太さとなっている。
- [0028] すなわち、伝導路層35は、上部セラミック基板21Uまたは下部セラミック基板21Dに対し、ほぼ垂直に配置されたI字形状のポスト部35Tと、例えば、その側面の中途の部分から水平方向に延出され、第2電極パターン24D2との接続のために下部セラミック基板21D側に変形された、ほぼL字（または、逆L字）形状のプラグ構造を有したブリッジ部35Cとを備える。
- [0029] ブリッジ部35Cは、ほぼL字形状に限らず、例えば、ほぼU字（または、逆U字）形状のプラグ構造を備えるようにしても良い。
- [0030] なお、伝導路層35としては、例えば、ブリッジ部35Cとポスト部35Tとが一体型のブロック構造を備える、若しくはブリッジ部35Cとポスト部35Tとが別体型の分割構造を備えるものであっても良い。
- [0031] また、伝導路層35としては、例えば、ブリッジ部35C上にポスト部35Tが積層された積層構造を備えるものであっても良い。
- [0032] また、伝導路層35としては、例えば、ブリッジ部35Cとポスト部35Tとが同一の構成部材を備える、若しくはブリッジ部35Cとポスト部35Tとが異なる構成部材を備えるものであっても良い。
- [0033] また、伝導路層35としては、例えば、ブリッジ部35Cが1つの構成部材を備える、若しくは複数の構成部材を備えるものであっても良い。
- [0034] また、伝導路層35としては、例えば、ポスト部35Tが1つの構成部材を備える、または複数の構成部材を備える、若しくは複数の層電極構造を備えるものであっても良い。
- [0035] ポスト部35Tとしては、例えば断面視において、I字形状、四角形状、

逆台形形状、逆テーパ形状、若しくは逆ステップテーパ形状のいずれかを備える。

[0036] 第1の実施の形態に係るPM10に適用可能な伝導路層35としては、例えば、ブリッジ部35CはCu（Copper）を備え、ポスト部35TはSiCまたはCuを備える。

[0037] すなわち、ブリッジ部35Cとしては、ポスト部35Tよりも電気伝導率の高い部材、例えば、Cu、Al（アルミニウム）、Ag（銀）のいずれかが望ましく、ポスト部35Tとしては、ブリッジ部35Cよりも熱伝導率の高い部材、例えば、SiC（シリコンカーバイド）、Cu、Ag、カーボン、グラファイトのいずれかが望ましい。

[0038] また、伝導路層35は、例えば図1に示すように、垂直方向のサイズAが水平方向のサイズBよりも小さい方が望ましい。冷却性能を高め、放熱特性がより良好となるからである。

[0039] ここで、半導体デバイスQ1は、下部セラミック基板21D上の導電層24Dの第1電極パターン24D1上に搭載される。基本的に、半導体デバイスQ1は、U側がソース電極（ソースパッド電極）、D側がドレイン電極となるように配置される（後述する、他の半導体デバイスQ1・Q2・Q3・Q4・Q5・Q6についても同様である）。

[0040] なお、半導体デバイスQ1の搭載は、下部セラミック基板21D上にフリップチップに配置されていても良い。

[0041] また、半導体デバイスQ1は、図2（a）に示すように、5チップ（MOSFET Q×5）まで並列接続するものに限らず、また、5チップの一部をダイオード用としても良い。

[0042] 第1の実施の形態に係るPM10に適用可能な半導体モジュール20においては、上部セラミック基板21U上のU側の導電層23Uと下部セラミック基板21D上のD側の導電層23Dとを外部に露出させるようにして、半導体デバイスQ1の外囲がモールド樹脂33によって封止されている。

[0043] そして、モールド樹脂33より露出する下部セラミック基板21DのD側

の導電層 23D（下面 20b）には下部冷却器 30D が接合され、モールド樹脂 33 より露出する上部セラミック基板 21U の U 側の導電層 23U（上面 20a）には上部冷却器 30U が接合される。

[0044] 上部冷却器 30U および下部冷却器 30D は、例えば、ヒートシンクや放熱フィンまたは放熱ピンなどの空冷式の放熱器、若しくは水冷式冷却器を適用できる。

[0045] すなわち、第 1 の実施の形態に係る PM10 は、第 1 絶縁基板 21D と、第 1 絶縁基板 21D 上に搭載されて動作時に発熱する半導体デバイス Q1 と、半導体デバイス Q1 上に、第 1 絶縁基板 21D に対向して配置された第 2 絶縁基板 21U と、半導体デバイス Q1 上に一端が配置され、他端側が第 1 絶縁基板 21D に形成された電極パターン 24D2 に接続されて電気信号を伝送する電気伝導路層（ブリッジ部 35C）と、半導体デバイス Q1 上に一端が配置され、他端側が第 2 絶縁基板 21U に接続されて前記半導体デバイスの熱を前記第 2 絶縁基板側に伝導する熱伝導路層（ポスト部 35T）とを備える。

[0046] また、第 2 絶縁基板 22U の第 1 絶縁基板 22D に対向する面と反対側の面に配置されて熱伝導路層 35T からの熱を第 2 絶縁基板 22U を介して冷却するための第 1 冷却器 30U をさらに備えていても良い。

[0047] また、第 1 絶縁基板 22D の半導体デバイス Q1 が搭載された面と反対側の面に配置されて半導体デバイス Q1 の熱を第 1 絶縁基板 22D を介して冷却するための第 2 冷却器 30D をさらに備えていても良い。

[0048] また、第 1 絶縁基板 22D の半導体デバイス Q1 が搭載された面側に配置され、第 1 電極パターン 24D1 と第 2 電極パターン 24D2 とを有する第 1 導電層 24D をさらに備え、半導体デバイス Q1 は、第 1 電極パターン 24D1 上に搭載され、電気伝導路層 35C は、半導体デバイス Q1 の上面に形成されたパッド電極と第 2 電極パターン 24D2 との間を接続する。

[0049] また、第 2 絶縁基板 22U の第 1 絶縁基板 22D に対向する面側に配置され、第 1 導電層 24D と対向する第 2 導電層 24U をさらに備え、熱伝導路

層 3 5 T は、半導体デバイス Q 1 の上面に配置されたパッド電極と第 2 導電層 2 4 U との間を接続し、半導体デバイス Q 1 の熱を第 2 絶縁基板 2 2 U 側に伝導することができる。

[0050] 第 1 の実施の形態に係る P M 1 0 は、表面と裏面とを有する第 1 絶縁基板 2 2 D と、第 1 絶縁基板 2 2 D の表面側に搭載されて動作時に発熱する半導体デバイス Q 1 と、半導体デバイス Q 1 上に、第 1 絶縁基板 2 2 D に対向して配置され、表面と裏面とを有する第 2 絶縁基板 2 2 U と、第 2 絶縁基板 2 2 U の半導体デバイス Q 1 に対向する面と反対側の面に配置された第 1 冷却器 3 0 U と、一端が半導体デバイス Q 1 上に配置され、他端側が第 1 絶縁基板 2 2 D に形成された電極パターン 2 4 D 2 に接続されて電気信号を送送する電気伝導路層 3 5 C と、一端が半導体デバイス Q 1 上に配置され、他端側が第 2 絶縁基板 2 2 U に接続されて半導体デバイス Q 1 の熱を第 1 冷却器 3 0 U に伝導する熱伝導路層 3 5 T とを備え、記電気伝導路層 3 5 C は、熱伝導路層 3 5 T の側面から電極パターン 2 4 D 2 に接続される一体型のブロック構造を備えていても良い。

[0051] このように、第 1 の実施の形態に係る P M 1 0 によれば、半導体デバイス Q 1 の上面上にブリッジ部 3 5 C とポスト部 3 5 T とを有する伝導路層 3 5 を配置し、放熱経路 T と電気経路 C とを分けるようにしたので、より効率的に放熱可能な構造とすることができる。

[0052] すなわち、半導体モジュール 2 0 の上下に、上部冷却器 3 0 U ・下部冷却器 3 0 D を配置した、いわゆる両面冷却構造の P M 1 0 において、半導体デバイス Q 1 の上面にポスト部 3 5 T とブリッジ部 3 5 C とを配置したことによって、半導体デバイス Q 1 の熱は、主に、ポスト部 3 5 T に沿って上部冷却器 3 0 U 側へと効果的に導かれ、半導体デバイス Q 1 の電流は、主に、ブリッジ部 3 5 C に沿って第 2 電極パターン 2 4 D 2 側へと効果的に導かれるようになる。

[0053] これにより、第 1 の実施の形態に係る P M 1 0 においては、半導体デバイス Q 1 を、その上下方向より効率良く冷却することが可能となる。

[0054] したがって、第１の実施の形態によれば、効率的に放熱可能なPM10を提供することができる。

[0055] なお、第１の実施の形態に係るPM10においては、両面冷却構造に限らず、例えば半導体モジュール20上にのみ上部冷却器30Uが配置された片面（上面）冷却構造とすることもでき、下部冷却器30Dの省略が可能となる。

[0056] （比較例１）

比較例１に係るPM10Aの模式的断面構造は、図３に示すように表される。

[0057] 比較例１に係るPM10Aの場合、例えば図３に示すように、半導体デバイスQ1の上面（U側）と上部セラミック基板21UのD側の導電層24Uとの間が、柱状電極（金属ブロック）36によって、上部セラミック基板21UのD側の導電層24Uと下部セラミック基板21DのU側の導電層24Dの第２電極パターン24D2との間が、柱状電極（金属ブロック）37によって、それぞれ接続されている。

[0058] すなわち、比較例１に係るPM10Aにおいては、半導体デバイスQ1の熱は、主に、柱状電極36を介して上部冷却器30U側へと導かれ（放熱経路T1）、半導体デバイスQ1の電流は、主に、柱状電極36を介して上部セラミック基板21U側へと導かれた後、柱状電極37を介して第２電極パターン24D2側へと導かれる（電気経路C1）。

[0059] このように、両面冷却構造のPM10Aにおいて、半導体デバイスQ1上に金属ブロック36を配置し、熱的および電氣的に上部セラミック基板21Uと接続する構成とした場合、電気経路C1が放熱経路T1の一部と同一経路となっているため、ジュール熱による発熱が放熱の妨げとなり、特性の悪化を招く。

[0060] （第１の実施の形態の第１変形例）

第１の実施の形態の第１変形例に係るPM10の模式的断面構造は、図４（a）に示すように表され、図４（a）のⅠⅠ－ⅠⅠ線に対応するPM10

の一部を透過して示す模式的平面パターン構成は、図4（b）に示すように表される。

[0061] すなわち、第1の実施の形態の第1変形例に係るPM10は、伝導路層351の構成を除けば、第1の実施の形態に係るPM10の構成と同様である。

[0062] 第1の実施の形態の第1変形例に係るPM10の場合、図4（a）および図4（b）に示すように、伝導路層351は、上部セラミック基板21Uまたは下部セラミック基板21Dに対し、ほぼ垂直に配置されたI字形状のポスト部351Tと、例えば、その基端側から半導体デバイスQ1の上面に沿って水平方向に延出され、第2電極パターン24D2との接続のために下部セラミック基板21D側に変形された、ほぼL字（または、逆L字）形状のプラグ構造を有したブリッジ部351Cとを備える。

[0063] 第1の実施の形態の第1変形例によれば、第1の実施の形態に係るPM10の場合と同様に、放熱経路Tと電気経路Cとを分けるようにしたので、より効率的に放熱可能な構造とすることが可能となり、効率的に放熱可能なPM10を提供することができる。

[0064] なお、伝導路層351としては、第1の実施の形態に係るPM10に適用された伝導路層35の場合と同様に、例えば、ブリッジ部351Cとポスト部351Tとが一体型のブロック構造、若しくは別体型の分割構造を備えるものであっても良い。

[0065] また、伝導路層351としては、例えば、ブリッジ部351C上にポスト部351Tが積層された積層構造を備えるものであっても良い。

[0066] また、伝導路層351としては、例えば、ブリッジ部351Cとポスト部351Tとが同一の構成部材、若しくは異なる構成部材を備えるものであっても良い。

[0067] また、伝導路層351としては、例えば、ブリッジ部351Cが1つの構成部材、若しくは複数の構成部材を備えるものであっても良い。

[0068] また、伝導路層351としては、例えば、ポスト部351Tが1つの構成

部材、または複数の構成部材、若しくは複数の層電極構造を備えるものであっても良い。

[0069] ポスト部 3 5 1 T としては、例えば断面視において、I 字形状、四角形状、逆台形形状、逆テーパ形状、若しくは逆ステップテーパ形状のいずれかを備える。

[0070] また、伝導路層 3 5 1 においては、例えば、ブリッジ部 3 5 1 C は Cu を備え、ポスト部 3 5 1 T は SiC または Cu を備える。

[0071] また、伝導路層 3 5 1 は、第 1 の実施の形態と同様に、垂直方向のサイズ A が水平方向のサイズ B よりも小さい方が望ましい。

[0072] (第 1 の実施の形態の第 2 変形例)

第 1 の実施の形態の第 2 変形例に係る PM 1 0 の模式的断面構造は、図 5 (a) に示すように表され、図 5 (a) の I I I - I I I 線に対応する PM 1 0 の一部を透過して示す模式的平面パターン構成は、図 5 (b) に示すように表される。

[0073] すなわち、第 1 の実施の形態の第 2 変形例に係る PM 1 0 は、伝導路層 3 5 2 の構成を除けば、第 1 の実施の形態に係る PM 1 0 の構成と同様である。

[0074] 第 1 の実施の形態の第 2 変形例に係る PM 1 0 の場合、図 5 (a) および図 5 (b) に示すように、伝導路層 3 5 2 は、上部セラミック基板 2 1 U または下部セラミック基板 2 1 D に対し、ほぼ垂直に配置された I 字形状のポスト部 3 5 2 T と、例えば、その先端側から第 2 導電層 2 4 U の下面に沿って水平方向に延出され、第 2 電極パターン 2 4 D 2 との接続のために下部セラミック基板 2 1 D 側に変形された、ほぼ L 字（または、逆 L 字）形状のプラグ構造を有したブリッジ部 3 5 2 C とを備える。

[0075] 第 1 の実施の形態の第 2 変形例によれば、第 1 の実施の形態に係る PM 1 0 の場合と同様に、放熱経路 T と電気経路 C とを分けるようにしたので、より効率的に放熱可能な構造とすることが可能となり、効率的に放熱可能な PM 1 0 を提供することができる。

- [0076] なお、伝導路層 3 5 2 としては、第 1 の実施の形態に係る P M 1 0 に適用された伝導路層 3 5 の場合と同様に、例えば、ブリッジ部 3 5 2 C とポスト部 3 5 2 T とが一体型のブロック構造、若しくは別体型の分割構造を備えるものであっても良い。
- [0077] また、伝導路層 3 5 2 としては、例えば、ブリッジ部 3 5 2 C 上にポスト部 3 5 2 T が積層された積層構造を備えるものであっても良い。
- [0078] また、伝導路層 3 5 2 としては、例えば、ブリッジ部 3 5 2 C とポスト部 3 5 2 T とが同一の構成部材、若しくは異なる構成部材を備えるものであっても良い。
- [0079] また、伝導路層 3 5 2 としては、例えば、ブリッジ部 3 5 2 C が 1 つの構成部材、若しくは複数の構成部材を備えるものであっても良い。
- [0080] また、伝導路層 3 5 2 としては、例えば、ポスト部 3 5 2 T が 1 つの構成部材、または複数の構成部材、若しくは複数の層電極構造を備えるものであっても良い。
- [0081] ポスト部 3 5 2 T としては、例えば断面視において、I 字形状、四角形状、逆台形形状、逆テーパ形状、若しくは逆ステップテーパ形状のいずれかを備える。
- [0082] また、伝導路層 3 5 2 においては、例えば、ブリッジ部 3 5 2 C は C u を備え、ポスト部 3 5 2 T は S i C または C u を備える。
- [0083] また、伝導路層 3 5 2 は、第 1 の実施の形態と同様に、垂直方向のサイズ A が水平方向のサイズ B よりも小さい方が望ましい。
- [0084] （第 1 の実施の形態の第 3 変形例）
- 第 1 の実施の形態の第 3 変形例に係る P M 1 0 の模式的断面構造は、図 6（a）に示すように表され、図 6（a）の I V - I V 線に対応する P M 1 0 の一部を透過して示す模式的平面パターン構成は、図 6（b）に示すように表される。
- [0085] すなわち、第 1 の実施の形態の第 3 変形例に係る P M 1 0 は、伝導路層 3 5 3 の構成を除けば、第 1 の実施の形態に係る P M 1 0 の構成と同様である

。

- [0086] 第1の実施の形態の第3変形例に係るPM10の場合、図6(a)および図6(b)に示すように、伝導路層353は、上部セラミック基板21Uまたは下部セラミック基板21Dに対し、ほぼ垂直に配置されたI字形状のポスト部353Tと、例えば、その幅（基端側から先端側までの高さ）で半導体デバイスQ1の上面および導電層24Uの下面に沿って水平方向に延出され、第2電極パターン24D2との接続のために下部セラミック基板21D側に変形された、ほぼL字（または、逆L字）形状のプラグ構造を有したブリッジ部353Cとを備える。
- [0087] 第1の実施の形態の第3変形例によれば、第1の実施の形態に係るPM10の場合と同様に、放熱経路Tと電気経路Cとを分けるようにしたので、より効率的に放熱可能な構造とすることが可能となり、効率的に放熱可能なPM10を提供することができる。
- [0088] なお、伝導路層353としては、第1の実施の形態に係るPM10に適用された伝導路層35の場合と同様に、例えば、ブリッジ部353Cとポスト部353Tとが一体型のブロック構造、若しくは別体型の分割構造を備えるものであっても良い。
- [0089] また、伝導路層353としては、例えば、ブリッジ部353C上にポスト部353Tが積層された積層構造を備えるものであっても良い。
- [0090] また、伝導路層353としては、例えば、ブリッジ部353Cとポスト部353Tとが同一の構成部材、若しくは異なる構成部材を備えるものであっても良い。
- [0091] また、伝導路層353としては、例えば、ブリッジ部353Cが1つの構成部材、若しくは複数の構成部材を備えるものであっても良い。
- [0092] また、伝導路層353としては、例えば、ポスト部353Tが1つの構成部材、または複数の構成部材、若しくは複数の層電極構造を備えるものであっても良い。
- [0093] ポスト部353Tとしては、例えば断面視において、I字形状、四角形状

、逆台形形状、逆テーパ形状、若しくは逆ステップテーパ形状のいずれかを備える。

[0094] また、伝導路層 3 5 3 においては、例えば、ブリッジ部 3 5 3 C は C u を備え、ポスト部 3 5 3 T は S i C または C u を備える。

[0095] また、伝導路層 3 5 3 は、第 1 の実施の形態と同様に、垂直方向のサイズ A が水平方向のサイズ B よりも小さい方が望ましい。

[0096] (第 2 の実施の形態)

第 2 の実施の形態に係る P M 1 0 の模式的断面構造は、図 7 (a) に示すように表され、図 7 (a) の V-V 線に対応する P M 1 0 の一部を透過して示す模式的平面パターン構成は、図 7 (b) に示すように表される。

[0097] すなわち、第 2 の実施の形態に係る P M 1 0 は、伝導路層 3 5 の構成を除けば、第 1 の実施の形態に係る P M 1 0 の構成と同様である。

[0098] 第 2 の実施の形態に係る P M 1 0 の場合、図 7 (a) および図 7 (b) に示すように、伝導路層 3 5 は、上部セラミック基板 2 1 U または下部セラミック基板 2 1 D に対し、ほぼ垂直に配置された I 字形状のポスト部 3 5 T と、例えば、ポスト部 3 5 T とは独立 (分割) し、ほぼ U 字 (または、逆 U 字) 形状のプラグ構造を有したブリッジ部 3 5 C とを備える。

[0099] 第 2 の実施の形態によれば、第 1 の実施の形態に係る P M 1 0 の場合と同様に、放熱経路 T と電気経路 C とを分けるようにしたので、より効率的に放熱可能な構造とすることが可能となり、効率的に放熱可能な P M 1 0 を提供することができる。

[0100] なお、伝導路層 3 5 としては、例えば、ブリッジ部 3 5 C は C u を備え、ポスト部 3 5 T は S i C (または、C u) を備える。すなわち、ブリッジ部 3 5 C とポスト部 3 5 T とが同一の構成部材、若しくは異なる構成部材を備えるものであっても良い。

[0101] また、伝導路層 3 5 としては、例えば、ブリッジ部 3 5 C が 1 つの構成部材、若しくは複数の構成部材を備えるものであっても良い。

[0102] また、伝導路層 3 5 としては、例えば、ポスト部 3 5 T が 1 つの構成部材

、または複数の構成部材、若しくは複数の層電極構造を備えるものであっても良い。

[0103] ポスト部 35 T としては、例えば断面視において、I 字形状、四角形状、逆台形形状、逆テーパ形状、若しくは逆ステップテーパ形状のいずれかを備える。

[0104] また、伝導路層 35 は、第 1 の実施の形態と同様に、垂直方向のサイズ A が水平方向のサイズ B よりも小さい方が望ましい。

[0105] (第 3 の実施の形態)

第 3 の実施の形態に係る PM 10 の模式的断面構造は、図 8 (a) に示すように表され、図 8 (a) の V I - V I 線に対応する PM 10 の一部を透過して示す模式的平面パターン構成は、図 8 (b) に示すように表される。

[0106] また、第 3 の実施の形態に係る PM 10 の一部を透過して示す模式的鳥瞰構成は、図 9 に示すように表される。

[0107] すなわち、第 3 の実施の形態に係る PM 10 は、伝導路層 35 の構成を除けば、第 1 の実施の形態に係る PM 10 の構成と同様である。

[0108] 第 3 の実施の形態に係る PM 10 の場合、図 8 (a) および図 8 (b) に示すように、伝導路層 35 は、例えば、半導体デバイス Q 1 の上面に沿って水平方向に延出され、第 2 電極パターン 24 D 2 との接続のために下部セラミック基板 21 D 側に変形された、ほぼ L 字（または、逆 L 字）形状のプラグ構造を有したブリッジ部 35 C と、半導体デバイス Q 1 の上面に対応する、ブリッジ部 35 C の基端側に積層化配置された I 字形状のポスト部 35 T とを備える。

[0109] すなわち、第 3 の実施の形態に係る PM 10 は、第 1 絶縁基板 22 D と、第 1 絶縁基板 22 D 上に搭載されて動作時に発熱する半導体デバイス Q 1 と、半導体デバイス Q 1 上に、第 1 絶縁基板 22 D に対向して配置された第 2 絶縁基板 22 U と、第 2 絶縁基板 22 U の半導体デバイス Q 1 に対向する面と反対側の面に配置された第 1 冷却器 30 U と、一端が半導体デバイス Q 1 上に配置され、他端側が第 1 絶縁基板 22 D に形成された電極パターン 24

D 2 に接続されて電気信号を送る電気伝導路層 3 5 C と、電気伝導路層 3 5 C の第 2 絶縁基板 2 2 U 側に積層化配置され、第 2 絶縁基板 2 2 U に接続されて半導体デバイス Q 1 の熱を第 1 冷却器 3 0 U に伝導する熱伝導路層 3 5 T とを備えていても良い。

[0110] 第 3 の実施の形態によれば、第 1 の実施の形態に係る P M 1 0 の場合と同様に、放熱経路 T と電気経路 C とを分けるようにしたので、より効率的に放熱可能な構造とすることが可能となり、効率的に放熱可能な P M 1 0 を提供することができる。

[0111] なお、伝導路層 3 5 としては、例えば、ブリッジ部 3 5 C は C u を備え、ポスト部 3 5 T は S i C （または、C u ）を備える。すなわち、ブリッジ部 3 5 C とポスト部 3 5 T とが同一の構成部材、若しくは異なる構成部材を備えるものであっても良い。

[0112] また、伝導路層 3 5 としては、例えば、ブリッジ部 3 5 C が 1 つの構成部材、若しくは複数の構成部材を備えるものであっても良い。

[0113] また、伝導路層 3 5 としては、例えば、ポスト部 3 5 T が 1 つの構成部材、または複数の構成部材、若しくは複数の層電極構造を備えるものであっても良い。

[0114] ポスト部 3 5 T としては、例えば断面視において、I 字形状、四角形状、逆台形形状、逆テーパ形状、若しくは逆ステップテーパ形状のいずれかを備える。

[0115] また、伝導路層 3 5 は、第 1 の実施の形態と同様に、垂直方向のサイズ A が水平方向のサイズ B よりも小さい方が望ましい。

[0116] （シミュレーション結果）

ここで、第 3 の実施の形態に係る P M 1 0 を例に、熱抵抗 R_{th} についての解析を行った際の結果について説明する。

[0117] シミュレーションは、ポスト部 3 5 T を、S i C で構成した場合と C u で構成した場合とを比較した。

[0118] シミュレーションに用いた P M 1 0 においては、例えば図 8 （b）に示す

ように、第1電極パターン24D1・第2電極パターン24D2のサイズ(W1)を10mm角とすると共に、半導体デバイスQ1のサイズ(W2)を5mm角とした。

[0119] また、第1電極パターン24D1・第2電極パターン24D2の間隔(W3)、およびポスト部35Tの半導体デバイスQ1の端部からの距離(W4)をそれぞれ1mm、および1mmとした。

[0120] なお、PM10の詳細については、例えば図10に示すように、より具体的に規定されている。

[0121] 上部冷却器30U・下部冷却器30Dは、例えばヒートシンクを採用し、材料をAl、厚みを1mm、熱伝導率を2.37(W/mK)とした。

[0122] 上部セラミック基板21U・下部セラミック基板21Dにおいては、例えば、導電層23U・導電層23Dの材料をCu、厚みを0.3mm、熱伝導率を402(W/mK)とし、絶縁層22U・絶縁層22Dの材料をSiN(シリコン窒化膜)、厚みを0.3mm、熱伝導率を90(W/mK)とし、導電層24U・導電層24Dの材料をCu、厚みを0.3mm、熱伝導率を402(W/mK)とした。

[0123] 伝導路層35においては、例えば、ポスト部35Tの材料をSiCとした場合には、厚みを1.0mm、熱伝導率を450(W/mK)とし、Cuとした場合には、厚みを1.0mm、熱伝導率を402(W/mK)とした。

[0124] ブリッジ部35Cは、例えば、材料をCuとし、厚みを0.1mm、熱伝導率を402(W/mK)とした。

[0125] チップQ1としては、主な材料をSiCとし、厚みを0.35mm、熱伝導率を450(W/mK)とした。

[0126] その他の条件として、チップ全体の発熱量を700W、周辺断熱、境界条件となる上部冷却器30U・下部冷却器30Dの外側表面の温度を65℃とした。

[0127] このような条件の下で実際にシミュレーションを行ったところ、ポスト部35TをSiCで構成した場合の熱抵抗についての解析結果は、図11(a

）に示すように表され、ポスト部35TをCuで構成した場合の熱抵抗についての解析結果は、図11（b）に示すように表される。

[0128] すなわち、ポスト部35TをSiCで構成した場合のPM10は、図11（a）に示すように、評価接合温度 T_{jmax} が182.565℃であり、熱抵抗 R_{th} が0.168（W/K）である。これに対し、ポスト部35TをCuで構成した場合のPM10は、図11（b）に示すように、評価接合温度 T_{jmax} が184.869℃であり、熱抵抗 R_{th} が0.171（W/K）である。

[0129] この結果から、例えば、ポスト部35TをSiCで構成することによって、Cuで構成する場合よりも、熱抵抗を約2%も改善できることがわかる。

[0130] したがって、第3の実施の形態に係るPM10においては、例えば、ブリッジ部35Cとポスト部35Tとによって放熱経路Tと電気経路Cとに分けると共に、SiCによってポスト部35Tを構成することで（ブリッジ部35Cは、Cuにより構成）、さらなる熱抵抗の改善が可能となる。

[0131] （第3の実施の形態の第1変形例）

第3の実施の形態の第1変形例に係るPM10の模式的断面構造は、図12に示すように表される。

[0132] すなわち、第3の実施の形態の第1変形例に係るPM10は、伝導路層35の構成を除けば、第3の実施の形態に係るPM10の構成と同様である。

[0133] 第3の実施の形態の第1変形例に係るPM10の場合、図12に示すように、伝導路層35は、例えば、ほぼU字（または、ほぼ逆U字）形状のプラグ構造を有したブリッジ部35Cと、ブリッジ部35Cの上面の一部に積層化配置された四角形状のポスト部35Tとを備える。

[0134] 第3の実施の形態の第1変形例においても、例えば、伝導路層35のポスト部35TをSiCによって構成することで（ブリッジ部35Cは、Cuにより構成）、さらなる熱抵抗の改善が可能となる。

[0135] ポスト部35Tとしては、例えば断面視において、I字形状、四角形状、逆台形形状、逆テーパ形状、若しくは逆ステップテーパ形状のいずれか

を備える。

[0136] また、伝導路層 35 は、第 1 の実施の形態と同様に、垂直方向のサイズ A が水平方向のサイズ B よりも小さい方が望ましい。

[0137] (第 3 の実施の形態の第 2 変形例)

第 3 の実施の形態の第 2 変形例に係る PM10 の模式的断面構造は、図 13 (a) に示すように表され、図 13 (a) の V11-V11 線に対応する PM10 の一部を透過して示す模式的平面パターン構成は、図 13 (b) に示すように表される。

[0138] すなわち、第 3 の実施の形態の第 2 変形例に係る PM10 は、伝導路層 35 の構成を除けば、第 3 の実施の形態に係る PM10 の構成と同様である。

[0139] 第 3 の実施の形態の第 2 変形例に係る PM10 の場合、図 13 (a) および図 13 (b) に示すように、伝導路層 35 は、例えば、ほぼ U 字（または、逆 U 字）形状のプラグ構造を有したブリッジ部 35C と、ブリッジ部 35C 上の全面に積層化配置された四角形状のポスト部 35T とを備える。

[0140] 第 3 の実施の形態の第 2 変形例においても、例えば、伝導路層 35 のポスト部 35T を SiC によって構成することで（ブリッジ部 35C は、Cu により構成）、さらなる熱抵抗の改善が可能となる。

[0141] ポスト部 35T としては、例えば断面視において、I 字形状、四角形状、逆台形形状、逆テーパ形状、若しくは逆ステップテーパ形状のいずれかを備える。

[0142] また、伝導路層 35 は、第 1 の実施の形態と同様に、垂直方向のサイズ A が水平方向のサイズ B よりも小さい方が望ましい。

[0143] (第 3 の実施の形態の第 3 変形例)

第 3 の実施の形態の第 3 変形例に係る PM10 の模式的断面構造は、図 14 (a) に示すように表され、図 14 (a) の V111-V111 線に対応する PM10 の一部を透過して示す模式的平面パターン構成は、図 14 (b) に示すように表される。

[0144] すなわち、第 3 の実施の形態の第 3 変形例に係る PM10 は、伝導路層 3

5の構成を除けば、第3の実施の形態に係るPM10の構成と同様である。

[0145] 第3の実施の形態の第3変形例に係るPM10の場合、図14(a)および図14(b)に示すように、伝導路層35は、例えば、ほぼL字（または、逆L字）形状のプラグ構造を有したブリッジ部35Cと、ブリッジ部35C上の全面に積層化配置された四角形状のポスト部35Tとを備える。

[0146] 第3の実施の形態の第3変形例においても、例えば、伝導路層35のポスト部35TをSiCによって構成することで（ブリッジ部35Cは、Cuにより構成）、さらなる熱抵抗の改善が可能となる。

[0147] ポスト部35Tとしては、例えば断面視において、I字形状、四角形状、逆台形形状、逆テーパ形状、若しくは逆ステップテーパ形状のいずれかを備える。

[0148] また、伝導路層35は、第1の実施の形態と同様に、垂直方向のサイズAが水平方向のサイズBよりも小さい方が望ましい。

[0149] （第3の実施の形態の第4変形例）

第3の実施の形態の第4変形例に係るPM10の模式的断面構造は、図15(a)に示すように表され、図15(a)のI-X-I-X線に対応するPM10の一部を透過して示す模式的平面パターン構成は、図15(b)に示すように表される。

[0150] すなわち、第3の実施の形態の第4変形例に係るPM10は、伝導路層35の構成を除けば、第3の実施の形態に係るPM10の構成と同様である。

[0151] 第3の実施の形態の第4変形例に係るPM10の場合、図15(a)および図15(b)に示すように、伝導路層35は、例えば、ほぼU字（または、逆U字）形状のプラグ構造を有したブリッジ部35Cと、ブリッジ部35Cの一側面および上面を覆うように積層化配置された、ほぼL字（または、逆L字）形状のプラグ構造を有したポスト部35Tとを備える。

[0152] 第3の実施の形態の第4変形例においても、例えば、伝導路層35のポスト部35TをSiCによって構成することで（ブリッジ部35Cは、Cuにより構成）、さらなる熱抵抗の改善が可能となる。

[0153] ポスト部 35 T としては、例えば断面視において、I 字形状、四角形状、逆台形形状、逆テーパ形状、若しくは逆ステップテーパ形状のいずれかを備える。

[0154] また、伝導路層 35 は、第 1 の実施の形態と同様に、垂直方向のサイズ A が水平方向のサイズ B よりも小さい方が望ましい。

[0155] なお、上記した第 1 ～第 3 の実施の形態においては、半導体パワーデバイスを用いて、いずれも、1 in 1 モジュールタイプのパワーモジュールに適用した場合を例示したが、例えば、2 in 1（ツーインワン型）モジュール、4 in 1（フォーインワン型）モジュール、6 in 1（シックスインワン型）モジュール、6 in 1 モジュールにスナバコンデンサなどを備えた 7 in 1（セブンインワン型）モジュール、8 in 1（エイトインワン型）モジュール、12 in 1（トゥエルブインワン型）モジュール、または 14 in 1（フォーティーンインワン型）モジュールのいずれかを構成するパワーモジュールにも適用できる。

[0156] （第 4 の実施の形態）

第 4 の実施の形態に係る PM10 の模式的断面構造は、図 16 に示すように表される。なお、図 16 には、2 in 1 モジュールタイプの PM10 に適用した場合が例示されている。

[0157] また、図 17（a）には、第 4 の実施の形態に係る PM10 の一部を透過して示す模式的平面構成が示され、図 17（b）には、半導体デバイス（チップ）Q1・Q4 として、SiC MOSFET を適用した場合の模式的回路構成が示されている。

[0158] なお、図 16 に示された PM10 の模式的断面構造は、例えば、図 17（a）の X-X 線に沿ったものとなっている。また、図 17（a）の模式的平面パターン構成においては、特に、上部冷却器（第 1 冷却器）30U および上部セラミック基板（第 2 絶縁基板）21U の記載を省略している。

[0159] 第 4 の実施の形態に係る PM10 は、半導体モジュール 20（半導体デバイス Q1・Q4）の構成を除けば、第 1 の実施の形態に係る PM10 の構成

と同様である。

[0160] すなわち、第4の実施の形態に係るPM10は、図16および図17に示すように、複数チップを並列接続した半導体デバイスQ1・Q4をモールド樹脂33によって封止した半導体モジュール20を備える。

[0161] 半導体デバイスQ1は、下部セラミック基板21D上の導電層24Dの第1電極パターン24D1上に配置され、半導体デバイスQ4は、下部セラミック基板21D上の導電層24Dの第2電極パターン24D2上に配置される。

[0162] ここで、下部セラミック基板21Dは、絶縁層22Dを介して銅などの金属箔（例えば、第1銅プレート層）が積層された導電層23D・24D（第1電極パターン24D1・第2電極パターン24D2・第3電極パターン24D3、ゲート信号電極パターン1・5、ソース信号電極パターン3・7）を備える。

[0163] 一方、上部セラミック基板21Uは、絶縁層22Uを介して銅などの金属箔（例えば、第2銅プレート層）が積層された導電層23U・24U（第1電極パターン24U1・第2電極パターン24U2）を備える。

[0164] 下部セラミック基板21Dおよび上部セラミック基板21Uは、第1導電層24Dと第2導電層24Uとが対向するようにして配置されている。

[0165] なお、図17（b）に示すように、SiC MOSFET Q1、Q4を電源入力端子電極P・N間に直列接続し、SiC MOSFET Q1とQ4との接続点を出力端子OUT（出力端子電極O）とするように適用した場合、G1は、半導体デバイスQ1のゲート端子（ゲート信号用のリード端子）、D1は、半導体デバイスQ1のドレイン端子、S1は、半導体デバイスQ1のソース端子である。同様に、G4は、半導体デバイスQ4のゲート端子（ゲート信号用のリード端子）、D4は、半導体デバイスQ4のドレイン端子、S4は、半導体デバイスQ4のソース端子である。

[0166] 第4の実施の形態に係るPM10の場合、半導体デバイスQ1の上面（U側）には、伝導路層35₁の基端側である、例えば、I字形状のポスト部35

Tの基端側が接続されている。また、このポスト部35Tの先端側は、上部セラミック基板21UのD側の第2導電層24Uの第1電極パターン24U1に接続されている。

[0167] また、ポスト部35Tの、例えば、側面の中途の部分から水平方向に延出され、ほぼL字（または、逆L字）形状のプラグ構造を有したブリッジ部35Cは、その先端側が下部セラミック基板21D上のU側の導電層24Dの第2電極パターン24D2に接続されている。

[0168] 同様に、半導体デバイスQ4の上面（U側）には、伝導路層35₂の基端側である、例えば、I字形状のポスト部35Tの基端側が接続されている。また、このポスト部35Tの先端側は、上部セラミック基板21UのD側の導電層24Uの第2電極パターン24U2に接続されている。

[0169] また、ポスト部35Tの、例えば、側面の中途の部分から水平方向に延出され、ほぼL字（または、逆L字）形状のプラグ構造を有したブリッジ部35Cは、その先端側が下部セラミック基板21D上のU側の導電層24Dの第3電極パターン24D3に接続されている。

[0170] この2 in 1モジュールタイプのPM10であっても、1 in 1モジュールタイプの場合と同様に、例えば、伝導路層35₁・35₄のポスト部35TをSiCによって構成することで（ブリッジ部35Cは、Cuにより構成）、さらなる熱抵抗の改善が可能となる。

[0171] すなわち、第4の実施の形態によれば、半導体デバイスQ1・Q4毎に放熱経路Tと電気経路Cとを分けるようにしたので、より効率的に放熱可能な構造とすることが可能となり、効率的に放熱可能なPM10を提供することができる。

[0172] なお、伝導路層35₁・35₄としては、第1の実施の形態に係るPM10に適用された伝導路層35などの場合と同様に、例えば、ブリッジ部35Cとポスト部35Tとが一体型のブロック構造、若しくは別体型の分割構造を備えるものであっても良い。

[0173] また、伝導路層35₁・35₄としては、例えば、ブリッジ部35Cとポスト

部 3 5 T とが同一の構成部材、若しくは異なる構成部材を備えるものであっても良い。

[0174] また、伝導路層 3 5₁・3 5₄としては、例えば、ブリッジ部 3 5 C 上にポスト部 3 5 T が積層された積層構造を備えるものであっても良い。

[0175] また、伝導路層 3 5₁・3 5₄としては、例えば、ブリッジ部 3 5 C が 1 つの構成部材、若しくは複数の構成部材を備えるものであっても良い。

[0176] また、伝導路層 3 5₁・3 5₄としては、例えば、ポスト部 3 5 T が 1 つの構成部材、または複数の構成部材、若しくは複数の層電極構造を備えるものであっても良い。

[0177] ポスト部 3 5 T としては、例えば断面視において、I 字形状、四角形状、逆台形形状、逆テーパ形状、若しくは逆ステップテーパ形状のいずれかを備える。

[0178] また、伝導路層 3 5₁・3 5₄においては、ブリッジ部 3 5 C は C u を備え、ポスト部 3 5 T は S i C または C u を備える。

[0179] また、伝導路層 3 5₁・3 5₄は、第 1 の実施の形態と同様に、垂直方向のサイズ A が水平方向のサイズ B よりも小さい方が望ましい。

[0180] (比較例 2)

比較例 2 に係る P M 1 0 A の模式的断面構造は、図 1 8 に示すように表される。なお、基本的な構造は第 4 の実施の形態に係る P M 1 0 の構成と同様である。

[0181] 比較例 2 に係る P M 1 0 A の場合、例えば図 1 8 に示すように、半導体デバイス Q 1 ・Q 4 の上面 (U 側) と上部セラミック基板 2 1 U の D 側の第 1 ・第 2 電極パターン 2 4 U 1 ・2 4 U 2 との間が、柱状電極 (金属ブロック) 3 6₁・3 6₂によって、また、上部セラミック基板 2 1 U の D 側の第 1 ・第 2 電極パターン 2 4 U 1 ・2 4 U 2 と下部セラミック基板 2 1 D の U 側の第 2 ・第 3 電極パターン 2 4 D 2 ・2 4 D 3 との間が、柱状電極 (金属ブロック) 3 7₁・3 7₂によって、それぞれ接続されている。

[0182] すなわち、比較例 2 に係る P M 1 0 A においては、半導体デバイス Q 1 ・

Q 4 の熱は、主に、柱状電極 3 6₁・3 6₂を介して上部冷却器 3 0 U 側へと導かれるものの、半導体デバイス Q 1・Q 4 の電流は、主に、柱状電極 3 6₁・3 6₂を介して上部セラミック基板 2 1 U 側へと導かれた後、柱状電極 3 7₁・3 7₂を介して第 2 電極パターン 2 4 D 2・第 3 電極パターン 2 4 D 3 側へと導かれることになる。

[0183] したがって、この比較例 2 の場合も、電気経路が放熱経路と同一経路となっている部分が多いため、比較例 1 の場合と同様に、ジュール熱による発熱が放熱の妨げとなり、特性の悪化を招く。

[0184] なお、上記した第 1～第 4 の実施の形態においては、半導体パワーデバイスは、S i 系 I G B T、S i 系 M O S F E T、S i C 系 M O S F E T、S i C 系 I G B T、S i C 系 M O S F E T と S i C 系 I G B T とのハイブリッド素子、G a N 系 F E T のいずれか、またはこれらのうちの異なる複数を備えるものであっても良い。

[0185] (適用例)

(第 1 適用例)

本実施の形態の第 1 適用例に係るパワーモジュールの模式的断面構造は、図 1 9 に示すように表される。

[0186] すなわち、図 1 9 に示すように、例えば、ブリッジ部 3 5 C 上に積層化配置されるポスト部 3 5 T は、逆台形形状を有するように構成しても良い。

[0187] (第 2 適用例)

本実施の形態の第 2 適用例に係るパワーモジュールの模式的断面構造は、図 2 0 に示すように表される。

[0188] すなわち、図 2 0 に示すように、例えば、ブリッジ部 3 5 C 上に積層化配置されるポスト部 3 5 T は、逆テーパ形状を有するように構成しても良い。

[0189] (第 3 適用例)

本実施の形態の第 3 適用例に係るパワーモジュールの模式的断面構造は、図 2 1 に示すように表される。

[0190] すなわち、図 2 1 に示すように、例えば、ブリッジ部 3 5 C 上に積層化配置されるポスト部 3 5 T は、逆ステップテーパー形状を有するように構成しても良い。

[0191] (第 4 適用例)

本実施の形態の第 4 適用例に係るパワーモジュールの模式的断面構造は、図 2 2 に示すように表される。

[0192] すなわち、図 2 2 に示すように、例えば、ブリッジ部 3 5 C 上に積層化配置されるポスト部 3 5 T は、複数の層電極を逆ステップテーパー形状に積層した構造を有するように構成しても良い。

[0193] (パワーモジュールの具体例)

以下、実施の形態に係るパワーモジュールの具体例について説明する。

[0194] 実施の形態に係る PM 5 0 であって、1 in 1 モジュールの S i C MOS F E T の模式的回路表現は、図 2 3 に示すように表される。

[0195] 図 2 3 には、MOS F E T Q に逆並列接続されるダイオード D 1 が示されている。MOS F E T Q の主電極は、ドレイン端子 D T およびソース端子 S T で表される。なお、ダイオード D 1 は寄生ダイオードを用いることにより省略しても構わないし、ダイオード D 1 と並列にショットキーダイオードを接続するように構成しても構わない。

[0196] また、実施の形態に係る PM 5 0 であって、1 in 1 モジュールの S i C MOS F E T の詳細回路表現は、図 2 4 に示すように表される。

[0197] 実施の形態に係る PM 5 0 は、例えば、1 in 1 モジュールの構成を備える。すなわち、複数個の MOS F E T を並列接続して 1 つの MOS F E T Q としたものが 1 つのモジュールに内蔵されている。一例として、5 チップ (MOS F E T × 5) 搭載可能であり、それぞれの MOS F E T Q は、5 個まで並列接続可能である。なお、5 チップの内、一部をダイオード D 1 用として搭載することも可能である。

[0198] さらに詳細には、図 2 4 に示すように、MOS F E T Q に並列にセンス用 MOS F E T Q s が接続される。センス用 MOS F E T Q s は、MOS F E

TQと同一チップ内に、微細トランジスタとして形成されている。

[0199] 図24において、SSは、ソースセンス端子、CSは、電流センス端子であり、Gは、ゲート信号端子である。なお、実施の形態においても、半導体デバイスQには、センス用MOSFET Qsが同一チップ内に、微細トランジスタとして形成されている。

[0200] (回路構成)

また、実施の形態に係るパワーモジュール50Tであって、2 in 1モジュールのSiC MOSFETの模式的回路表現は、図25に示すように表される。

[0201] ここでは、例えば第4の実施の形態に係るPM10に適用可能な半導体モジュール20であって、2個の半導体デバイスQ1・Q4が1つのモールド樹脂33内に封止された半導体パッケージ装置、いわゆる2 in 1タイプのモジュールについて説明する。

[0202] 半導体デバイスQ1・Q4として、SiC MOSFETを適用した2 in 1モジュール50Tの回路構成は、例えば図25に示すように表される。

[0203] すなわち、2 in 1モジュール50Tは、図25に示すように、2個のSiC MOSFET Q1・Q4が1つのモジュールとして内蔵された、ハーフブリッジ内蔵モジュールの構成を備える。

[0204] ここで、モジュールは、1つの大きなトランジスタとみなすことができるが、内蔵されているトランジスタが1チップまたは図2や図17に示したように複数チップの場合がある。また、モジュールには、1 in 1、2 in 1、4 in 1、6 in 1などがあり、例えば、1つのモジュール上において、図25に示すモジュールを2組内蔵したモジュールは2 in 1、2 in 1を2組み内蔵したモジュールは4 in 1、2 in 1を3組み内蔵したモジュールは6 in 1と呼ばれている。

[0205] 図25に示すように、2 in 1モジュール50Tは、2個のSiC MOSFET Q1・Q4と、SiC MOSFET Q1・Q4に逆並列接続されるダイオードD1・D4が1つのモジュールとして内蔵されている。

[0206] 図25において、G1は、SiC MOSFET Q1のゲート信号用のリード端子であり、S1は、SiC MOSFET Q1のソース信号用のリード端子である。同様に、G4は、SiC MOSFET Q4のゲート信号用のリード端子であり、S4は、SiC MOSFET Q4のソース信号用のリード端子である。

[0207] また、Pは、正側電源入力端子電極であり、Nは、負側電源入力端子電極であり、Oは、出力端子電極である。

[0208] 第4の実施の形態に係るPM10に適用可能な半導体モジュール20に適用される半導体デバイスQ2・Q5、および半導体モジュール20に適用される半導体デバイスQ3・Q6についても同様であり、詳しい説明は省略する。

[0209] (デバイス構造)

第1～第4の実施の形態に係るPM10に適用可能な半導体モジュール20に適用される半導体デバイスQ1・Q4の例であって、ソースパッド電極SP、ゲートパッド電極GPを含むSiC MOSFET 110の模式的断面構造は、図26に示すように表される。

[0210] 図26に示すように、SiC MOSFET 110は、n⁻高抵抗層からなる半導体基板126と、半導体基板126の表面側に形成されたpボディ領域128と、pボディ領域128の表面に形成されたソース領域130と、pボディ領域128間の半導体基板126の表面上に配置されたゲート絶縁膜132と、ゲート絶縁膜132上に配置されたゲート電極138と、ソース領域130およびpボディ領域128に接続されたソース電極134と、半導体基板126の表面と反対側の裏面に配置されたn⁺ドレイン領域124と、n⁺ドレイン領域124に接続されたドレイン電極136とを備える。

[0211] ゲートパッド電極GPは、ゲート絶縁膜132上に配置されたゲート電極138に接続され、ソースパッド電極SPは、ソース領域130およびpボディ領域128に接続されたソース電極134に接続される。また、ゲートパッド電極GPおよびソースパッド電極SPは、図26に示すように、Si

C MOSFET 110の表面を覆うパッシベーション用の層間絶縁膜 144上に配置される。

[0212] なお、ゲートパッド電極GPおよびソースパッド電極SPの下方の半導体基板 126内には、図示していないが、微細構造のトランジスタ構造が形成されていても良い。

[0213] さらに、図26に示すように、中央部のトランジスタ構造においても、パッシベーション用の層間絶縁膜 144上にソースパッド電極SPが延在して配置されていても良い。

[0214] 図26において、SiC MOSFET 110は、プレーナゲート型のnチャネル縦型SiC MOSFETで構成されているが、後述する図29に示すように、トレンチゲート型のnチャネル縦型SiC T (Trench) MOSFET 110などで構成されていても良い。

[0215] または、第1～第4の実施の形態に係るPM10に適用可能な半導体モジュール20に適用される半導体デバイスQ1・Q4としては、SiC MOSFET 110の代わりに、GaN系FETなどを採用することもできる。

[0216] 第1～第4の実施の形態に係るPM10に適用可能な半導体モジュール20に適用される半導体デバイスQ2・Q5、および半導体モジュール20に適用される半導体デバイスQ3・Q6についても同様である。

[0217] さらに、第1～第4の実施の形態に係るPM10に適用可能な半導体モジュール20に適用される半導体デバイスQ1～Q6には、バンドギャップエネルギーが、例えば、1.1 eV～8 eVのワイドバンドギャップ型と称される半導体を用いることができる。

[0218] 同様に、第1～第4の実施の形態に係るPM10に適用可能な半導体モジュール20に適用される半導体デバイスQ1・Q4の例であって、エミッタパッド電極EP、ゲートパッド電極GPを含むIGBT 110Aの模式的断面構造は、図27に示すように表される。

[0219] 図27に示すように、IGBT 110Aは、n⁻高抵抗層からなる半導体基板 126と、半導体基板 126の表面側に形成されたpボディ領域 128と

、p ボディ領域 128 の表面に形成されたエミッタ領域 130E と、p ボディ領域 128 間の半導体基板 126 の表面上に配置されたゲート絶縁膜 132 と、ゲート絶縁膜 132 上に配置されたゲート電極 138 と、エミッタ領域 130E および p ボディ領域 128 に接続されたエミッタ電極 134E と、半導体基板 126 の表面と反対側の裏面に配置された p⁺コレクタ領域 124P と、p⁺コレクタ領域 124P に接続されたコレクタ電極 136C とを備える。

[0220] ゲートパッド電極 GP は、ゲート絶縁膜 132 上に配置されたゲート電極 138 に接続され、エミッタパッド電極 EP は、エミッタ領域 130E および p ボディ領域 128 に接続されたエミッタ電極 134E に接続される。また、ゲートパッド電極 GP およびエミッタパッド電極 EP は、図 27 に示すように、IGBT 110A の表面を覆うパッシベーション用の層間絶縁膜 144 上に配置される。

[0221] なお、ゲートパッド電極 GP およびエミッタパッド電極 EP の下方の半導体基板 126 内には、図示していないが、微細構造の IGBT 構造が形成されていても良い。

[0222] さらに、図 27 に示すように、中央部の IGBT 構造においても、パッシベーション用の層間絶縁膜 144 上にエミッタパッド電極 EP が延在して配置されていても良い。

[0223] 図 27 において、IGBT 110A は、プレーナゲート型の n チャネル縦型 IGBT で構成されているが、トレンチゲート型の n チャネル縦型 IGBT などでも構成されていても良い。

[0224] 第 1 ～ 第 4 の実施の形態に係る PM10 に適用可能な半導体モジュール 20 に適用される半導体デバイス Q2・Q5、および半導体モジュール 20 に適用される半導体デバイス Q3・Q6 についても同様である。

[0225] 半導体デバイス Q1～Q6 としては、SiC DIMOSFET、SiC TMOSFET などの SiC 系パワーデバイス、或いは GaN 系高電子移動度トランジスタ（HEMT: High Electron Mobility Transistor）などの

GaN系パワーデバイスを適用可能である。また、場合によっては、Si系MOSFETやIGBTなどのパワーデバイスも適用可能である。

[0226] —SiC DIMOSFET—

第1～第4の実施の形態に係るPM10に適用可能な半導体モジュール20に適用される半導体デバイスの例であって、SiC DIMOSFET110の模式的断面構造は、図28に示すように表される。

[0227] 図28に示すように、第1～第4の実施の形態に係るPM10に適用可能な半導体モジュール20に適用されるSiC DIMOSFET110は、 n^- 高抵抗層からなる半導体基板126と、半導体基板126の表面側に形成されたpボディ領域128と、pボディ領域128の表面に形成された n^+ ソース領域130と、pボディ領域128間の半導体基板126の表面上に配置されたゲート絶縁膜132と、ゲート絶縁膜132上に配置されたゲート電極138と、ソース領域130およびpボディ領域128に接続されたソース電極134と、半導体基板126の表面と反対側の裏面に配置された n^+ ドレイン領域124と、 n^+ ドレイン領域124に接続されたドレイン電極136とを備える。

[0228] 図28において、SiC DIMOSFET110は、pボディ領域128と、pボディ領域128の表面に形成された n^+ ソース領域130が、ダブルイオン注入(DII)で形成され、ソースパッド電極SPは、ソース領域130およびpボディ領域128に接続されたソース電極134に接続される。

[0229] ゲートパッド電極GPは、図示を省略しているが、ゲート絶縁膜132上に配置されたゲート電極138に接続される。また、ソースパッド電極SPおよびゲートパッド電極GPは、図28に示すように、SiC DIMOSFET110の表面を覆うように、パッシベーション用の層間絶縁膜144上に配置される。

[0230] SiC DIMOSFETは、図28に示すように、pボディ領域128に挟まれた n^- 高抵抗層からなる半導体基板126内に、破線で示されるよ

うな空乏層が形成されるため、接合型FET（JFET）効果に伴うチャネル抵抗 R_{JFET} が形成される。また、pボディ領域128／半導体基板126間には、図28に示すように、ボディダイオードBDが形成される。

[0231] —SiC TMOSFET—

第1～第4の実施の形態に係るPM10に適用可能な半導体モジュール20に適用される半導体デバイスの例であって、SiC TMOSFET110の模式的断面構造は、図29に示すように表される。

[0232] 図29に示すように、第1～第4の実施の形態に係るPM10に適用可能な半導体モジュール20に適用されるSiC TMOSFET110は、n層からなる半導体基板126Nと、半導体基板126Nの表面側に形成されたpボディ領域128と、pボディ領域128の表面に形成されたn⁺ソース領域130と、pボディ領域128を貫通し、半導体基板126Nまで形成されたトレンチ内にゲート絶縁膜132および層間絶縁膜144U・144Bを介して形成されたトレンチゲート電極138TGと、ソース領域130およびpボディ領域128に接続されたソース電極134と、半導体基板126Nの表面と反対側の裏面に配置されたn⁺ドレイン領域124と、n⁺ドレイン領域124に接続されたドレイン電極136とを備える。

[0233] 図29において、SiC TMOSFET110は、pボディ領域128を貫通し、半導体基板126Nまで形成されたトレンチ内にゲート絶縁膜132および層間絶縁膜144U・144Bを介してトレンチゲート電極138TGが形成され、ソースパッド電極SPは、ソース領域130およびpボディ領域128に接続されたソース電極134に接続される。

[0234] ゲートパッド電極GPは、図示を省略しているが、ゲート絶縁膜132上に配置されたトレンチゲート電極138TGに接続される。また、ソースパッド電極SPおよびゲートパッド電極GPは、図29に示すように、SiC TMOSFET110の表面を覆うように、パッシベーション用の層間絶縁膜144U上に配置される。

[0235] SiC TMOSFETでは、SiC DIMOSFETのような接合型

FET (JFET) 効果に伴うチャネル抵抗 R_{JFET} は形成されない。また、p ボディ領域 128 / 半導体基板 126 N 間には、図 28 と同様に、ボディダイオード BD が形成される。

[0236] (応用例)

第 1 ～ 第 4 の実施の形態に係る PM10 を用いて構成される 3 相交流インバータ 140 であって、半導体デバイスとして SiC MOSFET を適用し、電源端子 PL・接地（基準）端子 NL 間にスナバコンデンサ C を接続した回路構成例は、図 30 に示すように表される。インダクタンス L は、配線の有するインダクタンスを表している。

[0237] 第 1 ～ 第 4 の実施の形態に係る PM10 を電源 E と接続する際、接続ラインの有するインダクタンス L によって、SiC MOSFET のスイッチング速度が速いため、大きなサージ電圧 $L di/dt$ を生ずる。例えば、電流変化 $di = 300 A$ とし、スイッチングに伴う時間変化 $dt = 100 ns$ とすると、 $di/dt = 3 \times 10^9 (A/s)$ となる。

[0238] インダクタンス L の値により、サージ電圧 $L di/dt$ の値は変化するが、電源 E に、このサージ電圧 $L di/dt$ が重畳される。電源端子 PL・接地端子 NL 間に接続されるスナバコンデンサ C によって、このサージ電圧 $L di/dt$ を吸収することができる。

[0239] 本実施の形態に係る PM10 を適用したインバータ装置は、例えば、以下の構成を備えていても良い。すなわち、電源端子 PL と基準端子 NL との間に接続された半導体デバイス Q1 を含む回路が形成されたパワーモジュール PM10 を用いて電力変換を行うインバータ装置であって、パワーモジュール PM10 は、第 1 絶縁基板 22D と、第 1 絶縁基板 22D 上に搭載されて動作時に熱を発生する半導体デバイス Q1 と、半導体デバイス Q1 上に、半導体デバイス Q1 に対向する面と反対側に、第 1 絶縁基板 22D に対向して配置された第 2 絶縁基板 22U と、一端が半導体デバイス Q1 上に形成された電極パッドに接続され、他端側が第 1 絶縁基板 22D に形成された電極パターン 24D2 に接続され、半導体デバイス Q1 からの電流を第 2 絶縁基板

22Uを介さずに電極パターン24D2に流す電気伝導路層35Cと、一端が半導体デバイスQ1上に配置され、他端側が第2絶縁基板22U側に接続され、半導体デバイスQ1の熱を第2絶縁基板22Uに伝える熱伝導路層35Tとを備え、少なくとも半導体デバイスQ1と、電気伝導路層35Cと、熱伝導路層35Tと、各端子の一部を封止するモールド樹脂を備えていても良い。

[0240] (具体例)

次に、図31を参照して、半導体デバイスとしてSiC MOSFETを適用し、第1～第4の実施の形態に係るPMを用いて構成した3相交流インバータ140について説明する。

[0241] 図31に示すように、3相交流インバータ140は、ゲートドライブ部150により駆動されるPM152と、各PMの出力に接続された3相交流モータ部154と、回路に電力を供給する電源もしくは蓄電池(E)146と、電源146の電力を変換して各PMに電力を供給するコンバータ148とを備える。PM152は、3相交流モータ部154のU相、V相、W相に対応して、U相、V相、W相の出力を行うインバータ回路が接続されている。

[0242] ここで、ゲートドライブ部150は、SiC MOSFET Q1・Q4、SiC MOSFET Q2・Q5、およびSiC MOSFET Q3・Q6の各ゲートにそれぞれ接続されている。

[0243] PM152は、電源もしくは蓄電池(E)146が接続されたコンバータ148のプラス端子(+)Pとマイナス端子(-)Nとの間に接続され、インバータ構成のSiC MOSFET Q1・Q4、Q2・Q5、およびQ3・Q6を備える。また、SiC MOSFET Q1～Q6のソース・ドレイン間には、フリーホイールダイオードD1～D6がそれぞれ逆並列に接続されている。

[0244] 以上説明したように、本実施の形態によれば、効率的に放熱可能なパワーモジュール、およびインバータ装置を実現できる。すなわち、パワーモジュールにおいて、放熱経路Tと電気経路Cとを分けるようにしたので、効率的

に放熱可能な構造とすることができる。

[0245] 特に、各実施の形態に係るPMを、例えば車載用とする場合においては、より効率的な放熱が可能になるので、高性能化・高機能化と共に、より一層の安全性を確保しつつ、高効率のシステムの開発が可能になる。

[0246] なお、本実施の形態において、モールド型パワーモジュールとしては、例えば、4端子構造のモールド型パワーモジュールなどであっても良い。

[0247] また、本実施の形態に係るPMに適用可能な半導体モジュールとしては、樹脂モールドされたモールド型パワーモジュールに限らず、ケース型のパッケージによってパッケージングされたパワーモジュール（半導体パッケージ装置）にも適用可能である。

[0248] [その他の実施の形態]

上記のように、いくつかの実施の形態について記載したが、開示の一部をなす論述および図面は例示的なものであり、限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例および運用技術が明らかとなろう。例えば、図30、図31に示す回路において、各MOSFETのソース、ドレイン、ゲートの代わりに、IGBTのエミッタ、コレクタ、ゲートを夫々接続した回路を用いるようにしても良いし、発熱が少ない場合には、各PMを搭載する回路基板を用いるだけで下部冷却器を省略しても構わない。

[0249] このように、本実施の形態は、ここでは記載していない様々な実施の形態などを含む。

産業上の利用可能性

[0250] 本実施の形態のPMは、IGBTモジュール、ダイオードモジュール、MOSモジュール（Si、SiC、GaN）などの各種の半導体モジュール作製技術に利用することができ、発熱が特に大きいHEV（Hybrid Electric Vehicle）／EV（Electric Vehicle）向けのインバータ、産業向けのインバータやコンバータなどに適用可能であると共に、幅広い応用分野に適用可能である。

符号の説明

- [0251] 1、 5…ゲート信号電極パターン
3、 7…ソース信号電極パターン
10…パワーモジュール (PM)
20…半導体モジュール
21D…下部セラミック基板
21U…上部セラミック基板
23D、24D…導電層
23U・24U…導電層
24D1、24U1…第1電極パターン
24D2、24U2…第2電極パターン
24D3…第3電極パターン
30D…下部冷却器
30U…上部冷却器
33…モールド樹脂
35、35₁、35₂、35₁、35₂、35₃、35_{3C}…伝導路層
35_C、35_{1C}、35_{2C}…ブリッジ部 (電気伝導路層)
35_T、35_{1T}、35_{2T}、35_{3T}…ポスト部 (熱伝導路層)
Q1、Q2、Q3、Q4、Q5、Q6…半導体デバイス
P…正側電源入力端子電極
N…負側電源入力端子電極
O…出力端子電極
PL…電源端子
NL…基準端子

請求の範囲

- [請求項1] 第1絶縁基板と、
 前記第1絶縁基板上に搭載されて動作時に発熱する半導体デバイスと、
 前記半導体デバイス上に、前記第1絶縁基板に対向して配置された第2絶縁基板と、
 前記半導体デバイス上に一端が配置され、他端側が前記第1絶縁基板に形成された電極パターンに接続されて電気信号を伝送する電気伝導路層と、
 前記半導体デバイス上に一端が配置され、他端側が前記第2絶縁基板に接続されて前記半導体デバイスの熱を前記第2絶縁基板側に伝導する熱伝導路層と
 を備えることを特徴とするパワーモジュール。
- [請求項2] 前記第2絶縁基板の前記第1絶縁基板に対向する面と反対側の面に配置されて前記熱伝導路層からの熱を前記第2絶縁基板を介して冷却するための第1冷却器をさらに備えることを特徴とする請求項1に記載のパワーモジュール。
- [請求項3] 前記第1絶縁基板の前記半導体デバイスが搭載された面と反対側の面に配置されて前記半導体デバイスの熱を前記第1絶縁基板を介して冷却するための第2冷却器をさらに備えることを特徴とする請求項2に記載のパワーモジュール。
- [請求項4] 前記第1絶縁基板の前記半導体デバイスが搭載された面側に配置され、第1電極パターンと第2電極パターンとを有する第1導電層をさらに備え、
 前記半導体デバイスは、前記第1電極パターン上に搭載され、
 前記電気伝導路層は、前記半導体デバイスの上面に形成されたパッド電極と前記第2電極パターンとの間を接続することを特徴とする請求項1～3のいずれか1項に記載のパワーモジュール。

- [請求項5] 前記第2絶縁基板の前記第1絶縁基板に対向する面側に配置され、前記第1導電層と対向する第2導電層をさらに備え、
前記熱伝導路層は、前記半導体デバイスの上面に配置されたパッド電極と前記第2導電層との間を接続し、前記半導体デバイスの熱を前記第2絶縁基板側に伝導することを特徴とする請求項1～4のいずれか1項に記載のパワーモジュール。
- [請求項6] 前記電気伝導路層は、前記熱伝導路層の側面から前記第1絶縁基板に接続される一体型のブロック構造を備えることを特徴とする請求項1～5のいずれか1項に記載のパワーモジュール。
- [請求項7] 前記電気伝導路層および前記熱伝導路層は、前記電気伝導路層の前記第2絶縁基板側に前記熱伝導路層が積層された積層構造を備えることを特徴とする請求項1～5のいずれか1項に記載のパワーモジュール。
- [請求項8] 前記電気伝導路層および前記熱伝導路層は、別体型の分割構造を備えることを特徴とする請求項1～5のいずれか1項に記載のパワーモジュール。
- [請求項9] 前記電気伝導路層および前記熱伝導路層は、同一の構成部材を備えることを特徴とする請求項1～6のいずれか1項に記載のパワーモジュール。
- [請求項10] 前記電気伝導路層および前記熱伝導路層は、異なる構成部材を備えることを特徴とする請求項1～5のいずれか1項に記載のパワーモジュール。
- [請求項11] 前記電気伝導路層は、U字形状のプラグ構造またはL字形状のプラグ構造を備えることを特徴とする請求項1～10のいずれか1項に記載のパワーモジュール。
- [請求項12] 前記電気伝導路層は、前記熱伝導路層よりも電気伝導率の高い部材を備えることを特徴とする請求項10に記載のパワーモジュール。
- [請求項13] 前記電気伝導路層は、銅、アルミニウム、銀のいずれかを備えるこ

とを特徴とする請求項 1 2 に記載のパワーモジュール。

- [請求項14] 前記熱伝導路層は、I 字形状、四角形状、逆台形形状、逆テーパ形状、若しくは逆ステップテーパ形状のいずれかを備えることを特徴とする請求項 1 ～ 1 0 のいずれか 1 項に記載のパワーモジュール。
- [請求項15] 前記熱伝導路層は、複数の構成部材を備えることを特徴とする請求項 1 4 に記載のパワーモジュール。
- [請求項16] 前記熱伝導路層は、複数の層電極構造を備えることを特徴とする請求項 1 5 に記載のパワーモジュール。
- [請求項17] 前記熱伝導路層は、前記電気伝導路層よりも熱伝導率の高い部材を備えることを特徴とする請求項 1 0 に記載のパワーモジュール。
- [請求項18] 前記熱伝導路層は、シリコンカーバイド、銅、銀、カーボン、グラファイトのいずれかを備えることを特徴とする請求項 1 7 に記載のパワーモジュール。
- [請求項19] 前記電気伝導路層は、銅を備え、前記熱伝導路層は、シリコンカーバイドまたは銅を備えることを特徴とする請求項 1 2 または 1 7 に記載のパワーモジュール。
- [請求項20] 前記第 1 絶縁基板および前記第 2 絶縁基板は、セラミック基板を備えることを特徴とする請求項 1 ～ 1 9 のいずれか 1 項に記載のパワーモジュール。
- [請求項21] 前記熱伝導路層および前記電気伝導路層の垂直方向のサイズが、前記熱伝導路層および前記電気伝導路層の水平方向のサイズよりも小さいことを特徴とする請求項 1 ～ 2 0 のいずれか 1 項に記載のパワーモジュール。
- [請求項22] 前記半導体デバイスを用いて、ワンインワンモジュール、ツーインワンモジュール、フォーインワンモジュール、シックスインワンモジュール、セブンインワンモジュール、エイトインワンモジュール、トゥエルブインワンモジュール、またはフォーティーンインワンモジュールのいずれかを構成することを特徴とする請求項 1 ～ 2 1 のいずれ

か1項に記載のパワーモジュール。

[請求項23] 前記半導体デバイスは、Si系IGBT、Si系MOSFET、SiC系MOSFET、SiC系IGBT、SiC系MOSFETとSiC系IGBTとのハイブリッド素子、GaN系FETのいずれか、またはこれらのうちの異なる複数を備えることを特徴とする請求項1～22のいずれか1項に記載のパワーモジュール。

[請求項24] 表面と裏面とを有する第1絶縁基板と、
前記第1絶縁基板の前記表面側に搭載されて動作時に発熱する半導体デバイスと、
前記半導体デバイス上に、前記第1絶縁基板に対向して配置され、表面と裏面とを有する第2絶縁基板と、
前記第2絶縁基板の前記半導体デバイスに対向する面と反対側の面に配置された第1冷却器と、
一端が前記半導体デバイス上に配置され、他端側が前記第1絶縁基板に形成された電極パターンに接続されて電気信号を伝送する電気伝導路層と、
一端が前記半導体デバイス上に配置され、他端側が前記第2絶縁基板に接続されて前記半導体デバイスの熱を前記第1冷却器に伝導する熱伝導路層と
を備え、
前記電気伝導路層は、前記熱伝導路層の側面から前記電極パターンに接続される一体型のブロック構造を備えることを特徴とするパワーモジュール。

[請求項25] 第1絶縁基板と、
前記第1絶縁基板上に搭載されて動作時に発熱する半導体デバイスと、
前記半導体デバイス上に、前記第1絶縁基板に対向して配置された第2絶縁基板と、

前記第2絶縁基板の前記半導体デバイスに対向する面と反対側の面に配置された第1冷却器と、

一端が前記半導体デバイス上に配置され、他端側が前記第1絶縁基板に形成された電極パターンに接続されて電気信号を伝送する電気伝導路層と、

前記電気伝導路層の前記第2絶縁基板側に積層化配置され、前記第2絶縁基板に接続されて前記半導体デバイスの熱を前記第1冷却器に伝導する熱伝導路層と

を備えることを特徴とするパワーモジュール。

[請求項26]

電源端子と基準端子との間に接続された半導体デバイスを含む回路が形成されたパワーモジュールを用いて電力変換を行うインバータ装置であって、

前記パワーモジュールは、

第1絶縁基板と、

前記第1絶縁基板上に搭載されて動作時に熱を発生する前記半導体デバイスと、

前記半導体デバイス上に、前記半導体デバイスに対向する面と反対側に、前記第1絶縁基板に対向して配置された第2絶縁基板と、

一端が前記半導体デバイス上に形成された電極パッドに接続され、他端側が前記第1絶縁基板に形成された電極パターンに接続され、前記半導体デバイスからの電流を前記第2絶縁基板を介さずに前記電極パターンに流す電気伝導路層と、

一端が前記半導体デバイス上に配置され、他端側が前記第2絶縁基板側に接続され、前記半導体デバイスの熱を前記第2絶縁基板に伝える熱伝導路層と

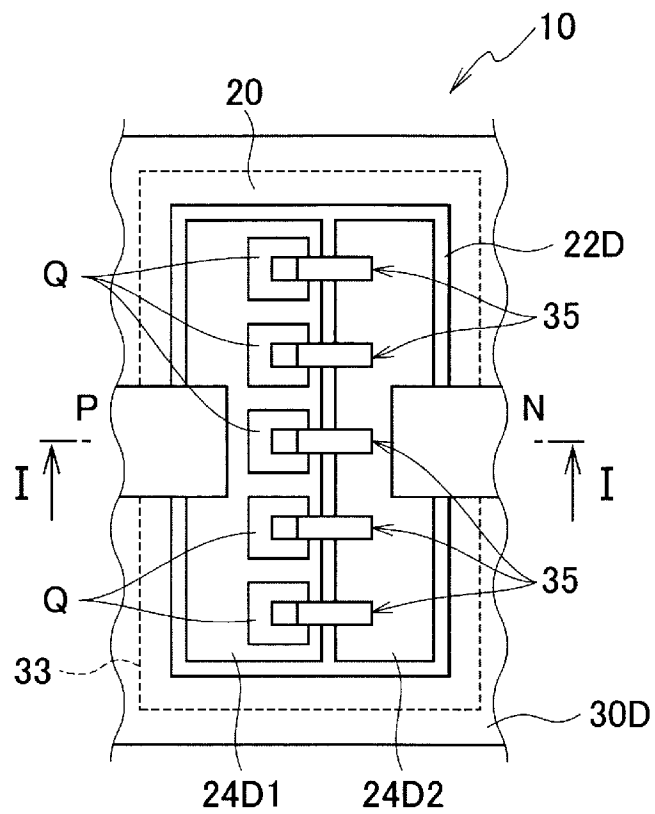
を備え、

少なくとも前記半導体デバイスと、前記電気伝導路層と、前記熱伝導路層と、前記各端子の一部を封止するモールド樹脂を備えることを

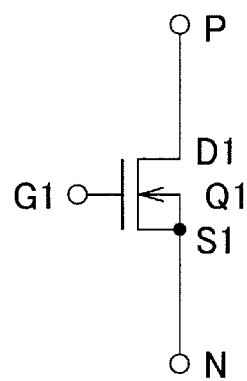
特徴とするインバータ装置。

[図2]

(a)



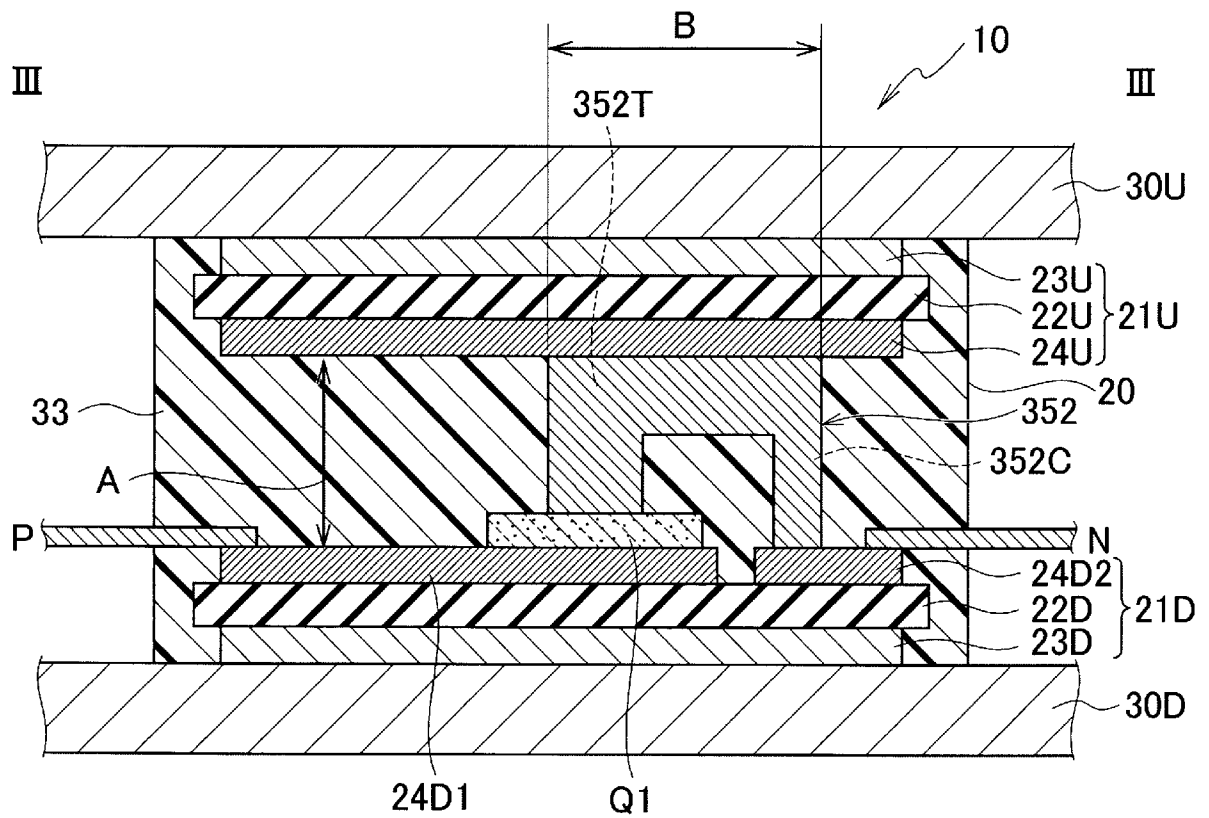
(b)



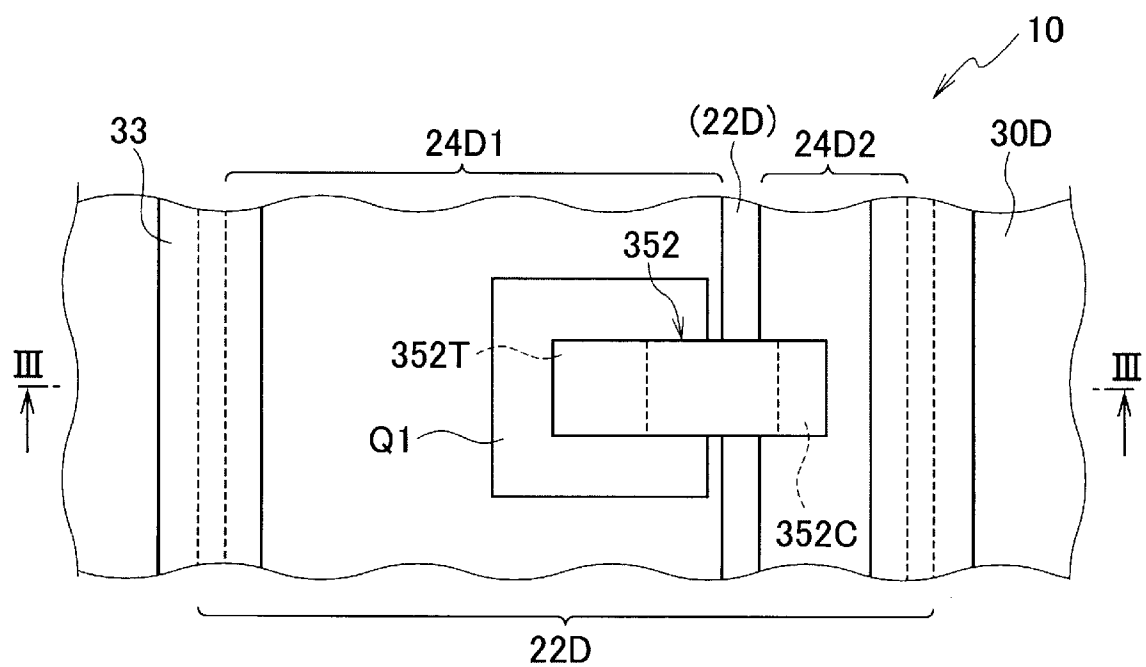
[illegible]

[図5]

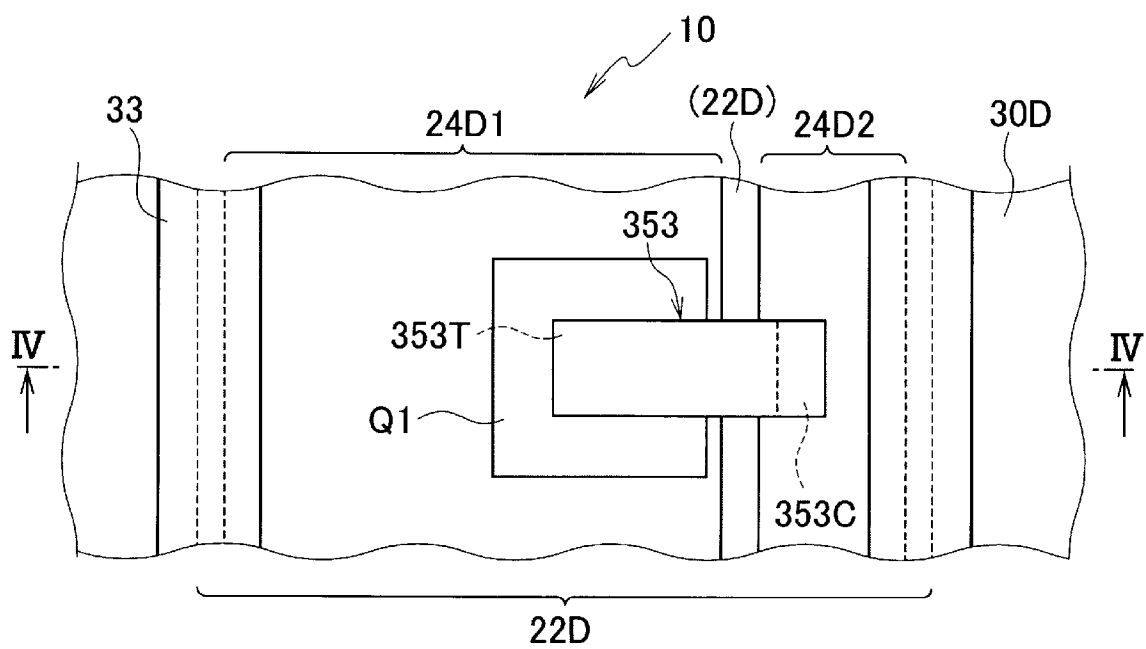
(a)



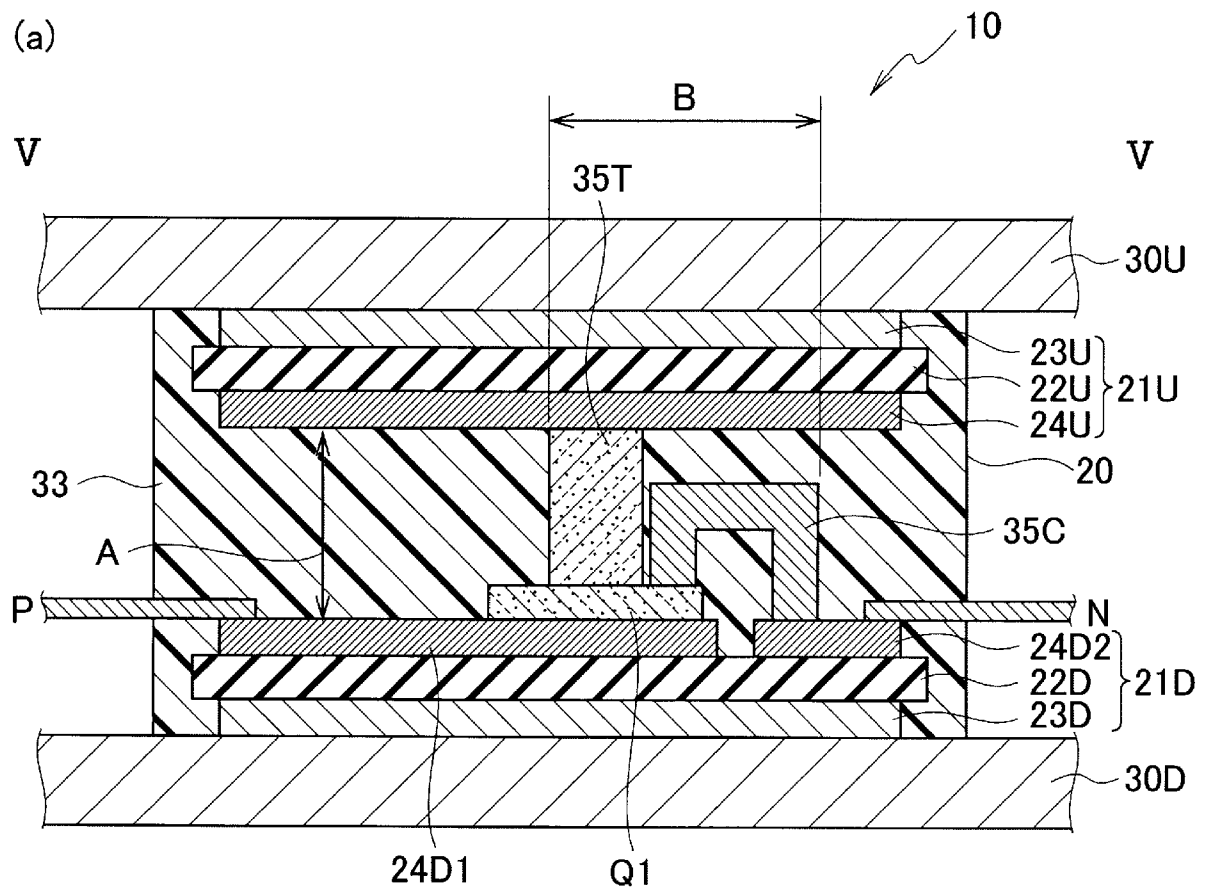
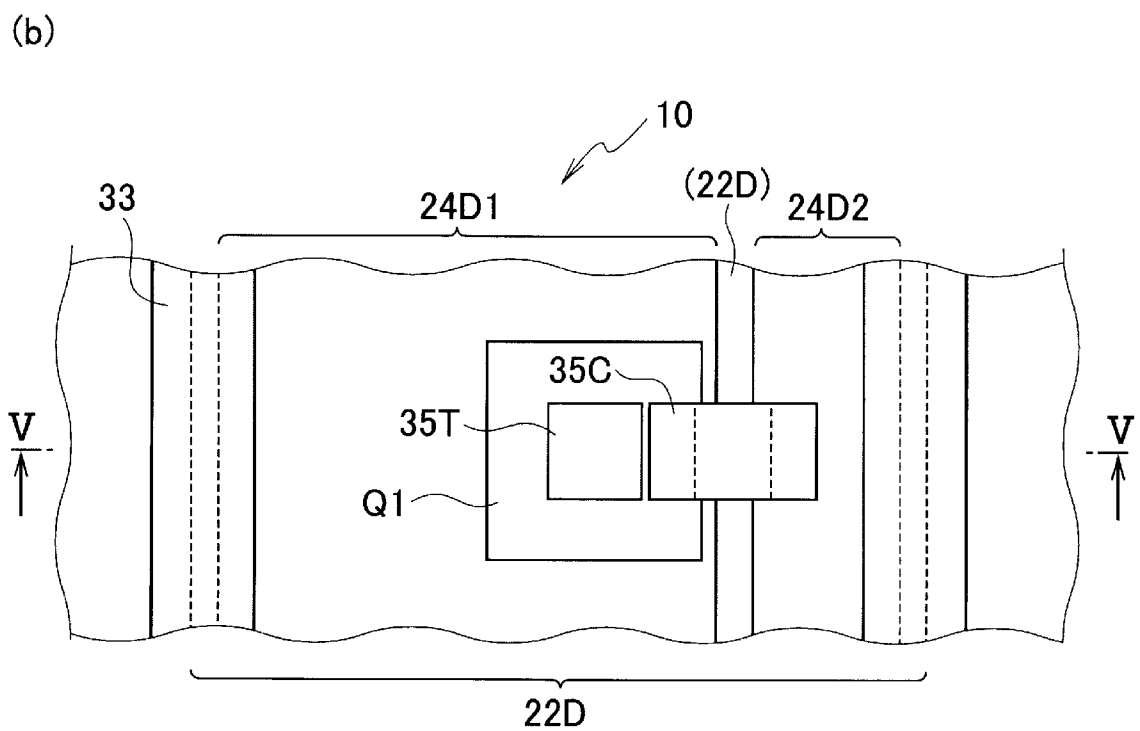
(b)



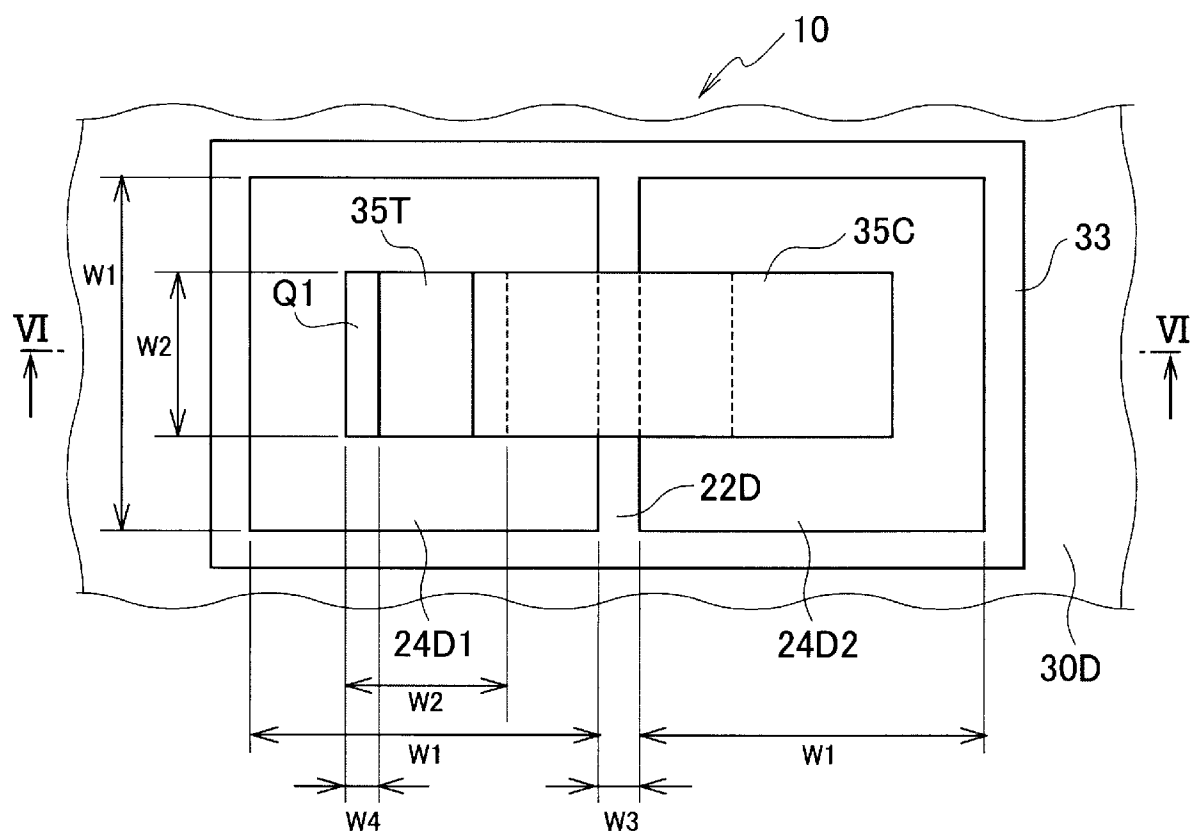
(a)



[図7]



(a)

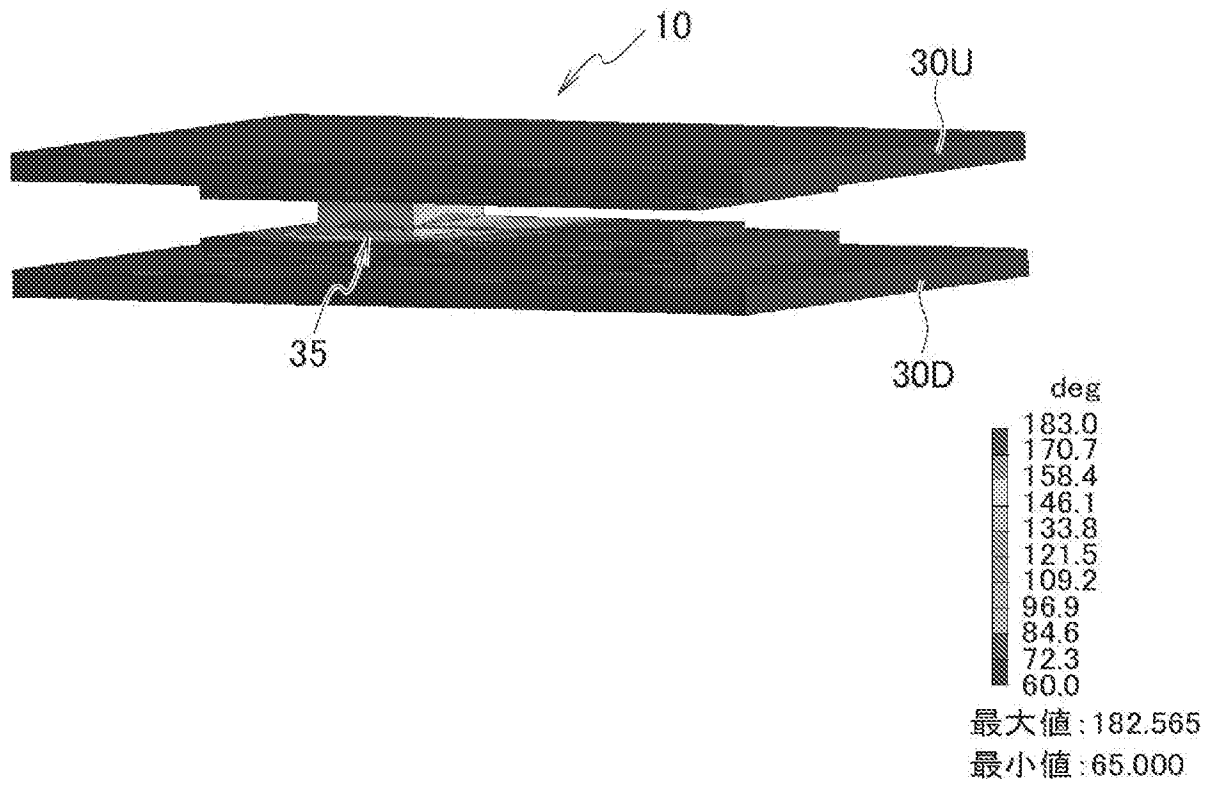


[図10]

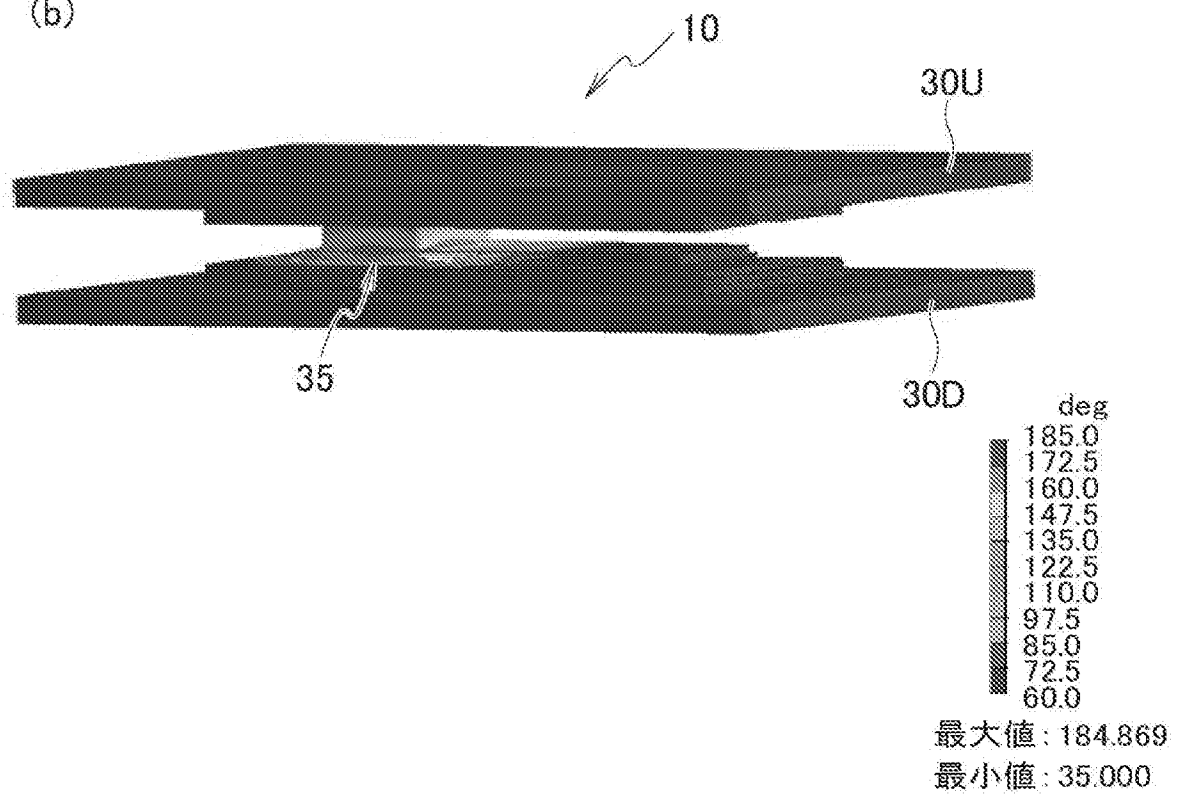
	材料	厚み[mm]	熱伝導率 [W/(mk)]
冷却器	Al	1	2.37
基板	Cu	0.3	402
	SiN	0.3	90
	Cu	0.3	402
ポスト部	SiC or Cu	1.0	450 or 402
ブリッジ部	Cu	0.1	402
チップ	SiC	0.35	450
基板	Cu	0.3	402
	SiN	0.3	90
	Cu	0.3	402
冷却器	Al	1	2.37

[図11]

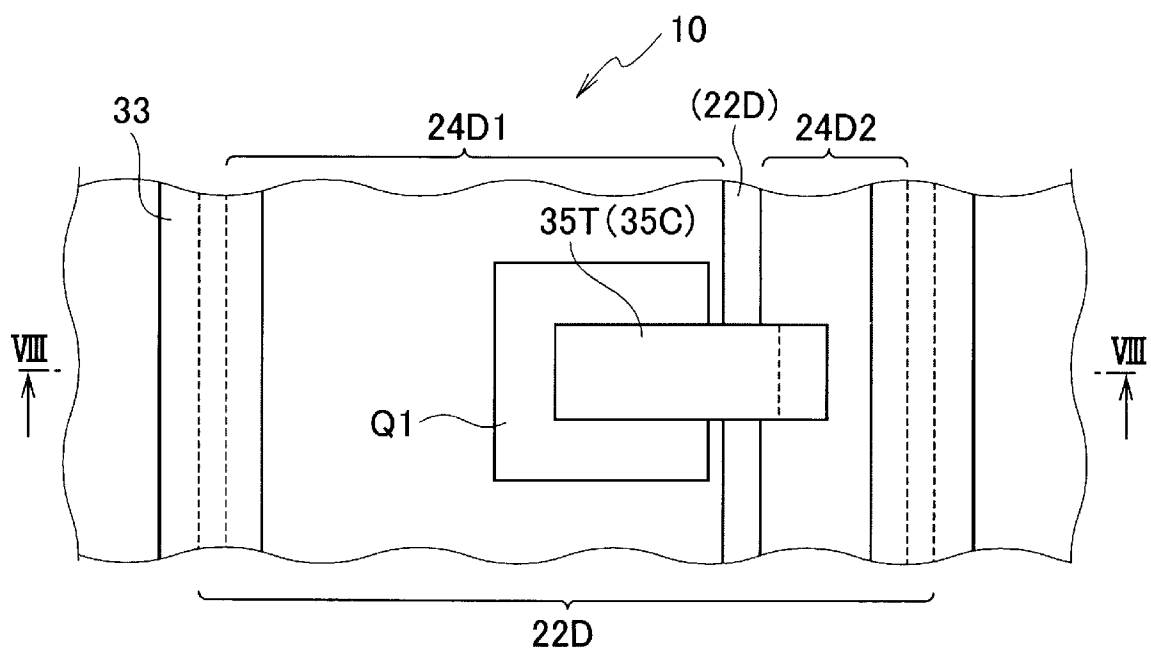
(a)



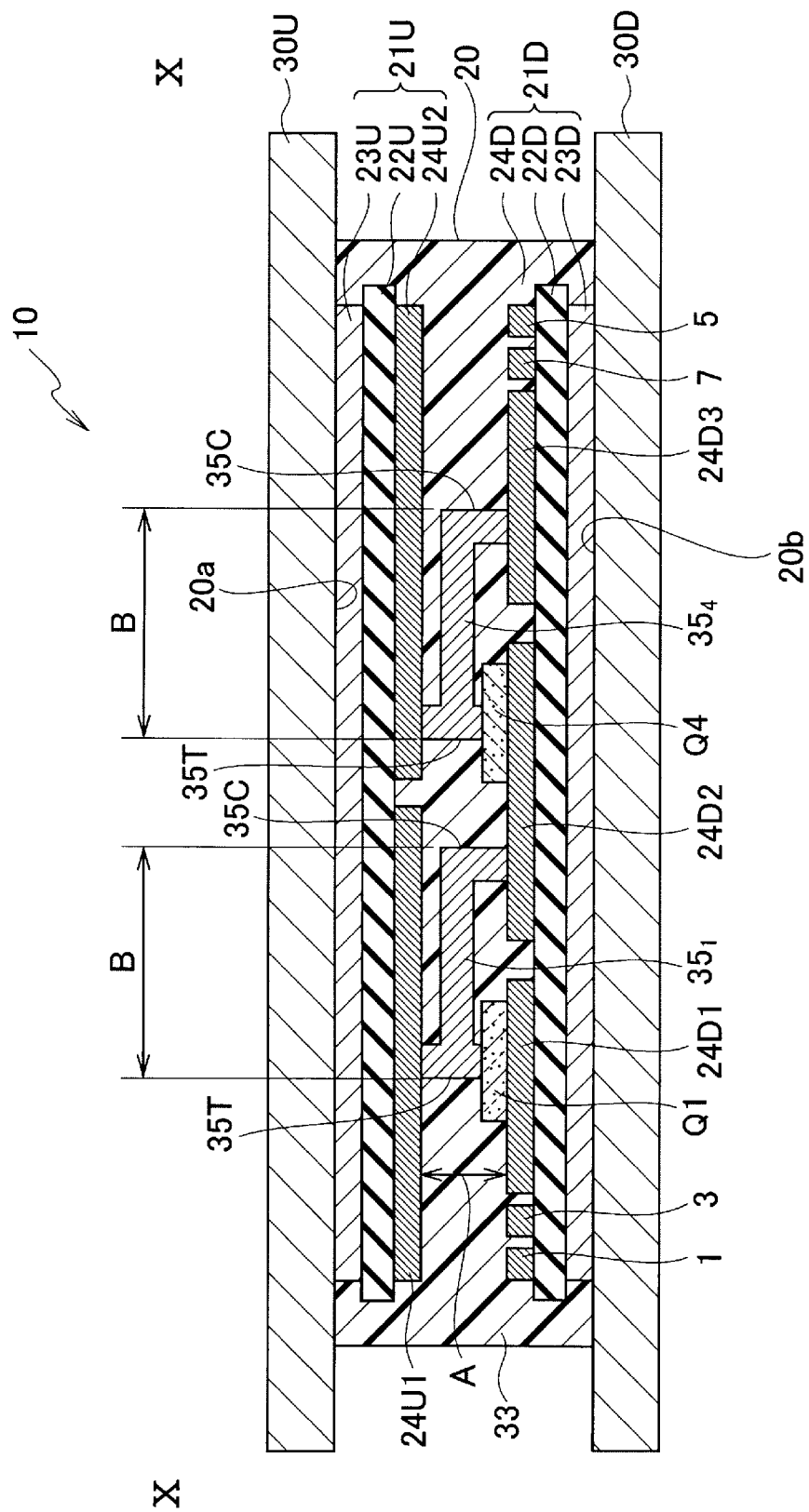
(b)



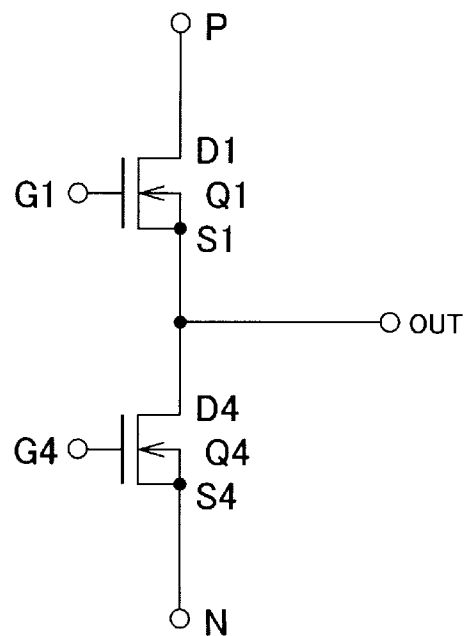
(a)



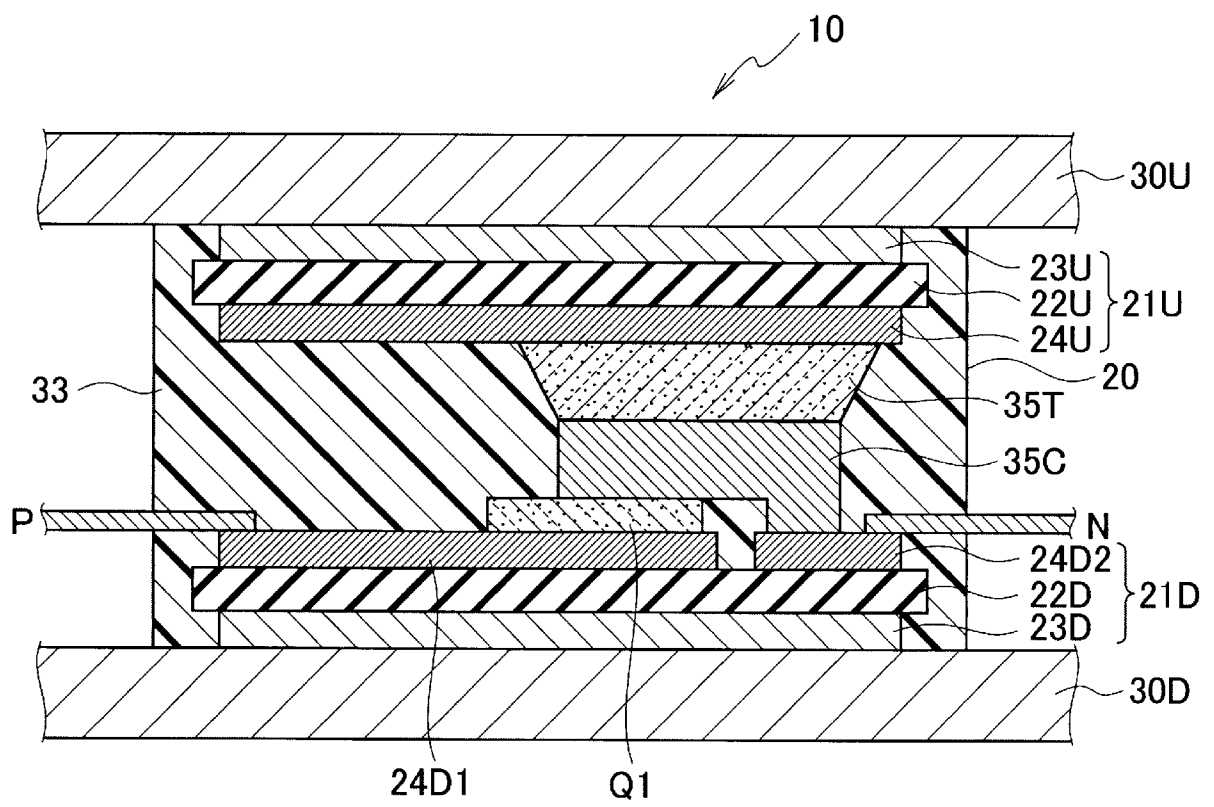
[図16]



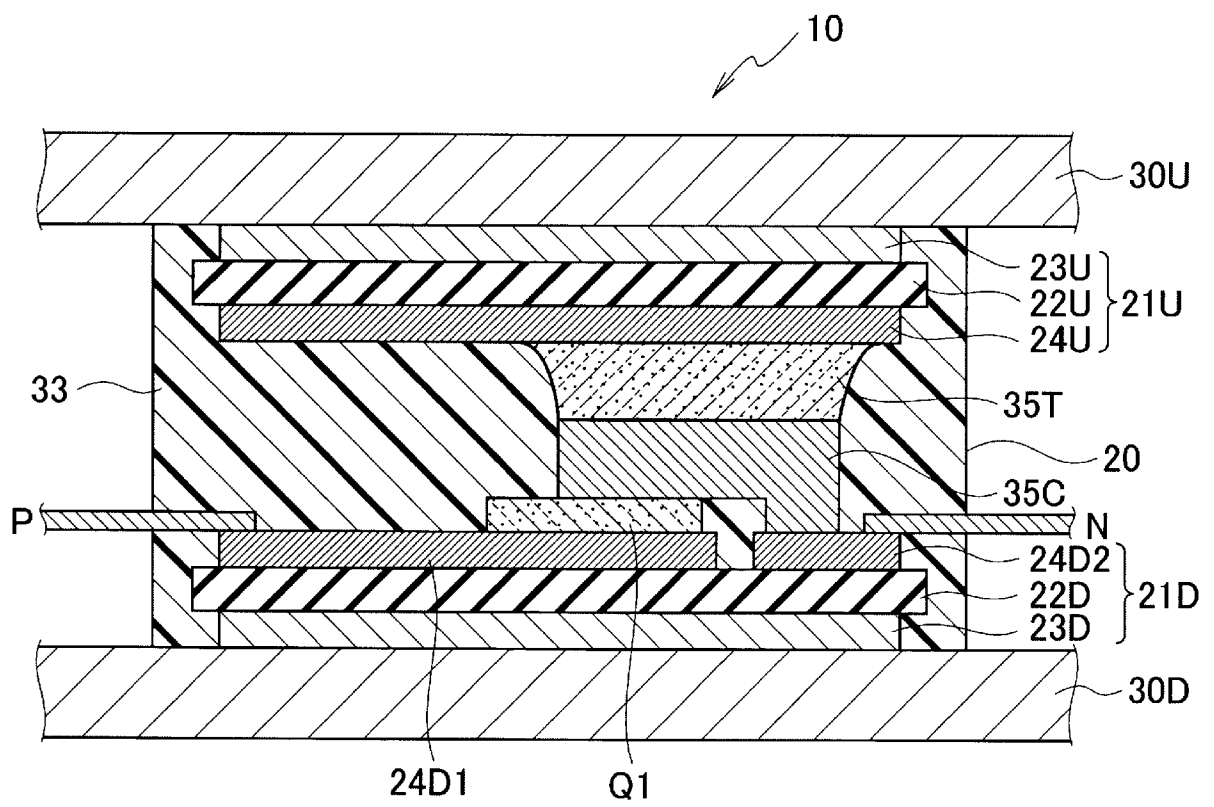
(a)

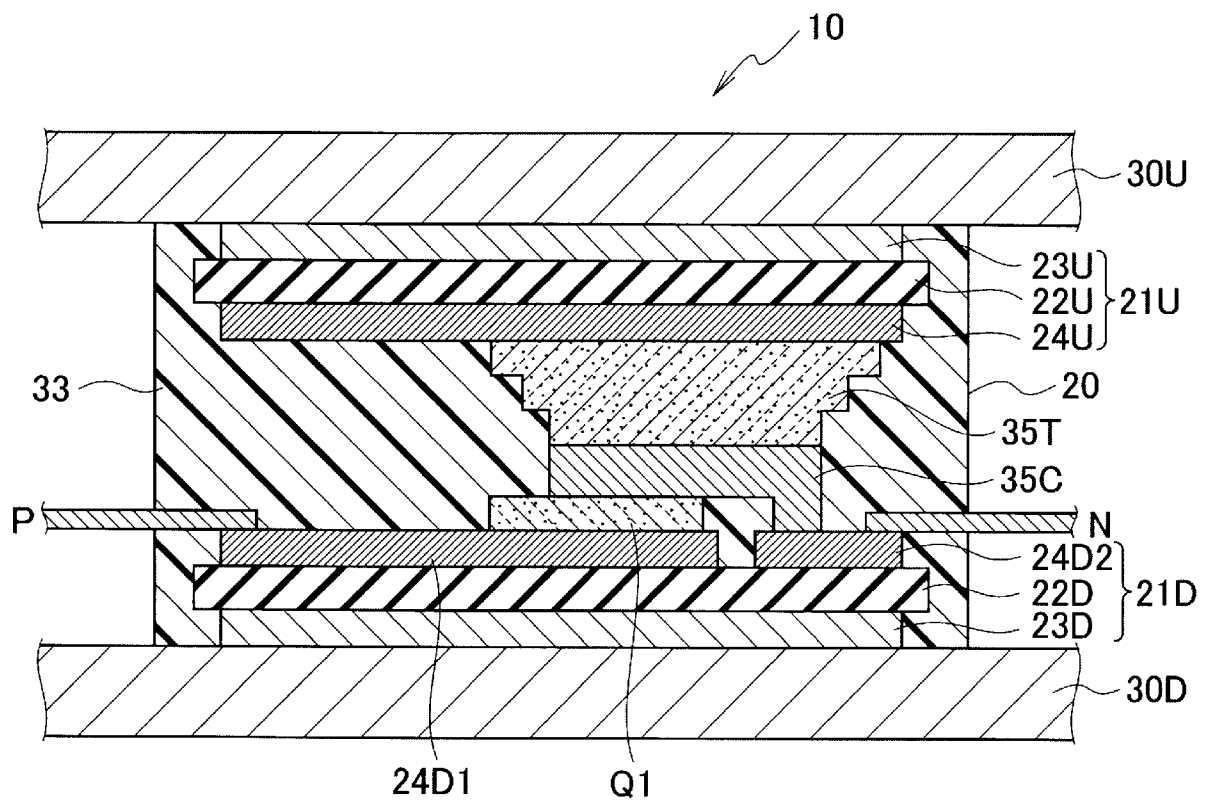


[図19]

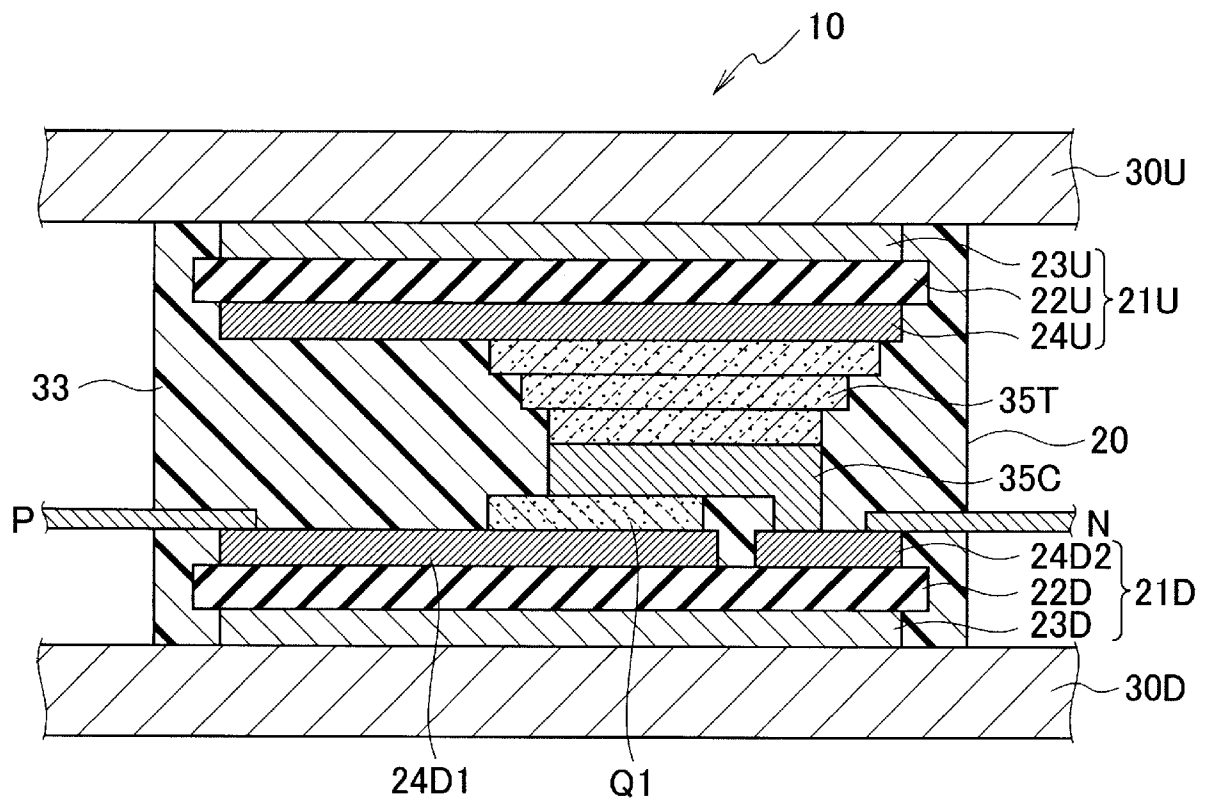


[図20]

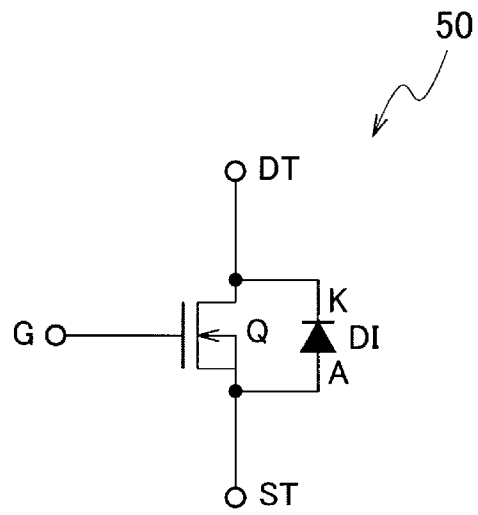




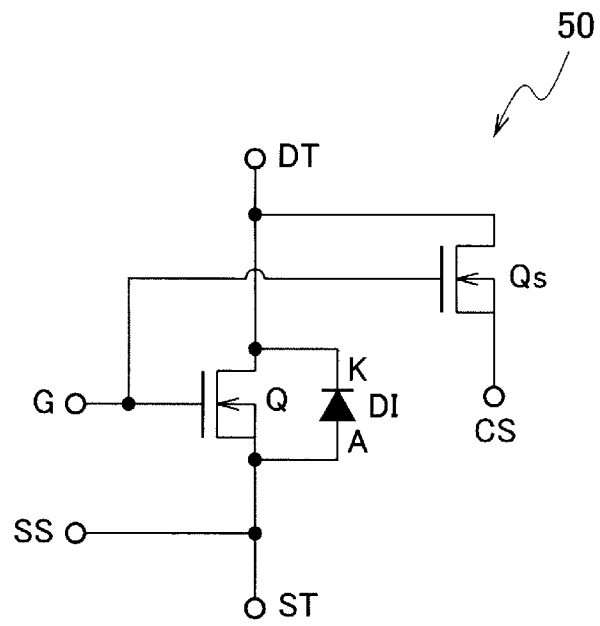
[図22]



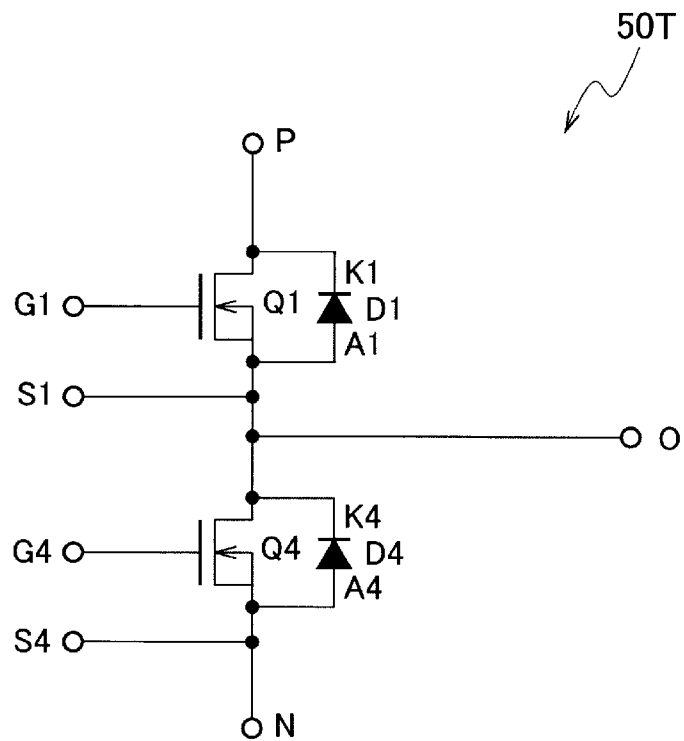
[図23]



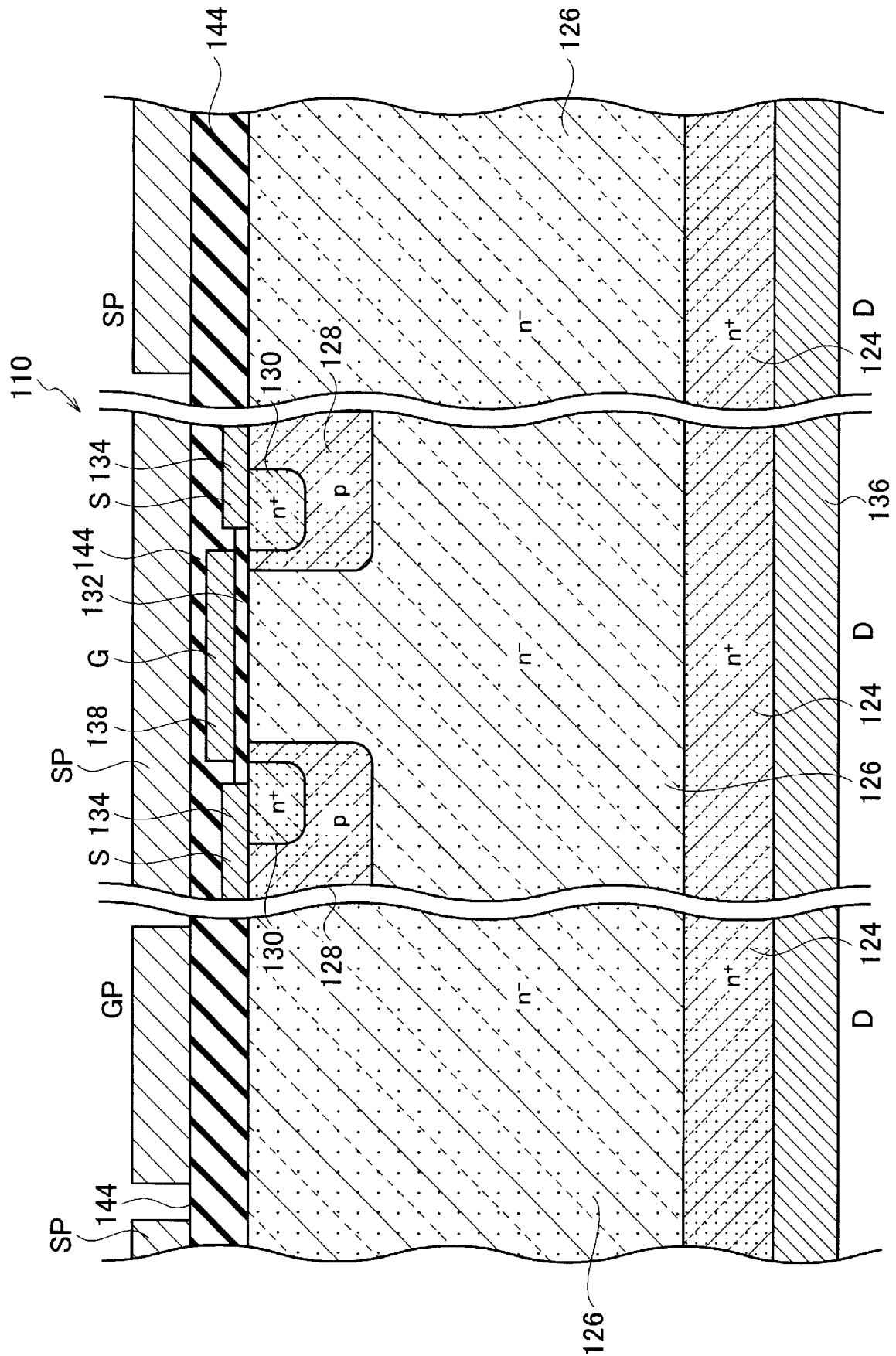
[図24]



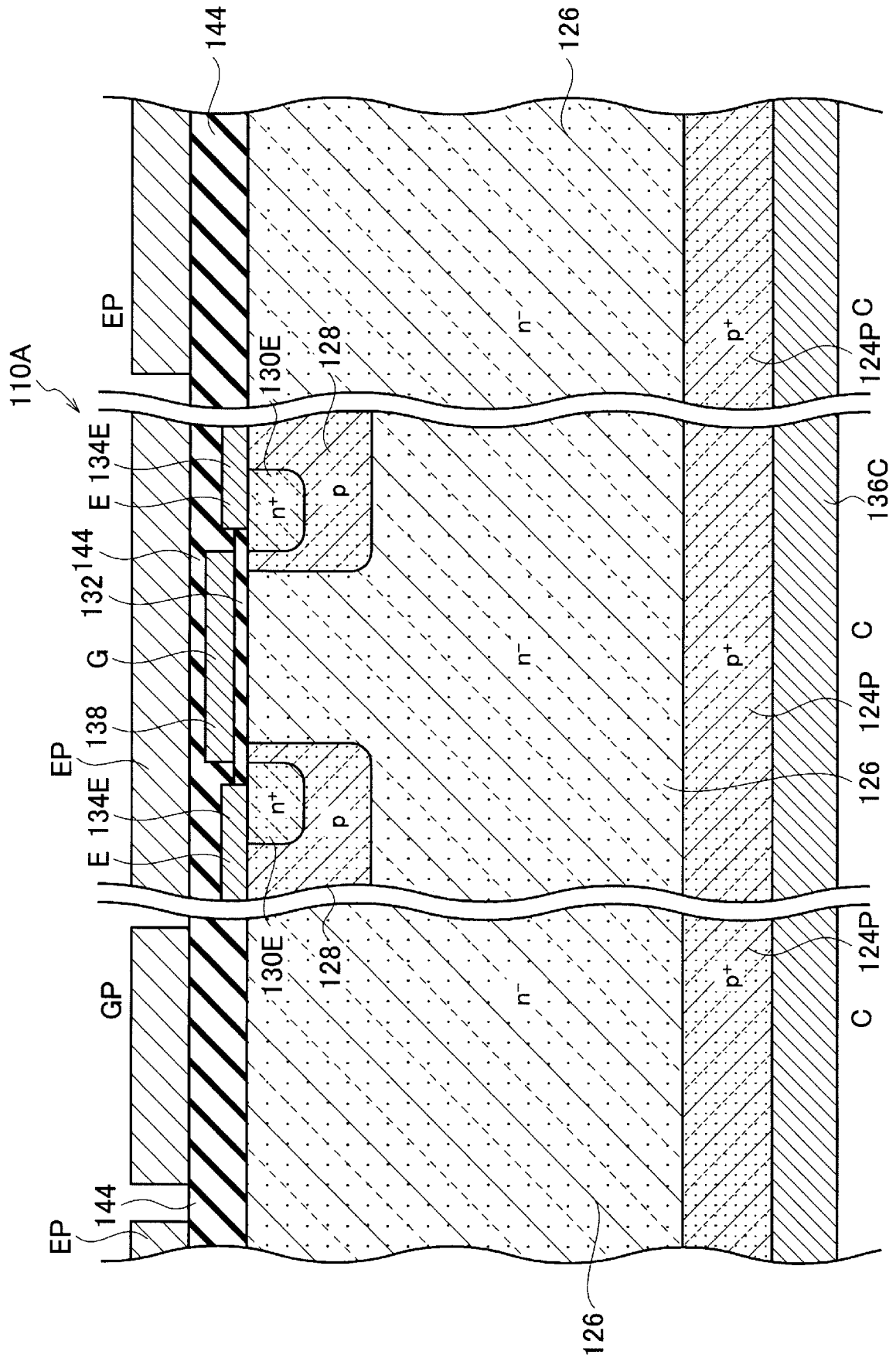
[図25]



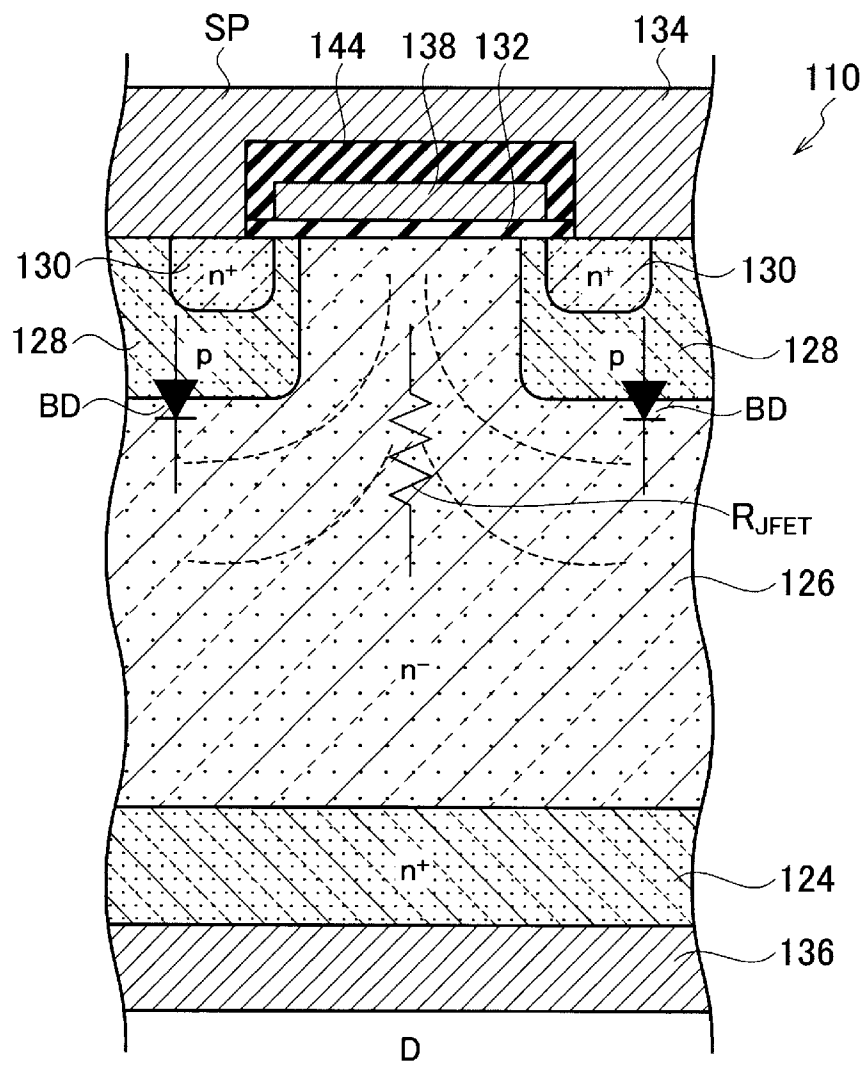
[図26]



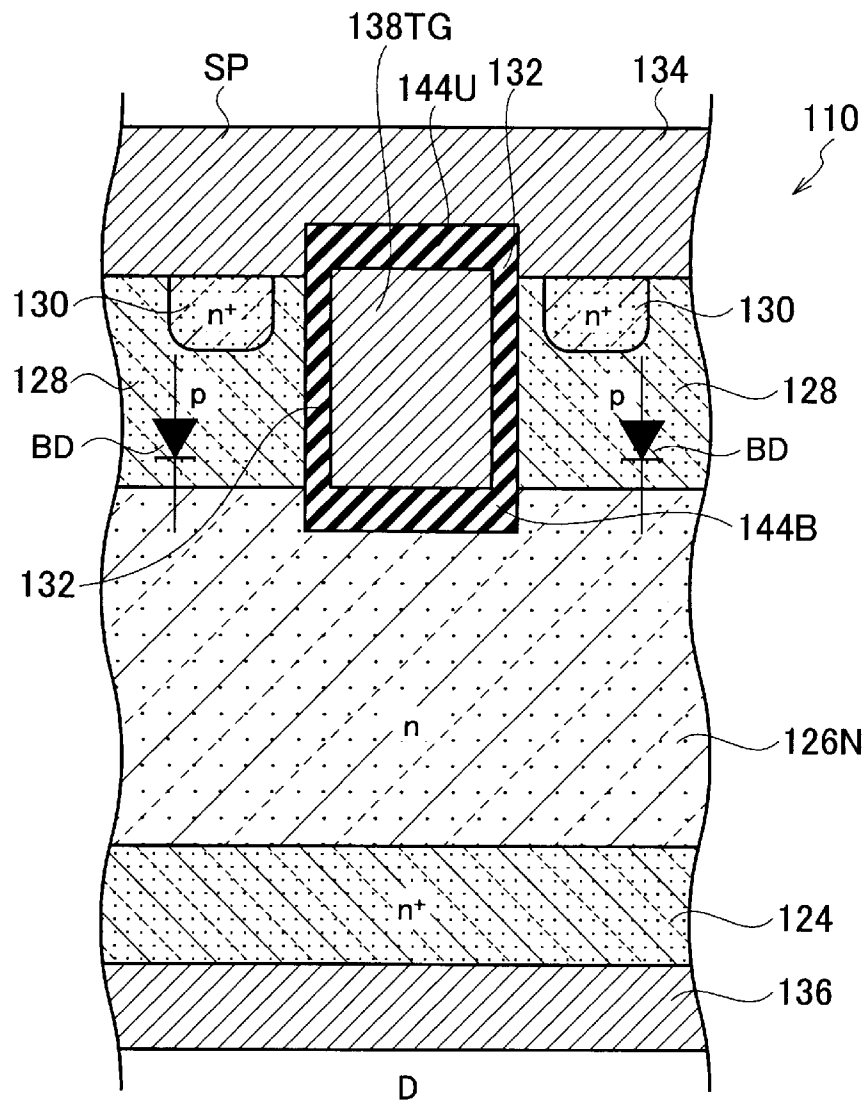
[図27]



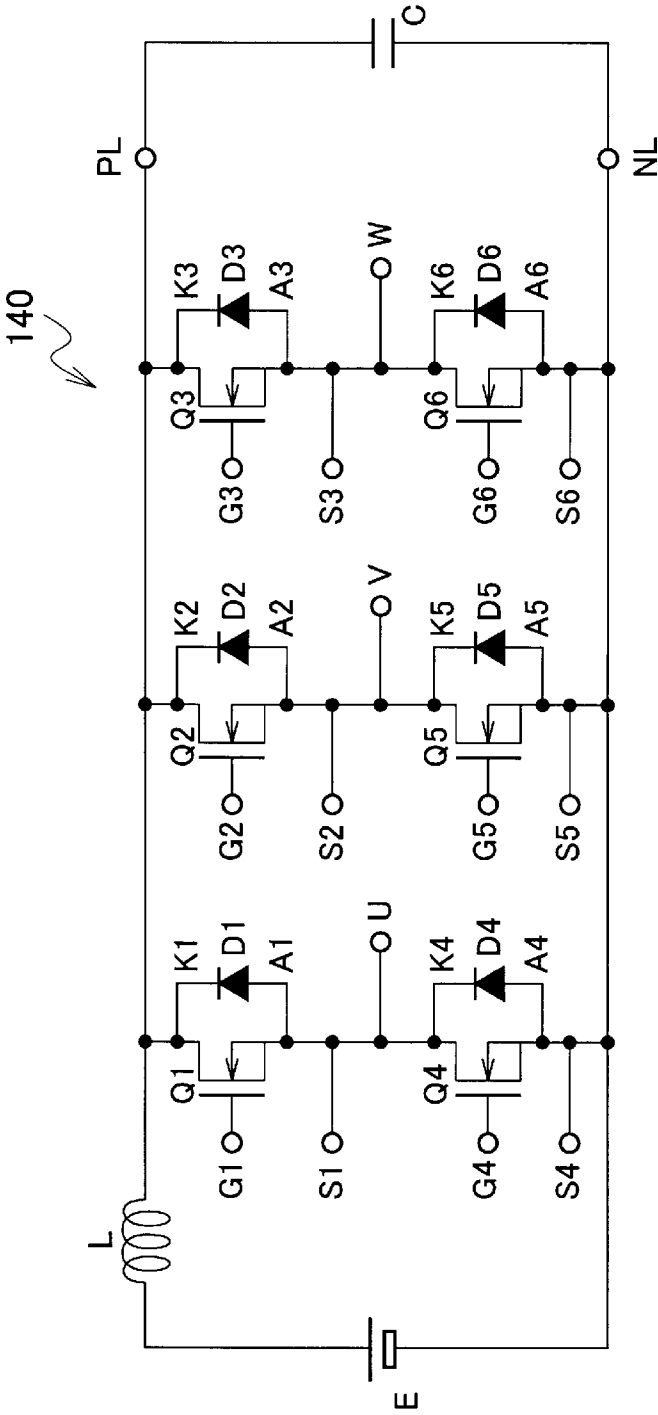
[図28]



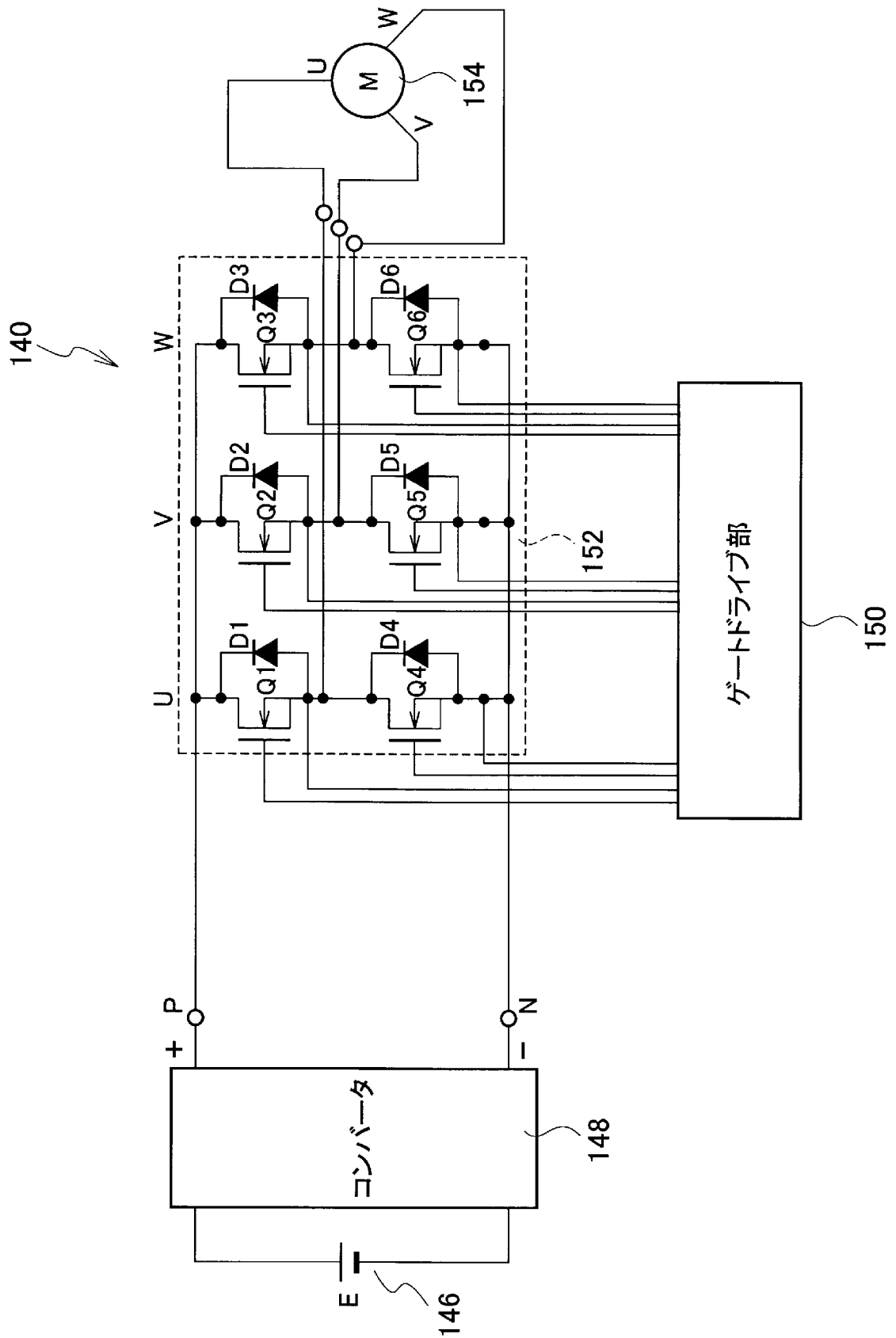
[図29]



[図30]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/026653

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01)i, H01L23/29(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L23/29, H01L25/18, H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2016/059702 A1 (Shindengen Electric Mfg. Co., Ltd.),	1-6, 8-11, 14, 20-24, 26
Y	21 April 2016 (21.04.2016),	15-16
A	paragraphs [0009] to [0025]; fig. 1A to 1B & JP 16-59702 A1 & US 2016/0254250 A1 paragraphs [0021] to [0053]; fig. 1A to 1B & EP 3208838 A1 & CN 105723508 A	7, 12-13, 17-19, 25
Y	JP 2013-179229 A (Rohm Co., Ltd.),	15-16
A	09 September 2013 (09.09.2013), paragraphs [0016] to [0017], [0021], [0089] to [0091], [0155] to [0173]; fig. 10, 20 (Family: none)	7, 12-13, 17-19, 25

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 September 2017 (20.09.17)

Date of mailing of the international search report
03 October 2017 (03.10.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L25/07(2006.01)i, H01L23/29(2006.01)i, H01L25/18(2006.01)i, H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L25/07, H01L23/29, H01L25/18, H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 7 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2016/059702 A1 (新電元工業株式会社) 2016.04.21, 段落[0009]-[0025], 図 1A-1B	1-6, 8-11, 14, 20-24, 26
Y	& JP 16-59702 A1	15-16
A	& US 2016/0254250 A1, 段落[0021]-[0053], 図 1A-1B & EP 3208838 A1 & CN 105723508 A	7, 12-13, 17-19, 25
Y	JP 2013-179229 A (ローム株式会社) 2013.09.09, 段落[0016]-[0017], [0021], [0089]-[0091], [0155]-[0173], 図 10, 20 (ファミリーなし)	15-16 7, 12-13, 17-19, 25

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

2 0 . 0 9 . 2 0 1 7

国際調査報告の発送日

0 3 . 1 0 . 2 0 1 7

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

豊島 洋介

5 D

6 3 1 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1