

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月11日(11.10.2018)



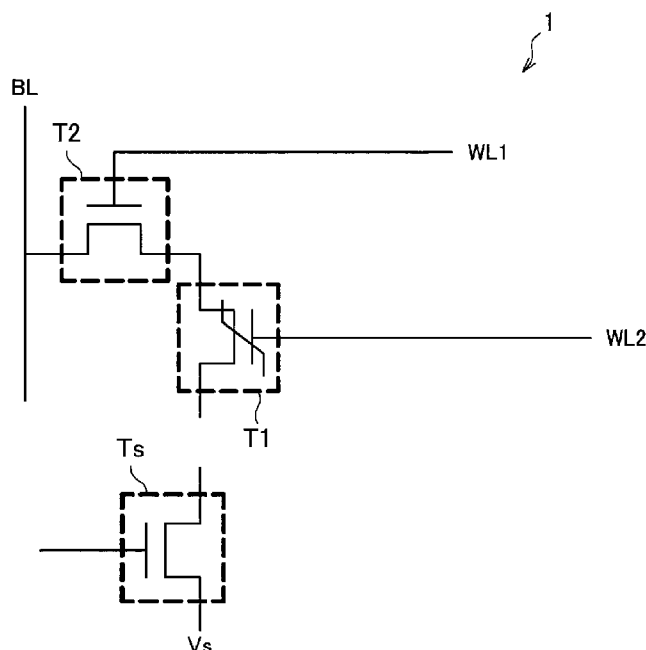
(10) 国際公開番号

WO 2018/186035 A1

- (51) 国際特許分類:
H01L 27/1159 (2017.01) *G11C 11/22* (2006.01)
- (21) 国際出願番号: PCT/JP2018/005617
- (22) 国際出願日: 2018年2月19日(19.02.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-073736 2017年4月3日(03.04.2017) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番4号 Kanagawa (JP).
- (72) 発明者: 塚本 雅則(TSUKAMOTO, Masanori); 〒2430014 神奈川県厚木市旭町四丁目1番4号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (74) 代理人: 亀谷 美明, 外(KAMEYA, Yoshiaki et al.); 〒1600004 東京都新宿区四谷3-1-3 第一富澤ビル はづき国際特許事務所 四谷オフィス Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** SEMICONDUCTOR MEMORY ELEMENT, SEMICONDUCTOR MEMORY DEVICE, SEMICONDUCTOR SYSTEM AND CONTROL METHOD

(54) 発明の名称: 半導体記憶素子、半導体記憶装置、半導体システム及び制御方法



(57) **Abstract:** [Problem] To provide a semiconductor memory element, a semiconductor memory device, a semiconductor system, and a control method, allowing information to be written in a stable manner. [Solution] Provided is the semiconductor memory element containing: a first transistor into which information is written that has a gate insulation film at least partially comprising a ferroelectric material; and a second transistor connected via one of either the source or the drain to the source or the drain of the first transistor. The threshold voltage of the first transistor is smaller than 0 V when information is written and erased.

[続葉有]



WO 2018/186035 A1



NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: 【課題】安定的に情報を書き込むことが可能な半導体記憶素子、半導体記憶装置、半導体システム及び制御方法を提供する。【解決手段】少なくとも一部が強誘電体材料からなるゲート絶縁膜を有し、情報が書き込まれる第1のトランジスタと、ソース又はドレインの一方で前記第1のトランジスタのソース又はドレインと接続する第2のトランジスタと、を備え、前記第1のトランジスタの閾値電圧は、情報の書き込み時及び消去時において0Vよりも小さい、半導体記憶素子を提供する。

明 細 書

発明の名称：

半導体記憶素子、半導体記憶装置、半導体システム及び制御方法

技術分野

[0001] 本開示は、半導体記憶素子、半導体記憶装置、半導体システム及び制御方法に関する。

背景技術

[0002] 同一基板上に、 n 型MOSFET（金属—酸化膜—半導体型電界効果トランジスタ）と p 型MOSFETで構成されているCMOS（Complementary MOS）回路は消費電力が少なく、また微細化や高集積化が容易で高速動作が可能である事から多くのLSI（Large-Scale Integration）構成デバイスとして広く用いられている。特に、CMOS回路がアナログ回路やメモリとともに1チップに搭載されたLSIは、System On Chip（SoC）として製品化されている。これまで、上述のようなLSIにはメモリとしてStatic Random Access Memory（SRAM）を混載されていたが、近年では、低コスト化、低消費電力化を目的に、様々な種類のメモリを混載することが検討されている。

[0003] 例えば、SRAMの代替としては、既に実用化されているDynamic RAM（DRAM）を混載することや、高速書き込み／読出しが可能で、書き換え回数も十分大きいMagnetic RAM（MRAM）やFerroelectric RAM（FeRAM）を混載することが検討されている。また、これらのメモリは、SoCとしての混載だけではなく、メモリチップ単体として利用することも可能である。

[0004] 例えば、FeRAMは、強誘電体膜をキャパシタとして利用する、1トランジスタ—1キャパシタ（1T1C）型と、強誘電体膜をゲート絶縁膜として利用する1トランジスタ（1T）型とがある。

[0005] 1 T型においては、ゲート電圧の方向によって強誘電体の分極方向が変わる特性を利用して、トランジスタの閾値電圧 (V_t) を変化させることにより、1つのメモリセルにより情報を記憶する。また、1 T型においては、メモリセルは、分極による少ない電荷の変化をトランジスタで増幅する“ゲインセル”として動作する。このような1 T型は、1つのメモリセル内の素子が少なく、プロセス工程数も少ないために低コスト技術としてメリットを持つ。

[0006] しかしながら、1 T型では、複数のメモリセルにおいてワード線及びビット線を共有しているため、メモリセルに情報を書き込む場合、選択したメモリセルだけでなく、ワード線及びビット線を共有する非選択のメモリセルにも電圧が印加されてしまう。そのため、選択したメモリセルに情報を書き込むことで、非選択のメモリセルに記憶された情報が書き換わってしまうことがあった(ライト・ディスタ urb)。このようなライト・ディスタ urbの対策となる技術が、下記の特許文献1～3及び非特許文献1に開示されている。

[0007] 下記の特許文献1及び特許文献1では、メモリセルに情報を書き込む際に、選択したメモリセルに V_{dd} を印加し、非選択のメモリセルに $1/3 V_{dd}$ 、 $1/2 V_{dd}$ 、 $2/3 V_{dd}$ 等の電圧を印加することが開示されている。これら先行技術文献に開示された技術によれば、選択したメモリセルの強誘電体膜のみに、分極方向を反転させることができる反転可能電圧を印加しつつ、非選択のメモリセルの強誘電体膜に印加される電圧を上記反転可能電圧未満に抑制することができる。このようにすることで、ライト・ディスタ urbの発生を避けることができる。

[0008] また、下記特許文献2及び3には、メモリセルに、強誘電体膜を持つトランジスタのゲートに接続されたトランジスタを付加することが開示されている。これら先行技術文献に開示された技術によれば、上記付加トランジスタにより、メモリセルに情報を書き込む際に、非選択のメモリセルの強誘電体膜に上記反転可能電圧以上の電圧が印加されないようにすることで、ライト

・ ディスタープの発生を避けることができる。

先行技術文献

特許文献

[0009] 特許文献1：国際公開第1999／26252号

特許文献2：特開2009－230834号公報

特許文献3：特開平8－139286号公報

非特許文献

[0010] 非特許文献1：J. Muller et al., “Ferroelectric Hafnium Oxide: A CMOS-compatible and highly scalable approach to future ferroelectric memories” Tech.Dig.IEDM, p.280 (2013)

発明の概要

発明が解決しようとする課題

[0011] 上述の先行技術文献に開示された技術においては、メモリセルの製造バラツキや強誘電体膜の分極に起因して、強誘電体膜を持つトランジスタの閾値電圧がシフトすることから、印加する電圧によっては、当該トランジスタの強誘電体膜を所望の方向に分極できない場合がある。すなわち、上述の技術のメモリセルにおいては、安定的に、情報の書き込みができないことがある。

[0012] そこで、本開示では、安定的に情報を書き込むことが可能な、新規かつ改良された半導体記憶素子、半導体記憶装置、半導体システム及び制御方法を提案する。

課題を解決するための手段

[0013] 本開示によれば、少なくとも一部が強誘電体材料からなるゲート絶縁膜を有し、情報が書き込まれる第1のトランジスタと、ソース又はドレインの一方で前記第1のトランジスタのソース又はドレインと接続する第2のトラン

ジスタと、を備え、前記第1のトランジスタの閾値電圧は、情報の書き込み時及び消去時において0 Vよりも小さい、半導体記憶素子が提供される。

[0014] また、本開示によれば、少なくとも一部が強誘電体材料からなるゲート絶縁膜を有し、情報が書き込まれる第1のトランジスタと、ソース又はドレインの一方で前記第1のトランジスタのソース又はドレインと接続する第2のトランジスタとを有し、前記第1のトランジスタの閾値電圧が、情報の書き込み時及び消去時において0 Vよりも小さい、半導体記憶素子をマトリックス状の複数配置した、半導体記憶装置が提供される。

[0015] また、本開示によれば、少なくとも一部が強誘電体材料からなるゲート絶縁膜を有し、情報が書き込まれる第1のトランジスタと、ソース又はドレインの一方で前記第1のトランジスタのソース又はドレインと接続する第2のトランジスタとを有し、前記第1のトランジスタの閾値電圧が、情報の書き込み時及び消去時において0 Vよりも小さい、半導体記憶素子をマトリックス状の複数配置した、半導体記憶装置と、前記半導体記憶装置と接続された演算装置と、を1つの半導体チップ上に搭載した、半導体システムが提供される。

[0016] さらに、本開示によれば、少なくとも一部が強誘電体材料からなるゲート絶縁膜を有し、情報が書き込まれるトランジスタを有する半導体記憶素子の制御方法であって、前記情報の書き込み時及び読み出し時において、前記半導体記憶素子が設けられた半導体基板に対して電圧を印加して、前記トランジスタの閾値電圧を制御することを含む、半導体素子の制御方法が提供される。

発明の効果

[0017] 以上説明したように本開示によれば、安定的に情報を書き込むことが可能な半導体記憶素子、半導体記憶装置、半導体システム及び制御方法を提供することができる。

[0018] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、又は上記の効果に代えて、本明細書に示されたいずれかの効果、又は本明

細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0019] [図1]本開示の第1の実施形態に係る半導体記憶素子1の回路構成を示した回路図である。

[図2]同実施形態に係る半導体記憶装置10の平面構造を概略的に示した説明図である。

[図3]同実施形態に係る半導体記憶素子1の消去動作を説明する説明図である。

[図4]同実施形態に係る半導体記憶素子1の書き込み動作を説明する説明図である。

[図5]同実施形態に係る半導体記憶装置10の平面構造、及び断面構造を示す説明図である。

[図6]同実施形態に係る半導体記憶装置10の一工程を説明する平面図及び断面図（その1）である。

[図7]同実施形態に係る半導体記憶装置10の一工程を説明する平面図及び断面図（その2）である。

[図8]同実施形態に係る半導体記憶装置10の一工程を説明する平面図及び断面図（その3）である。

[図9]同実施形態に係る半導体記憶装置10の一工程を説明する平面図及び断面図（その4）である。

[図10]同実施形態に係る半導体記憶装置10の一工程を説明する平面図及び断面図（その5）である。

[図11]同実施形態に係る半導体記憶装置10の一工程を説明する平面図及び断面図（その6）である。

[図12]同実施形態に係る半導体記憶装置10の一工程を説明する平面図及び断面図（その7）である。

[図13]本開示の第2の実施形態に係る半導体記憶素子1aの回路構成を示した回路図である。

[図14]同実施形態に係る半導体記憶装置10aの平面構造を概略的に示した説明図である。

[図15]同実施形態に係る半導体記憶装置10aの平面構造、及び断面構造を示す説明図である。

[図16]同実施形態に係る半導体記憶装置10aの一工程を説明する平面図及び断面図（その1）である。

[図17]同実施形態に係る半導体記憶装置10aの一工程を説明する平面図及び断面図（その2）である。

[図18]同実施形態に係る半導体記憶装置10aの一工程を説明する平面図及び断面図（その3）である。

[図19]本開示の実施形態に係る半導体記憶素子1におけるゲート電圧（ V_g ）とドレイン電流（ I_{dg} ）との関係を示したグラフである。

発明を実施するための形態

[0020] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0021] また、以下の説明で参照される図面は、本開示の一実施形態の説明とその理解を促すための図面であり、わかりやすくするために、図中に示される形状や寸法、比等は実際と異なる場合がある。さらに、図中に示される半導体記憶素子等は、以下の説明と公知の技術を参酌して適宜、設計変更することができる。また、以下の説明においては、半導体記憶素子等の積層構造の上下方向は、半導体記憶素子が設けられた基板上の面を上とした場合の相対方向に対応し、実際の重力加速度に従った上下方向とは異なる場合がある。

[0022] さらに、本明細書において、回路構成の説明の際には、特段の断りがない限りは、「接続」とは、複数の要素の間を電氣的に接続することを意味する。さらに、以下の説明における「接続」には、複数の要素を直接的に、且つ、電氣的に接続する場合だけでなく、他の要素を介して間接的に、且つ、電

氣的に接続する場合も含む。

[0023] なお、本明細書において、「ゲート」とは、電界効果トランジスタのゲート電極を表す。また、「ドレイン」とは、電界効果トランジスタのドレイン電極又はドレイン領域を表し、「ソース」とは、電界効果トランジスタのソース電極又はソース領域を表す。また、「第1の導電型」とは、「p型」又は「n型」のいずれか一方を表し、「第2の導電型」とは、「第1の導電型」と異なる「p型」又は「n型」のいずれか他方を表す。

[0024] なお、説明は以下の順序で行うものとする。

1. 第1の実施形態

1. 1. 半導体記憶素子及び半導体記憶装置の概要

1. 2. 半導体記憶素子の動作

1. 3. 半導体記憶装置の構造

1. 4. 半導体記憶装置の製造方法

2. 第2の実施形態

2. 1. 半導体記憶素子及び半導体記憶装置の概要

2. 2. 半導体記憶装置の構造

2. 3. 半導体記憶装置の製造方法

3. 第3の実施形態

3. 1. 書き込み動作

3. 2. 読み出し動作

4. まとめ

5. 補足

[0025] 以下に説明する本開示の実施形態は、半導体記憶素子に関するものである。詳細には、本実施形態は、少なくとも一部が強誘電体材料からなるゲート絶縁膜を有する金属―酸化膜―半導体型電界効果トランジスタ（MOSFET）を用いた不揮発性メモリの構造及び動作に関するものである。

[0026] <<1. 第1の実施形態>>

<1. 1. 半導体記憶素子及び半導体記憶装置の概要>

まず、図1及び図2を参照して、本開示の第1の実施形態に係る半導体記憶素子の概要について説明する。図1は、本実施形態に係る半導体記憶素子1の回路構成を示した回路図である。また、図2は、本実施形態に係る半導体記憶装置10の平面構造を概略的に示した説明図である。

[0027] 図1に示すように、本実施形態に係る半導体記憶素子1は、第1のトランジスタT1と、第1のトランジスタT1のドレインと接続する第2のトランジスタT2とを備える。なお、第1のトランジスタT1のソースは、半導体記憶素子1の外部の選択トランジスタTsを介して、電源Vsと接続している。以下の説明では、第1及び第2のトランジスタT1、T2は、同一の導電型のトランジスタ（例えば、n型のトランジスタ）であるものとする。しかしながら、本実施形態においては、これに限定されるものではなく、互いに異なる導電型のトランジスタであってもよく、p型のトランジスタであってもよい。

[0028] 第1のトランジスタT1は、少なくとも一部が強誘電体材料からなるゲート電極膜を有する電界効果トランジスタであり、ゲート電極膜の残留分極の向きにて情報を記憶する。すなわち、本実施形態に係る半導体記憶素子1は、第1のトランジスタT1を記憶素子として用いる1T型構造のFeRAMである。また、第1のトランジスタT1のゲートは、第2のワード線WL2と接続しており、第2のワード線WL2からの印加電圧によってチャネルのオンオフが制御される。

[0029] さらに、本実施形態に係る第1のトランジスタT1においては、第1のトランジスタT1をオン状態にすることができるゲート電圧である閾値電圧（ V_t ）が、ばらつきが生じた場合であっても、書き込み、消去のいずれの状態においても0V以下となっている。

[0030] 第2のトランジスタT2は、ソース又はドレインの一方で第1のトランジスタT1のドレインと接続し、ソース又はドレインの他方でビット線BLと接続する電界効果トランジスタである。また、第2のトランジスタT2のゲートは、第1のワード線WL1と接続しており、第1のワード線WL1から

の印加電圧によってチャネルのオンオフが制御される。

[0031] さらに、第2のトランジスタT2は、第2のトランジスタT2のリーク電流を抑制することができる閾値電圧 (V_t) を持つことが好ましい。例えば、閾値電圧を上昇させるように第2のトランジスタT2を形成することにより、リーク電流を抑制することができる。例えば、第2のトランジスタT2の閾値電圧は、第1のトランジスタT1の閾値電圧よりも高いことが好ましい。

[0032] よって、本実施形態においては、半導体記憶素子1に情報を書き込む場合には、第1及び第2のワード線WL1、WL2に電圧を印加することにより、第1および第2のトランジスタT1、T2のチャネルをオンにする。このようにすることで、外部電界によって第1のトランジスタT1のゲート絶縁膜の残留分極の向きを制御し、半導体記憶素子1に情報を書き込むことができる。なお、本実施形態に係る半導体記憶素子1に情報を書き込む際の動作の詳細については、後述する。

[0033] 続いて、図2を参照して、図1で示した回路構成を持つ半導体記憶素子1を複数個持つ半導体記憶装置10の概略構造について説明する。図2に示すように、半導体記憶装置10は、アレイ状に多数配置された電界効果トランジスタを有する。具体的には、半導体記憶装置10は、図2の点線で区切られた領域に設けられ、当該領域内には、第1及び第2のトランジスタT1、T2が設けられている。

[0034] 第1のトランジスタT1は、第2の導電型にドーピングされた活性化領域22の上にゲート電極110が設けられることで形成される。また、ゲート電極110を挟んだ活性化領域22の各々は、第1の導電型にドーピングされており、第1のトランジスタT1のドレイン領域およびソース領域を形成する。

[0035] 第1のトランジスタT1のソース領域は、コンタクトプラグ300を介して外部の選択トランジスタVa（図示省略）および電源Vs（図示省略）と接続する。第1のトランジスタT1のドレイン領域は、延伸して設けられた

活性化領域 2 2 にて第 2 のトランジスタ T 2 ソース又はドレイン領域の一方と接続する。

[0036] 第 2 のトランジスタ T 2 は、第 2 の導電型にドーピングされた活性化領域 2 2 の上にゲート電極 1 1 2 が設けられることで形成される。また、ゲート電極 1 1 2 を挟んだ活性化領域 2 2 の各々は、第 1 の導電型にドーピングされており、第 2 のトランジスタ T 2 のドレイン領域およびソース領域を形成する。

[0037] 第 2 のトランジスタ T 2 のソース又はドレイン領域の一方は、上述したように、延伸して設けられた活性化領域 2 2 にて第 1 のトランジスタ T 1 のソース領域と接続する。一方、第 2 のトランジスタ T 2 のソース又はドレイン領域の他方は、コンタクトプラグ 3 0 2 を介してビット線 B L（図示省略）と接続する。

[0038] 上記のような第 1 及び第 2 トランジスタ T 1、T 2 を有する半導体記憶素子 1 は、例えば、半導体基板の上にマトリックス状に複数配置されることで、各種のまとまりのある情報を記憶する半導体記憶装置 1 0 として機能する。

[0039] < 1. 2. 半導体記憶素子の動作 >

次に、本実施形態に係る半導体記憶素子 1 の情報の書き込み及び消去の動作の詳細について説明する。以下の説明においては、第 1 のトランジスタ T 1 のゲートに基板に対して正となる電圧を印加して、第 1 のトランジスタ T 1 の強誘電体材料からなる膜（以下、強誘電体膜と呼ぶ）を分極させる動作を書き込み（プログラム）と呼ぶ。一方、第 1 のトランジスタ T 1 のゲートに、基板に対して負となる電圧を印加して、第 1 のトランジスタ T 1 の強誘電体膜を上述とは逆向きになるように分極させる動作を消去（イレース）と呼ぶ。

[0040] まず、図 3 を参照して、本実施形態に係る半導体記憶素子 1 の消去動作を説明する。図 3 は、本実施形態に係る半導体記憶素子 1 の消去動作を説明する説明図である。

- [0041] ここでは、消去動作によって、書き込み状態にある第1のトランジスタT1を消去状態にする。まず、第1のトランジスタT1の強誘電体膜は、書き込み状態にあるため、図3の左側に示すように、下向きの残留分極を持っている。このような下向きの残留分極により、第1のトランジスタT1のゲート電極110下の半導体基板20の表面にマイナスの電荷が誘起されやすくなることから、チャネル（反転層）500が形成されやすくなる。従って、第1のトランジスタT1の閾値電圧（ V_t ）は、低い状態にある。
- [0042] そして、消去動作によって、例えば、図3の中央に示すように、第1のトランジスタT1のゲート電極110に0V印加し、第1のトランジスタT1のソース／ドレインに3V印加する。このようにした場合には、初期状態の第1のトランジスタT1の閾値電圧が十分に低いものであれば、第1のトランジスタT1のゲート電極110下の半導体基板20の表面にチャネル500が形成されている。
- [0043] さらに、半導体基板20の表面に形成されたチャネル500は、第1のトランジスタT1のソース／ドレインと同電位であるため、ゲート電極110下の半導体基板20の表面とゲート電極110との間には3Vの電位差が生じることとなる。この電位差により、第1のトランジスタT1の強誘電体膜は、図3の右側に示すように、上向きに分極し、消去状態となる。
- [0044] 次に、図4を参照して、本実施形態に係る半導体記憶素子1の書き込み動作を説明する。図4は、本実施形態に係る半導体記憶素子1の書き込み動作を説明する説明図である。詳細には、図4の上段には、比較例に係る半導体記憶素子の書き込み動作を説明する説明図が示されており、図4の下段には、本実施形態に係る半導体記憶素子1の書き込み動作を説明する説明図が示されている。なお、比較例に係る半導体記憶素子は、図1及び図2に示す本実施形態の半導体記憶素子と同様の回路構成及び構造を持っているが、第1のトランジスタT1aの閾値電圧が、本実施形態に係る第1のトランジスタT1の閾値電圧に比べて高くなっている。
- [0045] ここでは、当該書き込み動作によって、消去状態にある第1のトランジスタ

タT 1、T 1 aを書き込み状態にする。まず、第1のトランジスタT 1、T 1 aの強誘電体膜は、消去状態にあるため、図4の上段左側及び下段左側に示すように、上向きの残留分極を持っている。このような上向きの残留分極により、第1のトランジスタT 1、T 1 aのゲート電極1 1 0、1 1 0 a下の半導体基板2 0、2 0 aの表面にマイナスの電荷が誘起されにくくなり、チャネル5 0 0が形成されにくくなる。従って、第1のトランジスタT 1、T 1 aの閾値電圧(V_t)は、上がることとなる。また、半導体記憶素子1を微細な形状に加工することにより、第1のトランジスタT 1、T 1 aの閾値電圧のばらつきが大きくなり、閾値電圧が上がることもある。

[0046] このような状態において、書き込み動作により、例えば、図4の上段中央及び下段中央に示すように、第1のトランジスタT 1、T 1 aのゲート電極1 1 0、1 1 0 aに3 V印加し、第1のトランジスタT 1、T 1 aのソース／ドレインに0 V印加する。この際、比較例に係る第1のトランジスタT 1 aのゲート電極1 1 0 a下の半導体基板2 0 aの表面には、閾値電圧(V_t)が高いために、チャネル5 0 0が形成されていないことがある。この場合、ゲート電極1 1 0 aと半導体基板2 0 aとの間の電位差が3 Vあったとしても、チャネル5 0 0が形成されないことから、ゲート電極1 1 0 a下の半導体基板2 0 aの表面とゲート電極1 1 0 aとの間には3 V以下の電位差しか生じない。その結果、図4の上段右側に示すように、電位差が小さいことから、比較例に係る第1のトランジスタT 1 aの強誘電体膜は、下向きに分極して書き込み状態にならないことがある。

[0047] 一方、本実施形態においては、先に説明したように、第1のトランジスタT 1の閾値電圧(V_t)が、書き込み、消去のいずれの状態においても0 V以下になるように、第1のトランジスタT 1を形成している。そのため、図4の下段中央に示すように、書き込み動作の際にも、第1のトランジスタT 1のゲート電極1 1 0下の半導体基板2 0の表面にチャネル5 0 0が常に形成される。従って、第1のトランジスタT 1のゲート電極1 1 0に3 V印加し、第1のトランジスタT 1のソース／ドレインに0 V印加した場合には、

上記チャネル500は第1のトランジスタT1のソース／ドレインと同電位であるため、ゲート電極110下の半導体基板20の表面とゲート電極110との間には3Vの電位差が生じることとなる。そして、この電位差により、第1のトランジスタT1の強誘電体膜は、図4の下段右側に示すように、下向きに分極し、書き込み状態となる。なお、第1のトランジスタT1のゲート電極110下の半導体基板20の表面にチャネル500が形成されることから、第1のトランジスタT1の強誘電体膜に均一に電圧を印加することができる。以上のように、本実施形態に係る半導体記憶素子1においては、安定的に、情報の書き込みを行うことができる。

[0048] また、本実施形態においては、半導体記憶素子1の情報を読み出す際には、図1に示される第1及び第2のワード線WL1、WL2に電圧を印加して、第1および第2のトランジスタT1、T2のチャネルをオンにする。次に、選択トランジスタVsのチャネルをオンにした上で、ビット線BLに電圧を印加することにより、第1のトランジスタT1のドレインからソースに電流を流す。第1のトランジスタT1では、強誘電体膜の残留分極の向きによって、閾値電圧(V_t)が変化するため、第1のトランジスタT1に流れる電流を計測することで、半導体記憶素子1から情報を読み出すことができる。

[0049] 本実施形態においては、第1のトランジスタT1の閾値電圧(V_t)が、書き込み、消去のいずれの状態においても0V以下になるように、第1のトランジスタT1を形成している。従って、本実施形態によれば、情報を読み出し際に第1のトランジスタT1のゲートに印加される電圧を低く設定しても、第1のトランジスタT1に電流が流れることから、情報を読み出すことが可能である。その結果、読み出しの際に印加される電圧が低いことから、第1のトランジスタT1の強誘電体膜に対して電圧が印加されることによってかかるストレスを小さくすることができ、第1のトランジスタT1の信頼性を高めることができる。

[0050] さらに、本実施形態においては、第2のトランジスタT2の閾値電圧は、

第1のトランジスタT1の閾値電圧よりも高くなるように設定されている。従って、第1のトランジスタT1の閾値電圧が低いことに起因するリーク電流を抑制することができる。また、情報の読み出しの際に、閾値分の電圧降下が生じることもなく、第1のトランジスタT1に所望の電圧を印加することができる。その結果、本実施形態によれば、効率よく、第1のトランジスタT1から情報を読み出すことができる。

[0051] ところで、上述の特許文献2においては、情報の読出しの際に、ビット線に沿った非選択のメモリセル（半導体記憶素子）のトランジスタによるリーク電流がノイズとなることがある。精度よく情報を読み出すためには、上記リーク電流によるノイズと、読出し電流との差（S/N比）を大きく確保することが求められるが、上記特許文献2では、当該S/N比を大きく確保することが難しかった。しかしながら、本実施形態においては、第2のトランジスタT2が、第2のトランジスタT2のリーク電流を抑制することができる閾値電圧（ V_t ）を持つように、第2のトランジスタT2を形成している。このようにすることで、半導体記憶素子1から情報を読み出す際に、第2のトランジスタT2のリーク電流が小さいことから、上記リーク電流によるノイズと、読出し電流との差（S/N比）を大きく確保することができる。

[0052] <1. 3. 半導体記憶装置の構造>

続いて、図5を参照して、本実施形態に係る半導体記憶装置10の具体的な構造について説明する。図5は、本実施形態に係る半導体記憶装置10の平面構造、および断面構造を示す説明図である。詳細には、図5の左下側には、半導体記憶装置10の平面構造を示す平面図が示され、左上側には、当該平面図のA-A'線に沿って切断した断面図が示され、右下側には、当該平面図のB-B'線に沿って切断した断面図が示されている。

[0053] 図5に示すように、半導体基板20には、互いに平行な帯状にて活性化領域22が設けられ、活性化領域22の上にゲート電極110、112が設けられることで第1及び第2のトランジスタT1、T2が形成される。また、第1及び第2のトランジスタT1、T2のゲート、ソース、及びドレインの

各々がコンタクトプラグ300、302を介して各種配線と接続されることで、図1で示した回路構成を有する半導体記憶素子1が構成される。さらに、このような半導体記憶素子1が半導体基板20上にアレイ状に多数集積されることで、半導体記憶装置10が構成される。

[0054] 半導体基板20は、半導体記憶素子1及び半導体記憶装置10が形成される支持基板である。半導体基板20は、各種半導体からなる基板を用いてもよく、例えば、多結晶、単結晶又はアモルファスのシリコン(Si)からなる基板を用いてもよい。また、半導体基板20は、シリコン基板の中にSiO₂等の絶縁膜を挟み込んだSOI(Silicon On Insulator)基板であってもよい。

[0055] 活性化領域22は、第2の導電型の領域であり、素子分離領域26によって互いに離隔されて帯状に設けられる。例えば、活性化領域22は、半導体基板20に第2の導電型の不純物(例えば、ホウ素(B)等のp型不純物)を導入することで形成されてもよい。なお、活性化領域22は、第1及び第2のトランジスタT1、T2のチャネル領域として機能する。

[0056] 素子分離領域26は、絶縁性の領域であり、活性化領域22を互いに電氣的に離隔することで、活性化領域22の上のトランジスタT1、T2の各々を電氣的に離隔する。具体的には、素子分離領域26は、酸化シリコン(SiO_x)、又は窒化シリコン(SiN_x)等の絶縁性の酸窒化物で形成されてもよい。例えば、素子分離領域26は、STI(Shallow Trench Isolation)法を用いて、所望の領域の半導体基板20の一部をエッチング等で除去した後、エッチングによる開口を酸化シリコン(SiO_x)で埋め込むことで形成されてもよい。また、素子分離領域26は、LOCOS(Local Oxidation of Silicon)法を用いて、所定の領域の半導体基板20を熱酸化し、酸化物に変換することで形成されてもよい。

[0057] 第1のゲート絶縁膜140は、第1のトランジスタT1のゲート絶縁膜であり、活性化領域22上に設けられる。第1のトランジスタT1は、情報を

記憶する記憶素子として機能するため、第1のゲート絶縁膜140の少なくとも一部は、自発的に分極し、分極の方向を外部電界にて制御可能な強誘電体材料にて形成される。例えば、第1のゲート絶縁膜140は、チタン酸ジルコン酸鉛 ($\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$: PZT)、又はタンタル酸ビスマス酸ストロンチウム ($\text{SrBi}_2\text{Ta}_2\text{O}_9$: SBT) 等のペレブスカイト構造の強誘電体材料にて形成されてもよい。また、第1のゲート絶縁膜140は、 HfO_x 、 ZrO_x 又は HfZrO_x 等の高誘電体材料で形成された膜を熱処理等によって変質させた強誘電体膜であってもよく、上記の高誘電体材料で形成された膜にランタン (La)、シリコン (Si)、又はガドリニウム (Gd) 等の元素をドーピングすることで形成された強誘電体膜であってもよい。また、第1のゲート絶縁膜140は、複数層で形成されてもよい。例えば、第1のゲート絶縁膜140は、強誘電体材料からなる膜と、酸化シリコン (SiO_x) 又は窒化シリコン (SiN_x) 等の絶縁膜との積層膜で構成されてもよい。

[0058] ゲート電極110は、第1のトランジスタT1のゲート電極であり、第1のゲート絶縁膜140の上に半導体記憶素子1ごとに分離して設けられる。例えば、ゲート電極110は、ポリシリコン等にて形成されてもよく、ポリシリコンよりも抵抗値が低い金属にて形成されてもよい。また、ゲート電極110は、金属層と、ポリシリコンからなる層との複数層の積層構造にて形成されてもよい。例えば、ゲート電極110は、第1のゲート絶縁膜140の上に設けられたTiN又はTaNからなる金属層と、ポリシリコンからなる層との積層構造にて形成されてもよい。このような積層構造によれば、ゲート電極110は、印加された電圧によって、ポリシリコンからなる層に空乏層が形成されてしまうことを防止することができる。

[0059] 第2のゲート絶縁膜142は、第2のトランジスタT2のゲート絶縁膜であり、活性化領域22上に設けられる。第2のトランジスタT2は、第1のトランジスタT1への電圧印加を制御するスイッチング素子として機能するため、第2のゲート絶縁膜142は、電界効果トランジスタのゲート絶縁膜

として一般的な絶縁性材料で形成される。例えば、第2のゲート絶縁膜142は、酸化シリコン (SiO_x)、又は窒化シリコン (SiN_x) 等の絶縁性の酸窒化物で形成されてもよく、酸化シリコン等よりも誘電率が高い酸化ハフニウム等により形成されてもよい。

[0060] ただし、第2のゲート絶縁膜142は、第1のゲート絶縁膜140と同様に強誘電体材料にて形成されてもよいことは言うまでもない。このような場合、第2のゲート絶縁膜142と、第1のゲート絶縁膜140とを同時に形成することができるため、半導体記憶素子1の製造工程を簡略化することができる。

[0061] ゲート電極112は、第2のトランジスタT2のゲート電極であり、第2のゲート絶縁膜142の上に複数の半導体記憶素子1に亘って延伸される。なお、ゲート電極112は、ゲート電極110と同様の材料で形成されてもよい。ゲート電極112は、複数の半導体記憶素子1に亘って延伸されることにより、第1のワード線WL1として機能するため、別途ワード線を設ける工程を省略し、かつ半導体記憶素子1の平面面積をより小さくすることができる。

[0062] 第1のソース領域220は、第1の導電型の領域であり、第1のトランジスタT1のソース領域として機能する。例えば、第1のソース領域220は、活性化領域22の所定の領域に第1の導電型の不純物（例えば、リン (P)、ヒ素 (As) 等のn型不純物）を導入することで形成されてもよい。この第1のソース領域220は、ゲート電極110を挟んでゲート電極112が設けられた側と対向する側の活性化領域22に設けられ、コンタクトプラグ300を介して、外部の選択トランジスタTs（図示省略）および電源Vs（図示省略）と接続する。

[0063] 第1のドレイン領域222は、第1の導電型の領域であり、第1のトランジスタT1のドレイン領域、ならびに第2のトランジスタT2のソース又はドレイン領域のいずれか一方として機能する。例えば、第1のドレイン領域222は、活性化領域22の所定の領域に上記第1の導電型の不純物を導入

することで形成されてもよい。第1のドレイン領域222は、ゲート電極110と、ゲート電極112との間の活性化領域22に設けられ、第1のトランジスタT1のドレインと、第2のトランジスタT2のソース又はドレインのいずれか一方とを接続する。

[0064] 本実施形態においては、第1のトランジスタT1をオン状態にすることができるゲート電圧である閾値電圧 (V_t) が、ばらつきが生じた場合であっても、書き込み、消去のいずれの状態においても0V以下となるように、第1のトランジスタT1を形成する。本実施形態においては、例えば、第1のトランジスタT1のゲート電極110下の領域の第2の導電型の不純物（例えば、ホウ素（B）等のp型不純物）の濃度を、第2のトランジスタT2のゲート下の領域の第2の導電型の不純物の濃度に比べて低くする。もしくは、第1のトランジスタT1のゲート電極110下の領域に、第1の導電型の不純物を注入する（カウンタードープ）。この際、第1のトランジスタT1のゲート電極110下の領域の第1の導電型の不純物の濃度は、第1のソース領域220及び第1のドレイン領域222の第1の導電型の不純物の濃度よりも低くする。

[0065] 第2のソース／ドレイン領域224は、第1の導電型の領域であり、第2のトランジスタT2のソース又はドレイン領域として機能する。例えば、第2のソース／ドレイン領域224は、活性化領域22の所定の領域に上記第1の導電型の不純物を導入することで形成されてもよい。第2のソース／ドレイン領域224は、ゲート電極112を挟んでゲート電極110が設けられた側と対向する側の活性化領域22に設けられ、コンタクトプラグ302を介して、ビット線BL（図示省略）と接続する。

[0066] さらに、第2のトランジスタT2は、リーク電流を抑制するような閾値電圧 (V_t) を持つように形成されることが好ましい。そこで、例えば、第2のトランジスタT2のゲート電極112下の領域の第2の導電型の不純物の濃度が好適になるように、第2のトランジスタT2を形成する。

[0067] コンタクト領域110S、112S、220S、222S、224Sは、

それぞれゲート電極 110、112、第1のソース領域 220、第1のドレイン領域 222、第2のソース／ドレイン領域 224 の表面に設けられることで、それぞれの接触抵抗を低減する。具体的には、コンタクト領域 110S、112S、220S、222S、224S は、半導体基板 20、ゲート電極 110、112 を構成する半導体又は金属と、Ni 等の高融点金属との合金にて形成されてもよい。例えば、コンタクト領域 110S、112S、220S、222S、224S は、NiSi 等の高融点金属シリサイドにて形成されてもよい。

[0068] サイドウォール絶縁膜 150、152 は、ゲート電極 110、112 の側面に設けられる絶縁膜からなる側壁である。具体的には、サイドウォール絶縁膜 150、152 は、ゲート電極 110、112 を含む領域に絶縁膜を成膜した後、垂直異方性を有するエッチングを行うことで形成することができる。例えば、サイドウォール絶縁膜 150、152 は、酸化シリコン (SiO_x)、又は窒化シリコン (SiN_x) 等の絶縁性の酸窒化物で単層又は複数層にて形成されてもよい。

[0069] サイドウォール絶縁膜 150、152 は、半導体基板 20 へ不純物を導入する際に、入射した不純物を遮蔽する機能を持つ。従って、サイドウォール絶縁膜 150、152 は、不純物が導入された第1のソース領域 220、第1のドレイン領域 222、及び第2のソース／ドレイン領域 224 と、ゲート電極 110、112 との位置関係を自己整合的に制御することができる（セルフアライン）。また、サイドウォール絶縁膜 150、152 により、各トランジスタのソース及びドレイン領域と、ゲート電極との間に、ソース及びドレイン領域と同じ導電型であり、より低濃度の LDD (Lightly Doped Drain) 領域を形成することも可能である。

[0070] 平坦化膜 30 は、ゲート電極 110、112 の上に半導体基板 20 の全面に亘って設けられる絶縁層である。平坦化膜 30 は、第1及び第2のトランジスタ T1、T2 の間を埋め込み、平坦化膜 30 の上に設けられる各種配線と、第1及び第2のトランジスタ T1、T2 とを電氣的に絶縁する。例えば

、平坦化膜30は、酸化シリコン（ SiO_x ）、又は窒化シリコン（ SiN_x ）などの絶縁性の酸窒化物で形成されてもよい。

[0071] なお、図5では図示しないが、ゲート電極110、112と、平坦化膜30との間には、半導体基板20の全面に亘って、絶縁性材料を含むライナー層が設けられていてもよい。ライナー層は、コンタクトプラグ300、302を形成する際に、平坦化膜30との間で高いエッチング選択比を提供することで、エッチングが過剰に進行してしまうことを防止する。ライナー層は、例えば、酸化シリコン（ SiO_x ）、又は窒化シリコン（ SiN_x ）等の絶縁性の酸窒化物で形成されてもよい。

[0072] また、上記ライナー層は、第1のゲート絶縁膜140及び第2のゲート絶縁膜142に対して圧縮応力または引張応力を付与する層として形成されてもよい。このような場合、ライナー層は、ピエゾ効果によって、第1のゲート絶縁膜140の分極特性を向上させたり、第2のゲート絶縁膜142のキャリア移動度を向上させたりすることができる。

[0073] コンタクトプラグ300、302は、平坦化膜30を貫通して設けられる。コンタクトプラグ300は、第1のソース領域220と接続することで、第1のトランジスタT1のソースと外部の選択トランジスタTs（図示省略）および電源Vs（図示省略）とを電氣的に接続する。また、コンタクトプラグ302は、第2のソース／ドレイン領域224と接続することで、第2のトランジスタT2のソース又はドレインの他方とビット線BL（図示省略）とを電氣的に接続する。

[0074] なお、上記のコンタクトプラグ300、302は、チタン（Ti）もしくはタングステン（W）等の低抵抗の金属、又は窒化チタン（TiN）等の金属化合物で形成されてもよい。また、コンタクトプラグ300、302は、複数層の積層構造にて形成されてもよい。より具体的には、コンタクトプラグ300、302は、Ti又はTiNと、Wとの積層構造にて形成されてもよい。

[0075] 配線層42は、活性化領域22が延伸する方向と直交する方向に延伸して

、平坦化膜30の上に設けられる。配線層42は、コンタクトプラグ300と外部の選択トランジスタTs（図示省略）及び電源Vs（図示省略）とを電氣的に接続する。すなわち、配線層42は、半導体記憶素子1の各々の第1のトランジスタT1のソースと、外部の選択トランジスタTsおよび電源Vsとを接続する。配線層42は、例えば、銅（Cu）、アルミニウム（Al）等の金属材料で形成されてもよい。

[0076] 層間絶縁膜40は、配線層42等の各種配線を埋め込み、平坦化膜30の上に半導体基板20の全面に亘って設けられる。層間絶縁膜40は、例えば、酸化シリコン（SiO_x）、または窒化シリコン（SiN_x）等の絶縁性の酸窒化物で形成されてもよい。

[0077] コンタクト52は、層間絶縁膜50を貫通して設けられ、層間絶縁膜40の中に設けられた配線層42と、層間絶縁膜50の上に設けられた配線層62とを電氣的に接続する。コンタクト52は、コンタクトプラグ300、302と同様に、TiもしくはW等の低抵抗の金属、又はTiNなどの金属化合物で形成されてもよい。また、コンタクト52は、複数層の積層構造にて形成されてもよい。具体的には、コンタクト52は、TiまたはTiNと、Wとの積層構造にて形成されてもよく、配線層62と同時にCuのデュアルダマシン構造により形成されてもよい。

[0078] 層間絶縁膜50は、層間絶縁膜40の上に半導体基板20の全面に亘って設けられる。層間絶縁膜50は、例えば、酸化シリコン（SiO_x）、又は窒化シリコン（SiN_x）等の絶縁性の酸窒化物で形成されてもよい。

[0079] 配線層62は、活性化領域22が延伸する方向と平行な方向に延伸して、層間絶縁膜50の上に設けられる。また、配線層62は、コンタクト52と電氣的に接続し、コンタクト52は、コンタクトプラグ302と電氣的に接続する。配線層62は、半導体記憶素子1の各々の第2のトランジスタT2のソースまたはドレインのいずれか他方と電氣的に接続するビット線BLとして機能する。配線層62は、例えば、銅（Cu）、アルミニウム（Al）等の金属材料で形成されてもよい。

[0080] 層間絶縁膜 60 は、配線層 62 等の各種配線を埋め込み、層間絶縁膜 50 の上に半導体基板 20 の全面に亘って設けられる。層間絶縁膜 60 は、例えば、酸化シリコン (SiO_x)、又は窒化シリコン (SiN_x) 等の絶縁性の酸窒化物で形成されてもよい。

[0081] 上記の構造によれば、安定的に情報を書込むことが可能な半導体記憶素子 1 を小さい平面面積にて構成することができる。従って、本実施形態によれば、半導体記憶素子 1 の集積度を向上させることができるため、半導体記憶素子 1 を集積した半導体記憶装置 10 の記憶密度を向上させることが可能である。例えば、上述した非特許文献 1 及び特許文献 1 に開示された技術においては、非選択のメモリセル（半導体記憶素子）には、反転可能電圧の $1/3$ にあたる電圧を印加することから、回路構成が複雑となり、メモリセルの平面面積が拡大する。また、上述の特許文献 2 及び 3 に開示された技術では、付加トランジスタ、及び当該付加トランジスタとメモリセルとを接続する配線をメモリセルごとに設けることになるため、各メモリセルの占める平面面積が拡大する。それに対して、本実施形態によれば、複雑な回路構成や付加トランジスタ等がないことから、半導体記憶素子 1 の平面面積を拡大させることを避けることができる。さらに、上述の非特許文献 1 及び特許文献 1 に開示された技術においては、上記電圧を印加するための回路構成を設けていることから、それに伴い消費電力を増加していた。しかしながら、本実施形態によれば、上記回路構成がないことから、消費電力の増加を避けることができる。

[0082] <1. 4. 半導体記憶装置の製造方法>

続いて、図 6～図 12 を参照して、本実施形態に係る半導体記憶装置 10 の製造方法について説明する。図 6～図 12 は、本実施形態に係る半導体記憶装置 10 の各製造工程を説明する平面図及び断面図である。

[0083] まず、図 6 に示すように、半導体基板 20 に活性化領域 22 と、素子分離領域 26 とを形成する。

[0084] 具体的には、シリコン (Si) からなる半導体基板 20 上に、ドライ酸化

等によって SiO_2 膜を形成し、さらに減圧CVD (Chemical Vapor Deposition) 法等によって Si_3N_4 膜を形成する。続いて、 Si_3N_4 膜の上に、活性化領域22を形成する領域を保護するようにパターンニングされたレジスト層を形成し、 SiO_2 膜、 Si_3N_4 膜および半導体基板20を350nm～400nmの深さでエッチングする。

[0085] 次に、膜厚650nm～700nmにて SiO_2 を成膜することで、エッチングによって形成された開口を埋め込み、素子分離領域26を形成する。 SiO_2 の成膜には、例えば、高密度プラズマCVD法を用いることができる。この方法によれば、段差被覆性が良好であり、かつ緻密な SiO_2 膜を形成することができる。

[0086] 続いて、CMP (Chemical Mechanical Polish) 法等を用いた研磨を行うことにより、半導体基板20の表面を平坦化する。CMPによる研磨により、上記開口から突出した SiO_2 膜を除去する。また、上記研磨は、例えば、 Si_3N_4 膜上の SiO_2 膜が除去できる程度まで行う。

[0087] さらに、熱リン酸等を用いて Si_3N_4 膜を除去する。なお、素子分離領域26の SiO_2 膜をより緻密な膜とするため、又は活性化領域22の角を丸めるために、 Si_3N_4 膜の除去の前に、半導体基板20を N_2 、 O_2 または H_2/O_2 環境下でアニールを行ってもよい。

[0088] 次に、半導体基板20の活性化領域22に相当する領域を10nm程度酸化して、犠牲酸化膜（図示省略）を形成した後、第2導電型の不純物（例えば、ホウ素（B）等）をイオン注入することで、第2導電型の活性化領域22を形成する。

[0089] 本実施形態においては、第1のトランジスタT1をオン状態にすることができるゲート電圧である閾値電圧（ V_t ）が、ばらつきが生じた場合であっても、書き込み、消去のいずれの状態であっても0V以下になるように、第1のトランジスタT1を形成する。そのため、例えば、第1のトランジスタT1のゲート下にあたる領域の第2の導電型の不純物の濃度を、第2のトラ

ンジスタ T2 のゲート下の領域の第 2 の導電型の不純物の濃度に比べて低くする。もしくは、第 1 のトランジスタ T1 のゲート下にあたる領域に、第 1 の導電型の不純物（例えば、リン（P）、ヒ素（As）等）を注入する（カウンタードープ）。この際、第 1 のトランジスタ T1 のゲート下にあたる領域の第 1 の導電型の不純物の濃度は、第 1 のソース領域 220 及び第 1 のドレイン領域 222 の第 1 の導電型の不純物の濃度よりも低くする。

[0090] また、本実施形態においては、第 2 のトランジスタ T2 は、リーク電流を抑制するような閾値電圧（ V_t ）を持つように形成されることが好ましい。そこで、例えば、第 2 のトランジスタ T2 のゲート下にあたる領域の第 2 の導電型の不純物の濃度が好適になるようにイオン注入を行うことが好ましい。

[0091] 次に、図 7 に示すように、第 1 のゲート絶縁膜 140 及び第 2 のゲート絶縁膜 142 を成膜した後、第 1 のゲート絶縁膜 140 及び第 2 のゲート絶縁膜 142 の上に、それぞれゲート電極 110、112 を形成する。

[0092] 具体的には、まず、半導体基板 20 の表面を覆う犠牲酸化膜をフッ化水素酸溶液等で剥離する。その後、RTO（Rapid Thermal Oxidization）処理、酸素プラズマ処理、又は過酸化水素含有薬液による処理などを用いて、半導体基板 20 の上に第 1 のゲート絶縁膜 140 及び第 2 のゲート絶縁膜 142 の下地となる SiO_2 膜を膜厚 0.5 nm ~ 1.5 nm にて形成する。続いて、CVD 法又は ALD（Atomic Layer Deposition）法を用いて高誘電体である酸化ハフニウム（ HfO_x ）を成膜する。これにより、第 1 のゲート絶縁膜 140 及び第 2 のゲート絶縁膜 142 が形成される。

[0093] なお、本実施形態においては、酸化ハフニウムに替えて、酸化ジルコニウム（ ZrO_x ）、酸化ハフニウムジルコニウム（ HfZrO_x ）等を用いることも可能である。また、これらの高誘電体に対して、ランタン（La）、シリコン（Si）、又はガドリニウム（Gd）等をドーピングすることで強誘電体膜に変換し、第 1 のゲート絶縁膜 140 及び第 2 のゲート絶縁膜 142 を形

成してもよい。

[0094] 次に、スパッタ法、CVD法またはALD法等を用いて、TiN膜を膜厚5nm～20nmにて形成した後、SiH₄ガスによる減圧CVD法を用いて、例えば、成膜温度を580～620℃として、ポリシリコンを膜厚50nm～150nmにて成膜する。さらに、パターニングされたレジストをマスクとして、HBrガス又はCl系ガスを用いた異方性エッチングを行うことにより、ゲート電極110、112を形成する。なお、本実施形態においては、TiNの代わりにTa₂N等を用いることも可能である。

[0095] また、本実施形態においては、レジストをパターニングした後に、O₂プラズマにてレジストのトリミング処理を行うことで、異方性エッチング後に形成されるゲート電極110、112の幅をより細くすることも可能である。例えば、32nmプロセスでは、ゲート電極の幅（ゲート長）を20nm～30nmとしてもよい。

[0096] なお、上述の説明では、第1のトランジスタT1と第2のトランジスタT2とを同時に形成しているが、本実施形態においてはこれに限定されるものではなく、第1のトランジスタT1と第2のトランジスタT2とは別の工程で形成してもよい。

[0097] 次に、図8に示すように、ゲート電極110、122の両側面にサイドウォール絶縁膜150、152を形成した後、第1のソース領域220、第1のドレイン領域222、及び第2のソース／ドレイン領域224を形成する。

[0098] 具体的には、まず、減圧CVD法を用いて、Si₃N₄を例えば膜厚5nm～15nmで成膜した後、異方性エッチングを行う。このようにして、ゲート電極110、122の両側面にオフセットスペーサー（図示省略）を形成する。

[0099] 次に、第1の導電型の不純物（リン（P）、ヒ素（As）等）を5keV～10keVにて、5～20×10¹⁴個/cm²の濃度でイオン注入を行い、LDD領域を形成する。オフセットスペーサーを形成後に、LDD領域を形

成することで、短チャネル効果を抑制することができるため、第1及び第2のトランジスタT1、T2の特性ばらつきを抑制することが可能である。

[0100] 続いて、プラズマCVD法によってSiO₂を膜厚10nm～30nmで成膜し、さらにプラズマCVD法によってSi₃N₄を30nm～50nmで成膜した後、異方性エッチングを行うことで、ゲート電極110及び122の両側面にサイドウォール絶縁膜150、152が形成される。

[0101] その後、第1の導電型の不純物（リン（P）、ヒ素（As）等）を40keV～50keVにて、 $1 \sim 2 \times 10^{15}$ 個/cm²の濃度でイオン注入することで、活性化領域22の露出した領域に第1の導電型の不純物が導入される。さらに、1000℃にて5秒間のRTA（Rapid Thermal Annealing）を行うことにより、イオン注入した不純物を活性化させる。これにより、第1及び第2のトランジスタT1、T2のソース及びドレイン領域220、222、224が形成される。なお、本実施形態においては、不純物の意図しない領域への拡散を抑制するために、スパイクRTAにて不純物の活性化を行うことも可能である。また、当該アニール（熱処理）によって、第1のゲート絶縁膜140を強誘電体へ変化させることが可能であり、第1のゲート絶縁膜140の形成後であればどのタイミングでアニールを行っても第1のゲート絶縁膜140を強誘電体へ変化させることができる。

[0102] 続いて、図9に示すように、ゲート電極110、112、第1のソース領域220、第1のドレイン領域222、第2のソース／ドレイン領域224の表面にコンタクト領域110S、112S、220S、222S、224Sを形成する。

[0103] 具体的には、スパッタ法等を用いて、ニッケル（Ni）を膜厚6nm～8nmで成膜した後、300℃～450℃にて10秒～60秒のRTAを行うことで、Si上のニッケル（Ni）をSiと化合させる（すなわち、シリサイド化させる）。これにより、低抵抗のコンタクト領域110S、112S、220S、222S、224Sが形成される。なお、素子分離領域26等

の上の未反応のNiは、 $\text{H}_2\text{SO}_4/\text{H}_2\text{O}_2$ を用いて除去してもよい。

[0104] ここで、Niの代わりに、コバルト(Co)またはニッケル白金(NiPt)を成膜することで、 CoSi_2 又は NiSi にて、コンタクト領域110S、112S、220S、222S、224Sを形成することも可能である。このときのRTAの条件は、シリサイド化させる金属に応じて適宜設定することが好ましい。

[0105] なお、上記工程と同時に、半導体記憶素子1が形成される領域とは別の領域に、CMOS等の論理回路を構成する電界効果トランジスタを形成することも可能である。このようにすることで、半導体記憶素子1を含む半導体記憶装置10と、CMOS等の論理回路とが混載されたLSIをより少ない工程数で製造することができる。ただし、論理回路を構成する電界効果トランジスタにおいては、ゲート絶縁膜は、強誘電体ではなく、酸化膜等の絶縁体で形成される。

[0106] 次に、図10に示すように、半導体基板20の全面に亘って平坦化膜30を形成し、さらに、コンタクトプラグ300、302を形成する。

[0107] ここで、プラズマCVD法を用いて、SiNを膜厚10nm～50nmにて成膜し、ライナー層を形成してもよい。また、ライナー層は、減圧CVD法またはALD法によっても形成することが可能である。ライナー層が設けられている場合、ライナー層と、平坦化膜30とが高選択比となる条件にてエッチングを行うことで、過剰なエッチングを防止し、より制御性良くエッチングを行うことができる。また、上記ライナー層は、圧縮応力または引張応力を付与する層として形成することも可能である。例えば、以下に示す条件例にて形成することで、ライナー層を圧縮応力又は引張応力を付与する層として形成することができる。

[0108] 例えば、引張応力を付与する層としてライナー層を形成する場合、チャンバー内に窒素(N_2)ガス($500\text{cm}^3/\text{min} \sim 2000\text{cm}^3/\text{min}$)、アンモニア(NH_3)ガス($500\text{cm}^3/\text{min} \sim 1500\text{cm}^3/\text{min}$)、及びモノシラン(SiH_4)ガス($50\text{cm}^3/\text{min} \sim 300\text{cm}^3/\text{min}$)

i n) を供給し、半導体基板 20 の温度を $200^{\circ}\text{C} \sim 400^{\circ}\text{C}$ とし、成膜圧力を $0.67\text{ kPa} \sim 2.0\text{ kPa}$ とし、RF パワーを $50\text{ W} \sim 500\text{ W}$ とし、プラズマ CVD 法にて化学反応させて成膜すればよい。さらに、成膜後、ヘリウム (He) ガス ($10\text{ L/min} \sim 20\text{ L/min}$) を供給し、温度を $400^{\circ}\text{C} \sim 600^{\circ}\text{C}$ とし、圧力を $0.67\text{ kPa} \sim 2.0\text{ kPa}$ とし、 $1\text{ kW} \sim 10\text{ kW}$ のランプパワーで紫外線 (Ultra Violet : UV) 照射処理を行うことで、引張応力を付与するライナー層を形成することもできる。

[0109] また、圧縮応力を付与する層としてライナー層を形成する場合、チャンバー内に水素 (H_2) ガス ($1000\text{ cm}^3/\text{min} \sim 5000\text{ cm}^3/\text{min}$)、窒素 (N_2) ガス ($500\text{ cm}^3/\text{min} \sim 2500\text{ cm}^3/\text{min}$)、アルゴン (Ar) ガス ($1000\text{ cm}^3/\text{min} \sim 5000\text{ cm}^3/\text{min}$)、アンモニア (NH_3) ガス ($50\text{ cm}^3/\text{min} \sim 250\text{ cm}^3/\text{min}$)、及びトリメチルシラン ($(\text{CH}_3)_3\text{SiH}$) ガス ($10\text{ cm}^3/\text{min} \sim 50\text{ cm}^3/\text{min}$) を供給し、半導体基板 20 の温度を $400^{\circ}\text{C} \sim 600^{\circ}\text{C}$ とし、成膜圧力を $0.13\text{ kPa} \sim 0.67\text{ kPa}$ とし、RF パワーを $50\text{ W} \sim 500\text{ W}$ とし、プラズマ CVD 法にて化学反応させて成膜することで、圧縮応力を付与するライナー層を形成することができる。

[0110] 次に、CVD 法等を用いて、 SiO_2 を膜厚 $100\text{ nm} \sim 500\text{ nm}$ にて成膜した後、CMP 法によって平坦化を行うことで、平坦化膜 30 を形成する。続いて、平坦化膜 30 をエッチングすることで、第 1 のソース領域 220、及び第 2 のソース／ドレイン領域 224 の上に開口を形成する。

[0111] 次に、エッチングにて形成した開口に対して、CVD 法等にてチタン (Ti) 及び窒化チタン (TiN) を成膜した後、さらにタングステン (W) を成膜し、CMP 法にて平坦化することで、コンタクトプラグ 300、302 が形成される。なお、Ti 及び TiN は、IMP (Ion Metal Plasma) を用いたスパッタ法等で成膜してもよい。また、CMP 法の代わりに全面エッチバックを用いて平坦化を行ってもよい。

[0112] 続いて、図 1 1 に示すように、平坦化膜 3 0 の上に配線層 4 2 を含む各種配線が形成される。具体的には、ダマシン法によって、銅 (C u) 等の配線材料にて配線層 4 2 を含む各種配線が形成される。配線層 4 2 は、各半導体記憶素子 1 のコンタクトプラグ 3 0 0 の上に形成されることで、第 1 のトランジスタ T 1 の第 1 のソース領域 2 2 0 と、外部の電源 V s とを接続する配線として機能する。また、コンタクトプラグ 3 0 2 の上に形成される配線は、後段で形成されるビット線 B L の下地として機能する。なお、配線層 4 2 を含む各種配線は、アルミニウム (A l) 等にて形成されてもよい。

[0113] 次に、図 1 2 に示すように、層間絶縁膜 5 0 を形成し、さらに、コンタクトプラグ 3 0 2 の上にコンタクト 5 2 を形成する。

[0114] 具体的には、C V D 法等を用いて、S i O₂ を膜厚 1 0 0 n m ~ 5 0 0 n m にて成膜した後、C M P 法によって平坦化を行うことで、層間絶縁膜 5 0 が形成される。

[0115] 続いて、層間絶縁膜 5 0 をエッチングすることで、コンタクトプラグ 3 0 2 の上の領域に開口を形成する。次に、エッチングにて形成した開口に対して、C V D 法等にてチタン (T i) 及び窒化チタン (T i N) を成膜した後、さらにタングステン (W) を成膜し、C M P 法にて平坦化することで、コンタクト 5 2 が形成される。

[0116] 続いて、層間絶縁膜 5 0 の上に配線層 6 2 を持つ層間絶縁膜 6 0 が形成される。具体的には、ダマシン法によって、銅 (C u) 等の配線材料にて配線層 6 2 を含む各種配線が形成される。また、配線層 6 2 を含む各種配線を埋め込むように、C V D 法等を用いて、S i O₂ を膜厚 5 0 n m ~ 2 0 0 n m にて成膜することで、層間絶縁膜 6 0 が形成される。このようにして、図 5 に示される本実施形態に係る半導体記憶装置 1 0 が形成される。

[0117] 配線層 6 2 は、各半導体記憶素子 1 のコンタクトプラグ 3 0 2 の上に形成されることで、第 2 のトランジスタ T 2 のソース又はドレインの他方と接続するビット線 B L として機能する。なお、配線層 6 2 を含む各種配線は、アルミニウム (A l) 等にて形成されてもよい。また、コンタクト 5 2 及び配

線層 6 2 は、銅（C u）等の配線材料にて同時に埋め込むことで、デュアルダマシン構造として形成することも可能である。このような場合、配線層 6 2 をより低抵抗の配線として形成することができる。

[0118] << 2. 第 2 の実施形態 >>

< 2. 1. 半導体記憶素子及び半導体記憶装置の概要 >

本実施形態では、上述の第 1 の実施形態と比較して、選択された半導体記憶素子 1 の第 1 のトランジスタ T 1 の強誘電体膜に書き込み電圧が印加されないように、第 3 のトランジスタ T 3 をさらに設けている。本実施形態においては、第 3 のトランジスタ T 3 を設けることにより、非選択の半導体記憶素子 1 a に外部電界が印加されないため、記憶された情報が書き換わってしまうことを防止することができる。以下に、図 1 3 及び図 1 4 を参照して、本開示の第 2 の実施形態に係る半導体記憶素子 1 a 及び半導体記憶装置 1 0 a の概要について説明する。図 1 3 は、本実施形態に係る半導体記憶素子 1 a の回路構成を示した回路図であり、また、図 1 4 は、本実施形態に係る半導体記憶装置 1 0 a の平面構造を概略的に示した説明図である。

[0119] 図 1 3 に示すように、本実施形態に係る半導体記憶素子 1 a は、第 1 のトランジスタ T 1 と、第 1 のトランジスタ T 1 のドレインと接続する第 2 のトランジスタ T 2 と、第 1 のトランジスタ T 1 のゲートと接続する第 3 のトランジスタ T 3 とを有する。なお、第 1 のトランジスタ T 1 のソースは、第 1 の実施形態と同様に、半導体記憶素子 1 の外部の選択トランジスタ T s を介して、電源 V s と接続している。

[0120] 第 1 の実施形態と同様に、本実施形態においても、第 1 のトランジスタ T 1 は、少なくとも一部が強誘電体材料からなるゲート電極膜を有する電界効果トランジスタである。第 2 のトランジスタ T 2 は、ソースまたはドレインの一方で第 1 のトランジスタのドレインと接続し、ソースまたはドレインの他方で第 2 のビット線 B L 2 と接続する電界効果トランジスタである。また、第 2 のトランジスタ T 2 のゲートは、ワード線 W L と接続しており、ワード線 W L からの印加電圧によってチャネルのオンオフが制御される。

- [0121] 第1の実施形態と同様に、本実施形態に係る第1のトランジスタT1においては、第1のトランジスタT1の閾値電圧 (V_t) が、ばらつきが生じた場合であっても、書き込み、消去のいずれの状態においても0V以下となっている。また、本実施形態においては、第1の実施形態と同様に、第2のトランジスタT2は、リーク電流を抑制するような閾値電圧を持つことが好ましい。
- [0122] さらに、第3のトランジスタT3は、ソース又はドレインの一方で第1のトランジスタT1のゲートと接続し、ソース又はドレインの他方で第1のビット線BL1と接続する電界効果トランジスタである。また、第3のトランジスタT3のゲートは、ワード線WLと接続しており、ワード線WLからの印加電圧によってチャネルのオンオフが制御される。
- [0123] よって、本実施形態においては、半導体記憶素子1aに情報を書き込む場合には、まず、ワード線WLから電圧を印加して、第2及び第3のトランジスタT2、T3のチャネルをオンにする。次に、第1及び第2のビット線BL1、BL2に所定の電圧を印加することにより、第1のトランジスタT1のゲート絶縁膜に電界を印加する。このようにすることで、外部電界によって第1のトランジスタT1のゲート絶縁膜の残留分極の向きを制御し、半導体記憶素子1aに情報を書き込むことができる。
- [0124] このとき、選択されたワード線WLに接続する他の半導体記憶素子1aでは、第1及び第2のビット線BL1、BL2に電圧が印加されないため、第1のトランジスタT1のゲート絶縁膜には、電界が印加されない。また、選択された第1及び第2のビット線BL1、BL2に接続する他の半導体記憶素子1aでは、第1及び第2のビット線BL1、BL2に電圧が印加されるものの、第2及び第3トランジスタT2、T3のチャネルがオフであるため、第1のトランジスタT1のゲート絶縁膜には、電界が印加されない。従って、本実施形態に係る半導体記憶素子1aでは、非選択の半導体記憶素子1aに外部電界が印加されないため、記憶された情報が書き換わってしまうことを防止することができる。

[0125] また、本実施形態においては、半導体記憶素子 1 a の情報を読み出す際には、まず、ワード線 WL に電圧を印加して、第 2 及び第 3 のトランジスタ T 2、T 3 のチャネルをオンにし、且つ、第 1 のビット線 BL 1 に電圧を印加することで、第 1 のトランジスタ T 1 のチャネルをオンにする。次に、本実施形態においては、選択トランジスタ T s のチャネルをオンにした上で、第 2 のビット線 BL 2 に電圧を印加することで、第 1 のトランジスタ T 1 のドレインからソースに電流を流す。そして、第 1 のトランジスタ T 1 に流れる電流を計測することで、半導体記憶素子 1 a から情報を読み出すことができる。

[0126] このとき、選択されたワード線 WL に接続する他の半導体記憶素子 1 a では、第 1 及び第 2 のビット線 BL 1、BL 2 に電圧が印加されないため、第 1 のトランジスタ T 1 に電界が印加されない。また、選択された第 1 及び第 2 のビット線 BL 1、BL 2 に接続する他の半導体記憶素子 1 a では、第 1 及び第 2 のビット線 BL 1、BL 2 に電圧が印加されるものの、第 2 及び第 3 のトランジスタ T 2、T 3 のチャネルがオフであるため、第 1 のトランジスタ T 1 には、電界が印加されない。従って、本実施形態に係る半導体記憶素子 1 a では、情報を読み出す際にも、非選択の半導体記憶素子 1 a に外部電界が印加されないため、ゲート絶縁膜を構成する強誘電体膜が劣化することを抑制することができる。

[0127] 例えば、上述の非特許文献 1 及び特許文献 1 に開示された技術においては、非選択のメモリセル（半導体記憶素子）の強磁性体膜には、分極方向を反転可能な反転可能電圧（ V_{dd} ）未満ではあるが、電圧が印加されてしまう（例えば、 $1/3 V_{dd}$ 、 $1/2 V_{dd}$ 、 $2/3 V_{dd}$ 等）。そのため、繰り返し電圧が印加されることで、強誘電体膜が劣化し、メモリセルに記憶された情報の信頼性が低下してしまう可能性があった。しかしながら、本実施形態においては、非選択の半導体記憶素子 1 a に電圧が印加されないため、強誘電体膜が劣化することを抑制し、半導体記憶素子 1 a に記憶された情報の信頼性が低下してしまうことを避けることができる。

- [0128] 続いて、図14を参照して、図13で示した回路構成を持つ半導体記憶素子1aを複数個持つ半導体記憶装置10aの概略構造について説明する。なお、以下の説明においては、第1の実施形態に係る半導体記憶素子1と共通する点については、説明を省略する。
- [0129] 図14に示すように、半導体記憶装置10aは、アレイ状に複数配置された半導体記憶素子1aを有する。具体的には、半導体記憶素子1aは、図12の点線で区切られた領域に設けられる。さらに、当該領域内には、第1、第2及び第3のトランジスタT1、T2、T3が設けられている。
- [0130] 第1のトランジスタT1のゲート電極110は、絶縁性の素子分離領域を越えて活性化領域24まで延伸されており、共有コンタクト160にて第2のトランジスタT2のソース又はドレイン領域の一方と接続する。なお、第1のトランジスタT1のゲート電極110は、半導体記憶素子1aごとに分離されて設けられ、他の半導体記憶素子1aの第1のトランジスタT1のゲート電極110と接続されない。このようにすることで、第1のトランジスタT1は、半導体記憶素子1aごとにゲート電極110に電圧を印加することが可能であるため、ゲート絶縁膜に記憶された情報の書き込み、又は読み出しの際に、他の半導体記憶素子1aへの影響を抑制することができる。
- [0131] 第3のトランジスタT3は、第2の導電型にドーピングされた活性化領域24の上にゲート電極112が設けられることで形成される。また、ゲート電極112を挟んだ活性化領域24の各々は、第1の導電型にドーピングされており、第3のトランジスタT3のドレイン領域及びソース領域を形成する。
- [0132] また、第3のトランジスタT3のソース又はドレイン領域の一方は、上述したように、共有コンタクト160にて第1のトランジスタT1のゲート電極110と接続する。一方、第3のトランジスタT3のソース又はドレイン領域の他方は、コンタクトプラグ302を介して第1のビット線BL1と接続する。また、第3のトランジスタT3のゲート電極112は、絶縁性の素子分離領域を越えて活性化領域22まで延伸されており、第2のトランジスタT2のゲート電極110と接続する。

タT2のゲート電極を兼ねている。ゲート電極112は、素子分離領域を越えてさらに他の半導体記憶素子まで延伸されており、ワード線WLとして機能する。

[0133] 上記のような第1、第2及び第3のトランジスタT1、T2、T3を有する半導体記憶素子1aは、例えば、半導体基板の上にマトリックス状に複数配置されることで、各種のまとまりのある情報を記憶する半導体記憶装置10aとして機能する。

[0134] <2. 2. 半導体記憶装置の構造>

続いて、図15を参照して、本実施形態に係る半導体記憶装置10aの具体的な構造について説明する。図15は、本実施形態に係る半導体記憶装置10aの平面構造、および断面構造を示す説明図である。詳細には、図15の左下側には、半導体記憶装置10aの平面構造を示す平面図が示され、左上側には、当該平面図のA-A'線に沿って切断した断面図が示され、右下側には、当該平面図のB-B'線に沿って切断した断面図が示されている。なお、特に明言しない限り、第3のトランジスタT3の構成は、第2のトランジスタT2の構成と同様である。

[0135] 図15に示すように、半導体基板20には、互いに平行な帯状にて活性化領域22、24が設けられ、活性化領域22、24の上にゲート電極110、112が設けられることにより、第1、第2及び第3のトランジスタT1、T2、T3が形成される。また、第1、第2及び第3のトランジスタT1、T2、T3のゲート、ソース、及びドレインの各々がコンタクトプラグ230、300、302を介して各種配線と接続されることで、図13で示した回路構成を有する半導体記憶素子1aが構成される。さらに半導体記憶素子1aが半導体基板20上にアレイ状に多数集積されることで、半導体記憶装置10aが構成される。

[0136] 活性化領域22、24は、第2の導電型の領域であり、素子分離領域26によって互いに離隔されて帯状に設けられる。なお、活性化領域24は、第1及び第2のトランジスタT1、T2のチャネル領域として機能し、活性化

領域 2 2 は、第 3 のトランジスタ T 3 のチャネル領域として機能する。

[0137] 第 3 のソース／ドレイン領域 2 2 6 は、第 1 の導電型の領域であり、第 3 のトランジスタ T 3 のソース又はドレイン領域として機能する。第 3 のソース／ドレイン領域 2 2 6 は、ゲート電極 1 1 2 に対してゲート電極 1 1 0 が設けられた側と同じ側の活性化領域 2 4 に設けられ、共有コンタクト 1 6 0 を介して、ゲート電極 1 1 0 と接続する。

[0138] また、第 3 のトランジスタ T 3 のゲート絶縁膜は、第 1 のトランジスタ T 1 と同様に強誘電体材料にて形成されてもよいことは言うまでもない。このようにすることにより、第 1 及び第 3 のトランジスタ T 1、T 3 のゲート絶縁膜を同時に形成することができるため、半導体記憶素子 1 の製造工程を簡略化することができる。

[0139] コンタクト領域 2 2 6 S は、第 3 のソース／ドレイン領域 2 2 6 の表面に設けられることで接触抵抗を低減する。また、コンタクトプラグ 2 3 0 は、平坦化膜 3 0 を貫通して設けられる。コンタクトプラグ 2 3 0 は、第 3 のトランジスタ T 3 のソース又はドレインの他方と第 1 のビット線 B L 1（図示省略）とを電氣的に接続する。

[0140] 共有コンタクト 1 6 0 は、平坦化膜 3 0 を貫通して、ゲート電極 1 1 0 及び第 3 のソース／ドレイン領域 2 2 6 の上に跨って設けられ、ゲート電極 1 1 0 と、第 3 のソース／ドレイン領域 2 2 6 とを電氣的に接続する。これによれば、別途配線を設けずにゲート電極 1 1 0 と、第 3 のソース／ドレイン領域 2 2 6 とを電氣的に接続することができるため、半導体記憶素子 1 a の面積をより小さくすることができる。

[0141] 上記の構造によれば、非選択の半導体記憶素子 1 a への電圧の印加を防止し、選択された半導体記憶素子 1 a にのみ電圧を印加することが可能な半導体記憶素子 1 a をより小さい平面面積にて構成することができる。従って、本実施形態によれば、半導体記憶素子 1 a の集積度を向上させることができるため、半導体記憶素子 1 a を集積した半導体記憶装置 1 0 a の記憶密度を向上させることが可能である。

[0142] <2. 3. 半導体記憶装置の製造方法>

続いて、図16～図18を参照して、本実施形態に係る半導体記憶装置10aの製造方法について説明する。図14～図16は、本実施形態に係る半導体記憶装置10aの各製造工程を説明する平面図及び断面図である。なお、本実施形態の製造方法は、図6～図9に示される第1の実施形態に係る半導体記憶装置10の製造方法と共通するため、これら工程の説明は省略する。

[0143] まず、本実施形態においても、図6～図9に示される第1の実施形態に係る半導体記憶装置10の各製造工程を実施する。そして、図16に示すように、平坦化膜30やコンタクトプラグ230、300、302を形成する。本工程は、図10で示される上述の第1の実施形態に係る製造工程と同様に行なわれる。なお、この際、ゲート電極110と第3のソース／ドレイン領域226を、配線層を介さずに直接的にダブルプラグで接続してもよい（シェアードコンタクト）。このようにすることで、配線領域の面積をより縮小することができる。

[0144] そして、図17に示すように、配線層42を形成する。本工程は、図11で示される上述の第1の実施形態に係る製造工程と同様に行なわれる。なお、形成した配線層42は、第1のトランジスタT1のソースに接続され、電源Vsと接続する電源ラインとなる。

[0145] 次に、図18に示すように、層間絶縁膜50を形成し、さらに、コンタクトプラグ302の上にコンタクト52を形成する。本工程は、図12で示される上述の第1の実施形態に係る製造工程と同様に行なわれる。

[0146] さらに、第1の実施形態と同様に、配線層62を形成することにより、図15に示される半導体記憶装置10aを得ることができる。

[0147] <<3. 第3の実施形態>>

<3. 1. 書き込み動作>

本開示の第3の実施形態として、半導体基板20にバイアス電圧を印加することにより、さらに安定的に書き込みを行うことができる半導体記憶素子

1の書き込み動作について、図4を参照して説明する。なお、当該書き込み動作は、上述の第1及び第2の実施形態に係る半導体記憶素子1、1aのいずれにも適用することが可能である。

[0148] 先に説明したように、消去状態にある第1のトランジスタT1に書き込む際には、図4の上段に示すように、第1のトランジスタT1の強誘電体膜の上向きの残留分極によりチャネル500が形成されにくくなり、第1のトランジスタT1の閾値電圧(V_t)は、上がることとなる。また、半導体記憶素子1を微細な形状に加工することにより、第1のトランジスタT1の閾値電圧のばらつきが大きくなる。従って、残留分極及びばらつきによる閾値電圧のシフトに起因して、半導体記憶素子1に対して、書き込み動作を行っても、第1のトランジスタT1のゲート電極110下の半導体基板20の表面にチャネル500が形成されないことがある。この場合、ゲート電極110と半導体基板20との間に所望の電位差があったとしても、チャネル500が形成されないことから、ゲート電極110下の半導体基板20の表面とゲート電極110との間には、所望の電位差以下の電位差しか生じない。その結果、印加される電位差が小さいことから、第1のトランジスタT1の強誘電体膜は、下向きに分極して書き込み状態にならないことがある。

[0149] そこで、本実施形態においては、書き込み動作の際に、半導体基板20に対してバイアス電圧を印加する。より具体的には、図4に示されるような書き込み動作においては、例えば、半導体基板20に対してソース電圧よりも高い電圧を印加する。このようにすることで、第1のトランジスタT1の閾値電圧(V_t)を低く制御し、第1のトランジスタT1のゲート電極110下の半導体基板20の表面にチャネル500を形成する。従って、上記チャネル500が形成されることにより、ゲート電極110下の半導体基板20の表面とゲート電極110との間には所望の電位差が生じることとなる。そして、この電位差により、第1のトランジスタT1の強誘電体膜を所望の向きに分極させ、半導体記憶素子1に情報を書き込むことができる。すなわち、本実施形態によれば、半導体基板20に対してバイアス電圧を印加するこ

とにより、半導体記憶素子 1 に、安定的に書き込みを行うことができる。

[0150] <3. 2. 読み出し動作>

次に、本実施形態として、半導体基板 20 にバイアス電圧を印加することにより、さらに安定的に読み出しを行うことができる半導体記憶素子 1 の読み出し動作について、図 19 を参照して説明する。なお、当該読み出し動作は、上述の第 1 及び第 2 の実施形態に係る半導体記憶素子 1、1a のいずれにも適用することが可能である。

[0151] また、図 19 は、本実施形態に係る半導体記憶素子 1 におけるゲート電圧 (V_g) とドレイン電流 (I_{dg}) との関係を示したグラフである。また、図 19 においては、横軸がゲート電圧を示し、縦軸が対数スケールのドレイン電流を示している。また、右側に示す実線で示される帯 610 が、半導体記憶素子 1 の製造バラツキを加味した上での、半導体記憶素子 1 が書き込み状態におけるゲート電圧とドレイン電流の範囲を示し、左側に示す破線で示される帯 620 が、半導体記憶素子 1 の製造バラツキを加味した上での、半導体記憶素子 1 が消去状態におけるゲート電圧とドレイン電流の範囲を示す。従って、帯 610 と帯 620 との差が、閾値電圧のシフト量であるメモリウィンドウ 600 に対応する。

[0152] 図 19 に示すように、半導体記憶素子 1 の製造バラツキによりメモリウィンドウ 600 が狭くなることから、半導体記憶素子 1 の分極状態の違いによる電流の差が小さくなり、半導体記憶素子 1 の状態を判別することが難しくなる。

[0153] より具体的には、例えば、ゲート電圧 (V_g) を 0V として、半導体記憶素子 1 から情報を読み出そうとした場合には、上記メモリウィンドウ 600 が狭いことから、半導体記憶素子 1 の状態を判別することが難しくなる。これは、本開示の実施形態において第 1 のトランジスタ T1 の閾値電圧 (V_t) が小さくなるように設定されていることから、半導体記憶素子 1 の書き込み状態における閾値電圧は小さい。そのことに起因して、書き込み状態における読み出し電流が高くなったためである。

[0154] そこで、本実施形態においては、読み出し動作の際に、半導体基板 20 に対してバイアス電圧を印加する。より具体的には、読み出し動作においては、半導体基板 20 に対してソース電圧よりも低い電圧を印加する。このようにすることで、第 1 のトランジスタ T1 の閾値電圧 (V_t) を高く制御する。このようにすることで、半導体記憶素子 1 の書き込み状態における読み出し電流が低くすることができることから、メモリウィンドウ 600 を拡大することができる。すなわち、上述のようなバイアス電圧を印加して読み出す状態は、図 19 における V_{read} で示される電圧において読み出す状態と同じになる。従って、本実施形態によれば、半導体基板 20 に対してバイアス電圧を印加することにより、半導体記憶素子 1 に、安定的に読み出しを行うことができる。

[0155] <<4. まとめ>>

以上のように、本開示の実施形態においては、第 1 のトランジスタ T1 の閾値電圧 (V_t) が、製造ばたつきがあっても、書き込み、消去のいずれの状態においても 0 V 以下になるように、第 1 のトランジスタ T1 を形成している。従って、本実施形態によれば、書き込み、消去のいずれの状態であっても、第 1 のトランジスタ T1 のゲート電極 110 下の半導体基板 20 の表面には常にチャネル 500 が形成され、ゲート電極 110 と半導体基板 20 の表面との間には所望の電位差が印加される。その結果、本実施形態によれば、第 1 のトランジスタ T1 の強誘電体膜に対して、安定的に、書き込みを行うことができる。

[0156] さらに、本実施形態に係る半導体記憶装置 10 は、演算装置等を成す半導体回路とともに同一の半導体チップに搭載されて半導体システム (System-on-a-Chip: SoC) をなしてもよい。また、本実施形態に係る半導体記憶装置 10 は、半導体記憶装置が搭載され得る各種の電気機器に実装されてよい。例えば、半導体記憶装置 10 は、各種のモバイル機器 (スマートフォン、タブレット PC (Personal Computer) 等)、ノート PC、ウェアラブルデバイス、ゲーム機器、音楽機器、ビデオ機

器、又はデジタルカメラ等の、各種の電子機器に、一時記憶のためのメモリとして、あるいはストレージとして搭載されてよい。

[0157] <<5. 補足>>

以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0158] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0159] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

少なくとも一部が強誘電体材料からなるゲート絶縁膜を有し、情報が書き込まれる第1のトランジスタと、

ソース又はドレインの一方で前記第1のトランジスタのソース又はドレインと接続する第2のトランジスタと、

を備え、

前記第1のトランジスタの閾値電圧は、情報の書き込み時及び消去時において0Vよりも小さい、

半導体記憶素子。

(2)

前記第2のトランジスタは、少なくとも一部が強誘電体材料からなるゲート絶縁膜を有する、上記(1)に記載の半導体記憶素子。

(3)

前記第1及び第2のトランジスタは、同一の導電型トランジスタである、

上記（１）又は（２）に記載の半導体記憶素子。

（４）

前記第１及び第２のトランジスタは、第１の導電型トランジスタであり、
前記第１のトランジスタのチャネル領域は、第１の導電型とは反対の導電型を持つ第２の導電型の不純物を、前記第２のトランジスタのチャネル領域に比べて低濃度で含む、

上記（３）に記載の半導体記憶素子。

（５）

前記第１のトランジスタは、第１の導電型トランジスタであり、
前記第１のトランジスタのチャネル領域は、第１の導電型の不純物を、前記第１のトランジスタのソース／ドレイン領域に比べて低濃度で含む、

上記（１）～（３）のいずれか１つに記載の半導体記憶素子。

（６）

ソースまたはドレインの一方で前記第１のトランジスタのゲートと接続する第３のトランジスタをさらに備える、上記（１）～（５）のいずれか１つに記載の半導体記憶素子。

（７）

前記第３のトランジスタは、少なくとも一部が強誘電体材料からなるゲート絶縁膜を有する、上記（６）に記載の半導体記憶素子。

（８）

少なくとも一部が強誘電体材料からなるゲート絶縁膜を有し、情報が書き込まれる第１のトランジスタと、ソース又はドレインの一方で前記第１のトランジスタのソース又はドレインと接続する第２のトランジスタとを有し、前記第１のトランジスタの閾値電圧が、情報の書き込み時及び消去時において０Ｖよりも小さい、半導体記憶素子をマトリックス状の複数配置した、半導体記憶装置。

（９）

少なくとも一部が強誘電体材料からなるゲート絶縁膜を有し、情報が書き

込まれる第1のトランジスタと、ソース又はドレインの一方で前記第1のトランジスタのソース又はドレインと接続する第2のトランジスタとを有し、前記第1のトランジスタの閾値電圧が、情報の書き込み時及び消去時において0 Vよりも小さい、半導体記憶素子をマトリックス状の複数配置した、半導体記憶装置と、

前記半導体記憶装置と接続された演算装置と、
を1つの半導体チップ上に搭載した、半導体システム。

(10)

少なくとも一部が強誘電体材料からなるゲート絶縁膜を有し、情報が書き込まれるトランジスタを有する半導体記憶素子の制御方法であって、

前記情報の書き込み時及び読み出し時において、前記半導体記憶素子が設けられた半導体基板に対して電圧を印加して、前記トランジスタの閾値電圧を制御することを含む、

半導体素子の制御方法。

符号の説明

- [0160] 1、1 a 半導体記憶素子
 10、10 a 半導体記憶装置
 20、20 a 半導体基板
 22、24 活性化領域
 26 素子分離領域
 30 平坦化膜
 40、50、60 層間絶縁膜
 42、62、64 配線層
 52 コンタクト
 110、110 a、112 ゲート電極
 110 S、112 S、220 S、222 S、224 S、226 S コ
 ンタクト領域
 140 第1のゲート絶縁膜

1 4 2	第 2 のゲート絶縁膜
1 5 0、1 5 2	サイドウォール絶縁膜
1 6 0	共有コンタクト
2 2 0	第 1 のソース領域
2 2 2	第 1 のドレイン領域
2 2 4	第 2 のソース／ドレイン領域
2 2 6	第 3 のソース／ドレイン領域
2 3 0、3 0 0、3 0 2	コンタクトプラグ
5 0 0	チャネル
6 0 0	メモリウィンドウ
6 1 0、6 2 0	帯
B L	ビット線
B L 1	第 1 のビット線
B L 2	第 2 のビット線
T 1、T 1 a	第 1 のトランジスタ
T 2	第 2 のトランジスタ
T 3	第 3 のトランジスタ
T s	選択トランジスタ
W L	ワード線
W L 1	第 1 のワード線
W L 2	第 2 のワード線
V s	電源

請求の範囲

- [請求項1] 少なくとも一部が強誘電体材料からなるゲート絶縁膜を有し、情報が書き込まれる第1のトランジスタと、
- ソース又はドレインの一方で前記第1のトランジスタのソース又はドレインと接続する第2のトランジスタと、
- を備え、
- 前記第1のトランジスタの閾値電圧は、情報の書き込み時及び消去時において0 Vよりも小さい、
- 半導体記憶素子。
- [請求項2] 前記第2のトランジスタは、少なくとも一部が強誘電体材料からなるゲート絶縁膜を有する、請求項1に記載の半導体記憶素子。
- [請求項3] 前記第1及び第2のトランジスタは、同一の導電型トランジスタである、請求項1に記載の半導体記憶素子。
- [請求項4] 前記第1及び第2のトランジスタは、第1の導電型トランジスタであり、
- 前記第1のトランジスタのチャネル領域は、第1の導電型とは反対の導電型を持つ第2の導電型の不純物を、前記第2のトランジスタのチャネル領域に比べて低濃度で含む、
- 請求項3に記載の半導体記憶素子。
- [請求項5] 前記第1のトランジスタは、第1の導電型トランジスタであり、
- 前記第1のトランジスタのチャネル領域は、第1の導電型の不純物を、前記第1のトランジスタのソース／ドレイン領域に比べて低濃度で含む、
- 請求項1に記載の半導体記憶素子。
- [請求項6] ソースまたはドレインの一方で前記第1のトランジスタのゲートと接続する第3のトランジスタをさらに備える、請求項1に記載の半導体記憶素子。
- [請求項7] 前記第3のトランジスタは、少なくとも一部が強誘電体材料からな

るゲート絶縁膜を有する、請求項6に記載の半導体記憶素子。

[請求項8] 少なくとも一部が強誘電体材料からなるゲート絶縁膜を有し、情報が書き込まれる第1のトランジスタと、ソース又はドレインの一方で前記第1のトランジスタのソース又はドレインと接続する第2のトランジスタとを有し、前記第1のトランジスタの閾値電圧が、情報の書き込み時及び消去時において0Vよりも小さい、半導体記憶素子をマトリックス状の複数配置した、半導体記憶装置。

[請求項9] 少なくとも一部が強誘電体材料からなるゲート絶縁膜を有し、情報が書き込まれる第1のトランジスタと、ソース又はドレインの一方で前記第1のトランジスタのソース又はドレインと接続する第2のトランジスタとを有し、前記第1のトランジスタの閾値電圧が、情報の書き込み時及び消去時において0Vよりも小さい、半導体記憶素子をマトリックス状の複数配置した、半導体記憶装置と、

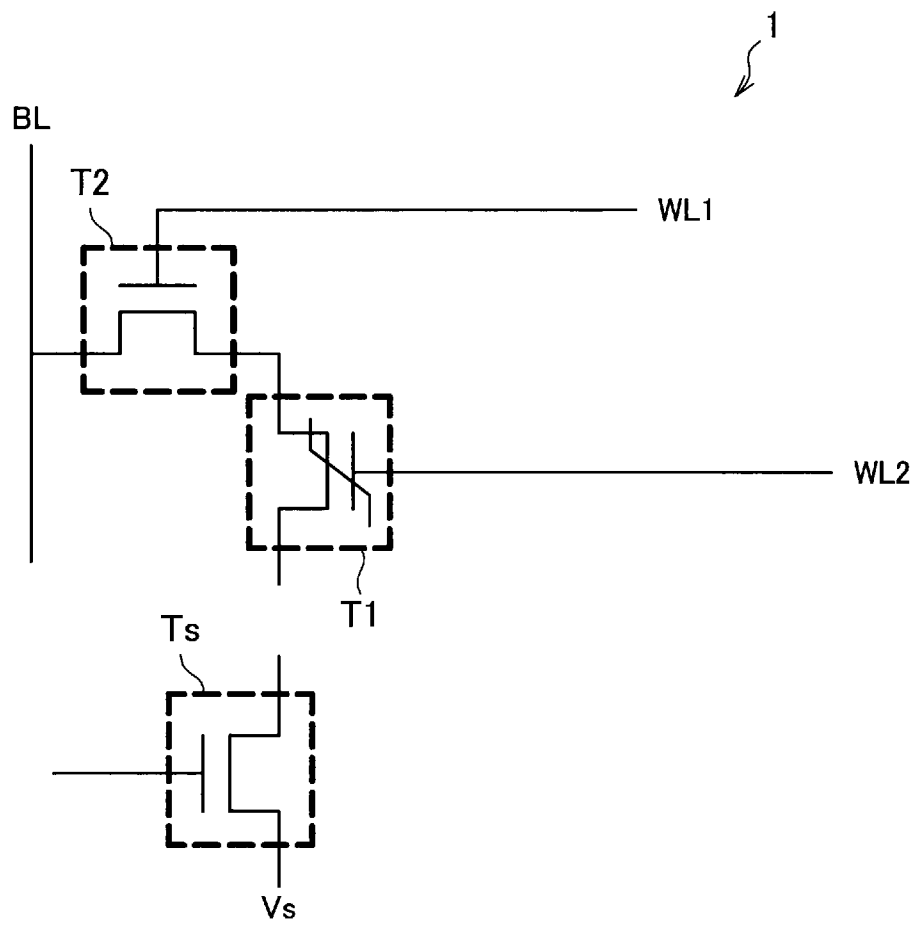
前記半導体記憶装置と接続された演算装置と、
を1つの半導体チップ上に搭載した、半導体システム。

[請求項10] 少なくとも一部が強誘電体材料からなるゲート絶縁膜を有し、情報が書き込まれるトランジスタを有する半導体記憶素子の制御方法であって、

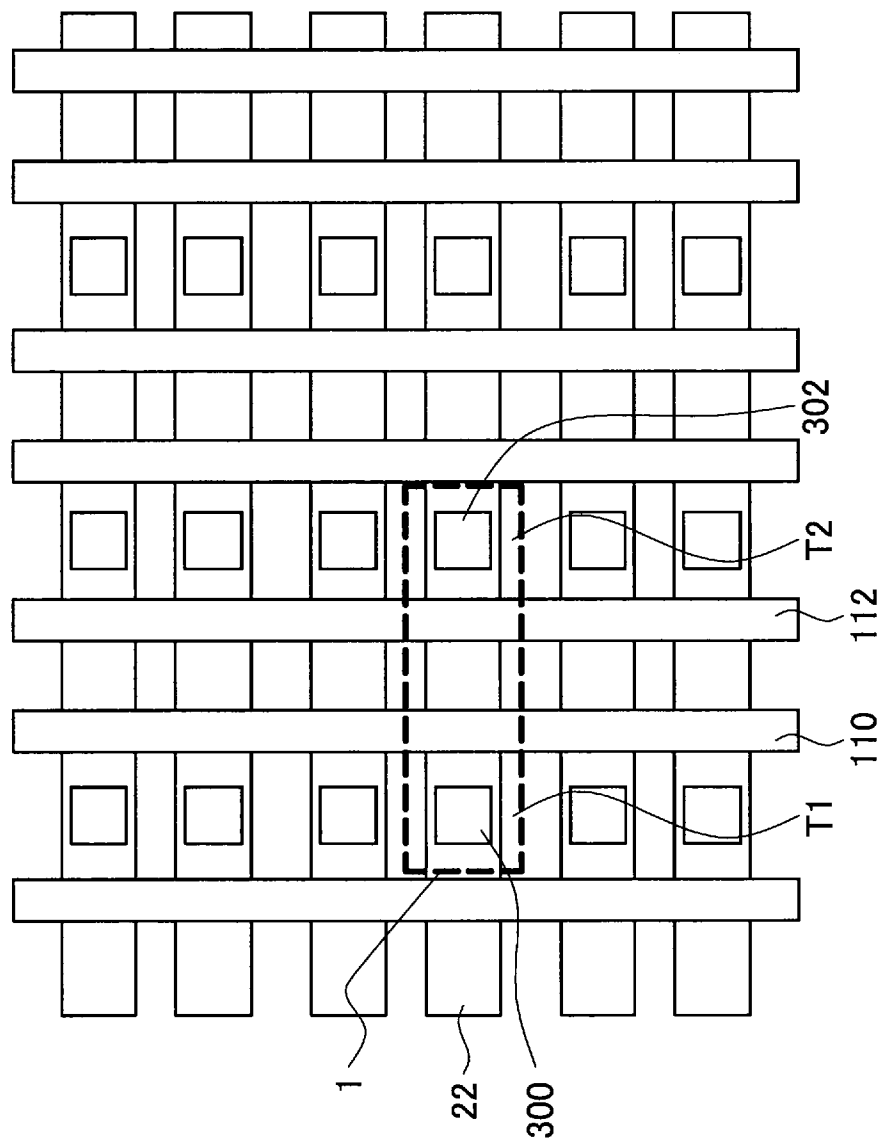
前記情報の書き込み時及び読み出し時において、前記半導体記憶素子が設けられた半導体基板に対して電圧を印加して、前記トランジスタの閾値電圧を制御することを含む、

半導体素子の制御方法。

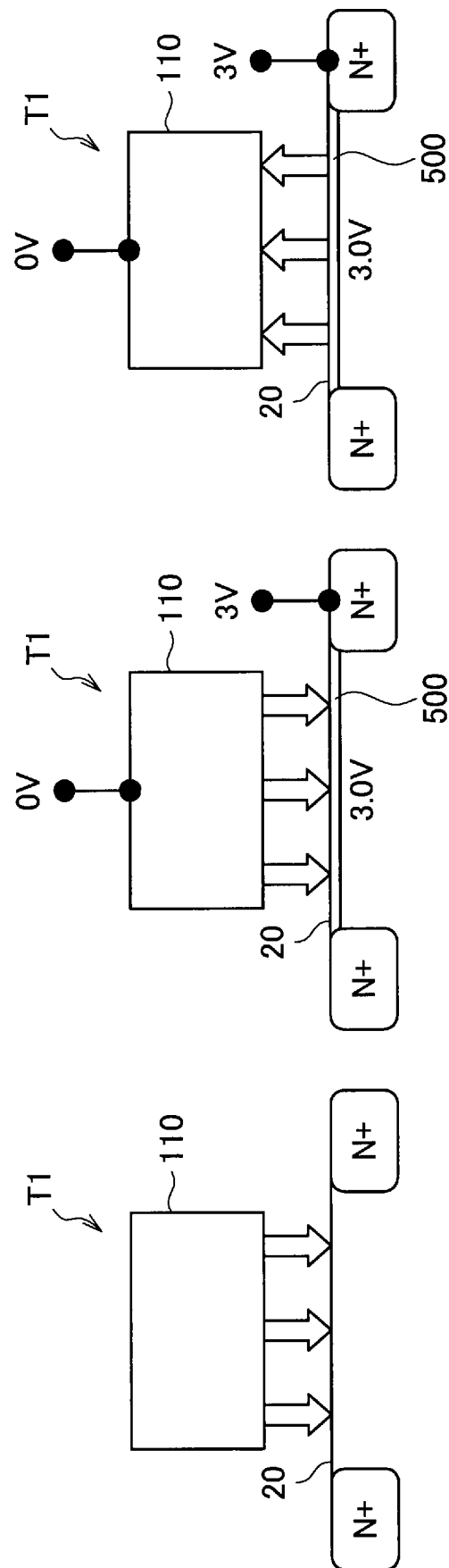
[図1]



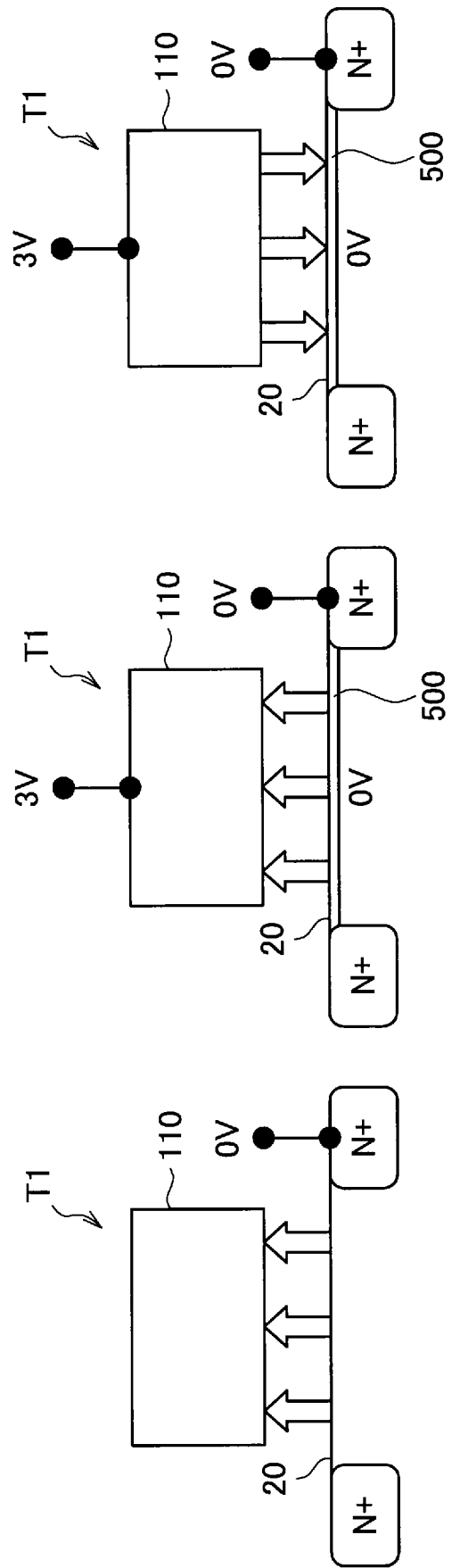
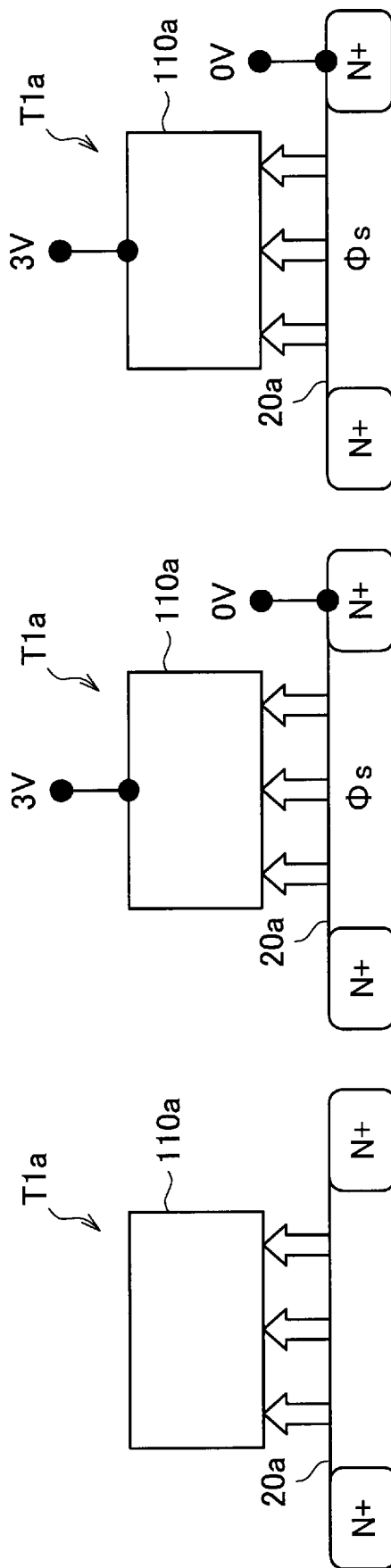
[図2]

10
↘

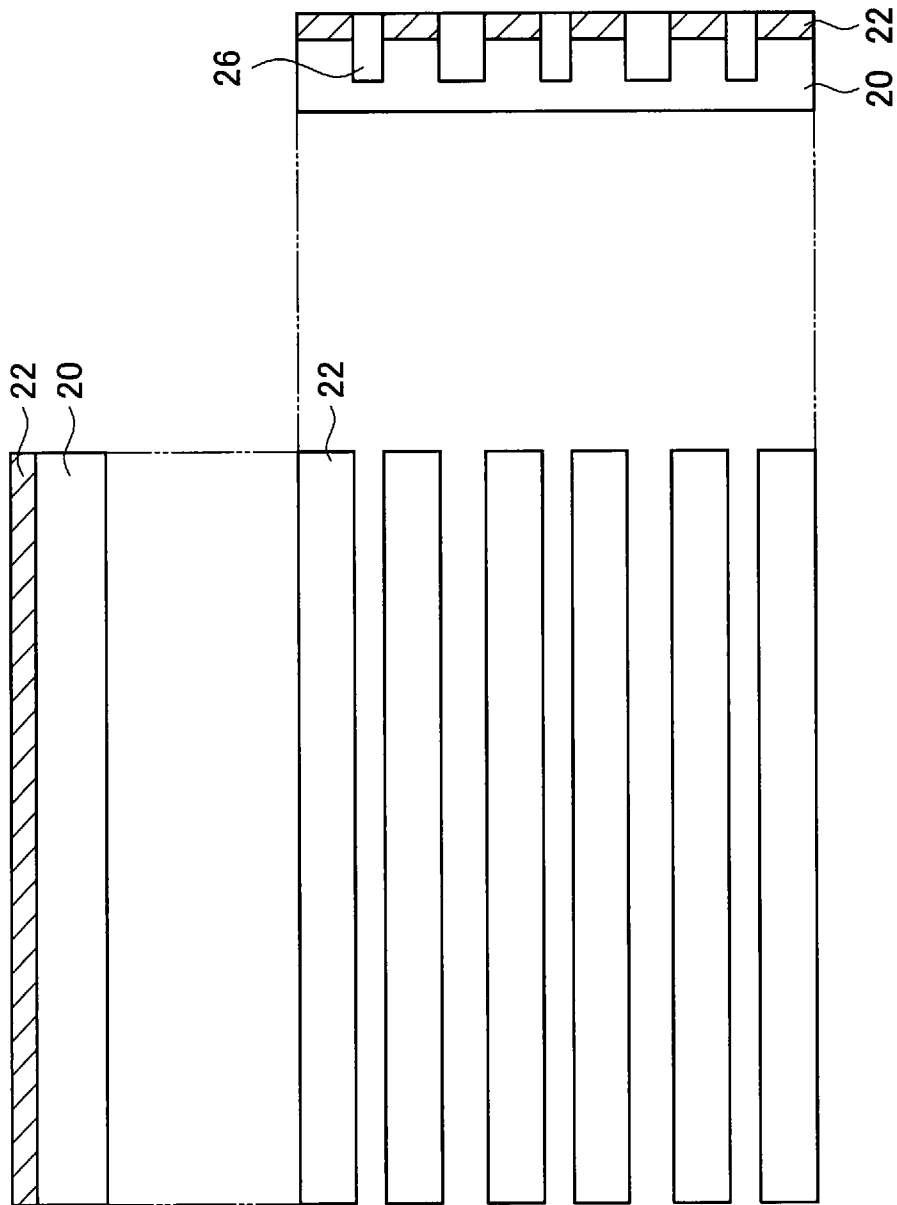
[図3]



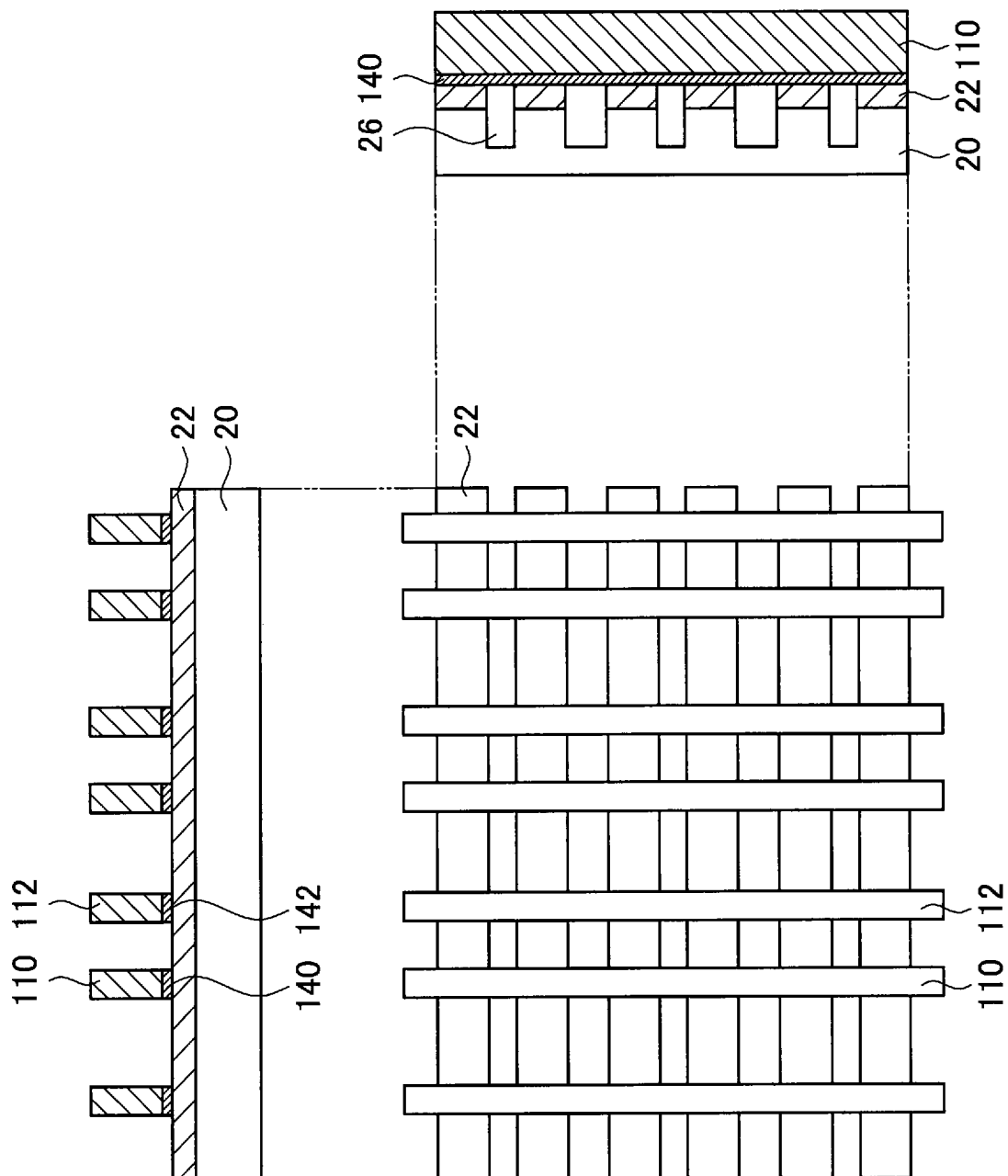
[図4]



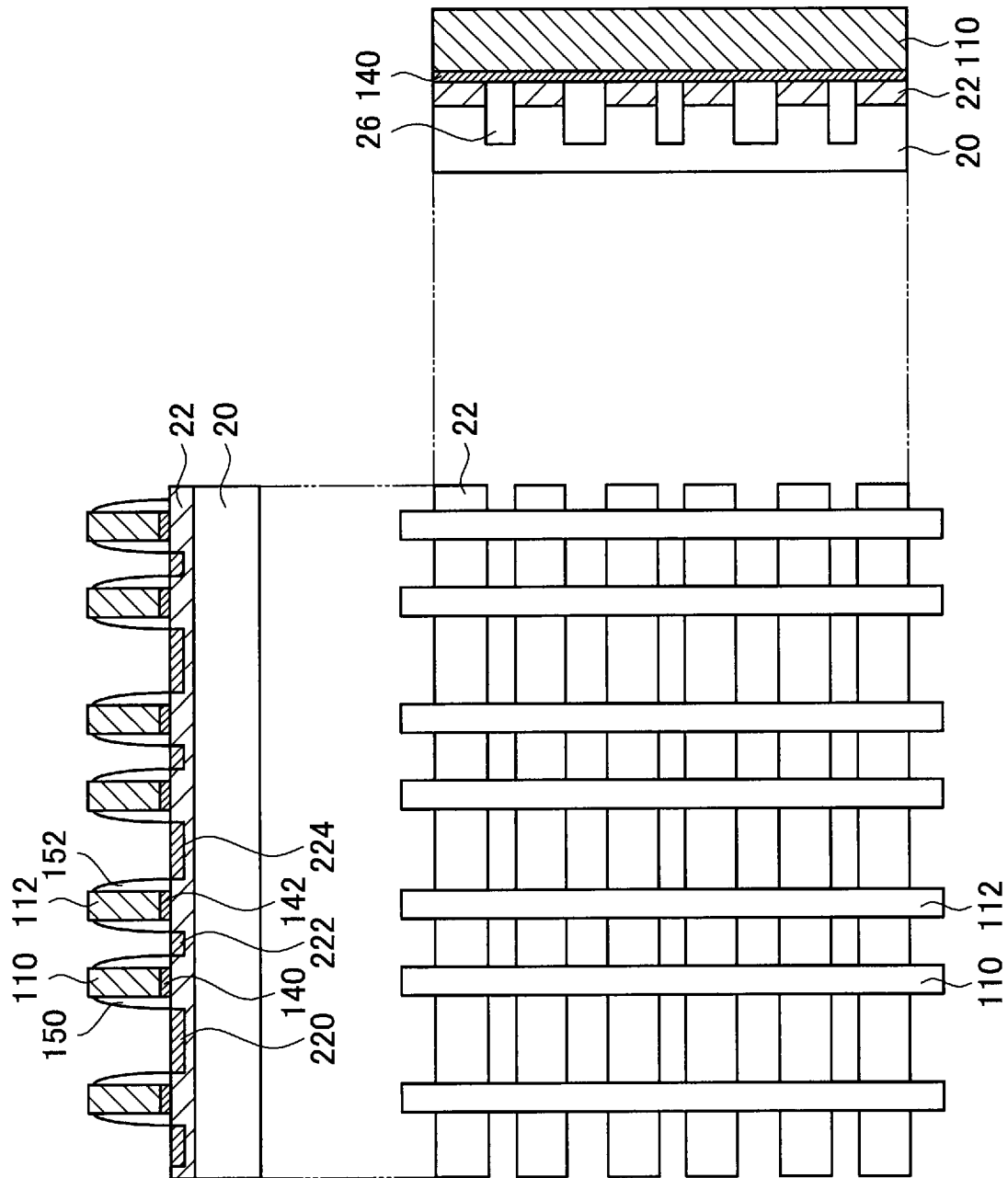
[図6]



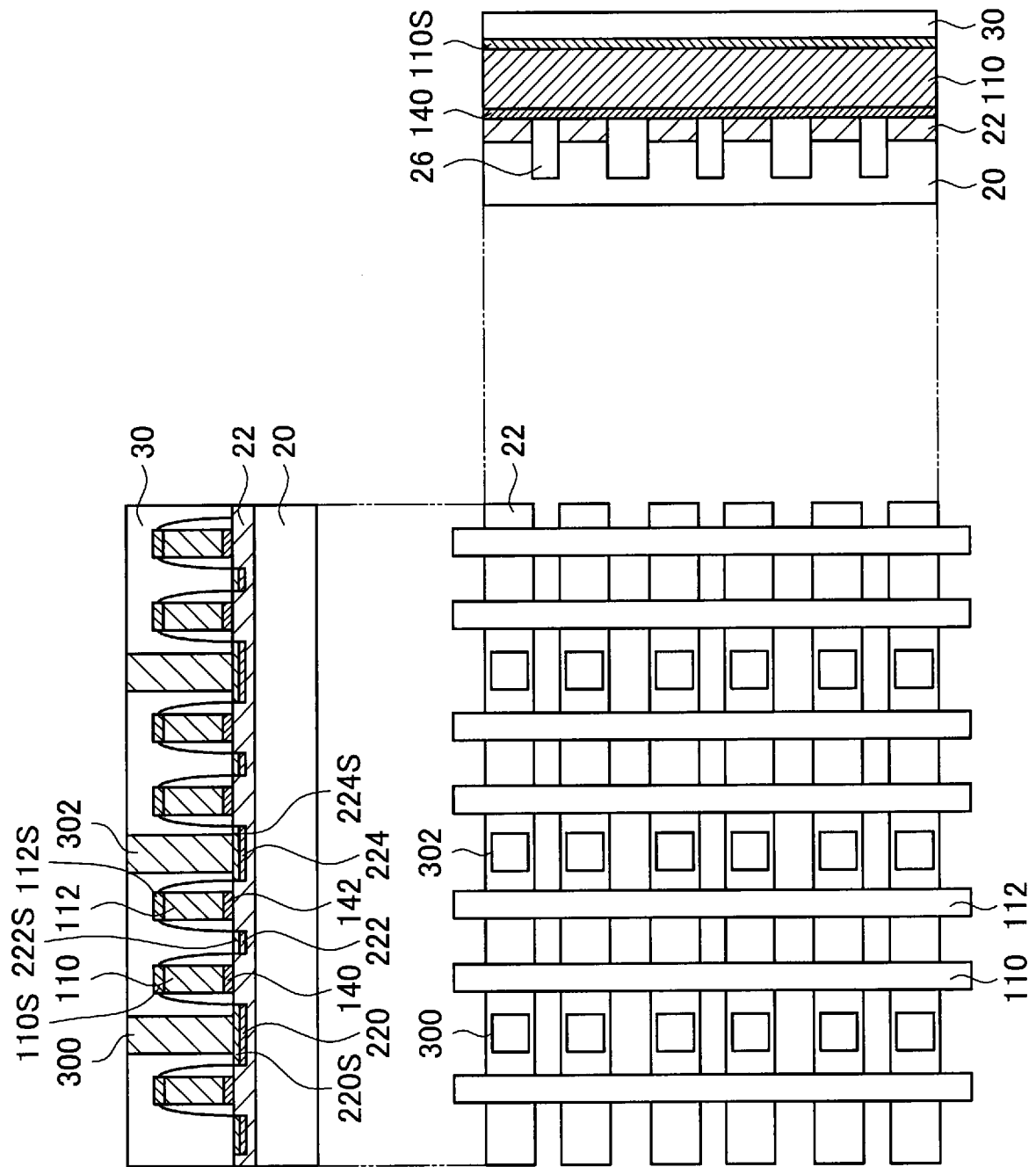
[図7]



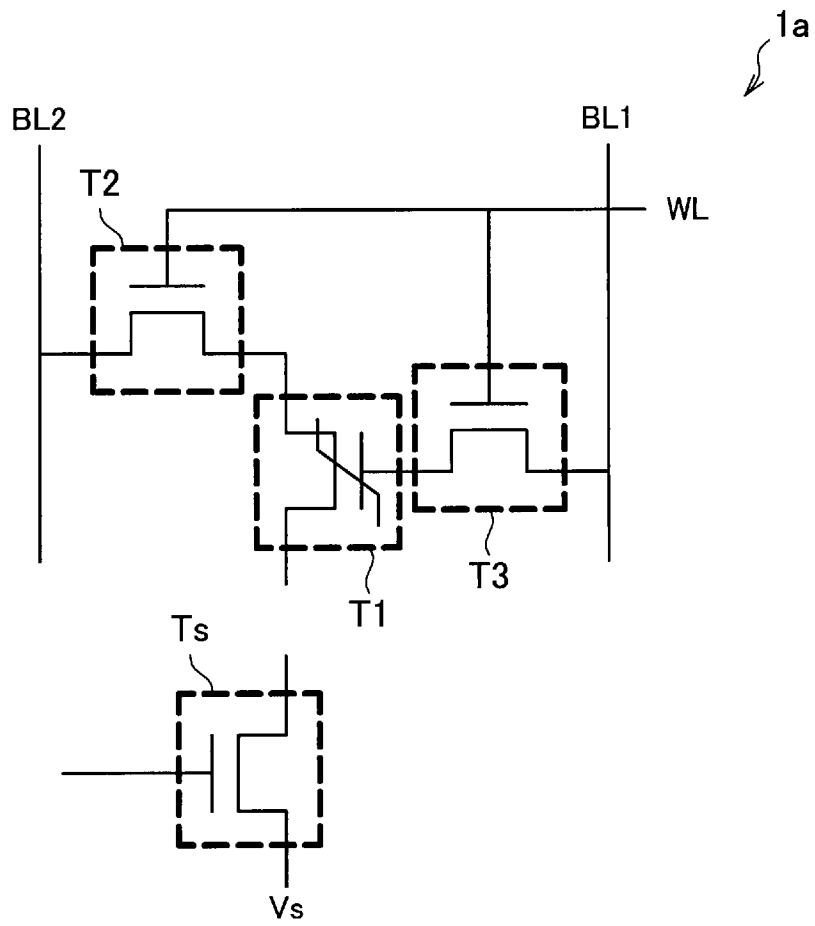
[図8]



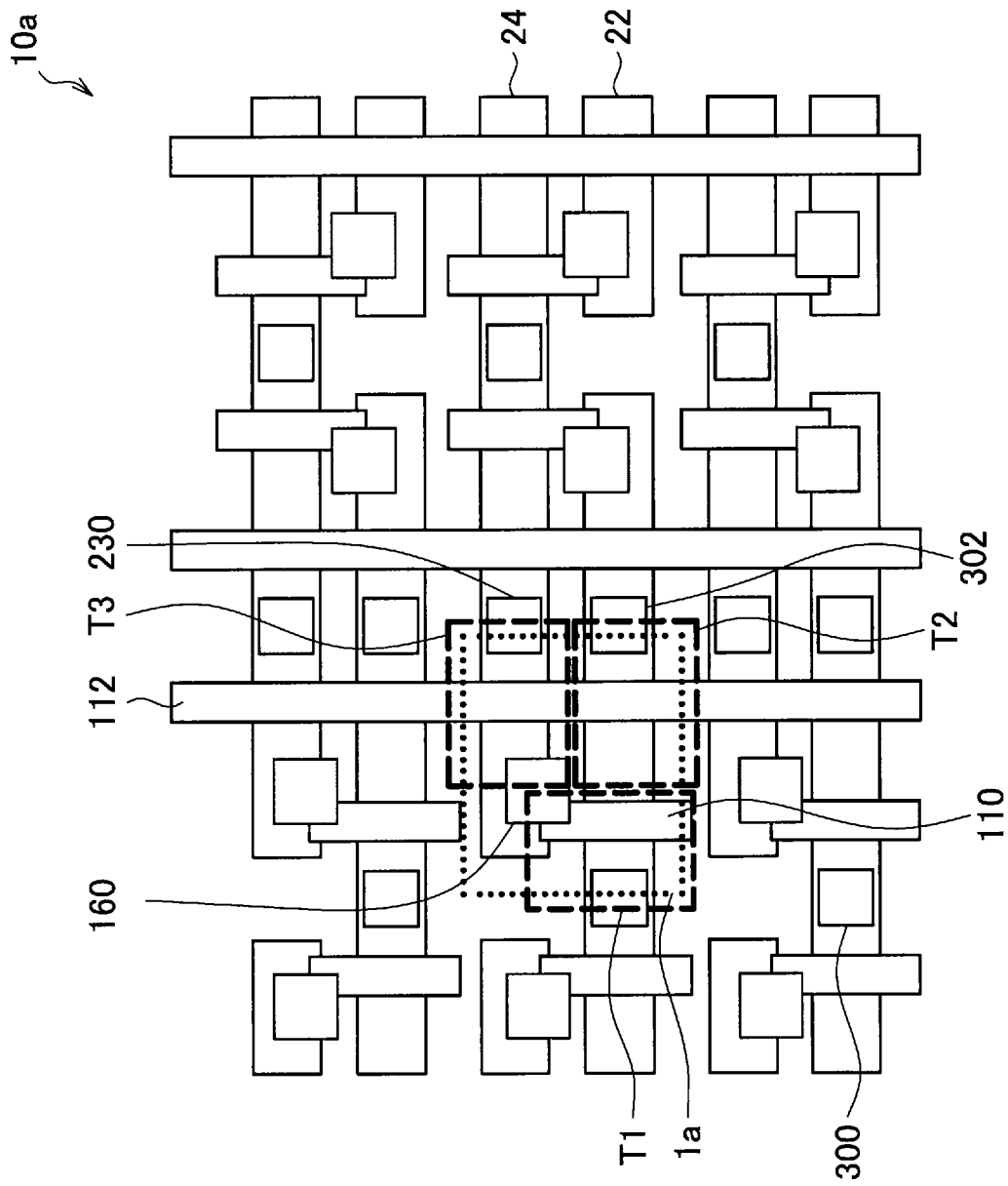
[図10]



[図13]

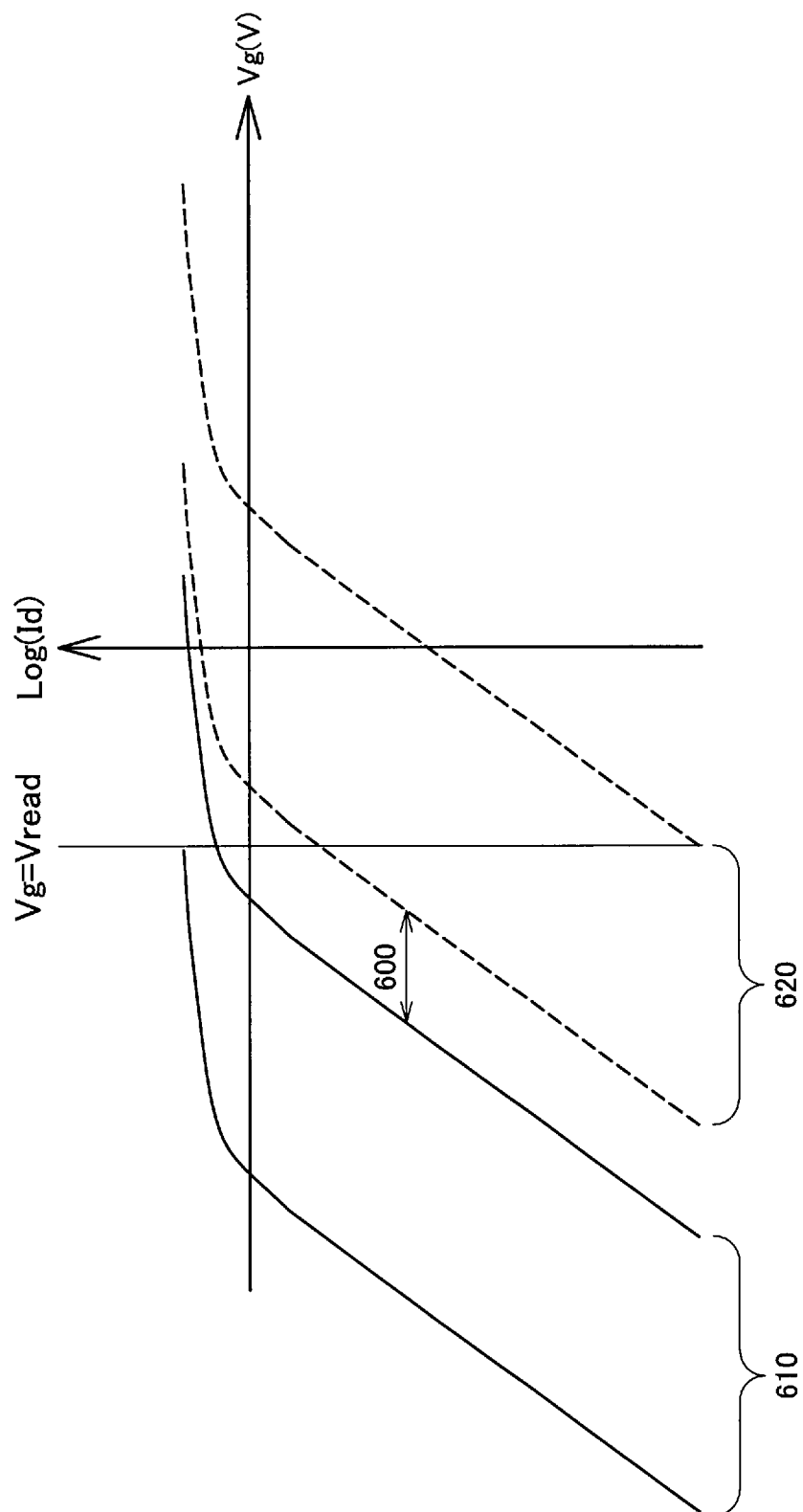


[図14]



[illegible]

[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/005617

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L27/1159 (2017.01) i, G11C11/22 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L27/1159, G11C11/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 11-176958 A (FUJITSU LIMITED) 02 July 1999, paragraphs [0011]-[0015], [0024], fig. 1, 2, 6 & US 6049477 A, column 4, line 26 to column 5, line 37, column 7, lines 39-57, fig. 3, 4A, 4B, 8 & US 6144579 A & EP 923135 A1	1, 3, 5, 8-10 6 2, 4, 7
Y	JP 6-196647 A (SHARP CORPORATION) 15 July 1994, paragraphs [0021], [0022], [0030], [0031], fig. 1 & US 5446688 A, column 5, lines 50-68, column 7, line 58 to column 8, line 18, fig. 1	6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27.03.2018

Date of mailing of the international search report
10.04.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/005617

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-205487 A (ROHM CO., LTD.) 13 August 1993, paragraph [0020], fig. 1 & US 5345414 A, column 7, line 52 to column 8, line 40, fig. 3	6
A	JP 2009-230835 A (FUJITSU LIMITED; TOKYO INST TECH) 08 October 2009, entire text, all drawings (Family: none)	1-10
A	JP 2007-214532 A (FUJITSU LIMITED; TOKYO INST TECH) 23 August 2007, entire text, all drawings & US 2007/0228432 A1, entire text, all drawings & CN 101000930 A	1-10
A	JP 8-139286 A (SONY CORPORATION) 31 May 1996, entire text, all drawings (Family: none)	1-10
A	JP 2001-229685 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 24 August 2001, entire text, all drawings (Family: none)	1-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L27/1159(2017.01)i, G11C11/22(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L27/1159, G11C11/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 11-176958 A (富士通株式会社) 1999.07.02, 段落[0011] - [0015], [0024], 図1, 2, 6 & US 6049477 A, 第4欄第26行 - 第5欄第37行, 第7欄第39 - 57行, 図3, 4A, 4B, 8 & US 6144579 A & EP 923135 A1	1, 3, 5, 8-10
Y		6
A		2, 4, 7
Y	JP 6-196647 A (シャープ株式会社) 1994.07.15, 段落[0021], [0022], [0030], [0031], 図1 & US 5446688 A, 第5欄第50 - 68行, 第7欄第58行 - 第8欄第18行, 図1	6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

27.03.2018

国際調査報告の発送日

10.04.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

宮本 博司

5 F

6313

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 5-205487 A (ローム株式会社) 1993. 08. 13, 段落[0020], 図 1 & US 5345414 A, 第 7 欄第 52 行 - 第 8 欄第 40 行, 図 3	6
A	JP 2009-230835 A (富士通株式会社、国立大学法人東京工業大学) 2009. 10. 08, 全文, 全図 (ファミリーなし)	1-10
A	JP 2007-214532 A (富士通株式会社、国立大学法人東京工業大学) 2007. 08. 23, 全文, 全図 & US 2007/0228432 A1, 全文, 全図 & CN 101000930 A	1-10
A	JP 8-139286 A (ソニー株式会社) 1996. 05. 31, 全文, 全図 (ファミリーなし)	1-10
A	JP 2001-229685 A (松下電器産業株式会社) 2001. 08. 24, 全文, 全図 (ファミリーなし)	1-10