СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1401448 A1

(51)4 G 06 F 7/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

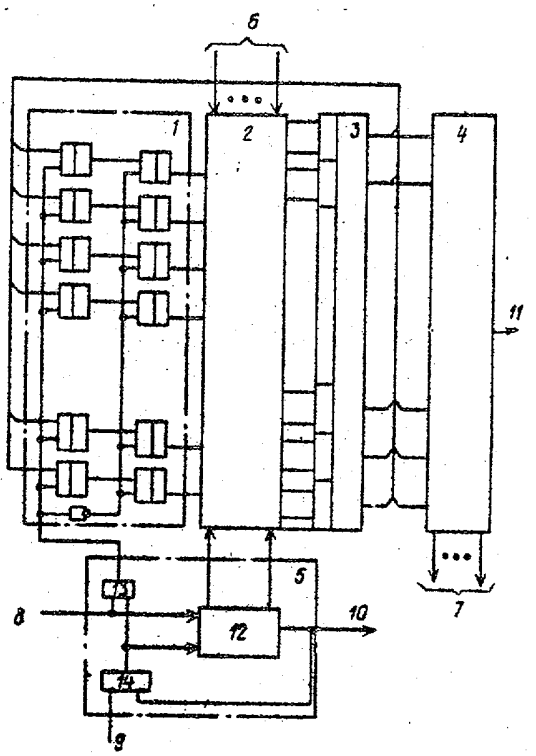
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4155327/24-24
(22) 02.12.86
(46) 07.06.88. Бюл. № 21
(72) О.Н. Музыченко
(53) 681.325(088.8)
(56) Авторское свидетельство СССР № 1032451, кл. G 06 F 7/00, 1982.
Авторское свидетельство СССР № 1188728, кл. G 06 F 7/00, 1984.

(54) УСТРОЙСТВО ДЛЯ РЕАЛИЗАЦИИ БУЛЕВЫХ СИММЕТРИЧНЫХ ФУНКЦИЙ

(57) Изобретение относится к вычислительной технике и может быть использовано в системах передачи и обработки дискретной информации. Целью изобретения является повышение быстродействия. Устройство содержит регистр 1, блок 2 коммутаторов, сумматор 3, блок 4 формирования результата, блок 5 управления, информационные входы 6, вход 7 величины порога (величины функции, стробирования считывания) блока формирования результата, вход 8 сброса, тактовый вход 9, выход 10 признака окончания вычислений, выход 11 результата. Устройство позволяет реализовать пороговые симметричные функции, элементарные симметричные функции и произвольные симметричные функции. 3 з.п. ф-лы, 1 ил.



(19) SU (11) 1401448 A1

Изобретение относится к вычислительной технике и может быть использовано в системах передачи и обработки дискретной информации.

Целью изобретения является повышение быстродействия.

На чертеже представлена функциональная схема устройства.

Устройство содержит регистр 1, блок 2 коммутаторов, сумматор 3, блок 4 формирования результата, блок 5 управления, информационные входы 6, вход 7 величины порога (величины функции, стробирования считывания) блока формирования результата, вход 8 сброса, тактовый вход 9, выход 10 признака окончания вычислений, выход 11 результата.

Блок управления содержит, например, счетчик 12, первый 13 и второй 14 элементы ИЛИ.

Устройство функционирует следующим образом.

На информационные входы 6 подается входной код, а на вход 8 устройства - импульс сброса, устанавливающий счетчик 12 блока управления в нулевое состояние. При этом код с информационных входов 6 поступает на входы сумматора 3, который осуществляет суммирование единиц входного кода, причем разряды 2i и 2i-1 входного кода (i = 1,2...n/2) подаются на входы 2i-1-го разряда сумматора 3. Одновременно сигналом на входе 8 устройства разрешается запись кода с выходов сумматора 3 в регистр 1. По окончании импульса на входе 8 сброса устройства на тактовый вход 9 подаются $\lceil \log_2 n \rceil - 1$ тактовых импульсов. При подаче первого тактового импульса блок коммутаторов 2 по сигналам с выходов счетчика 12 блока 5 управления подключает на входы первого разряда сумматора 3 сигналы с выходов первого и третьего разрядов регистра 1, на входы второго разряда сумматора - сигналы с выходов второго и четвертого разрядов регистра 1, на входы пятого и шестого разрядов сумматора 3 - с выходов пятого и седьмого разрядов регистра 1 и с выходов шестого и восьмого разрядов регистра 1 и т.д. В результате на выходах разрядов сумматора 3 формируются коды суммы количества единиц в группах по четыре разряда входного кода. В общем случае на k-м такте работы устройства на входы сумматора 3 от $2^{k+1} \cdot j+1$-го до $2^{k+1} \cdot j+k+1$-го разряда ($k = 1,2... \lceil \log_2 n \rceil - 1$, $j = 0,1,..., \lceil n/2^{k+1} \rceil - 1$) подаются соответственно сигналы с выходов разрядов регистра 1 от $2^{k+1} \cdot j+1$-го до $2^{k+1} \cdot j+k+1$-го на входы первого слагаемого и от $(2^{k+1} \cdot j+1+2^k)$-го до $(2^{k+1} \cdot j+2^k+k+1)$-го - на входы второго слагаемого. Это осуществляется с помощью блока 2 коммутаторов. В результате на выходах сумматора 3 последовательно формируются суммы числа единиц в группах входного кода по четыре, восемь, шестнадцать и т.д. разрядов. Коды с выходов сумматора на каждом такте работы устройства записываются в регистр 1 и на следующем такте используются в качестве входных кодов сумматора 3. В результате на последнем k-м такте ($k = \lceil \log_2 n \rceil - 1$) на выходах младших $\lceil \log_2 (n+1) \rceil$ разрядов сумматора 3 формируется код суммы числа единиц во входном коде. При этом сигналом с выхода счетчика 12 блока 5 управления блокируется дальнейшая работа устройства. Код числа единиц входного кода с выходов младших разрядов сумматора 3 поступает на входы блока 4 формирования результата.

В случае реализации пороговых функций на входы 7 блока 4 формирования результата подается код, дополнительный порогу реализуемой функции. Блок 4 выполнен в виде сумматора. При этом, если во входном коде число единиц не менее порога, то на выходе переноса сумматора, являющемся выходом 11 устройства, будет единичный сигнал, в противном случае - нулевой.

В случае реализации элементарных симметричных функций на входы блока 4 формирования результата подается код индекса вычисляемой функции. Блок 4 выполнен в виде схемы сравнения. При этом, если во входном коде число единиц равно коду, поданному на входы 7, то на выходе 11 блока 4 формирования результата будет единичный сигнал, в противном случае - нулевой.

В случае реализации произвольной симметричной функции (системы) блок 4 формирования результата выполнен в виде блока памяти, на входы которого с выходов сумматора 3 поступает код числа единиц входного кода, являющийся адресом ячейки, в которой записан выходной код. На вход 7 блока

4 подается сигнал с выхода 10 признака окончания вычислений блока 5 управления, по которому производится считывание результата и его выдача на выход 11.

Формула изобретения

1. Устройство для реализации булевых симметричных функций, содержащее регистр, сумматор и блок управления, отличающееся тем, что, с целью повышения быстродействия, в него дополнительно введены блок коммутаторов и блок формирования результата, причем информационные входы первой и второй групп блока коммутаторов соединены с выходами соответствующих разрядов регистра и информационными входами устройства соответственно, управляющие входы коммутаторов блока соединены с выходами номера такта блока управления, первая группа выходов коммутатора блока соединена с входом первого слагаемого сумматора, вторая группа выходов коммутаторов блока соединена с входом второго слагаемого сумматора, выходы сумматора соединены с входами аргумента блока формирования результата и информационными входами регистра, синхронизирующий вход которого соединен с тактовым выходом блока управления, тактовый вход которого соединен с одноименным входом устройства, выход признака окончания вычислений устройства соединен с одноименным выходом блока управления, выход блока формирования результата является выходом результата устройства, вход сброса которого соединен с одноименным входом блока управления.

2. Устройство по п.1, отличающееся тем, что при вычислении монотонных (пороговых) симметричных функций, блок формирования результата содержит сумматор порога, причем входы первого слагаемого сумматора порога соединены с входами аргумента блока, входы второго слагаемого сумматора порога соединены с дополнительными входами величины порога устройства, выход переполнения сумматора порога соединен с выходом блока формирования результата.

3. Устройство по п.1, отличающееся тем, что при вычислении элементарных симметричных функций, блок формирования результата содержит схему сравнения, вход первого операнда которой соединен с входом аргумента блока, вход второго операнда схемы сравнения соединен с дополнительным входом величины функции, выход признака равенства сравнения соединен с выходом блока формирования результата.

4. Устройство по п.1, отличающееся тем, что при вычислении произвольных симметричных функций, блок формирования результата содержит блок памяти, адресные входы которого соединены с входом аргумента блока, вход стробирования считывания блока памяти соединен с выходом признака окончания вычисления блока управления, выход блока памяти соединен с выходом блока формирования результата.

Составитель С. Куликов
Редактор А. Ворович Техред Л.Сердюкова Корректор А. Тяско

Заказ 2785/47 Тираж 704 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4