



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I623984 B

(45)公告日：中華民國 107 (2018) 年 05 月 11 日

(21)申請案號：103127577

(22)申請日：中華民國 103 (2014) 年 08 月 12 日

(51)Int. Cl. : H01L21/56 (2006.01)

H01L21/58 (2006.01)

(71)申請人：矽品精密工業股份有限公司(中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路3段123號

(72)發明人：張宏達 CHANG, HONG DA (TW)；陳賢文 CHEN, HSIENWEN (TW)；邱世冠 CHIU, SHIH KUANG (TW)

(74)代理人：陳昭誠

(56)參考文獻：

TW 201405766A

WO 2014/107301A1

審查人員：黃泰淵

申請專利範圍項數：23 項 圖式數：3 共 28 頁

(54)名稱

封裝結構及其製法

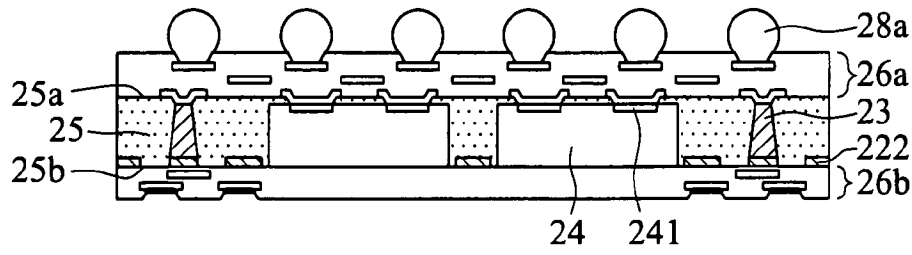
PACKAGE STRUCTURE AND METHOD OF MANUFACTURE

(57)摘要

一種封裝結構及其製法，該封裝結構係包括封裝膠體、半導體晶片、複數導電元件、線路重佈層與黏著層，該封裝膠體係具有相對的第一表面及第二表面，該半導體晶片係嵌埋於該封裝膠體中，且具有複數與該第一表面同側的電極墊，該等導電元件係嵌埋於該封裝膠體中，且具有相對之第一端與第二端，該第一端與第二端係分別連通該第一表面與第二表面，該線路重佈層係形成於該封裝膠體之第一表面上，且電性連接該半導體晶片的複數電極墊與該等導電元件的第一端，該黏著層係形成於該半導體晶片之與該第二端同側的表面上。本發明能有效節省製程時間與成本。

The invention provides a package structure and a method of forming the same, the package structure including an encapsulant, a semiconductor chip, a plurality of conductive components, a circuit rewiring layer and an adhesion layer, the encapsulant having opposite first and second surfaces, the semiconductor chip being embedded in the encapsulant and having a plurality of electrode pads formed on the same side as the first surface, the conductive components being embedded in the encapsulant and having opposite first and second ends respectively interconnected with the first and second surfaces, the circuit rewiring layer being formed on the first surface of the encapsulant and electrically connected to the first end of electrode pads of the semiconductor chip and the conductive components, the adhesion layer being formed on a surface of the semiconductor chip of the same side as the second end, thereby effectively saving the manufacturing time and costs.

指定代表圖：



第2K圖

符號簡單說明：

- 222 . . . 圖案化線路
- 23 . . . 導電元件
- 24 . . . 半導體晶片
- 241 . . . 電極墊
- 25 . . . 封裝膠體
- 25a . . . 第一表面
- 25b . . . 第二表面
- 26a . . . 第一線路重佈層
- 26b . . . 第二線路重佈層
- 28a . . . 銲球

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

封裝結構及其製法

PACKAGE STRUCTURE AND METHOD OF
MANUFACTURE

【技術領域】

本發明係有關於一種封裝結構及其製法，尤指一種於形成導電元件後才形成封裝膠體之具有貫穿封裝膠體之導電元件的封裝結構及其製法。

【先前技術】

隨著電子產業的蓬勃發展，電子產品也逐漸邁向多功能、高性能與微型化 (miniaturization) 的趨勢。為了滿足半導體封裝件微型化的封裝需求，遂發展出許多封裝技術。

第 1A 至 1D 圖所示者，係習知封裝結構之製法的剖視圖。

如第 1A 圖所示，於一承載板 10 上設置半導體晶片 11，並於該承載板 10 上形成包覆該半導體晶片 11 的封裝膠體 12，該封裝膠體 12 具有連接該承載板 10 的第一表面 12a 與相對該第一表面 12a 的第二表面 12b。

如第 1B 圖所示，藉由雷射燒灼方式形成貫穿該封裝膠體 12 的第一表面 12a 與第二表面 12b 的通孔 120。

如第 1C 圖所示，於該通孔 120 中電鍍形成導電通孔 131，並於該封裝膠體 12 的第二表面 12b 上形成電性連接

該等導電通孔 131 的第二線路重佈層 132。

如第 1D 圖所示，移除該承載板 10，並於該封裝膠體 12 的第一表面 12a 上形成電性連接該半導體晶片 11 與導電通孔 131 的第一線路重佈層 14。

惟，由於一般通孔數量很多且雷射僅能逐一形成該等通孔，藉由雷射燒灼方式形成通孔之製法的成本較高，且較費時，且於該等通孔中以電鍍所形成之導電通孔的側壁表面較粗糙，該等通孔的側壁表面並易有殘渣殘留，而造成最終封裝結構的可靠性問題。

因此，如何避免上述習知技術中之種種問題，實為目前業界所急需解決的課題。

【發明內容】

有鑒於上述習知技術之缺失，本發明提供一種封裝結構之製法，係包括：於一第一承載板上形成金屬層，其中，該金屬層具有複數凹槽，且該金屬層包括金屬膜及形成於該金屬膜上的圖案化線路；於該圖案化線路上形成複數導電元件，並於該等凹槽中設置具有複數電極墊的半導體晶片，其中，該等導電元件具有連接該圖案化線路之第二端與相對該第二端之第一端；以及於該金屬層上形成包覆該半導體晶片與該等導電元件的封裝膠體，其中，該封裝膠體係具有連接該金屬層的第二表面及相對該第二表面的第一表面，且該等導電元件之第一端與該半導體晶片的電極墊係外露於該第一表面。

本發明提供一種封裝結構，係包括：封裝膠體，係具

有相對的第一表面及第二表面；半導體晶片，係嵌埋於該封裝膠體中，且具有複數與該第一表面同側的電極墊；複數導電元件，係嵌埋於該封裝膠體中，且具有相對之第一端與第二端，該第一端與第二端係分別連通該第一表面與第二表面；線路重佈層，係形成於該封裝膠體之第一表面上，且電性連接該半導體晶片的複數電極墊與該等導電元件的第一端；以及黏著層，係形成於該封裝膠體的第二表面上，並包覆該等導電元件，且外露該等導電元件之第一端與第二端，以令部分該黏著層位於各該導電元件與封裝膠體之間。

本發明提供另一種封裝結構，係包括：封裝膠體，係具有相對的第一表面及第二表面；半導體晶片，係嵌埋於該封裝膠體中，且具有複數與該第一表面同側的電極墊；複數導電元件，係嵌埋於該封裝膠體中，且具有相對之第一端與第二端，該第一端與第二端係分別連通該第一表面與第二表面；線路重佈層，係形成於該封裝膠體之第一表面上，且電性連接該半導體晶片的複數電極墊與該等導電元件的第一端；以及黏著層，係形成於該半導體晶片之與該第二端同側的表面上。

本發明復提供另一種封裝結構之製法，係包括：於一承載板上形成緩衝層；於該緩衝層上設置複數導電元件，且各該導電元件係具有部分嵌埋於該緩衝層中之第二端與相對該第二端之第一端，並於該緩衝層上設置具有複數電極墊的半導體晶片；以及於該緩衝層上形成包覆該半導體

晶片與該等導電元件的封裝膠體，該封裝膠體係具有連接該緩衝層的第二表面及相對該第二表面的第一表面，且該等導電元件之第一端與該半導體晶片的複數電極墊係外露於該第一表面。

由上可知，本發明無需以雷射燒灼形成通孔且無需於通孔中電鍍形成導電通孔，故成本較低、製作時間較短並適合大量生產，且沒有習知之導電通孔的側壁表面較粗糙及通孔的側壁表面並易有殘渣殘留的問題，進而不會有最終封裝結構的可靠性問題。

【圖式簡單說明】

第 1A 至 1D 圖所示者係習知封裝結構之製法的剖視圖；

第 2A 至 2L 圖所示者係本發明之封裝結構之製法的第一實施例的剖視圖，其中，第 2E' 與 2E'' 圖係第 2E 圖之俯視圖的不同態樣；以及

第 3A 至 3K 圖所示者係本發明之封裝結構之製法的第二實施例的剖視圖，其中，第 3E' 圖係第 3E 圖之另一態樣，第 3J' 圖係第 3J 圖之另一態樣。

【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝

之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之用語亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第一實施例

第 2A 至 2L 圖所示者，係本發明之封裝結構之製法的第一實施例的剖視圖，其中，第 2E' 與 2E'' 圖係第 2E 圖之俯視圖的不同態樣。

如第 2A 圖所示，提供一第一承載板 20a，並視需要於該第一承載板 20a 上形成離型層 21，形成該第一承載板 20a 之材質係為金屬、玻璃或半導體，該離型層 21 可為 UV 光解膠 (UV release adhesive) 或熱釋放膠 (thermal release adhesive)。

如第 2B 圖所示，於該離型層 21 上形成金屬層 22。

如第 2C 圖所示，藉由蝕刻、沖壓 (punch) 或打印 (stamp) 方式移除部分該金屬層 22，使該金屬層 22 具有複數凹槽 220，以令該金屬層 22 包括金屬膜 221 及其上的圖案化線路 222。

如第 2D 圖所示，藉由例如圖案化光阻與電鍍方式於該圖案化線路 222 上形成複數導電元件 23，各該導電元件

23 具有連接該圖案化線路 222 之第二端 23b 與相對該第二端 23b 之第一端 23a，該等導電元件 23 係例如金屬柱或金屬針。

如第 2E 圖所示，藉由例如黏著層 242 於該凹槽 220 中設置具有複數電極墊 241 的半導體晶片 24，又如第 2E' 與 2E'' 圖所示，該第一承載板 20a 可為版面 (panel) 型式或晶圓 (wafer) 型式，且為了清楚說明，第 2E' 與 2E'' 圖僅顯示第一承載板 20a 與半導體晶片 24。

如第 2F 圖所示，於該金屬層 22 上形成包覆該半導體晶片 24 與該等導電元件 23 的封裝膠體 25，該封裝膠體 25 係具有連接該金屬層 22 的第二表面 25b 及相對該第二表面 25b 的第一表面 25a，且該等導電元件 23 之第一端 23a 與該半導體晶片 24 的複數電極墊 241 係外露於該第一表面 25a。

如第 2G 圖所示，於該封裝膠體 25 之第一表面 25a 上形成第一線路重佈層 26a，令該第一線路重佈層 26a 電性連接該半導體晶片 24 的複數電極墊 241 與該等導電元件 23 的第一端 23a。

如第 2H 圖所示，於該第一線路重佈層 26a 上接置一第二承載板 20b，並移除該第一承載板 20a，且藉由例如研磨方式移除該金屬膜 221。

如第 2I 圖所示，於該封裝膠體 25 之第二表面 25b 上形成第二線路重佈層 26b，令該第二線路重佈層 26b 電性連接該圖案化線路 222。

如第 2J 圖所示，該第二線路重佈層 26b 復分別具有複數電性接點 261，且於該等電性接點 261 上形成有例如機保焊層（Organic Solderability Preservative，OSP）的表面處理層 27。

如第 2K 圖所示，移除該第二承載板 20b，並進行切單步驟，且於該第一線路重佈層 26a 上接置複數錒球 28a。

如第 2L 圖所示，藉由該等錒球 28b 於該第二線路重佈層 26b 的複數電性接點 261 上接置電子元件 29，而完成一堆疊式封裝結構（package on package，POP），該電子元件 29 可為半導體晶片或封裝件。

第二實施例

第 3A 至 3K 圖所示者，係本發明之封裝結構之製法的第二實施例的剖視圖，其中，第 3E' 圖係第 3E 圖之另一態樣，第 3J' 圖係第 3J 圖之另一態樣。

如第 3A 圖所示，提供一承載板 30，並視需要於該承載板 30 上形成離型層 31，形成該承載板 30 之材質係為金屬、玻璃或半導體。

如第 3B 圖所示，於該離型層 31 上形成緩衝層 32，形成該緩衝層 32 的材質可為高分子（polymer）。

如第 3C 圖所示，於該緩衝層 32 上設置（或插入）複數導電元件 33，且各該導電元件 33 係具有部分嵌埋於該緩衝層 32 中之第二端 33b 與相對該第二端 33b 之第一端 33a，該等導電元件 33 係例如金屬柱或金屬針；具體而言，係將各該導電元件 33 部分植入該緩衝層 32 中，並外露該

第一端 33a。

如第 3D 圖所示，視需要於該緩衝層 32 上與該等導電元件 33 上形成黏著層 34，形成該黏著層 34 之方式可為噴灑或膠片黏著。

如第 3E 圖所示，於該黏著層 34 上設置半導體晶片 35。

或者，於第 3D 圖時未形成該黏著層 34，而於第 3E 圖時藉由黏著層 34' 以將半導體晶片 35 設置於該緩衝層 32 上，且該黏著層 34' 係形成於該半導體晶片 35 之與該第二端 33b 同側的表面上，該黏著層 34' 可為黏晶膜 (die attach film)，形成該黏著層 34' 之方式可為噴灑或膠片黏著，如第 3E' 圖所示。

如第 3F 圖所示，於該黏著層 34 上形成包覆該半導體晶片 35 與該等導電元件 33 的封裝膠體 36，該封裝膠體 36 係具有連接該黏著層 34 的第二表面 36b 及相對該第二表面 36b 的第一表面 36a，藉由例如乾蝕刻方式移除部分該黏著層 34，以外露該等導電元件 33 之第一端 33a，且該等導電元件 33 之第一端 33a 與該半導體晶片 35 的複數電極墊 351 係外露於該第一表面 36a，該封裝膠體 36 可為乾膜。

如第 3G 圖所示，於該封裝膠體 36 之第一表面 36a 上形成線路重佈層 37，令該線路重佈層 37 電性連接該半導體晶片 35 的複數電極墊 351 與該等導電元件 33 的第一端 33a。

如第 3H 圖所示，於該線路重佈層 37 上接置複數錫球 38。

如第 3I 圖所示，移除該承載板 30、離型層 31 與緩衝層 32。

如第 3J 圖所示，視需要從該第二表面 36b 側移除部分各該導電元件 33，以令該等導電元件 33 之第二端 33b 齊平於該黏著層 34，並進行切單步驟。要注意的是，若先前未形成該黏著層 34，則令該等導電元件 33 之第二端 33b 齊平於該第二表面 36b。

或者，提供第 3J 圖之另一態樣，其係由衍生自第 3E' 圖，即未形成該黏著層 34 而形成該黏著層 34'，如第 3J' 圖所示。

如第 3K 圖所示，於該等導電元件 33 之第二端 33b 上接置電子元件 39，而完成一堆疊式封裝結構（package on package, POP），該電子元件 39 可為半導體晶片或封裝件。

本發明復提供一種封裝結構，係包括：封裝膠體 36，係具有相對的第一表面 36a 及第二表面 36b；半導體晶片 35，係嵌埋於該封裝膠體 36 中，且具有複數與該第一表面 36a 同側的電極墊 351；複數導電元件 33，係嵌埋於該封裝膠體 36 中，且具有相對之第一端 33a 與第二端 33b，該第一端 33a 與第二端 33b 係分別連通該第一表面 36a 與第二表面 36b；以及線路重佈層 37，係形成於該封裝膠體 36 之第一表面 36a 上，且電性連接該半導體晶片 35 的複數電極墊 351 與該等導電元件 33 的第一端 33a。

於前述之封裝結構中，該等導電元件 33 係為金屬柱或金屬針，且復包括電子元件 39，係接置於該等導電元件 33

之第二端 33b 上。

於本實施例中，復包括黏著層 34，係形成於該封裝膠體 36 的第二表面 36b 上，並包覆該等導電元件 33，且外露該等導電元件 33 之第一端 33a 與第二端 33b，以令部分該黏著層 34 位於各該導電元件 33 與封裝膠體 36 之間。

所述之封裝結構復包括黏著層 34'，係形成於該半導體晶片 35 之與該第二端 33b 同側的表面上。

綜上所述，相較於習知技術，由於本發明係先形成導電元件、再形成包覆該等導電元件的封裝膠體，並藉該等導電元件電性連接該封裝膠體之相對兩表面，所以本發明無需以雷射燒灼形成通孔且無需於通孔中電鍍形成導電通孔，故成本較低、製作時間較短並適合大量生產，且沒有習知之導電通孔的側壁表面較粗糙及通孔的側壁表面並易有殘渣殘留的問題，進而不會有最終封裝結構的可靠性問題。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

【符號說明】

10、30	承載板
11、24、35	半導體晶片
12、25、36	封裝膠體

12a、25a、36a	第一表面
12b、25b、36b	第二表面
120	通孔
131	導電通孔
132、26b	第二線路重佈層
14、26a	第一線路重佈層
20a	第一承載板
21、31	離型層
22	金屬層
220	凹槽
221	金屬膜
222	圖案化線路
23、33	導電元件
23a、33a	第一端
23b、33b	第二端
241、351	電極墊
20b	第二承載板
261	電性接點
27	表面處理層
28a、28b、38	錫球
29、39	電子元件
32	緩衝層
242、34、34'	黏著層
37	線路重佈層

發明摘要

※ 申請案號：103127577

※ 申請日：103/08/12

※ I P C 分類：H01L 21/56 (2006.01)

H01L 21/58 (2006.01)

【發明名稱】(中文/英文)

封裝結構及其製法

PACKAGE STRUCTURE AND METHOD OF
MANUFACTURE

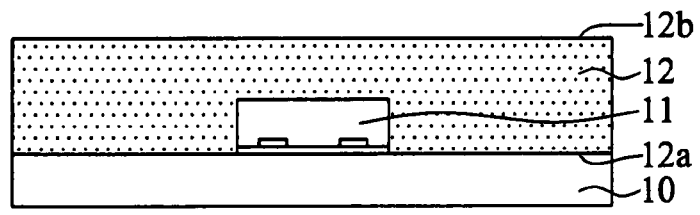
【中文】

一種封裝結構及其製法，該封裝結構係包括封裝膠體、半導體晶片、複數導電元件、線路重佈層與黏著層，該封裝膠體係具有相對的第一表面及第二表面，該半導體晶片係嵌埋於該封裝膠體中，且具有複數與該第一表面同側的電極墊，該等導電元件係嵌埋於該封裝膠體中，且具有相對之第一端與第二端，該第一端與第二端係分別連通該第一表面與第二表面，該線路重佈層係形成於該封裝膠體之第一表面上，且電性連接該半導體晶片的複數電極墊與該等導電元件的第一端，該黏著層係形成於該半導體晶片之與該第二端同側的表面上。本發明能有效節省製程時間與成本。

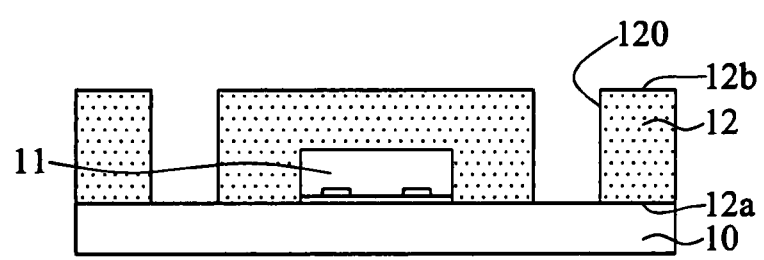
【英文】

The invention provides a package structure and a method of forming the same, the package structure including an encapsulant, a semiconductor chip, a plurality of conductive components, a circuit rewiring layer and an adhesion layer, the encapsulant having opposite first and second surfaces, the semiconductor chip being embedded in the encapsulant and having a plurality of electrode pads formed on the same side as the first surface, the conductive components being embedded in the encapsulant and having opposite first and second ends respectively interconnected with the first and second surfaces, the circuit rewiring layer being formed on the first surface of the encapsulant and electrically connected to the first end of electrode pads of the semiconductor chip and the conductive components, the adhesion layer being formed on a surface of the semiconductor chip of the same side as the second end, thereby effectively saving the manufacturing time and costs.

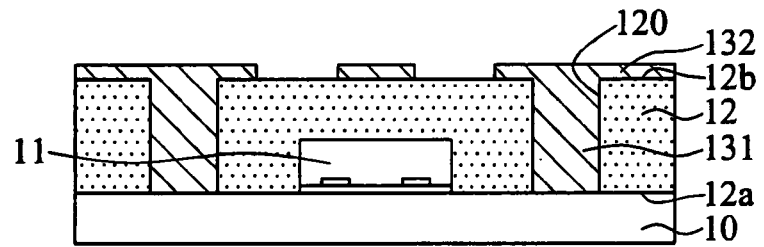
圖式



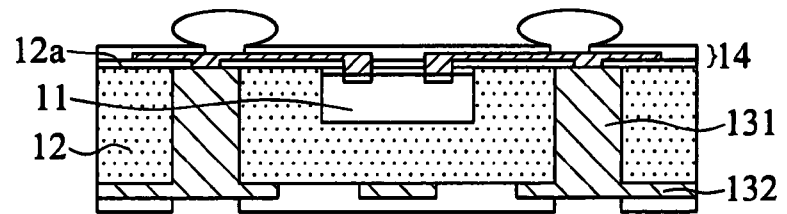
第1A圖



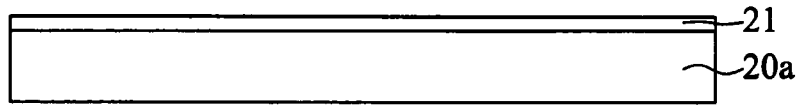
第1B圖



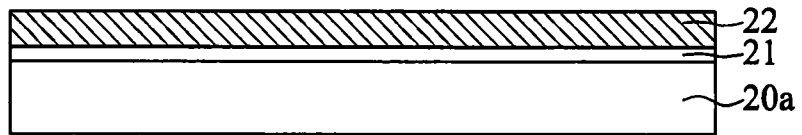
第1C圖



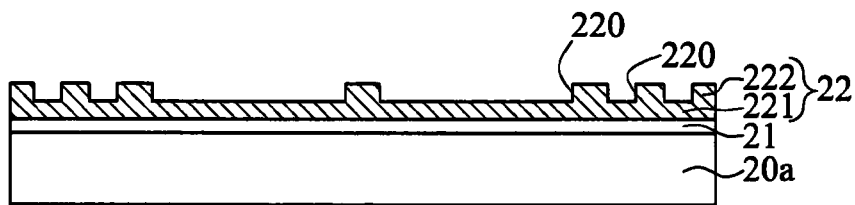
第1D圖



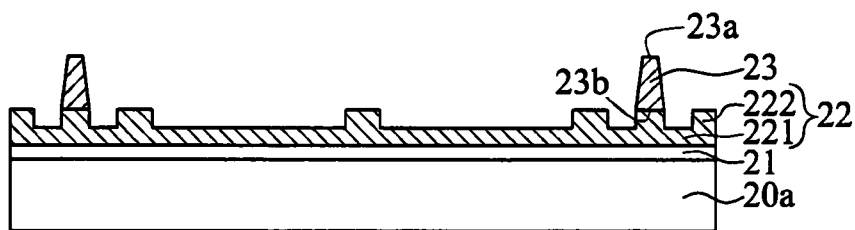
第2A圖



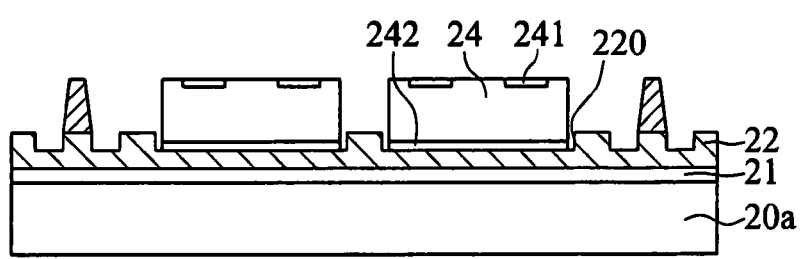
第2B圖



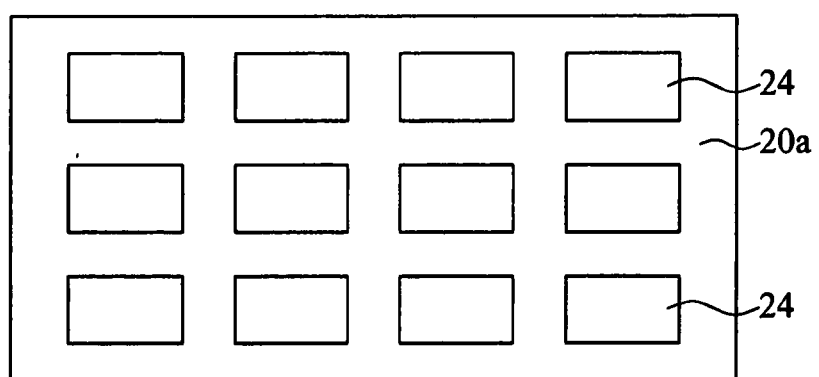
第2C圖



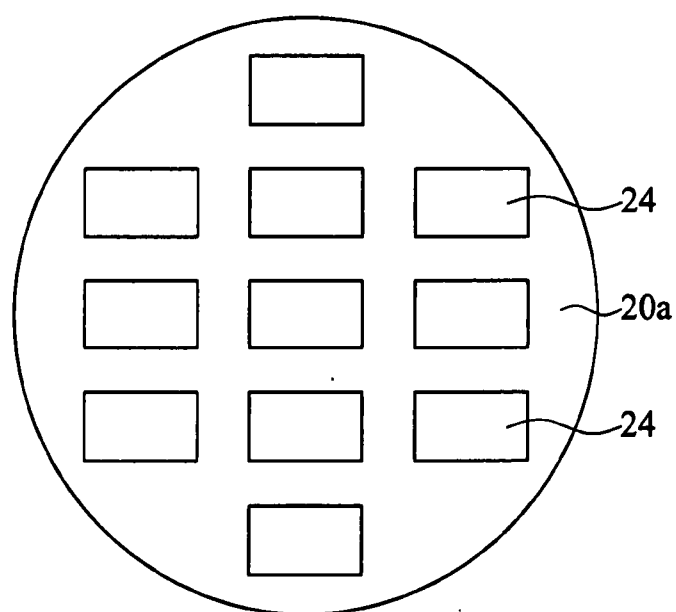
第2D圖



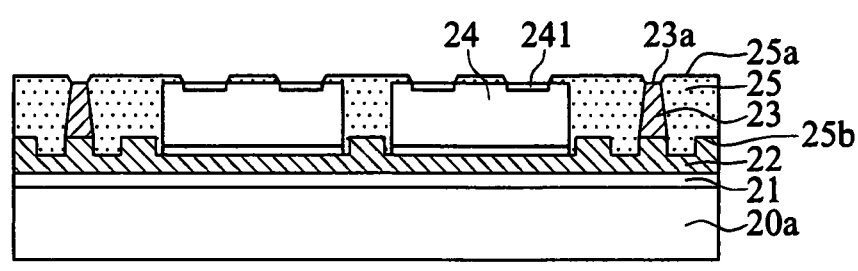
第2E圖



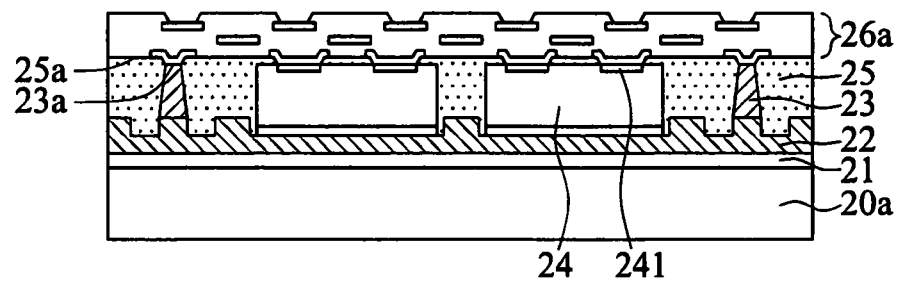
第2E'圖



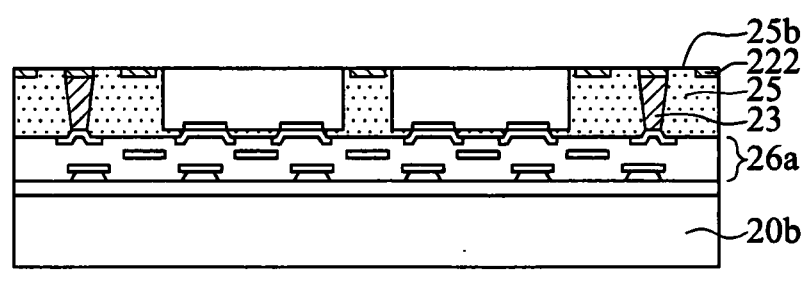
第2E''圖



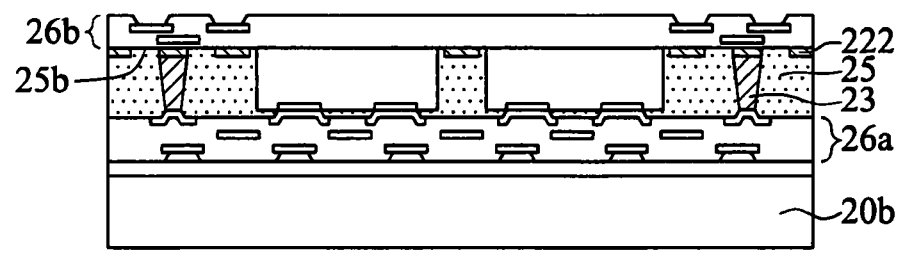
第2F圖



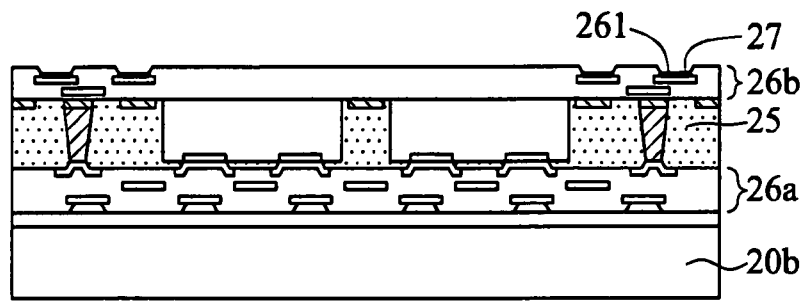
第2G圖



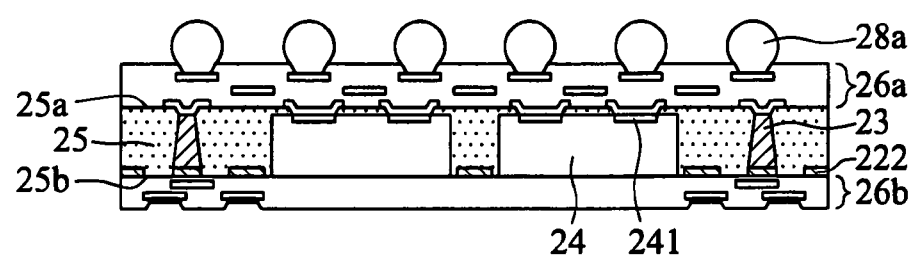
第2H圖



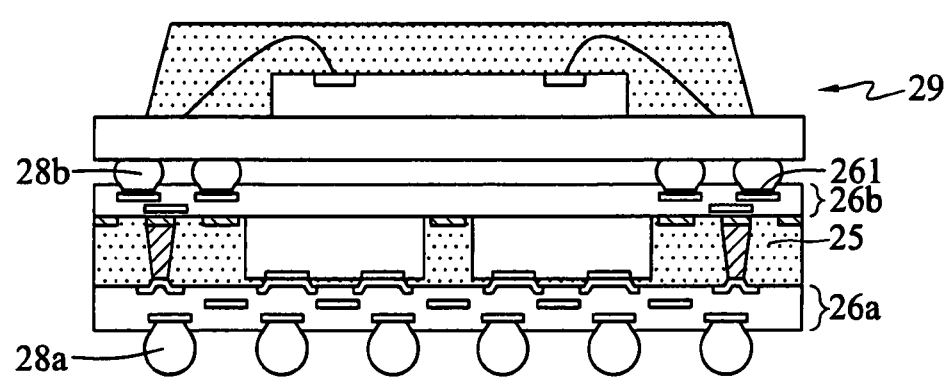
第2I圖



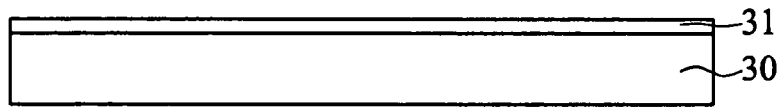
第2J圖



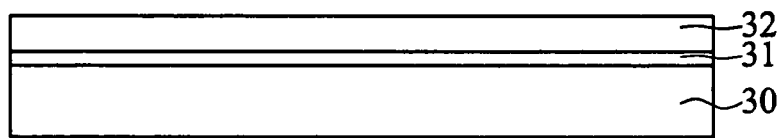
第2K圖



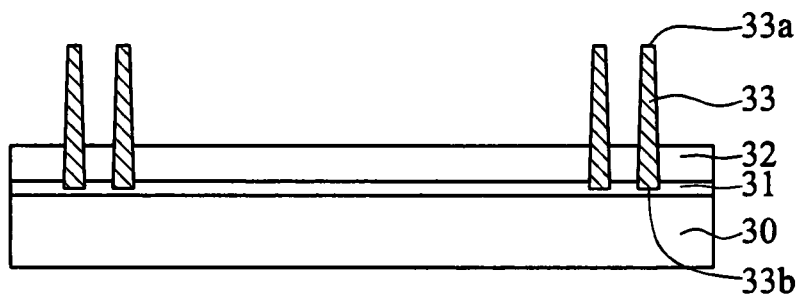
第2L圖



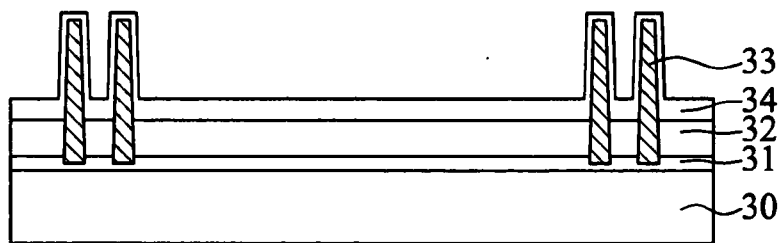
第3A圖



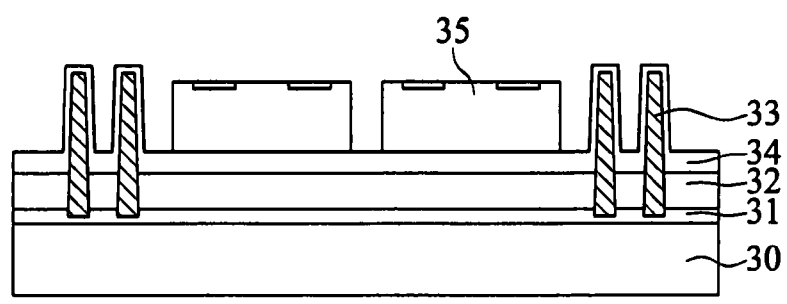
第3B圖



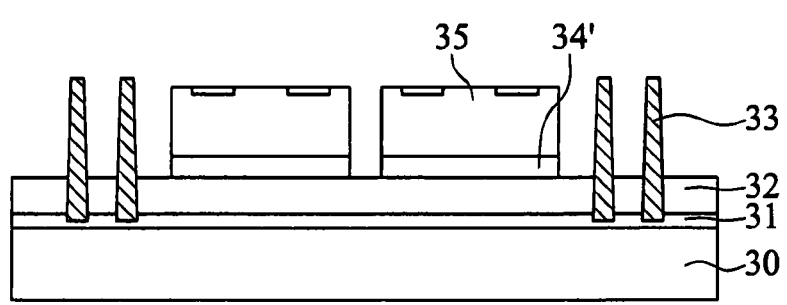
第3C圖



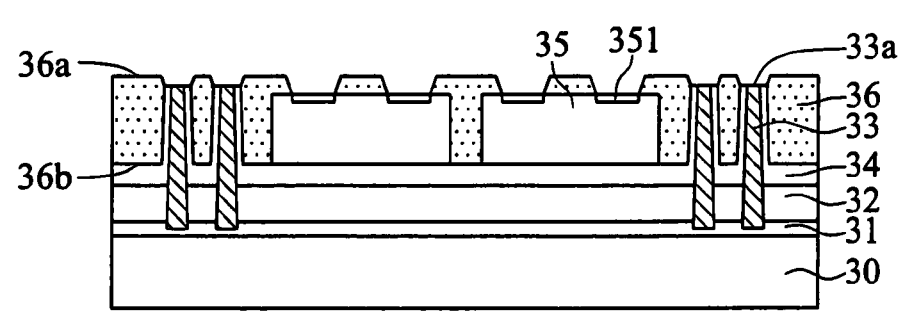
第3D圖



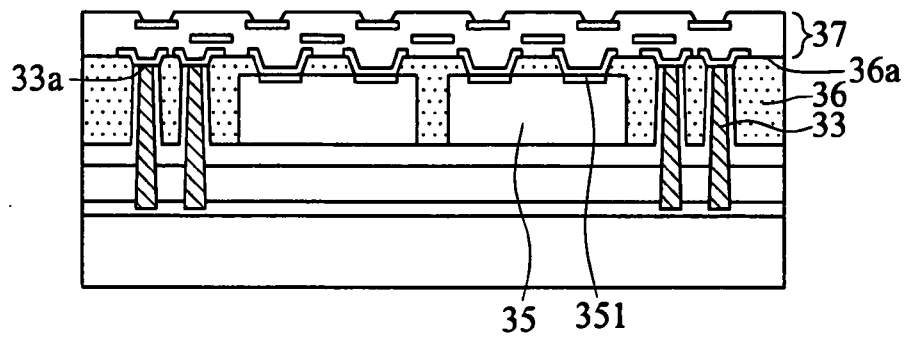
第3E圖



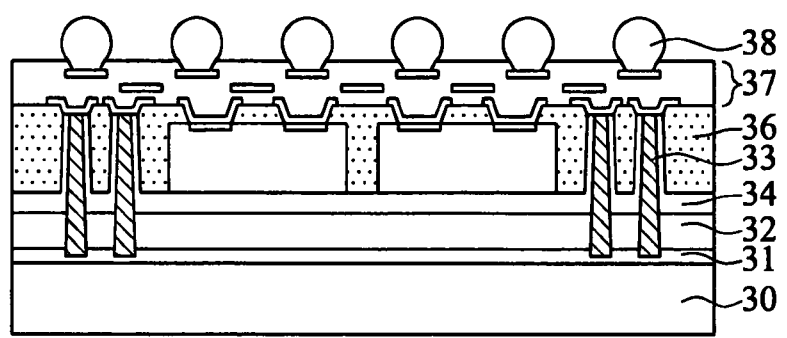
第3E'圖



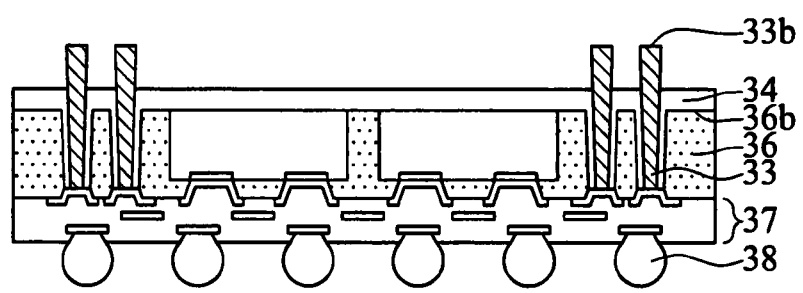
第3F圖



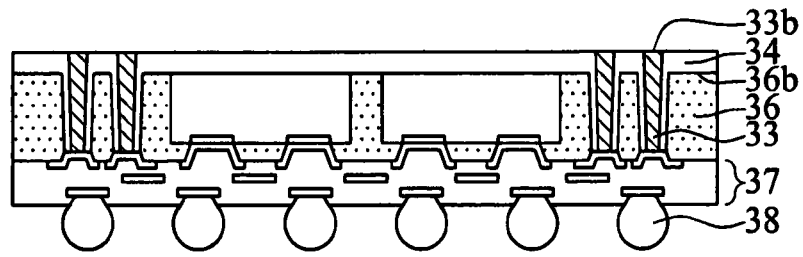
第3G圖



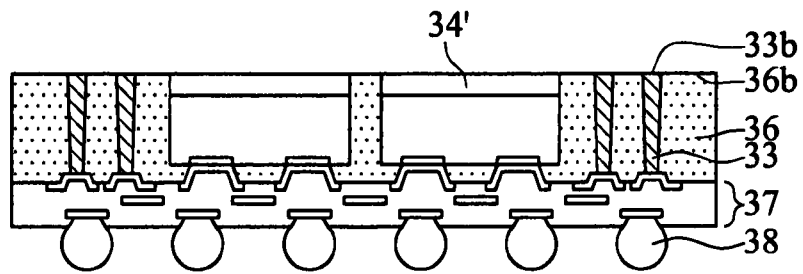
第3H圖



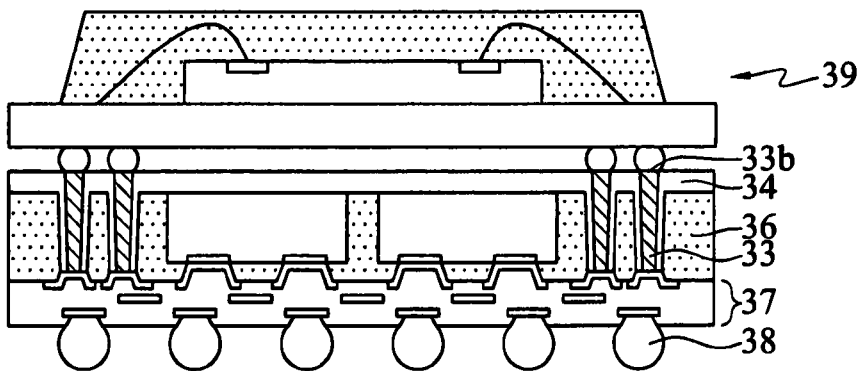
第3I圖



第3J圖



第3J'圖



第3K圖

【代表圖】

【本案指定代表圖】：第（ 2K ）圖。

【本代表圖之符號簡單說明】：

222	圖案化線路
23	導電元件
24	半導體晶片
241	電極墊
25	封裝膠體
25a	第一表面
25b	第二表面
26a	第一線路重佈層
26b	第二線路重佈層
28a	錫球

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

申請專利範圍

1. 一種封裝結構之製法，係包括：

於一第一承載板上形成金屬層，其中，該金屬層具有複數凹槽，且該金屬層包括金屬膜及形成於該金屬膜上的圖案化線路；

於該圖案化線路上形成複數導電元件，並於該等凹槽中設置具有複數電極墊的半導體晶片，其中，該等導電元件具有連接該圖案化線路之第二端與相對該第二端之第一端；以及

於該金屬層上形成包覆該半導體晶片與該等導電元件的封裝膠體，其中，該封裝膠體係具有連接該金屬層的第二表面及相對該第二表面的第一表面，且該等導電元件之第一端與該半導體晶片的電極墊係外露於該第一表面。

2. 如申請專利範圍第 1 項所述之封裝結構之製法，於形成該封裝膠體之後，復包括：

於該封裝膠體之第一表面上形成第一線路重佈層，令該第一線路重佈層電性連接該半導體晶片的電極墊與該等導電元件的第一端；

移除該第一承載板與金屬膜；以及

於該封裝膠體之第二表面上形成第二線路重佈層，令該第二線路重佈層電性連接該圖案化線路。

3. 如申請專利範圍第 1 項所述之封裝結構之製法，其中，形成該圖案化線路之方法係包括蝕刻、沖壓或打印。

4. 如申請專利範圍第 1 項所述之封裝結構之製法，其中，形成該等導電元件之方法係為電鍍。
5. 如申請專利範圍第 1 項所述之封裝結構之製法，其中，該等導電元件係為金屬柱或金屬針。
6. 如申請專利範圍第 2 項所述之封裝結構之製法，於形成該第一線路重佈層之後，復包括於該第一線路重佈層上接置一第二承載板，並於形成該第二線路重佈層之後，再移除該第二承載板。
7. 如申請專利範圍第 2 項所述之封裝結構之製法，於形成該第二線路重佈層之後，復包括於該第二線路重佈層上接置電子元件。
8. 如申請專利範圍第 2 項所述之封裝結構之製法，其中，該第二線路重佈層復具有複數電性接點，且該等電性接點上並形成有一表面處理層。
9. 如申請專利範圍第 2 項所述之封裝結構之製法，於形成該第二線路重佈層之後，復包括進行切單步驟。
10. 一種封裝結構，係包括：
 - 封裝膠體，係具有相對的第一表面及第二表面；
 - 半導體晶片，係嵌埋於該封裝膠體中，且具有複數與該第一表面同側的電極墊，其中，與該封裝膠體第二表面同側之該半導體晶片的表面係外露於該封裝膠體第二表面；
 - 複數導電元件，係嵌埋於該封裝膠體中，且具有相對之第一端與第二端，該第一端與第二端係分別連

通該第一表面與第二表面；

線路重佈層，係形成於該封裝膠體之第一表面上，且電性連接該半導體晶片的複數電極墊與該等導電元件的第一端；以及

黏著層，係形成於該封裝膠體的第二表面上及外露於該封裝膠體第二表面之該半導體晶片的表面上，並包覆該等導電元件，且外露該等導電元件之第一端與第二端，以令部分該黏著層位於各該導電元件與封裝膠體之間。

11. 一種封裝結構，係包括：

封裝膠體，係具有相對的第一表面及第二表面；

半導體晶片，係嵌埋於該封裝膠體中，且具有複數與該第一表面同側的電極墊；

複數導電元件，係嵌埋於該封裝膠體中，且具有相對之第一端與第二端，該第一端與第二端並係分別連通該第一表面與第二表面；

線路重佈層，係形成於該封裝膠體之第一表面上，且電性連接該半導體晶片的複數電極墊與該等導電元件的第一端；以及

黏著層，係形成於該半導體晶片之與該第二端同側的表面上。

12. 如申請專利範圍第 10 或 11 項所述之封裝結構，其中，該等導電元件係為金屬柱或金屬針。

13. 如申請專利範圍第 10 或 11 項所述之封裝結構，復包括

電子元件，係接置於該等導電元件之第二端上。

14. 一種封裝結構之製法，係包括：

於一承載板上形成緩衝層；

於該緩衝層上設置複數導電元件，且各該導電元件係具有部分嵌埋於該緩衝層中之第二端與相對該第二端之第一端，並於該緩衝層上設置具有複數電極墊的半導體晶片；以及

於該緩衝層上形成包覆該半導體晶片與該等導電元件的封裝膠體，該封裝膠體係具有連接該緩衝層的第二表面及相對該第二表面的第一表面，且該等導電元件之第一端與該半導體晶片的複數電極墊係外露於該第一表面。

15. 如申請專利範圍第 14 項所述之封裝結構之製法，於形成該封裝膠體之後，復包括：

於該封裝膠體之第一表面上形成線路重佈層，令該線路重佈層電性連接該半導體晶片的該等電極墊與該等導電元件的第一端；以及

移除該承載板與緩衝層。

16. 如申請專利範圍第 14 項所述之封裝結構之製法，其中，於該緩衝層上設置該等導電元件之步驟係將各該導電元件部分植入該緩衝層中，並外露該第一端。

17. 如申請專利範圍第 15 項所述之封裝結構之製法，於移除該承載板與緩衝層之後，復包括從該第二表面側移除部分各該導電元件，以令各該導電元件之第二端齊

- 平於該第二表面。
18. 如申請專利範圍第 14 項所述之封裝結構之製法，其中，該等導電元件係為金屬柱或金屬針。
 19. 如申請專利範圍第 15 項所述之封裝結構之製法，於移除該承載板與緩衝層之後，復包括於該等導電元件之第二端上接置電子元件。
 20. 如申請專利範圍第 15 項所述之封裝結構之製法，於移除該承載板與緩衝層之後，復包括進行切單步驟。
 21. 如申請專利範圍第 14 項所述之封裝結構之製法，於設置該等導電元件之後，復包括於該緩衝層上與該等導電元件上形成黏著層，該半導體晶片係設置於該黏著層上，該封裝膠體並形成於該黏著層上，並於形成該封裝膠體之後，移除部分該黏著層，以外露各該導電元件之第一端。
 22. 如申請專利範圍第 14 項所述之封裝結構之製法，其中，該半導體晶片係藉由黏著層以設置於該緩衝層上，且該黏著層係形成於該半導體晶片之與該第二端同側的表面上。
 23. 如申請專利範圍第 21 或 22 項所述之封裝結構之製法，其中，形成該黏著層之方式係為噴灑或膠片黏著。