



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I644152 B

(45)公告日：中華民國 107 (2018) 年 12 月 11 日

(21)申請案號：099135074

(22)申請日：中華民國 99 (2010) 年 10 月 14 日

(51)Int. Cl. : G02F1/1368 (2006.01)

G02F1/1362 (2006.01)

(30)優先權：2009/10/21 日本

2009-242787

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：荒澤亮 ARASAWA, RYO (JP) ; 宍戸英明 SHISHIDO, HIDEAKI (JP) ; 山崎舜平
YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200841475A

JP 9-321305A

US 2009/0045397A1

審查人員：陳穎慧

申請專利範圍項數：8 項 圖式數：19 共 71 頁

(54)名稱

液晶顯示裝置及包含該液晶顯示裝置的電子裝置

LIQUID CRYSTAL DISPLAY DEVICE AND ELECTRONIC DEVICE INCLUDING THE SAME

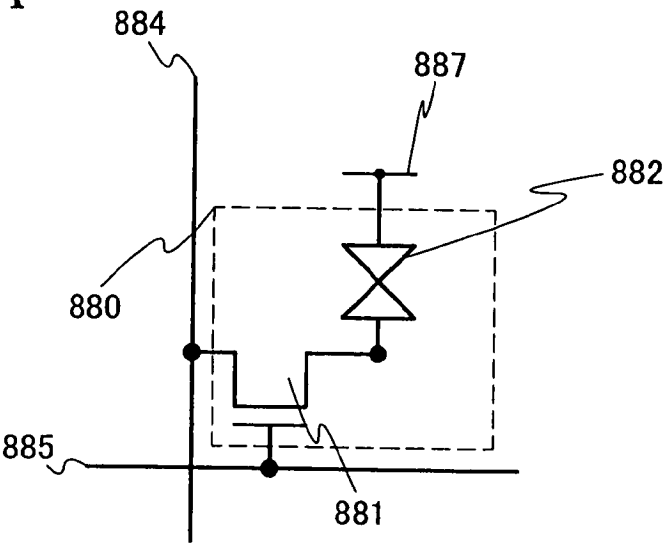
(57)摘要

本發明的一個方式提供在包括使用氧化物半導體的薄膜電晶體的像素中可以提高孔徑比的液晶顯示裝置。在液晶顯示裝置中，薄膜電晶體包括：閘極電極、與閘極電極重疊地設置的閘極絕緣層及氧化物半導體層以及與氧化物半導體層的一部分相重疊的源極電極及汲極電極，其中，薄膜電晶體設置在配置在像素部的信號線和像素電極之間，薄膜電晶體的截止電流 1×10^{-13} A 或更小，可以只使用液晶電容器保持電位而不設置與液晶元件並聯的電容元件，並且在像素部不形成與像素電極連接的電容元件。

A liquid crystal display device is provided in which the aperture ratio can be increased in a pixel including a thin film transistor in which an oxide semiconductor is used. In the liquid crystal display device, the thin film transistor including a gate electrode, a gate insulating layer and an oxide semiconductor layer which are provided so as to overlap with the gate electrode, and a source electrode and a drain electrode which overlap part of the oxide semiconductor layer is provided between a signal line and a pixel electrode which are provided in a pixel portion. The off-current of the thin film transistor is 1×10^{-13} A or less. A potential can be held only by a liquid crystal capacitor, without a capacitor which is parallel to a liquid crystal element, and a capacitor connected to the pixel electrode is not formed in the pixel portion.

指定代表圖：

圖 13A



- 符號簡單說明：
- 880 . . . 像素
 - 884 . . . 佈線
 - 885 . . . 佈線
 - 887 . . . 佈線
 - 881 . . . 電晶體
 - 882 . . . 液晶元件

六、發明說明：

【發明所屬之技術領域】

本發明的一個方式關於一種由使用氧化物半導體的電場效應型電晶體構成的半導體裝置。

注意，在本發明說明中，半導體裝置指的是能夠藉由利用半導體特性工作的所有裝置，因此，液晶顯示裝置等的電光裝置、半導體電路以及電子設備都是半導體裝置。

【先前技術】

使用形成在具有絕緣表面的基板上的半導體薄膜構成薄膜電晶體的技術被受關注。薄膜電晶體被用於以液晶電視為典型的顯示裝置。作為可以應用於薄膜電晶體半導體薄膜，矽類半導體材料是公知的。但是，作為其他材料，氧化物半導體被受關注。

作為氧化物半導體的材料，氧化鋅或以氧化鋅為成分的材料是公知的。而且，已公開了使用電子載子濃度低於 $10^{18}/\text{cm}^3$ 的非晶氧化物（氧化物半導體）形成的薄膜電晶體（專利文獻1至3）。

[專利文獻1]日本專利申請公開第2006-165527號公報

[專利文獻2]日本專利申請公開第2006-165528號公報

[專利文獻3]日本專利申請公開第2006-165529號公報

【發明內容】

然而，在其形成製程中產生的氧化物半導體膜和化學計量組成之間的差異會成為問題。例如，在膜中的氧過剩或缺乏的情況下或被包含的作為雜質的氫成為電子給體的情況下，使導電率改變。

即使電子載子濃度低於 $10^{18}/\text{cm}^3$ ，在實際上氧化物半導體也是n型，且上述專利文獻所公開的薄膜電晶體只有得到 10^3 的開關比。這種薄膜電晶體的開關比低的原因是截止電流高。

本發明的一個方式的目的是提供一種顯示裝置，該顯示裝置包括具有穩定的電特性（例如，截止電流極低）的薄膜電晶體而構成。

本發明的一個方式是構成一種液晶顯示裝置，該液晶顯示裝置包括薄膜電晶體，其中去除在氧化物半導體中成為電子給體（施體）的雜質來使用本徵或在實際上本徵且其能隙大於矽半導體的能隙的氧化物半導體形成通道形成區。

本發明的一個方式是構成一種液晶顯示裝置，該液晶顯示裝置包括使用氧化物半導體膜形成通道形成區的薄膜電晶體，其中使氧化物半導體所包含的氫或OH基為極少以使氧化物半導體所包含的氫為 $5 \times 10^{19}/\text{cm}^3$ 或更小，最好為 $5 \times 10^{18}/\text{cm}^3$ 或更小，更佳為 $5 \times 10^{17}/\text{cm}^3$ 或更小，並且使載子濃度為 $5 \times 10^{14}/\text{cm}^3$ 或更小，最好為 $5 \times 10^{12}/\text{cm}^3$ 或更小。

使氧化物半導體的能隙為2eV以上，最好為2.5eV以上

，更佳為 3 eV 以上，儘量減少形成施體的氫等的雜質，並且將載子濃度設定為 $1\times 10^{14}/\text{cm}^3$ 或更小，最好為 $1\times 10^{12}/\text{cm}^3$ 或更小。

當將這樣被高純度化的氧化物半導體用於薄膜電晶體的通道形成區時，即使通道寬度為 10 nm 且汲極電壓為 10 V ，也氧化物半導體進行工作來使閘極電壓為 -5 V 至 -20 V 的範圍內，使其漏電流為 $1\times 10^{-13}\text{ A}$ 或更小。

本發明說明所公開的本發明的一個方式是一種液晶顯示裝置，其中，薄膜電晶體設置在配置在像素部的信號線和像素電極之間，該薄膜電晶體包括：閘極電極；與閘極電極重疊地設置的閘極絕緣層；隔著閘極絕緣層與閘極電極重疊地設置的氧化物半導體層；以及與氧化物半導體層的一部分重疊的源極電極及汲極電極，並且不形成與所述像素電極電連接的輔助電容器。

本發明說明所公開的本發明的另一個方式是一種液晶顯示裝置，其中，薄膜電晶體包括：閘極電極；與閘極電極重疊地設置的閘極絕緣層；隔著閘極絕緣層與閘極電極重疊地設置的氧化物半導體層；以及與氧化物半導體層的一部分重疊的源極電極及汲極電極，該薄膜電晶體的每一個設置在分別配置在設置在一個像素中的多個子像素的信號線和像素電極之間，並且不形成與所述像素電極電連接的輔助電容器。

注意，輔助電容器是指意圖性地設置的電容元件，因此也可以形成有非意圖性地設置的寄生電容器。

根據本發明的一個方式，藉由使截止電流降低到 1×10^{-13} A 或更小，不需要附加地設置用來保持施加到像素的信號電壓的電容器。也就是說，因為不需要在各像素中設置輔助電容器，所以可以提高孔徑比。此外，由於使用根據本發明的一個方式的薄膜電晶體的像素可以保持一定的狀態（寫入有視頻信號的狀態），因此當顯示靜態影像時也可以進行穩定的工作。

【實施方式】

關於本發明的實施例模式將參照附圖給予詳細說明。但是，本發明不侷限於下面的說明，所屬[發明所屬之技術領域]的普通技術人員可以很容易地理解一個事實，就是其方式和詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。因此，本發明不應該被解釋為僅限定在下面所示的實施例模式所記載的內容中。注意，在下面所說明的本發明的結構中，使用相同的附圖標記來表示相同的部分或具有相同功能的部分，而省略其重複說明。

注意，在本發明說明所說明的每一個附圖中，有時為了明確起見，誇大表示各結構的大小、層的厚度、區域。由此，不一定限定於其尺寸。

注意，本發明所使用的術語“第一”、“第二”和“第三”等僅用於避免多個結構元件的混淆，並不限制這些結構元件的個數。因此，例如可以將“第一”適當地置換為“第二”

或“第三”等而進行說明。

(實施例模式1)

下面說明使用本發明的一個方式的薄膜電晶體構成液晶顯示裝置的像素的例子。在本實施例模式中，作為一例示出液晶顯示裝置中的像素所具有的薄膜電晶體及與該薄膜電晶體連接的電極（也稱為像素電極）而進行說明。注意，像素包括設置在顯示裝置的各像素中的各元件，例如薄膜電晶體、用作像素電極的電極及對元件供給電信號的佈線等。另外，像素也可以包括濾色片等。例如，在由RGB的色彩單元構成的彩色顯示裝置中，影像的最小單位由三種像素，即R的像素、G的像素及B的像素構成。

注意，當記載為“A與B彼此連接”時，包括A與B彼此電連接的情況以及A與B彼此直接連接的情況。此處，A與B是物件物（例如，裝置、元件、電路、佈線、電極、端子、導電膜或層等）。

此外，儲存電容指的是液晶元件的電容和另行設置的電容元件的電容的總和。將前者 and 後者區別稱為液晶電容和輔助電容。

首先，作為現有的液晶顯示裝置中的像素部的一例，圖2A示出俯視圖。另外，圖2A所示的薄膜電晶體的結構是底柵型結構，並示出所謂的反交錯型結構，其中在與閘極電極重疊的氧化物半導體層上設置成為源極電極及汲極電極的佈線層。

圖 2A 所示的像素部包括用作掃描線的第一佈線 2101、用作信號線的第二佈線 2102A、氧化物半導體層 2103、電容線 2104、像素電極 2105。此外，還包括用來使氧化物半導體層 2103 和像素電極 2105 電連接的第三佈線 2102B。

第一佈線 2101 也是用作薄膜電晶體 2106 的閘極電極的佈線。

第二佈線 2102A 也是用作源極電極及汲極電極中的一方及電容元件中的一方電極的佈線。

第三佈線 2102B 也是用作源極電極及汲極電極中的另一方的佈線。

電容線 2104 是用作電容元件中的另一方電極的佈線。另外，第一佈線 2101 及電容線 2104 設置在同一層中，而第二佈線 2102A 及第三佈線 2102B 設置在同一層中。此外，將第三佈線 2102B 和電容線 2104 設置為部分地重疊，而形成液晶元件的輔助電容器（電容元件）。此外，薄膜電晶體 2106 所具有的氧化物半導體層 2103 隔著閘極絕緣膜 2113（未圖示）設置在第一佈線 2101 上。

另外，圖 2B 示出沿著圖 2A 中的鏈式線 A1-A2 之間的截面結構。

在圖 2B 所示的截面結構中，在基板 2111 上隔著基底膜 2112 設置有作為閘極電極的第一佈線 2101 及電容線 2104。此外，覆蓋第一佈線 2101 及電容線 2104 地設置閘極絕緣膜 2113，且在閘極絕緣膜 2113 上設置有氧化物半導體層 2103。再者，在氧化物半導體層 2103 上設置有第二佈線 2102A

、第三佈線 2102B，且在其上設置有用作鈍化膜的氧化物絕緣層 2114。在氧化物絕緣層 2114 中形成有開口部，且在開口部中使像素電極 2105 和第三佈線 2102B 連接。此外，第三佈線 2102B 和電容線 2104 將閘極絕緣膜 2113 用作電介質來形成電容元件。

另外，如圖 7 所示，在圖 2A、2B 所示的像素中在基板 700 上將多個像素 701 配置為矩陣狀。圖 7 示出在基板 700 上具有像素部 702、掃描線驅動電路 703 及信號線驅動電路 704 的結構。根據藉由連接到掃描線驅動電路 703 的第一佈線 101 供給的掃描信號，決定像素 701 的每一列是選擇狀態還是非選擇狀態。此外，對根據掃描信號被選擇的像素 701 藉由連接到信號線驅動電路 704 的佈線 2102A 供給視頻電壓（也稱為視頻信號、視頻信號或視頻資料）。

圖 7 示出在基板 700 上設置掃描線驅動電路 703、信號線驅動電路 704 的結構，但是還可以採用在基板 700 上設置掃描線驅動電路 703 及信號線驅動電路 704 中任一個的結構。也可以採用在基板 700 上只設置像素部 702 的結構。

圖 7 示出在像素部 702 中將多個像素 701 配置為矩陣狀（配置為條形）的例子。此外，像素 701 不一定需要配置為矩陣狀，例如也可以以三角配置或拜爾（Bayer）配置進行配置。作為像素部 702 的顯示方法，可以採用漸進式（progressive method）或交錯式（interlace method）。另外，在進行彩色顯示時，由像素控制的色彩單元並不限於 RGB 的三種顏色（R 是紅，G 是綠，B 是藍），例如還可

以使用 RGBW（W是白）、對 RGB加上黃色、青色、品紅色等的一種以上顏色的色彩單元等。每個色彩單元的點也可以具有不同大小的顯示區域。

在圖 7 中，根據像素的列方向及行方向的數量形成第一佈線 2101 及第二佈線 2102A。另外，也可以採用根據構成像素的子像素的數量或像素中的電晶體的數量增加第一佈線 2101 及第二佈線 2102A 的數量的結構。此外，還可以採用像素之間共同使用第一佈線 2101 及第二佈線 2102A 來使像素 701 驅動的結構。

注意，雖然圖 2A 示出第二佈線 2102A 是矩形狀，但是也可以採用如下結構：將第二佈線 2102A 成為圍繞第三佈線 2102B 的形狀（具體地，U 字型或 C 字型）來增加載子移動的區域的面積，從而增加流過的電流量。

注意，薄膜電晶體是具有包括閘極、汲極和源極的至少三個端子的元件，在汲極區和源極區之間具有通道形成區，且可以藉由汲極區、通道區和源極區流過電流。在此，因為源極和汲極根據電晶體的結構及工作條件等而互換，難以限定哪一個是源極或汲極。於是，有時不將用作源極及汲極的區域稱為源極或汲極。在此情況下，作為一例可能分別表示為第一端子、第二端子，分別表示為第一電極、第二電極，或者分別表示為第一區、第二區。

接著，圖 1A 和 1B 示出本發明的一個方式中的像素部的結構例子。在圖 1A 中，從圖 2A 所示的現有例子的像素部的結構省略電容元件（輔助電容器）。由此，不需要電

容線，並且雖然第三佈線102B兼作電容元件的電極，但是成爲作爲源極電極或汲極電極僅與像素電極105連接的佈線，且其面積也縮小。因此，可以大幅度地提高孔徑比。

另外，作爲本發明的一個方式，還可以在省略電容元件的像素部的結構例子中，電容元件之外的部分使用與所述現有例子相同的結構。此外，雖然以反交錯型電晶體爲一例而進行說明，但是也可以採用其他電晶體結構諸如底接觸型或頂柵型等。

此外，爲了如上所述從像素部省略電容元件，需要只使用充電了的液晶元件在一定時間內保持像素的電位。爲此，必須使薄膜電晶體的截止電流充分地降低。參照圖3A至3D說明用來實現該特性的薄膜電晶體的製造方法的一例。

首先，作爲具有透光性的基板111可以使用玻璃基板。另外，在基板111上設置基底膜112以防止從基板111擴散雜質或提高與設置在基板111上的各元件之間的密接性。注意，不一定需要設置基底膜112。

接著，在基底膜112上形成導電層，然後進行第一光刻製程，形成抗蝕劑掩模，藉由蝕刻去除不需要的部分來形成第一佈線101。此時，最好以使第一佈線101的端部成爲錐形的方式進行蝕刻。圖3A示出這個步驟的截面圖。

雖然最好使用鋁或銅等的低電阻導電材料形成第一佈線101，但是鋁單體有耐熱性低且容易腐蝕等的問題，所以最好與耐熱導電材料組合而使用。作爲耐熱導電材料可

以使用選自鈦、鉬、鎢、鉍、鉻、釷、釷中的元素、以上述元素為成分的合金、組合上述元素的合金或以上述元素為成分的氮化物。

另外，可以藉由噴墨法或印刷法形成構成薄膜電晶體的佈線等。因為不使用光掩模也可以製造它們，所以可以容易改變電晶體的佈局。而且，由於不需要使用抗蝕劑，因此可以減少材料費用，並減少製程數量。此外，也可以藉由噴墨法或印刷法形成抗蝕劑掩模等。因為噴墨法、印刷法可以僅在需要的部分形成抗蝕劑掩模，所以可以實現低成本化。

此外，也可以使用多色調掩模形成包括具有多種（典型的是兩種）厚度的區域的抗蝕劑掩模來形成佈線等。

接著，在第一佈線101上形成絕緣膜（下面，稱為閘極絕緣膜113）。

在本實施例模式中，使用利用微波（2.45GHz）的高密度電漿CVD設備形成閘極絕緣膜113。在此，高密度電漿CVD設備指的是可實現 $1 \times 10^{11}/\text{cm}^3$ 以上的電漿密度的裝置。例如，藉由施加3 kW以上且6 kW或更小的微波電力產生電漿，來形成絕緣膜。

對處理室引入用作材料氣體的甲矽烷氣體（ SiH_4 ）、一氧化二氮（ N_2O ）及稀有氣體，以高於或等於10Pa且低於或等於30Pa的壓力產生高密度電漿來在基板上形成絕緣膜。然後，也可以停止甲矽烷氣體的供給，並不暴露於大氣地引入一氧化二氮（ N_2O ）和稀有氣體來對絕緣膜表面

進行電漿處理。在形成絕緣膜之後進行至少引入一氧化二氮（ N_2O ）和稀有氣體來對絕緣膜表面進行的電漿處理。經過上述製程形成的絕緣膜即使其厚度薄，例如薄於100nm也可以確保可靠性。

當形成閘極絕緣膜113時，將引入到處理室的甲矽烷氣體（ SiH_4 ）和一氧化二氮（ N_2O ）的流量比設定為1：10至1：200的範圍內。此外，作為引入到處理室的稀有氣體，可以使用氫、氬、氦、氖等。尤其，最好使用廉價的氬。

另外，使用高密度電漿CVD設備可得到的絕緣膜具有優越的臺階覆蓋性，且還可以正確地控制膜厚度。

經過上述製程形成的絕緣膜與利用現有的平行板型PCVD設備而得到的絕緣膜大不一樣。當使用相同的蝕刻劑對蝕刻速度進行比較時，經過經過上述製程形成的絕緣膜的蝕刻速度比利用平行板型PCVD設備可得到的絕緣膜的蝕刻速度慢10%以上或20%以上，從而利用高密度電漿CVD設備可得到的絕緣膜可以說是緻密的膜。

在本實施例模式中，作為閘極絕緣膜113，使用利用高密度電漿CVD設備形成的厚度為100nm的氧氮化矽膜（也稱為 SiO_xN_y ，但是 $x>y>0$ ）。

作為形成閘極絕緣膜113的其他方法，也可以使用濺射法。當然，閘極絕緣膜113不侷限於這種氧化矽膜而也可以使用氧氮化矽膜、氮化矽膜、氧化鋁膜、氧化鈮膜等的其他絕緣膜形成由這些材料構成的單層或疊層結構。

另外，最好在形成氧化物半導體之前，將氫用作濺射氣體進行反濺射來去除附著到閘極絕緣膜 113 的表面的塵屑。此外，作為濺射氣體，也可以使用氮、氬等代替氫。另外，也可以使用對氫添加氧、氫、 N_2O 、 Cl_2 或 CF_4 等的濺射氣體。

接著，在閘極絕緣膜 113 上形成氧化物半導體膜。與使用非晶矽的電晶體相比，將氧化物半導體用於半導體層的電晶體可以提高電場效應遷移率。另外，作為氧化物半導體，例如可以使用氧化鋅（ ZnO ）、氧化錫（ SnO_2 ）等。此外，也可以對 ZnO 添加 In 、 Ga 等。

作為氧化物半導體膜，可以使用表示為化學式 $InMO_3$ （ ZnO ） $_m$ （ $m>0$ ）的薄膜。在此， M 示出選自 Ga 、 Al 、 Mn 及 Co 中的一種或多種金屬元素。明確而言， M 是 Ga 、 Ga 及 Al 、 Ga 及 Mn 或 Ga 及 Co 等。

作為該氧化物半導體膜，可以使用四元金屬氧化物的 $In-Sn-Ga-Zn-O$ 類氧化物半導體、三元金屬氧化物的 $In-Ga-Zn-O$ 類氧化物半導體、 $In-Sn-Zn-O$ 類氧化物半導體、 $In-Al-Zn-O$ 類氧化物半導體、 $Sn-Ga-Zn-O$ 類氧化物半導體、 $Al-Ga-Zn-O$ 類氧化物半導體、 $Sn-Al-Zn-O$ 類氧化物半導體、二元金屬氧化物的 $In-Zn-O$ 類氧化物半導體、 $Sn-Zn-O$ 類氧化物半導體、 $Al-Zn-O$ 類氧化物半導體、 $Zn-Mg-O$ 類氧化物半導體、 $Sn-Mg-O$ 類氧化物半導體、 $In-Mg-O$ 類氧化物半導體、 $In-Ga-O$ 類氧化物半導體、 $In-O$ 類氧化物半導體、 $Sn-O$ 類氧化物半導體、 $Zn-O$ 類氧化物半導體等。此

外，也可以使上述氧化物半導體包含 SiO_2 。在此，In-Ga-Zn-O類氧化物半導體是指具有銦（In）、鎵（Ga）、鋅（Zn）的氧化物，而對於其化學計量組成比並沒有限制。另外，也可以包含In、Ga、Zn以外的元素。此外，較佳的是：氧化物半導體的能隙為 2eV 以上，最好為 2.5eV 以上，更佳為 3eV 以上。

在此，作為氧化物半導體使用In-Ga-Zn-O類膜。这里使用摩尔比为 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ 或 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ 的靶並採用濺射法進行成膜。在氧（氧流量比為100%）氣圍下以如下條件進行成膜：基板和靶之間的距離為 100mm ，壓力為 0.6Pa ，直流（DC）電源為 0.5kW 。另外，當使用脈衝直流（DC）電源時，可以減輕在成膜時產生的粉狀物質（也稱為微粒、塵屑）而膜厚度分佈變均勻，所以是最好的。

在此情況下，最好一邊去除殘留在處理室中的水分，一邊形成氧化物半導體膜。這是為了防止氧化物半導體膜包含氫、羥基或水分。

為了去除殘留在處理室中的水分，最好使用吸附型真空泵。例如，最好使用低溫泵、離子泵、鈦昇華泵。此外，作為排氣單元，也可以對渦輪分子泵追加設置冷井而使用。在使用低溫泵進行排氣的沉積室中，例如對氫原子、水（ H_2O ）等的包含氫原子的化合物等進行排氣，所以可以降低在該沉積室中形成的氧化物半導體膜所包含的雜質濃度。

接著，進行第二光刻製程，形成抗蝕劑掩模，並藉由蝕刻去除不需要的部分來形成氧化物半導體層103。另外，其次進行的對氧化物半導體層的第一加熱處理可以是對加工為島狀氧化物半導體層之前的氧化物半導體膜進行的。圖3B示出這個步驟的截面圖。

接著，對氧化物半導體層進行脫水化或脫氫化。進行脫水化或脫氫化的第一加熱處理的溫度為高於或等於400℃且低於或等於750℃，最好為高於或等於425℃且低於或等於750℃。注意，當溫度為425℃或以上時，加熱處理時間也可以是1小時以下，而當溫度低於425℃時，加熱處理時間為1小時以上。在此，對加熱處理裝置中之一的電爐引入基板，在氮氣圍下對氧化物半導體層進行加熱處理，然後不暴露於大氣地對相同的爐引入高純度氧氣體、高純度N₂O氣體或超乾燥空氣（露點為低於或等於-40℃，最好為低於或等於-60℃）進行冷卻。此時，最好不使所引入的氣體包含水、氫等。最好將所引入於加熱處理裝置中的氣體的純度設定為6N（99.9999%）以上，更佳設定為7N（99.99999%）以上（即，將氣體中的雜質濃度設定為1ppm以下，最好設定為0.1ppm以下）。

注意，在本發明說明中，將在氮或稀有氣體等的惰性氣體氣圍下進行的加熱處理稱為脫水化或脫氫化而進行的加熱處理。在本發明說明中，不僅將藉由該處理使H₂脫離的情況稱為脫氫化，而為方便起見，還將使H、OH等脫離的情況稱為脫水化或脫氫化。

此外，加熱處理裝置不侷限於電爐，而例如可以使用 GRTA (Gas Rapid Thermal Anneal: 氣體快速熱退火) 裝置、LRTA (Lamp Rapid Thermal Anneal: 燈快速熱退火) 裝置等的 RTA (Rapid Thermal Anneal: 快速熱退火) 裝置。LRTA 裝置是從鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈發射的光 (電磁波) 輻射來加熱被處理物的裝置。另外，LRTA 裝置不僅具備燈，而且還可以具備藉由電阻發熱體等的發熱體的熱傳導或熱輻射對被處理物進行加熱的裝置等。GRTA 是使用高溫的氣體進行加熱處理的方法。作為氣體，使用即使進行加熱處理也不與被處理物產生反應的惰性氣體如氬等的稀有氣體或氮。也可以採用這種 RTA 法在高於或等於 600°C 且低於或等於 750°C 的溫度進行幾分鐘的加熱處理。

此外，也可以在進行脫水化或脫氫化的第一加熱處理之後，在氧氣體或 N_2O 氣體氣圈下以 200°C 到 400°C ，最好以 200°C 到 300°C 的溫度進行加熱處理。

藉由以 400°C 到 750°C 的溫度對氧化物半導體層進行熱處理實現氧化物半導體層的脫水化、脫氫化，來可以防止在後面水 (H_2O) 再次浸滲。在與進行脫水化或脫氫化的同時，i 型氧化物半導體層成為氧缺乏型而降低電阻，即進行 n 型化 (n^- 、 n^+ 等)。當形成與 n 型化了的氧化物半導體層接觸的氧化物絕緣膜時，氧化物半導體層成為氧過剩的狀態而再次成為 i 型並增大電阻。這種使用氧化物半導體層的電晶體具有正的臨界值電壓值，且呈現所謂的常截

止特性。用於顯示裝置等的半導體裝置的電晶體的柵電壓最好儘量近於0V的正的臨界值電壓。在主動矩陣型顯示裝置中，重要的是構成電路的電晶體的電特性，顯示裝置的性能取決於該電特性。特別重要的是電晶體的臨界值電壓。當電晶體的臨界值電壓值為負時，成為所謂的常開啓特性，其中即使閘極電壓為0V也在源極電極和汲極電極之間流過電流，所以難以控制由該電晶體構成的電路。另外，當採用即使臨界值電壓值為正，其絕對值也高的電晶體時，有時因驅動電壓不夠而不能進行開關工作本身。當採用n通道型電晶體時，最好採用一種電晶體，其中只有對閘極電壓施加正的電壓才形成通道而使漏電流流過。如下電晶體不適合於用於電路的電晶體：除非提高驅動電壓否則不形成通道的電晶體；以及即使在負的電壓狀態下也形成通道而使汲極電流流過的電晶體。

另外，在第一加熱處理中，氮或氬、氖、氫等的稀有氣體最好不包含水、氫等。在此，最好將引入於加熱處理裝置中的氮或氬、氖、氫等的稀有氣體的純度設定為6N（99.9999%）以上，更佳設定為7N（99.99999%）以上。

在此，由於藉由去除氫等的雜質實現i型化或實際上的i型化的氧化物半導體（被高純度化的氧化物半導體）對於介面能階、介面電荷極敏感，因此與閘極絕緣膜之間的介面是很重要的。由此，要求與被高純度化的氧化物半導體接觸的閘極絕緣膜（GI）的高品質化。

例如，已說明了的使用微波（2.45GHz）的高密度電

漿 CVD 方法可以形成緻密且絕緣耐壓高的高品質的絕緣膜。藉由使被高純度化的氧化物半導體和高品質的閘極絕緣膜密接，介面能階減少而得到良好的介面特性。當然，只要能夠作為閘極絕緣膜形成優質的絕緣膜，就可以應用其他的成膜方法諸如濺射法、電漿 CVD 法等。也可以採用一種絕緣膜，其中藉由進行成膜之後的熱處理，對閘極絕緣膜的性質、與氧化物半導體的介面特性進行改質的絕緣膜。不管在任何情況下，絕緣膜具有作為閘極絕緣膜的良好性質，而且減少與氧化物半導體之間的介面能階密度並形成優質的介面，即可。

再者，在 85°C 、 $2 \times 10^6 \text{V/cm}$ 、12 小時的閘極偏壓-溫度應力測試（BT 測試）中，當氧化物半導體包含多量雜質時，雜質和氧化物半導體的主要成分之間的鍵因強電場（B：偏壓）和高溫（T：溫度）被截斷，且所產生懸空鍵引發臨界值電壓（ V_{th} ）的漂移。對此，本發明藉由儘量去除氧化物半導體的雜質，特別是氫、水等並如上所述使與閘極絕緣膜之間的介面特性為良好，可以實現相對於 BT 測試也穩定的薄膜電晶體。

接著，在氧化物半導體膜上藉由濺射法或真空蒸鍍法形成由金屬材料構成的導電膜。作為導電層的材料，可以舉出選自鋁、鉻、鈮、鈦、鉬、鎢中的元素、以上述元素為主要成分的合金或組合上述元素而成的合金等。此外，當進行 200°C 到 600°C 的熱處理時，導電膜最好具有耐受該溫度範圍的加熱處理的耐熱性。Al 單體有耐熱性低且容易

腐蝕等的問題，所以最好與耐熱導電材料組合而使用。作為這種耐熱導電材料，有選自鈦、鉭、鎢、鉬、鉻、釹、銦中的元素、以上述元素為成分的合金、組合上述元素的合金或以上述元素為成分的氮化物等。

在此，作為導電膜使用鈦膜的單層結構。導電膜既可以採用兩層結構，又可以在鋁膜上層疊鈦膜。此外，作為導電膜也可以採用如下三層結構，即在鈦膜上層疊含釹的鋁（Al-Nd）膜，而且在其上形成鈦膜。除此之外，也可以作為導電膜使用含矽的鋁膜的單層結構。

接著，進行第三光刻製程，形成抗蝕劑掩模，藉由蝕刻去除不需要的部分來形成由導電膜構成的第二佈線102A及第三佈線102B。作為此時的蝕刻方法，使用濕蝕刻或乾蝕刻。例如，藉由使用過氧化氫氨水（31wt%的過氧化氫水：28wt%的氨水：水=5：2：2）的濕蝕刻，可以對鈦膜的導電膜進行蝕刻，並對第二佈線102A及第三佈線102B選擇性地進行蝕刻來使氧化物半導體層103殘留。圖2C示出這個步驟的截面圖。

此外，雖然取決於蝕刻條件，但是有時在第三光刻製程中，氧化物半導體層的露出區被蝕刻。在此情況下，由第二佈線102A及第三佈線102B夾持的區域的氧化物半導體層103的厚度比第一佈線101上的第二佈線102A及第三佈線102B與第一佈線101重疊的區域的氧化物半導體層的厚度薄。

接著，在閘極絕緣膜113、氧化物半導體層103、第二

佈線 102A、第三佈線 102B 上形成氧化物絕緣層 114。在這個步驟中，氧化物半導體層 103 的一部分與氧化物絕緣層 114 接觸。

氧化物絕緣層 114 的厚度至少是 1 nm 以上，它是可以適當地採用防止混入到氧化物絕緣層的水、氫等的雜質的方法形成的。在本實施例模式中，作為氧化物絕緣層藉由濺射法形成氧化矽膜。進行成膜時的基板溫度為室溫以上且低於或等於 300℃，即可。在本實施例模式中採用 100℃。可以在稀有氣體（典型的是氬）及氧中的一方氣圍下或它們混合的氣圍下進行藉由濺射法的氧化矽膜的形成。此外，作為用於成膜的靶，可以使用氧化矽靶或矽靶。例如，可以在氧及稀有氣體氣圍下使用矽靶並採用濺射法形成氧化矽膜。作為與成為氧缺乏狀態而降低電阻的氧化物半導體層接觸地形成的氧化物絕緣層，使用不包含水分、氫離子、OH⁻等的雜質並防止它們從外部侵入的無機絕緣膜，典型地使用氧化矽膜、氮氧化矽膜、氧化鋁膜或氧氮化鋁膜等。此外，也可以使用摻雜磷（P）、硼（B）的用於成膜的靶形成添加有磷（P）、硼（B）的氧化物絕緣層。

在本實施例模式中，在氧（氧流量比率為 100%）氣圍下以如下條件形成氧化物絕緣層 114：使用其純度為 6N 且柱狀多晶 B 摻雜的矽靶（電阻值為 0.01 Ωcm），基板和靶之間的距離（T-S 之間的距離）為 89 mm，壓力為 0.4 Pa，直流（DC）電源為 6 kW，採用脈衝 DC 濺射法。其厚度

為 300 nm。

另外，與氧化物半導體層的成為通道形成區的區域上接觸地設置氧化物絕緣層 114，且氧化物絕緣層 114還用作通道保護層。

在此情況下，最好一邊去除殘留在處理室中的水分，一邊形成氧化物絕緣層 114。這是因為防止氧化物半導體層 103及氧化物絕緣層 114包含氫、羥基或水分的緣故。

為了去除殘留在處理室中的水分，最好使用吸附型真空泵。例如，最好使用低溫泵、離子泵、鈦昇華泵。此外，作為排氣單元，也可以對渦輪分子泵追加設置冷井而使用。在使用低溫泵進行排氣的沉積室中，例如對氫原子、水（ H_2O ）等的包含氫原子的化合物等進行排氣，所以可以降低在該沉積室中形成的氧化物絕緣層 114所包含的雜質的濃度。

接著，在惰性氣體氣圍下進行第二加熱處理（最好為 200℃ 到 400℃，例如 250℃ 到 350℃）。例如，在氮氣圍下進行 250℃ 且 1 小時的第二加熱處理。藉由第二加熱處理，氧化物半導體層 103的一部分保持與氧化物絕緣層 114接觸的狀態被加熱。

藉由第一加熱處理，氫從氧化物半導體層 103脫離而氧化物半導體層 103成為氧缺乏狀態而其電阻降低。當在氧化物半導體層 103和氧化物絕緣層 114接觸的狀態下進行第二加熱處理時，與氧化物絕緣層 114接觸的區域成為氧過剩的狀態。其結果是，從氧化物半導體層 103中的與氧

化物絕緣層114接觸的區域向氧化物半導體層103的深度方向進展電阻的增大（i型化）。

此外，也可以在大氣中以100℃到200℃進行1小時到30小時的加熱處理。例如，以150℃進行10小時的加熱處理。在該加熱處理中，既可以保持一定的加熱溫度進行加熱，又可以反復使溫度從室溫上升到100℃到200℃的加熱溫度的升溫及將溫度從加熱溫度降低到室溫的降溫。藉由在減壓下進行加熱處理，可以縮減加熱時間。藉由該加熱處理，氬從氧化物半導體層引入到氧化物絕緣層中，從而可以獲得成為常截止狀態的薄膜電晶體。因此，可以提高半導體裝置的可靠性。

接著，藉由第四光刻製程及蝕刻製程在氧化物絕緣層114中形成開口部121，來形成具有透光性的導電膜。作為其材料使用氧化銦（ In_2O_3 ）、氧化銦錫（ $\text{In}_2\text{O}-\text{SnO}_2$ ，下面縮寫為ITO）等，並藉由濺射法或真空蒸鍍法等形成具有透光性的導電膜。作為具有透光性的導電膜的其他材料，也可以使用含氮的Al-Zn-O類膜，即Al-Zn-O-N類膜、含氮的Zn-O類膜、含氮的Sn-Zn-O類膜。另外，Al-Zn-O-N類膜的鋅的組成比（atomic %）為47atomic%以下，即大於膜中的鋁的組成比（atomic%），並且膜中的鋁的組成比（atomic%）大於膜中的氮的組成比（atomic%）。使用鹽酸類溶液進行這種材料的蝕刻處理。但是，在進行對ITO的蝕刻時特別容易產生殘渣，所以也可以使用銦鋅氧化物（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）以改善蝕刻加工性。

注意，具有透光性的導電膜的組成比的單位是 at.%，並且根據利用電子探針 X 射線微分析儀（EPMA：Electron Probe X-ray MicroAnalyzer）的分析進行評價。

接著，藉由第五光刻製程形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，來形成像素電極 105。圖 3D 示出這個步驟的截面圖。

可以藉由上述製程製造具有截止電流低的薄膜電晶體 106 的像素。而且，藉由將該像素配置為矩陣狀來構成像素部，可以形成用來製造主動矩陣型液晶顯示裝置的一方基板。在本發明說明中，為方便起見將這種基板稱為主動矩陣基板。

另外，在主動矩陣型液晶顯示裝置中，藉由驅動配置為矩陣狀的像素電極，在屏面上形成顯示圖案。詳細地說，藉由在被選擇的像素電極和對應於該像素電極的對置電極之間施加電壓，進行配置在像素電極和對置電極之間的液晶層的光學調變，且該光學調變被觀察者識別為顯示圖案。液晶元件等的顯示元件設置在像素電極 105 上。

如上所說明，藉由採用省略電容元件的本實施例模式所示的結構，當製造具備使用氧化物半導體的薄膜電晶體的像素時，可以實現提高孔徑比。由此，可以製造具有高清晰的顯示部的液晶顯示裝置。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

(實施例模式2)

在本發明的一個方式中，藉由將在氧化物半導體中會成為載子的給體（施體或受體）的雜質減少到極少的水準，使氧化物半導體成為本徵或實質上本徵的半導體，並將該氧化物半導體應用於薄膜電晶體。在本實施例模式中，以下說明評價用元件（也稱為TEG）中的截止電流的測量值。

圖4示出將200個 $L/W=3\mu\text{m}/50\mu\text{m}$ 的薄膜電晶體並聯連接，並設定為 $L/W=3\mu\text{m}/10000\mu\text{m}$ 的薄膜電晶體的初期特性。此外，圖5A示出俯視圖，而圖5B示出放大其一部分的俯視圖。圖5B中的由虛線圍繞的區域是 $L/W=3\mu\text{m}/50\mu\text{m}$ ， $L_{ov}=1.5\mu\text{m}$ 的一個級的薄膜電晶體。為了測量薄膜電晶體的初期特性，將基板溫度設定為室溫，而測量源極-汲極之間電壓（下面，稱為汲極電壓或 V_d ）為10V，且使源極-閘極之間的電壓（下面，稱為閘極電壓或 V_g ）從-20V變化到+20V時的源極-汲極電流（下面，稱為漏電流或 I_d ）的變化特性，即 V_g-I_d 特性。注意，圖4示出-20V至+5V的範圍內的 V_g 。

如圖4所示，在通道寬度 W 為10000 μm 的薄膜電晶體中， V_d 為1V及10V時的截止電流為 $1\times 10^{-13}[\text{A}]$ 或更小，且為測量儀器（半導體參數分析儀，Agilent 4156C；安捷倫（Agilent）科技有限公司製造）的解析度低於或等於（100fA）。

說明進行測量的薄膜電晶體的製造方法。

首先，在玻璃基板上藉由CVD法形成用作基底層的氮化矽膜，且在氮化矽層上形成氧氮化矽膜。然後，藉由濺射法在氧氮化矽膜上形成鎢層。在此，對鎢層選擇性地進行蝕刻形成閘極電極層。

接著，在閘極電極層上藉由CVD法形成用作閘極絕緣層的厚度為100nm的氧氮化矽膜。

接著，在閘極絕緣層上藉由濺射法使用In-Ga-Zn-O類金屬氧化物靶（摩爾比為 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ ）來形成厚度為50 nm的氧化物半導體膜。然後，對氧化物半導體膜選擇性地進行蝕刻形成島狀的氧化物半導體層。

接著，在氮氣圍下，利用潔淨烘箱以450℃進行1小時的第一熱處理。

接著，在氧化物半導體層上藉由濺射法形成成為源極電極層及汲極電極層的鈦層（厚度為150 nm）。然後，對鈦層選擇性地進行蝕刻形成源極電極層及汲極電極層，並將通道長度L為3 μm ，且通道寬度為50 μm 的200個薄膜電晶體並聯連接，從而將L/W設定為3 $\mu\text{m}/10000 \mu\text{m}$ 。

接著，以與氧化物半導體層接觸的方式藉由反應濺射法形成用作保護絕緣層的氧化矽膜，其厚度為300 nm。而且，對氧化矽膜選擇性地進行蝕刻來在閘極電極層、源極電極層及汲極電極層上形成開口部。然後，在氮氣圍下以250℃進行1小時的第二熱處理。

然後，在測量Vg-Id特性之前以150℃進行10小時的加熱。

藉由上述製程，製造底柵型的薄膜電晶體。

如圖 4 所示那樣，薄膜電晶體的截止電流為約 1×10^{-13} [A] 是因為在上述製造製程中可以充分地減少氧化物半導體層中的氫濃度的緣故。氧化物半導體層中的氫濃度為 5×10^{19} atoms/cm³ 或更小，最好為 5×10^{18} atoms/cm³ 或更小，更佳為 5×10^{17} atoms/cm³ 或更小。另外，利用二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）進行氧化物半導體層中的氫濃度測量。

此外，雖然示出了使用 In-Ga-Zn-O 類類氧化物半導體的例子，但是並沒有特別的限制而可以使用其他氧化物半導體材料，例如四元類金屬氧化物的 In-Sn-Ga-Zn-O 膜、三元類金屬氧化物的 In-Ga-Zn-O 膜、In-Sn-Zn-O 膜、In-Al-Zn-O 膜、Sn-Ga-Zn-O 膜、Al-Ga-Zn-O 膜、Sn-Al-Zn-O 膜、二元類金屬氧化物的 In-Zn-O 膜、Sn-Zn-O 膜、Al-Zn-O 膜、Zn-Mg-O 膜、Sn-Mg-O 膜、In-Mg-O 膜、In-O 膜、Sn-O 膜、Zn-O 膜等的氧化物半導體膜。此外，作為氧化物半導體材料，還可以使用混入有 2.5wt% 至 10wt% 的 AlO_x 的 In-Al-Zn-O 類、混入有 2.5wt% 至 10wt% 的 SiO_x 的 In-Zn-O 類。

此外，利用載子測量儀測量的氧化物半導體層的載子濃度最好與矽的本徵載子濃度，即小於或等於 1.45×10^{10} /cm³。具體地，其為 5×10^{14} /cm³ 或更小，最好為 5×10^{12} /cm³ 或更小。也就是說，可以使氧化物半導體層的載子濃度設定為儘量近於 0。

此外，也可以將薄膜電晶體的通道長度 L 設定為 10 nm

以上且 1000 nm 以下，可以實現電路的工作速度的高速化，且截止電流極低，因此也可以進一步實現低功耗化。

此外，在薄膜電晶體的截止狀態下，可以將氧化物半導體層看作絕緣體地進行電路設計。

接著，對於在本實施例模式中製造的薄膜電晶體的截止電流的溫度特性進行評價。當考慮到使用薄膜電晶體的最終產品的耐環境性、性能的維持等時，溫度特性是重要的。當然，變化量越少越佳，且產品設計的自由度增高。

至於溫度特性，利用恒溫槽將在 -30°C 、 0°C 、 25°C 、 40°C 、 60°C 、 80°C 、 100°C 、及 120°C 的溫度下形成薄膜電晶體的基板設定為一定溫度，且將汲極電壓設定為 6V，在 -20V 變化到 $+20\text{V}$ 的範圍內使閘極電壓變化來得到 V_g-I_d 特性。

在圖 6A 中重複地寫出在上述各溫度下進行測量的 V_g-I_d 特性，而在圖 6B 中放大由虛線圍繞的截止電流的區域而示出。在附圖中，箭頭所示的右端的曲線是在 -30°C 下得到的曲線，而左端的曲線是在 120°C 下得到的曲線，並且在其他溫度下得到的曲線位置於其間。幾乎沒有觀察到導通電流的溫度依賴性。另一方面，至於截止電流，在放大圖的圖 6B 中明顯示出那樣地，閘極電壓除了它近於 20V 時之外，在所有溫度下成為測量儀器的解析度近旁的小於或等於 $1 \times 10^{-12} [\text{A}]$ ，且沒有呈現溫度依賴性。也就是說，在 120°C 的高溫下，截止電流維持小於或等於 $1 \times 10^{-12} [\text{A}]$ 的電流，並且當考慮到通道寬度 W 是 $10000 \mu\text{m}$ 時可以知道截止

電流非常小。

使用被高純度化的氧化物半導體（purified OS）的薄膜電晶體幾乎沒有呈現截止電流的溫度依賴性。這可以說是：如圖9A的能帶圖所示，藉由使氧化物半導體的純度增大，導電型無限趨近於本徵型而費密能階位置於禁止帶的中間部分，從而不呈現溫度依賴性了。此外，氧化物半導體的能隙為3eV或更多，且熱激發載子極少也是沒有呈現溫度依賴性的原因之一。另外，源極區及汲極區處於退化的狀態，而這也沒有呈現溫度依賴性的原因之一。薄膜電晶體的工作的大部分是從退化的源極區植入到氧化物半導體的載子所引起的，所以沒有載子密度的溫度依賴性。由此可以說明上述特性（沒有截止電流的溫度依賴性）。另外，下面參照能帶圖說明該極低的截止電流。

圖8是使用氧化物半導體的反交錯型薄膜電晶體的縱截面圖。在閘極電極（GE1）上隔著閘極絕緣膜（GI）設置氧化物半導體層（OS），並且在其上設置主動電極（S）及汲極電極（D）。

圖9A和9B是沿著圖8所示的A-A'截斷的面的能帶圖（模式圖）。圖9A示出源極和汲極之間的電壓為等電位（ $V_D=0V$ ）的情況，而圖9B示出對汲極施加正電位（ $V_D>0V$ ），而對源極的不施加正電位元的情況。

圖10A和10B是沿著圖8的B-B'截斷的面的能帶圖（模式圖）。圖10A是閘極（G1）施加有正電位元（ $+V_G$ ）的狀態，且示出在源極和汲極之間流過載子（電子）的導通

狀態。此外，圖 10B 是閘極（G1）施加有負電位元（ $-V_G$ ）的狀態，且示出截止狀態（少數載子不流過）的情況。

圖 11 示出真空能階和金屬的功函數（ ϕ_M ）及氧化物半導體的電子親和力（ χ ）之間的關係。

因為在常溫中金屬中的電子處於簡並（degenerate）態，所以費密能階位於傳導帶中。另一方面，現有的氧化物半導體一般是 n 型，並且此時的費密能階（ E_F ）從位置於帶隙的中間部分的本徵費密能階（ E_i ）離開而位於靠傳導帶的位置上。注意，一般認為氧化物半導體所包含的氫的一部分成為受體，並且它是導致 n 型化的一個原因。

針對於此，根據本發明的氧化物半導體是如下氧化物半導體，即：藉由從氧化物半導體去除 n 型雜質的氫且以儘量不包含氧化物半導體的主要成分之外的雜質的方式進行高純度化，成為本徵（i 型）或大致本徵。也就是說，其特徵是：不添加雜質，而藉由儘量去除氫、水等的雜質，成為被高純度化的 i 型（本徵半導體）或大致 i 型。由此，可以使費密能階（ E_F ）為與本徵能階（ E_i ）相同的能階。

當氧化物半導體的帶隙（ E_g ）為 3.15 eV 時，電子親和力（ χ ）被認為是 4.3 eV。構成源極電極及汲極電極的鈦的功函數與氧化物半導體的電子親和力（ χ ）大致相等。在此情況下，在金屬-氧化物半導體介面上，不形成肖特基型的電子勢壘。

也就是說，在金屬的功函數（ ϕ_M ）和氧化物半導體的

電子親和力 (χ) 大致相等的情況下，當兩者接觸時得到圖 9A 所示的能帶圖 (模式圖)。

在圖 9B 中，黑色圓點 (•) 表示電子，並且當對汲極施加正電位元時，電子跨越障礙 (h) 植入到氧化物半導體，然後流過到汲極。雖然在此情況下，障礙 (h) 的高度依賴於閘極電壓及汲極電壓而變化，但是當被施加正的汲極電壓時，障礙 (h) 的高度低於沒有施加電壓的圖 9A 的障礙的高度，即帶隙 (E_g) 的 $1/2$ 。

此時，如圖 9A 所示，電子在閘極絕緣膜和被高純度化的氧化物半導體之間的介面的氧化物半導體一側的能量上穩定的最低部分移動。

此外，在圖 9B 中，因為當對閘極 ($G1$) 施加負電位 (反偏壓) 時，少數載子的電洞實際上為 0，所以電流成為儘量近於 0 的值。

例如，在薄膜電晶體的通道寬度 W 為 $1 \times 10^4 \mu\text{m}$ ，且通道長度為 $3 \mu\text{m}$ 的元件中，截止電流也為 10^{-13}A 以下，且可以得到 0.1V/dec. (閘極絕緣膜的厚度為 100 nm) 的亞臨界值 (S 值) (subthreshold value)。

此外，圖 19 示出使用矽半導體時的電晶體的帶結構。矽半導體的本徵載子密度為 $1.45 \times 10^{10} / \text{cm}^3$ (300 K)，並且在室溫下也存在有載子。這呈現在室溫下也存在有熱激發載子的情況。因為在實際上使用添加有磷或硼等的雜質的矽晶圓，所以在矽半導體的每個 1 cm^3 中存在有 $1 \times 10^{14} / \text{cm}^3$ (個) 或更多的載子，且這有助於源極-汲極之

間的傳導。再者，由於矽半導體的帶隙為 1.12 eV，因此在使用矽半導體的電晶體中，依賴於溫度而截止電流大幅度地變動。

由此，不簡單地將帶隙寬的氧化物半導體應用於電晶體，而藉由以儘量不包含氧化物半導體的主要成分以外的雜質的方式進行高純度化，並將載子濃度設定為 $1 \times 10^{14} / \text{cm}^3$ 或更小，最好為 $1 \times 10^{12} / \text{cm}^3$ 或更小，從而可以去除在實用的工作溫度下進行被熱激發的載子來隻使用從源極一側植入的載子使電晶體進行工作。由此，可以將截止電流減低到 $1 \times 10^{-13} \text{A}$ 或更小並得到即使溫度變化，截止電流也幾乎沒有變化的極穩定地工作的電晶體。

當使用這種截止電流極低的薄膜電晶體製造儲存電路（記憶元件）等時，因為截止電流值小且幾乎沒有洩漏，所以可以使保持儲存資料的時間變長。同樣地，由於在液晶顯示裝置等中，可以抑制從儲存電容器至薄膜電晶體的洩漏，因此可以不設置輔助電容器而只使用液晶電容器來保持像素的電位。

本實施例模式可以與其他實施例模式所記載的結構適當的組合而實施。

（實施例模式 3）

在本實施例模式中，說明可應用於液晶顯示裝置的像素的結構及像素的工作。

圖 12A 是示出可以應用於液晶顯示裝置的像素結構的

一例的圖。像素 3880 包括電晶體 3881、液晶元件 3882 及電容元件 3883。電晶體 3881 的閘極與佈線 3885 電連接。電晶體 3881 的第一端子與佈線 3884 電連接。電晶體 3881 的第二端子與液晶元件 3882 的第一端子電連接。液晶元件 3882 的第二端子與佈線 3887 電連接。電容元件 3883 的第一端子與液晶元件 3882 的第一端子電連接。電容元件 3883 的第二端子與佈線 3886 電連接。

可以將佈線 3884 用作信號線。信號線是用來將從像素的外部輸入的信號電壓傳遞到像素 3880 的佈線。可以將佈線 3885 用作掃描線。掃描線是用來控制電晶體 3881 的導通截止的佈線。可以將佈線 3886 用作電容線。電容線是用來對電容元件 3883 的第二端子施加預定的電壓的佈線。可以將電晶體 3881 用作開關。可以將電容元件 3883 用作輔助電容器。電容元件是用來在開關處於截止的狀態下也使信號電壓繼續被施加到液晶元件 3882 的輔助電容器。可以將佈線 3887 用作對置電極。對置電極是用來對液晶元件 3882 的第二端子施加預定的電壓的佈線。注意，各佈線可以具有的功能不侷限於此，還可以具有各種功能。例如，藉由使施加到電容線的電壓變化，也可以調整施加到液晶元件的電壓。

圖 12B 是示出可以應用於液晶顯示裝置的像素結構的另一例的圖。在圖 12B 所示的像素結構例子中，除了省略佈線 3887 且液晶元件 3882 的第二端子和電容元件 3883 的第二端子電連接之外與圖 12A 所示的像素結構例子相同。在

液晶元件是橫電場模式（包括IPS模式、FFS模式）的情況下可以應用圖12B所示的像素結構例子，因為在液晶元件是橫電場模式的情況下，可以將液晶元件3882的第二端子及電容元件3883的第二端子形成在同一基板上，所以容易使液晶元件3882的第二端子和電容元件3883的第二端子電連接。藉由採用如圖12B所示的像素結構可以省略佈線3887，因此可以使製造製程簡化並減少製造成本。

在此，圖13A和13B示出使用實施例模式1所說明的薄膜電晶體的像素部的結構。圖13A是從圖12A的結構省略電容元件3883的結構。此外，圖13B是從圖12B省略電容元件3883的結構，並且液晶元件的第二端子連接到共同佈線889。如實施例模式2所說明，藉由使用截止電流充分低的薄膜電晶體，在液晶元件中可以不設置並聯的電容元件（輔助電容器）而只使用液晶電容器來保持電位。當然，也可以與所述比較例子同樣地設置電容元件，且還可以縮小其尺寸。此外，也可以設置小於液晶電容的輔助電容。後面，在本實施例模式中採用省略電容元件的像素結構進行說明。

圖14A是示出將多個圖13A所示的像素結構配置為矩陣狀的情況的電路結構的圖。圖14A所示的電路結構是抽出顯示部所具有的多個像素中的四個像素而表示的圖。而且，將位置於 i 行 j 列（ i 、 j 是自然數）的像素表示為像素880_ i ， j ，並且像素880_ i ， j 分別與佈線884_ i 、佈線885_ j 電連接。同樣地，像素880_ $i+1$ ， j 與佈線884_ $i+1$ 、佈線

885_j電連接。同樣地，像素880_i，j+1與佈線884_i、佈線885_{j+1}電連接。同樣地，像素880_{i+1}，j+1與佈線884_{i+1}、佈線885_{j+1}電連接。另外，屬於相同的行或列的多個像素可以共同使用各佈線。此外，在圖14A所示的像素結構中，佈線887是對置電極，並且因為在所有像素中對置電極是共同的，所以至於佈線887，不採用使用自然數i或j的表記。另外，由於也可以使用圖13B所示的像素結構，因此在記載有佈線887的結構中也不一定需要佈線887，而可以藉由與其他佈線共同使用等省略佈線887。

可以藉由各種方法驅動圖14A所示的像素結構。特別是，藉由採用被稱為交流驅動的方法進行驅動，可以抑制液晶元件的劣化（燒壞（burn-in））。圖14B示出進行交流驅動的一種的點反轉（dot inversion）驅動時的施加到圖14A所示的像素結構中的各佈線的電壓的時序圖。藉由進行點反轉驅動，可以抑制當進行交流驅動時看到的閃爍（flicker）。另外，圖14B示出輸入到佈線885_j的信號985_j、輸入到佈線885_{j+1}的信號985_{j+1}、輸入到佈線884_i的信號984_i、輸入到佈線884_{i+1}的信號984_{i+1}。

在圖14A所示的像素結構中，與佈線885_j電連接的像素中的開關在一個圖框期間的第j閘極選擇期間中成為選擇狀態（導通狀態），而在其他期間處於非選擇狀態（截止狀態）。而且，在第j閘極選擇期間之後設置第j+1閘極選擇期間。藉由這樣地按順序進行掃描，在一個圖框期間中所有像素按順序成為選擇狀態。在圖14B所示的時序圖

中，藉由成為電壓高的狀態（高電平），該像素中的開關成為選擇狀態，並且藉由成為電壓低的狀態（低電平），該像素中的開關成為非選擇狀態。

在圖 14B 所示的時序圖中，在第 k 圖框（ k 是自然數）的第 j 閘極選擇期間中，對用作信號線的佈線 884 _{i} 施加正的信號電壓，而對佈線 884 _{$i+1$} 施加負的信號電壓。而且，在第 k 圖框的第 $j+1$ 閘極選擇期間中，對佈線 884 _{i} 施加負的信號電壓，而對佈線 884 _{$i+1$} 施加正的信號電壓。然後，還對各信號線在每個閘極選擇期間中交替施加極性反轉的信號。其結果是，在第 k 圖框中，對像素 880 _{i, j} 施加正的信號電壓，對像素 880 _{$i+1, j$} 施加負的信號電壓，對像素 880 _{$i, j+1$} 施加負的信號電壓，對像素 880 _{$i+1, j+1$} 施加正的信號電壓。而且，在第 $k+1$ 圖框中，在每個像素中寫入其極性與在第 k 圖框中寫入的信號電壓相反的信號電壓。其結果是，在第 $k+1$ 圖框中，對像素 880 _{i, j} 施加負的信號電壓，對像素 880 _{$i+1, j$} 施加正的信號電壓，對像素 880 _{$i, j+1$} 施加正的信號電壓，對像素 880 _{$i+1, j+1$} 施加負的信號電壓。像這樣，點反轉驅動是一種驅動方法，其中在相同的圖框中，對相鄰的像素分別施加極性彼此不同的信號電壓，並且在各像素中的每一個圖框中使信號電壓的極性相反。藉由進行點反轉驅動，可以抑制液晶元件的劣化並減少在所顯示的影像的整個部分或一部分均勻時看到的閃爍。另外，佈線 884 的時序圖作為信號電壓的表記只示出極性，但是在實際上所顯示的極性中可能

得到各種信號電壓的值。注意，雖然在此描述了在每一個點（像素）中使極性相反的情況，但是不侷限於此，可以在每多個像素中使極性相反。例如，藉由在每兩個閘極選擇期間中反轉要寫入的信號電壓的極性，可以減少信號電壓的寫入所需要的功耗。此外，既可以在每一行中使極性反轉（源極線反轉），又可以在每一列中使極性反轉（閘極線反轉）。

另外，此時也可以採用所謂的過驅動(overdriving)，其中對像素部施加過驅動電壓，並提高液晶元件的回應速度來抑制餘像。由此，可以當放映動態影像時使其運動為清晰。

特別是，當如本發明的一個方式那樣，在液晶元件中不設置並聯的電容元件時，在對像素的寫入結束之後，介電常數隨著液晶的狀態變化而改變，且液晶本身的電容也改變，而可能會改變像素所保持的電位，所以過驅動是有效的驅動方法。

接著，描述在液晶元件是以MVA模式或PVA模式等為典型的垂直對準(VA)模式時特別最好採用的像素結構及其驅動方法。VA模式具有如下優越的特徵：當製造時不需要研磨製程；進行黑顯示時的光洩漏少；驅動電壓低等。但是，具有當螢幕從斜方向觀看時影像品質降低（視角較窄）的問題。為了放大VA模式中的視角，有效的是，如圖15A和15B所示，採用一個像素包括多個子像素的像素結構。圖15A和15B所示的像素結構表示像素包括兩個

子像素（第一子像素1080-1和第二子像素1080-2）的情況的一例。注意，一個像素中的子像素數量並沒有限制於兩個而能夠使用各種數量的子像素。子像素的數量越多，視角越變大。多個子像素能夠具有相同的電路結構。在此示出所有子像素的結構都與圖13A中所示出的電路結構相同的情況。注意，第一子像素1080-1包括電晶體1081-1及液晶元件1082-1。各連接關係都是圖13A中的電路結構的連接關係。同樣地，第二子像素1080-2包括電晶體1081-2及液晶元件1082-2。每個元件的連接關係都是圖13A中的電路結構的連接關係。

圖15A中的像素結構表示一種結構，其中對於構成一個像素的兩個子像素，包括用作掃描線的兩個佈線1085（佈線1085-1、佈線1085-2）、用作信號線的一個佈線1084。像這樣，藉由在兩個子像素之間共同使用信號線時，可以提高孔徑比。再者，由於可以簡化信號線驅動電路，因此可以降低製造成本，並且由於可以減少液晶面板和驅動器電路IC之間的連接數，因而可以提高良率。圖15B中的像素結構表示一種結構，其中對於構成一個像素的兩個子像素，包括用作掃描線的一個佈線1085、用作信號線的兩個佈線1084（佈線1084-1、佈線1084-2）。像這樣，藉由在兩個子像素之間共同使用掃描線，可以提高孔徑比。再者，由於可以減少掃描線的總數，因而在高清晰的液晶面板中也能夠使每一個像素的閘極線選擇期間充分長，並且可以將適當的信號電壓寫到每個像素。

圖 16A 和 16B 是在圖 15B 所示的像素結構中，將液晶元件置換為像素電極形狀來示意性地示出各元件的電連接狀態的例子。在圖 16A 中，第一像素電極 1088-1 對應於圖 15B 中的液晶元件 1082-1 的第一端子，第二像素電極 1088-2 對應於圖 15B 中的液晶元件 1082-2 的第一端子。也就是，第一像素電極 1088-1 與電晶體 1081-1 的源極和汲極中之一電連接，第二像素電極 1088-2 與電晶體 1081-2 的源極和汲極中之一電連接。另一方面，在圖 16B 中，像素電極和電晶體之間的連接關係與圖 16A 中的像素電極和電晶體之間的連接關係相反。也就是，第一像素電極 1088-1 與電晶體 1081-2 的源極和汲極之一電連接，第二像素電極 1088-2 與電晶體 1081-1 的源極和汲極之一電連接。注意，雖然未圖示，各像素電極隔著液晶與對置電極連接而形成液晶元件。

接著，採用使用本發明的一個方式的氧化物半導體層的薄膜電晶體，大致估計液晶顯示裝置中的各像素的孔徑比有多大提高。

作為用來估計像素的孔徑比的參數，將使用氧化物半導體層的薄膜電晶體的洩漏電流設定為 1×10^{-13} (A)，將面板尺寸設定為 3.4 英寸，將顯示的灰度設定為 256 灰度，將輸入的電壓設定為 10 V，以 1/60 秒進行一個圖框的顯示。此外，將閘極絕緣膜的介電常數設定為 3.7 (F/m)，將厚度設定為 1×10^{-7} (m) 而進行說明。

首先，對將上述參數應用於像素數為 $540 \times \text{RGB} \times 960$ 的

面板（稱為第一面板）時的電容元件的面積及孔徑比進行估計。在該面板中，像素尺寸為 $26(\mu\text{m}) \times 78(\mu\text{m})$ ，即 $2.03 \times 10^{-9}(\text{m}^2)$ 。其中，除了佈線及薄膜電晶體所占的區域之外的面積為 $1.43 \times 10^{-9}(\text{m}^2)$ ，佈線及薄膜電晶體所占的區域的面積為 $6.00 \times 10^{-10}(\text{m}^2)$ 。

在第一面板中，輔助電容器所需要的最低電容值在具備包括氧化物半導體層的薄膜電晶體的像素中為 $4.25 \times 10^{-14}(\text{F})$ 。在此情況下，所需要的電容器面積為 $1.30 \times 10^{-10}(\text{m}^2)$ ，在像素中電容元件所占的面積的比例為 $6.4(\%)$ ，孔徑比為 $64.0(\%)$ 。

此外，對將上述參數應用於像素數為 $480 \times \text{RGB} \times 640$ 的面板（稱為第二面板）時的電容元件的面積及孔徑比進行估計。在該面板中，像素尺寸為 $36(\mu\text{m}) \times 108(\mu\text{m})$ ，即 $3.89 \times 10^{-9}(\text{m}^2)$ 。其中，除了佈線及薄膜電晶體所占的區域之外的面積為 $3.29 \times 10^{-9}(\text{m}^2)$ ，佈線及薄膜電晶體所占的區域的面積為 $6.00 \times 10^{-10}(\text{m}^2)$ 。

在第二面板中，輔助電容器所需要的最低電容值在具備包括氧化物半導體層的薄膜電晶體的像素中為 $4.25 \times 10^{-14}(\text{F})$ 。在此情況下，所需要的電容器面積為 $1.30 \times 10^{-10}(\text{m}^2)$ ，在像素中電容元件所占的面積的比例為 $3.3(\%)$ ，孔徑比為 $81.2(\%)$ 。

藉由對於這些第一面板及第二面板，使用具有本發明的一個方式的包括氧化物半導體層的薄膜電晶體，可以縮減電容線並放大像素電極105所占的區域。在第一面板中

算出了的孔徑比為 70.4%，在第二面板中算出了的孔徑比為 84.5%，從而可以知道藉由省略電容元件來大幅度地提高孔徑比。

在本實施例模式的像素中，也藉由與上述實施例模式的結構組合，當製造具備使用氧化物半導體的薄膜電晶體的像素時可以提高孔徑比。

本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

（實施例模式 4）

在本實施例模式中，說明具備上述實施例模式所說明的液晶顯示裝置的電子設備的例子。

圖 17A 是可攜式遊戲機，其可以包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636、記錄媒體讀取部 9672 等。圖 17A 所示的可攜式遊戲機具有如下功能：讀出儲存在記錄媒體中的程式或資料並將其顯示在顯示部上；以及藉由與其他可攜式遊戲機進行無線通信而實現資訊共用等。另外，圖 17A 所示的可攜式遊戲機所具有的功能不侷限於此，而可以具有各種各樣的功能。

圖 17B 是數位相機，其可以包括外殼 9630、顯示部 9631、揚聲器 9633、操作鍵 9635、連接端子 9636、快門按鈕 9676、影像接收部 9677 等。圖 17B 所示的帶電視影像接收功能的數位相機可以具有如下功能：拍攝靜態影像；拍攝動態影像；對所拍攝的影像進行自動或手工校正；藉由

天線獲得各種資訊；儲存所拍攝的影像或藉由天線獲得的資訊；將所拍攝的影像或藉由天線獲得的資訊顯示在顯示部上等。注意，圖17B所示的帶電視影像接收功能的數位相機可以具有各種功能，而不侷限於這些功能。

圖17C是電視影像接收機，其可以包括外殼9630、顯示部9631、揚聲器9633、操作鍵9635、連接端子9636等。圖17C所示的電視影像接收機可以具有如下功能：對電視電波進行處理而將其轉換為視頻信號；對視頻信號進行處理並將其轉換為適於顯示的信號；對視頻信號的圖框率進行轉換等。另外，圖17C所示的電視影像接收機可以具有各種功能，而不侷限於這些功能。

圖18A是電腦，其可以包括外殼9630、顯示部9631、揚聲器9633、操作鍵9635、連接端子9636、定位裝置9681、外部連接埠9680等。圖18A所示的電腦可以具有如下功能：將各種資訊（靜態影像、動態影像、文字影像等）顯示在顯示部上；利用各種軟體（程式）控制處理；進行無線通信或有線通信等的通信；利用通信功能而連接到各種電腦網路；利用通信功能進行各種資料的發送或接收等。另外，圖18A所示的電腦可以具有各種功能，而不侷限於這些功能。

圖18B是手機，其可以包括外殼9630、顯示部9631、揚聲器9633、操作鍵9635、麥克風9638等。圖18B所示的手機可以具有如下功能：在顯示部上顯示各種資訊（靜態影像、動態影像、文字影像等）；將日曆、日期或時刻等

顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯；利用各種軟體（程式）控制處理等。另外，圖 18B 所示的手機可以具有各種功能，而不侷限於這些功能。

圖 18C 是電子紙終端（也稱為 eBook 或 e-book），其可以包括外殼 9630、顯示部 9631、操作鍵 9635 等。圖 18C 所示的電子紙可以具有如下功能：在顯示部上顯示各種資訊（靜態影像、動態影像、文字影像等）；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯；利用各種軟體（程式）控制處理等。另外，圖 18C 所示的電子紙可以具有各種功能，而不侷限於這些功能。

本實施例模式所描述的電子設備可以在構成顯示部的多個像素中使用提高了孔徑比的液晶顯示裝置。

在本實施例模式可以與其他實施例模式所記載的結構適當地組合而實施。

【圖式簡單說明】

在附圖中：

圖 1A 和 1B 是說明液晶顯示裝置的俯視圖及截面圖；

圖 2A 和 2B 是說明液晶顯示裝置的俯視圖及截面圖；

圖 3A 至 3D 是說明液晶顯示裝置的製造方法的截面圖；

圖 4 是使用氧化物半導體的薄膜電晶體的 V_g - I_d 特性；

圖 5A 和 5B 是使用氧化物半導體的薄膜電晶體的照片

；

圖 6A 和 6B 是使用氧化物半導體的薄膜電晶體的 V_g - I_d 特性（溫度特性）；

圖 7 是說明液晶顯示裝置的圖；

圖 8 是使用氧化物半導體的反交錯型薄膜電晶體的縱截面圖；

圖 9A 和 9B 是沿著圖 8 所示的 A-A' 的截面的能帶圖（模式圖）；

圖 10A 和 10B 是沿著圖 8 所示的 B-B' 的截面的能帶圖（模式圖），圖 10A 示出對閘極（G1）施加正電位元（ $+V_G$ ）的狀態，圖 10B 示出對閘極（G1）施加負電位元（ $-V_G$ ）的狀態；

圖 11 是示出真空能階和金屬的功函數（ ϕ_M ）及氧化物半導體的電子親和力（ χ ）之間的關係；

圖 12A 和 12B 是說明液晶顯示裝置的圖；

圖 13A 和 13B 是說明液晶顯示裝置的圖；

圖 14A 和 14B 是說明液晶顯示裝置的圖；

圖 15A 和 15B 是說明液晶顯示裝置的圖；

圖 16A 和 16B 是說明液晶顯示裝置的圖；

圖 17A 至 17C 是說明電子設備的圖；

圖 18A 至 18C 是說明電子設備的圖；

圖 19 是示出矽 MOS 電晶體的源極-汲極之間的帶結構的圖。

【 主 要 元 件 符 號 說 明 】

101：佈線

102A：佈線

102B：佈線

103：氧化物半導體層

105：像素電極

106：薄膜電晶體

111：基板

112：基底膜

113：閘極絕緣膜

114：氧化物絕緣層

121：開口部

700：基板

701：像素

702：像素部

703：掃描線驅動電路

704：信號線驅動電路

880：像素

884：佈線

885：佈線

887：佈線

889：共同佈線

984：信號

985：信號

1080：子像素
1081：電晶體
1082：液晶素子
1084：佈線
1085：佈線
1088：像素電極
2101：佈線
2102A：佈線
2102B：佈線
2103：氧化物半導體層
2104：電容線
2105：像素電極
2106：薄膜電晶體
2111：基板
2112：基底膜
2113：閘極絕緣膜
2114：氧化物絕緣層
3880：像素
3881：電晶體
3882：液晶元件
3883：電容元件
3884：佈線
3885：佈線
3886：佈線

3887：佈線

9630：外殼

9631：顯示部

9633：揚聲器

9635：操作鍵

9636：連接端子

9638：麥克風

9672：記錄媒體讀取部

9676：開門按鈕

9677：影像接收部

9680：外部連接埠

9681：定位裝置

I644152

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：099135074

※申請日：099 年 10 月 14 日

※IPC 分類：**G02F 1/1368** (2006.01)
G02F 1/1362 (2006.01)

一、發明名稱：(中文／英文)

液晶顯示裝置及包含該液晶顯示裝置的電子裝置

Liquid crystal display device and electronic device including the same

二、中文發明摘要：

本發明的一個方式提供在包括使用氧化物半導體的薄膜電晶體的像素中可以提高孔徑比的液晶顯示裝置。在液晶顯示裝置中，薄膜電晶體包括：閘極電極、與閘極電極重疊地設置的閘極絕緣層及氧化物半導體層以及與氧化物半導體層的一部分相重疊的源極電極及汲極電極，其中，薄膜電晶體設置在配置在像素部的信號線和像素電極之間，薄膜電晶體的截止電流 1×10^{-13} A 或更小，可以只使用液晶電容器保持電位而不設置與液晶元件並聯的電容元件，並且在像素部不形成與像素電極連接的電容元件。

三、英文發明摘要：

A liquid crystal display device is provided in which the aperture ratio can be increased in a pixel including a thin film transistor in which an oxide semiconductor is used. In the liquid crystal display device, the thin film transistor including a gate electrode, a gate insulating layer and an oxide semiconductor layer which are provided so as to overlap with the gate electrode, and a source electrode and a drain electrode which overlap part of the oxide semiconductor layer is provided between a signal line and a pixel electrode which are provided in a pixel portion. The off-current of the thin film transistor is 1×10^{-13} A or less. A potential can be held only by a liquid crystal capacitor, without a capacitor which is parallel to a liquid crystal element, and a capacitor connected to the pixel electrode is not formed in the pixel portion.

圖 3A

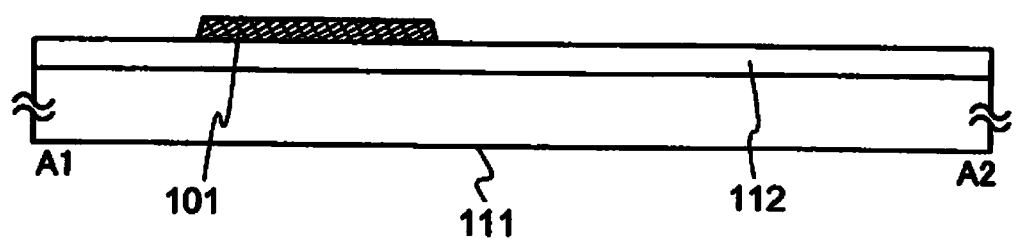


圖 3B

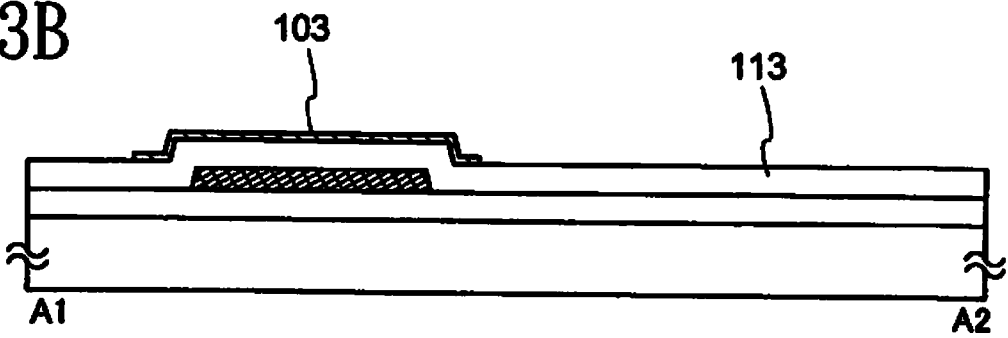


圖 3C

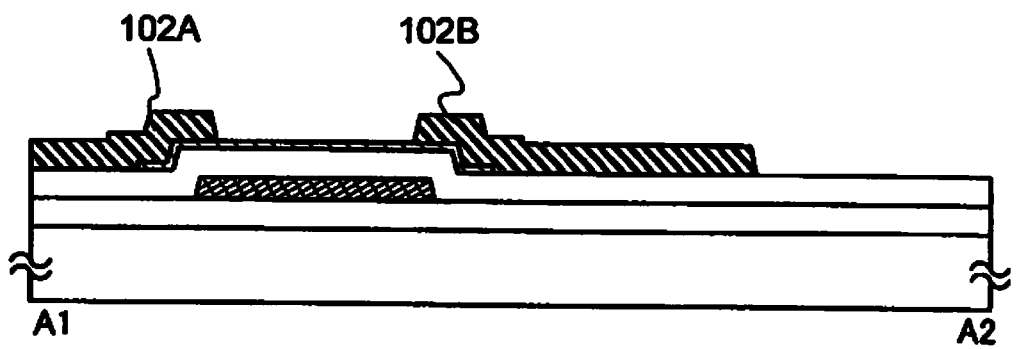


圖 3D

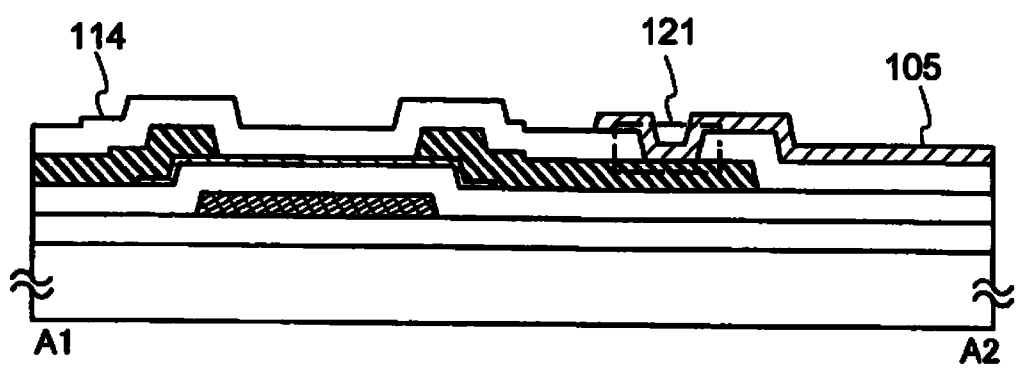


圖 4

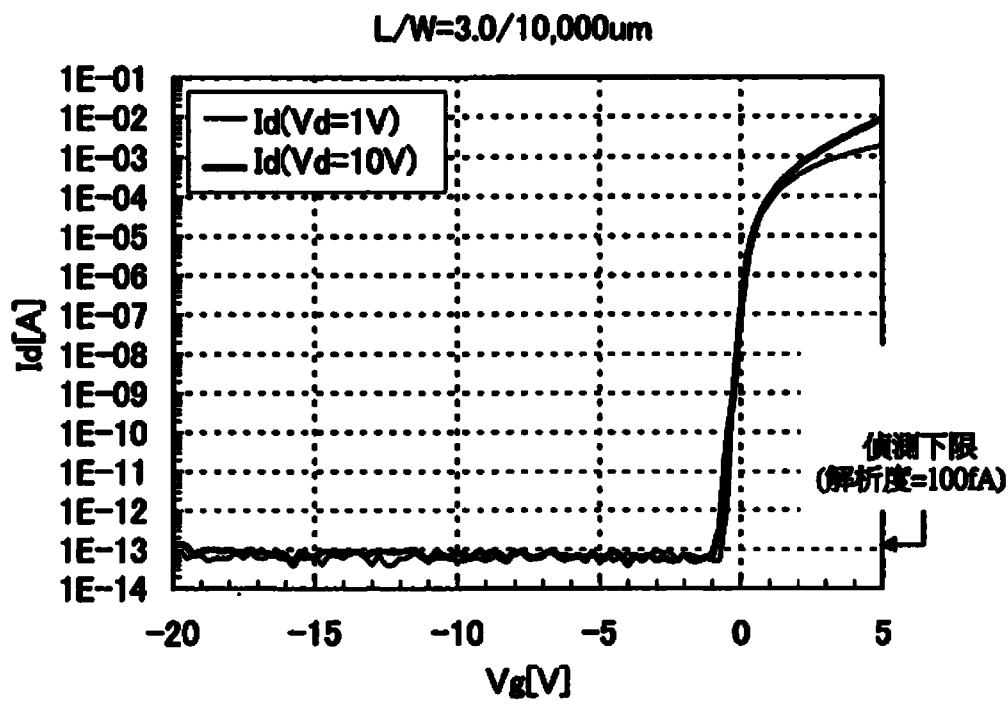


圖 6A

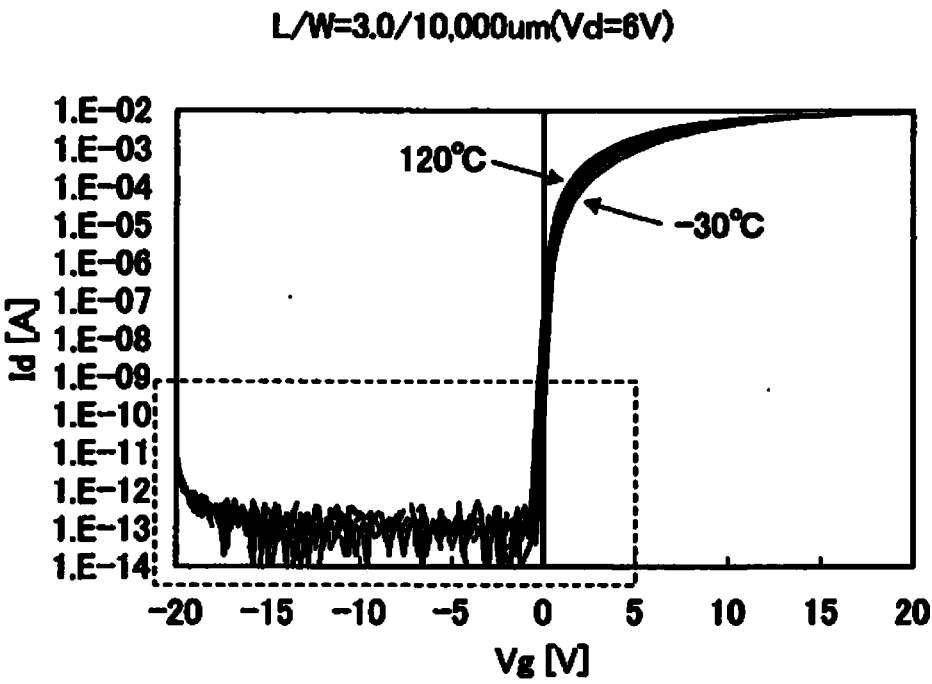


圖 6B

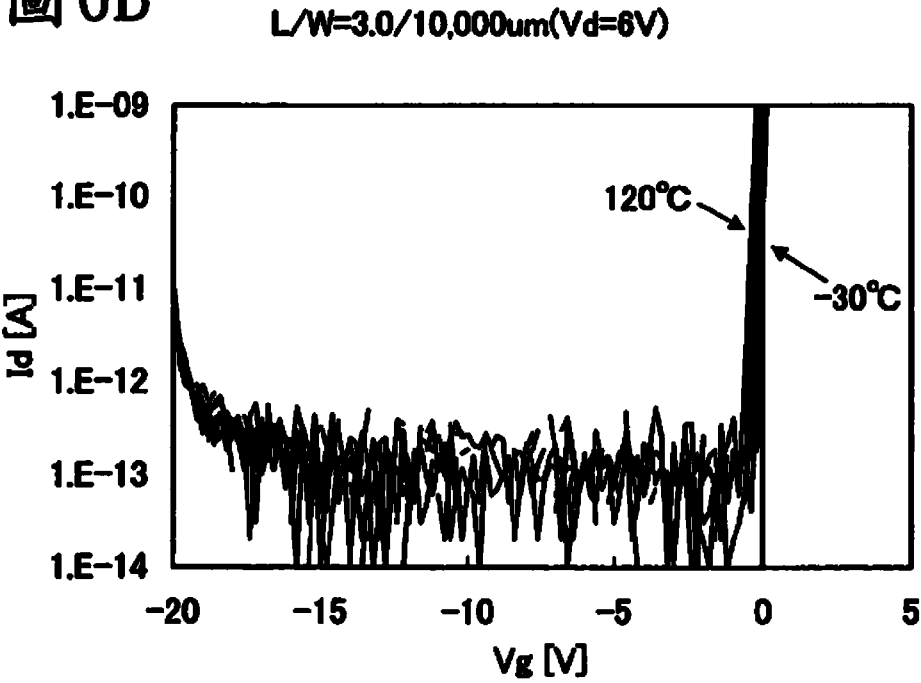


圖 7

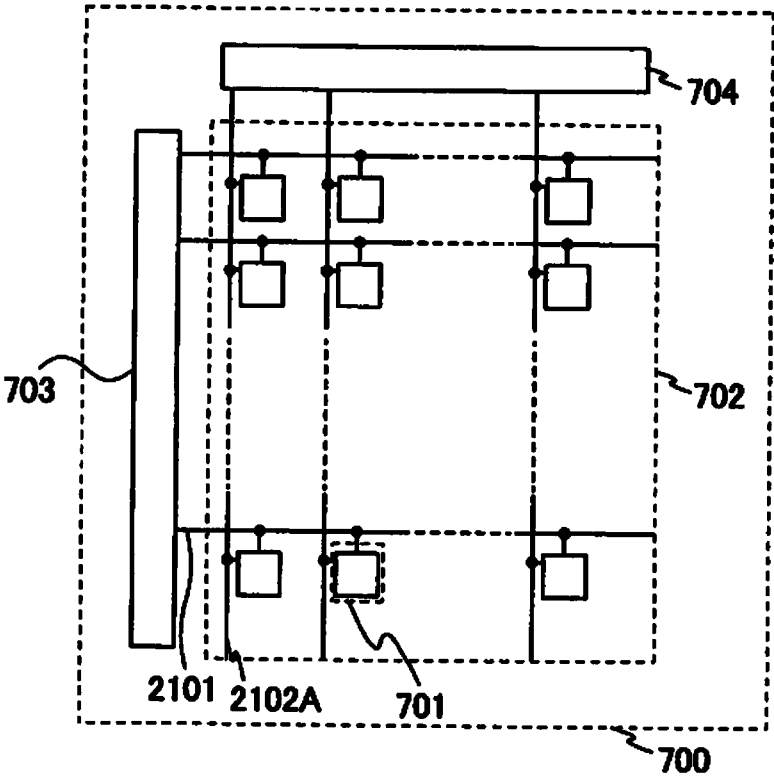


圖 8

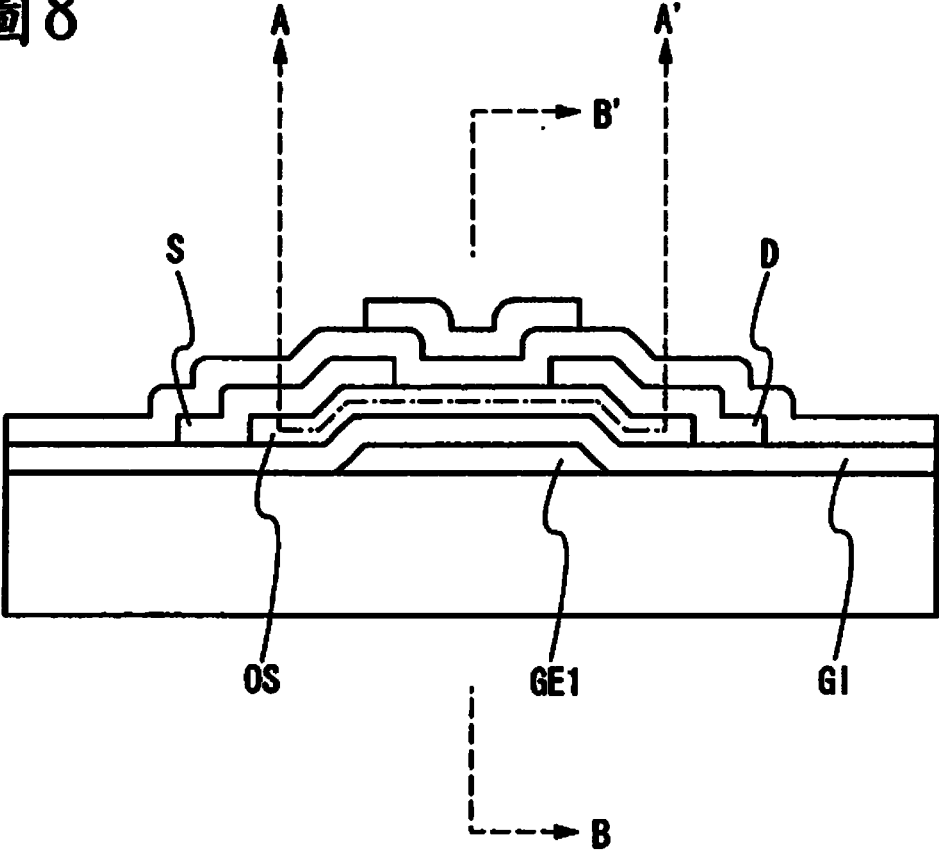


圖 9A

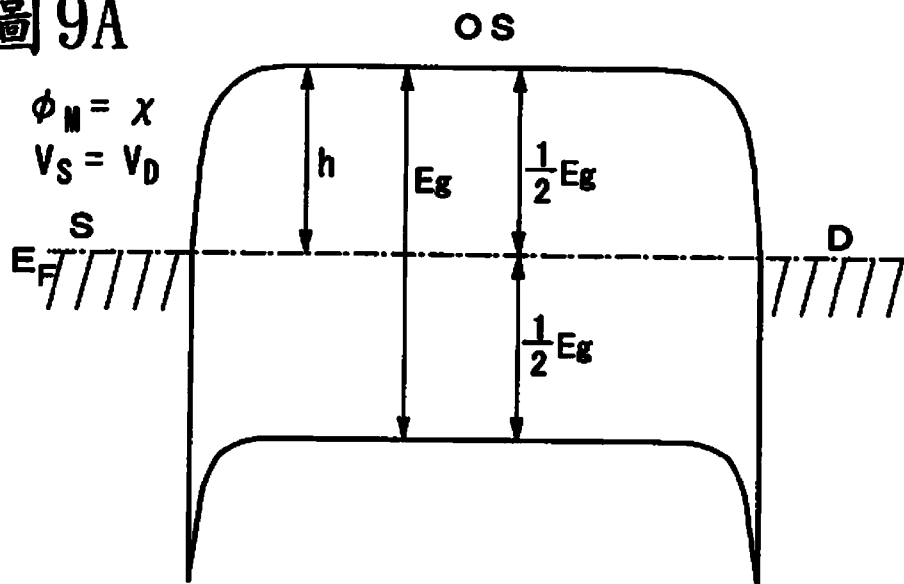


圖 9B

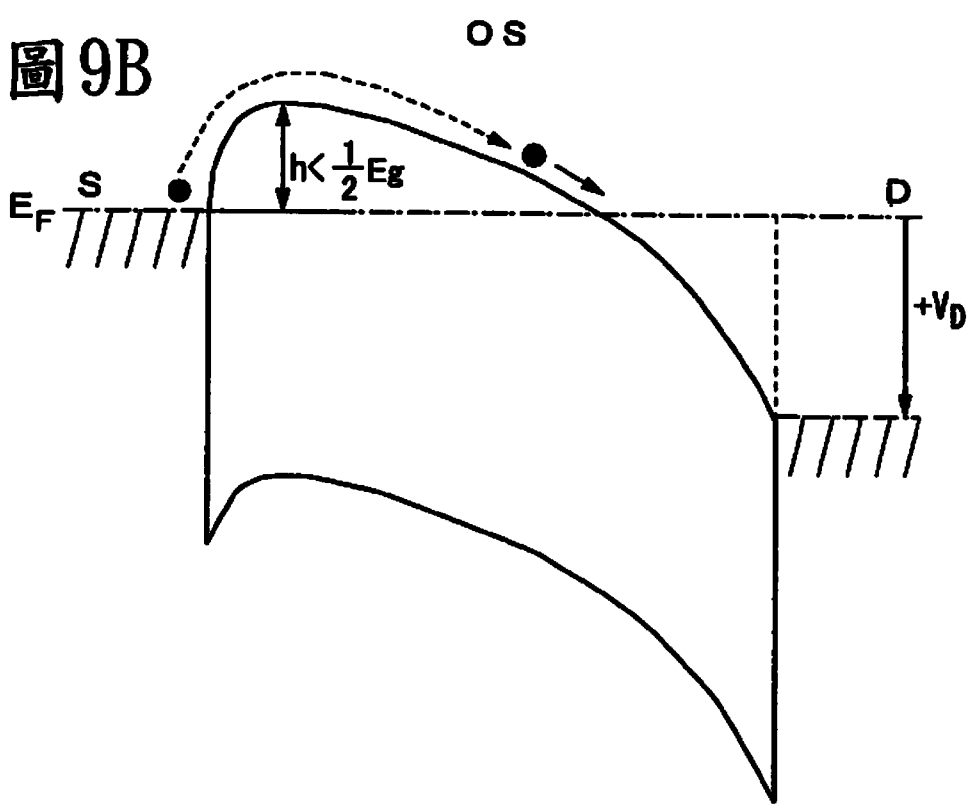


圖 10A

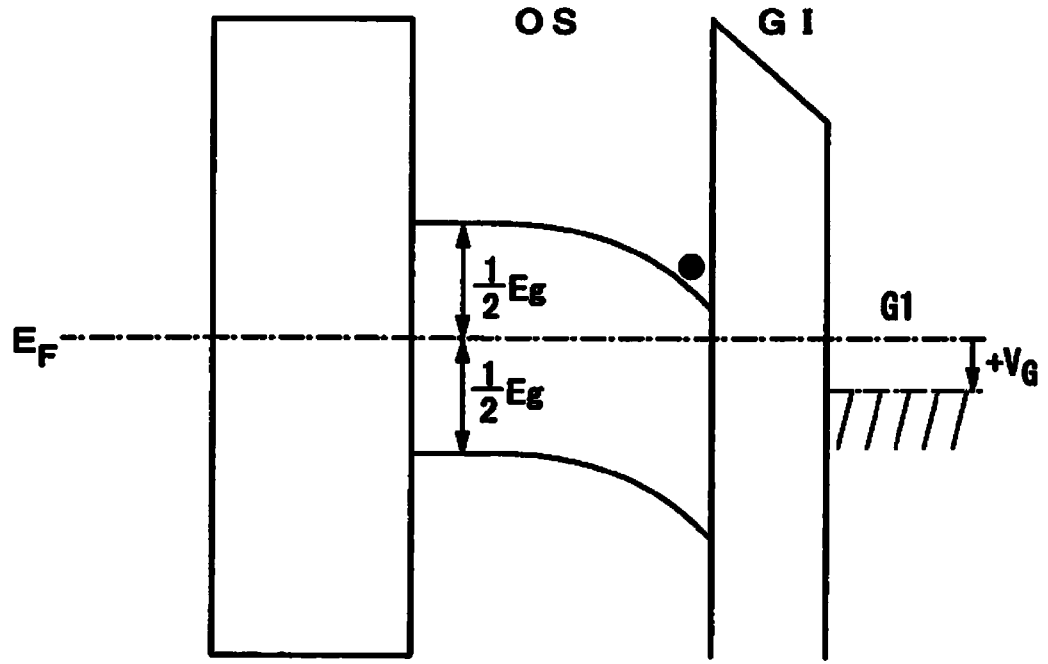


圖 10B

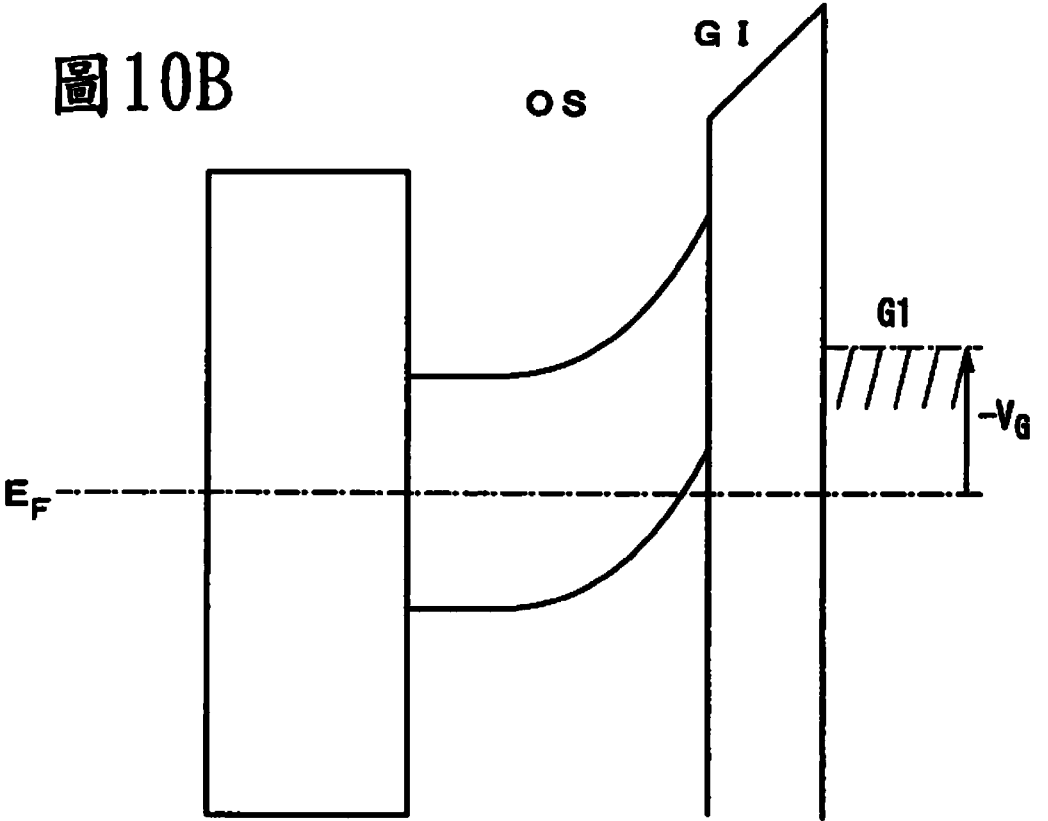


圖 11

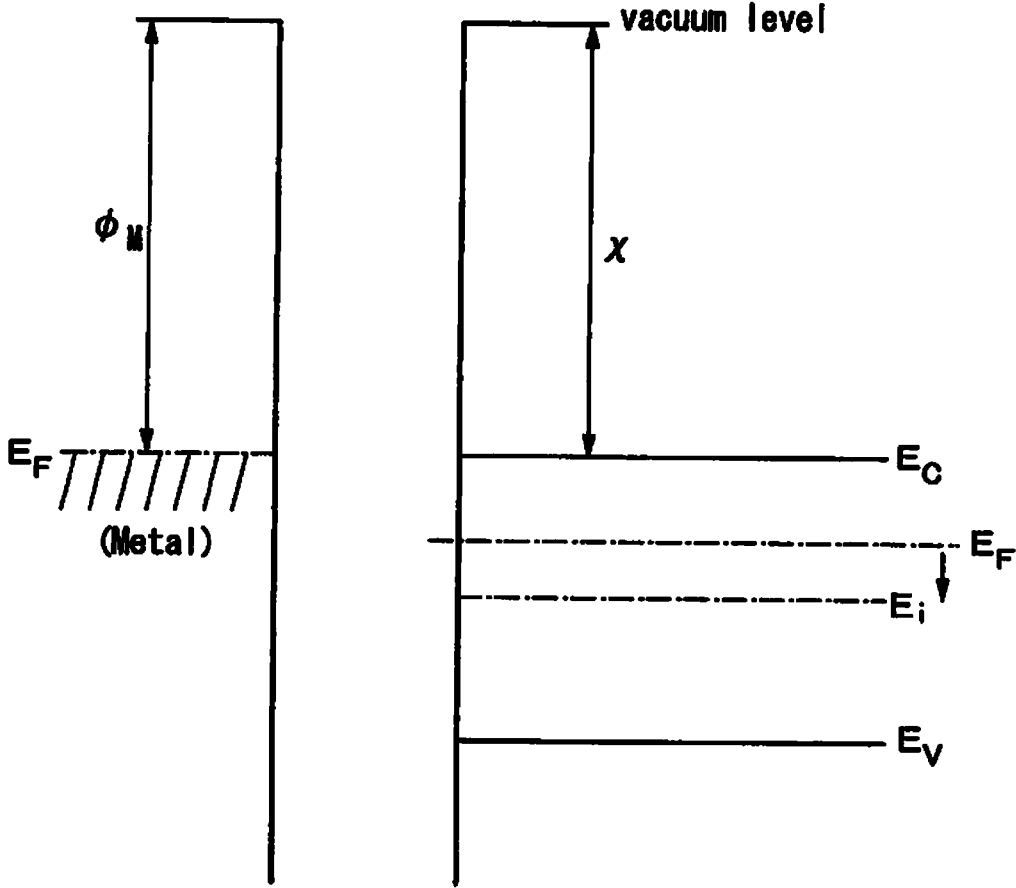


圖12A

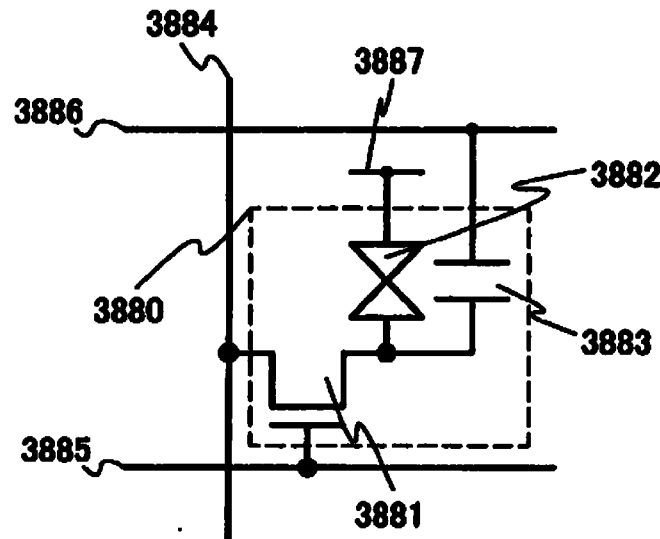


圖12B

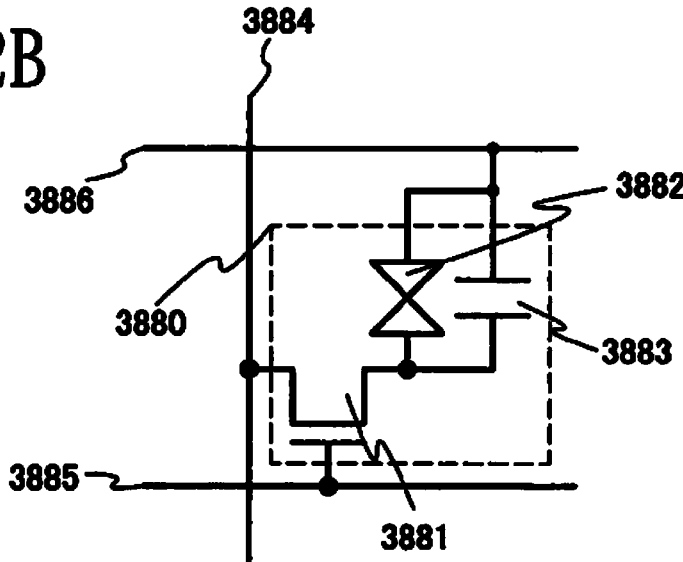


圖13A

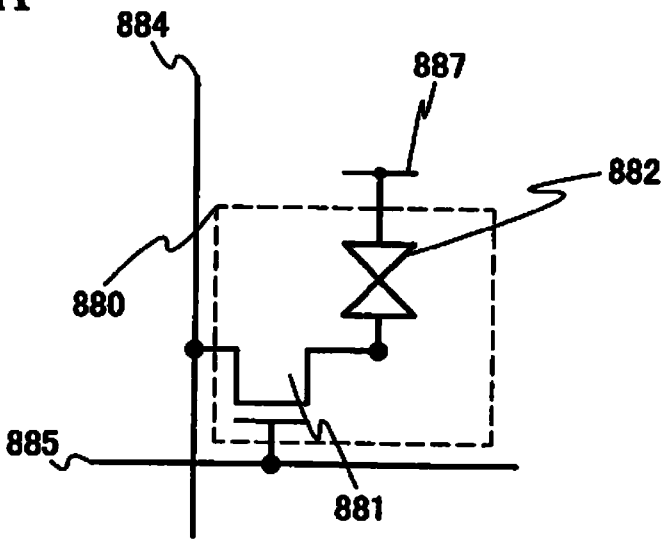


圖13B

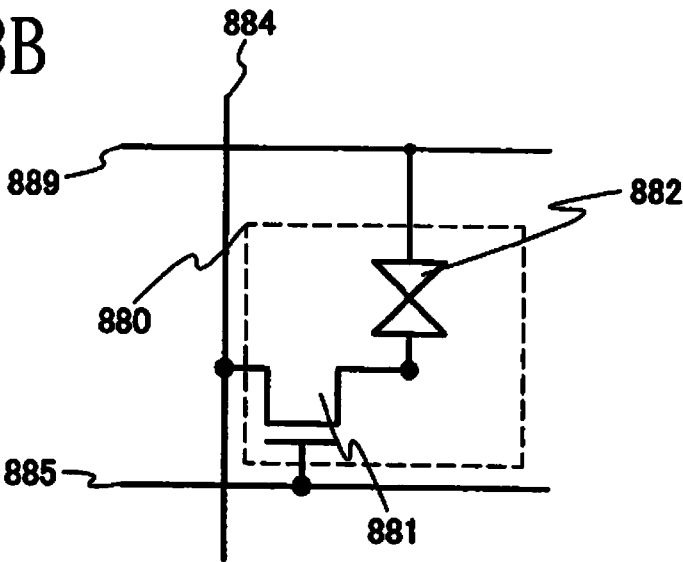


圖 14A

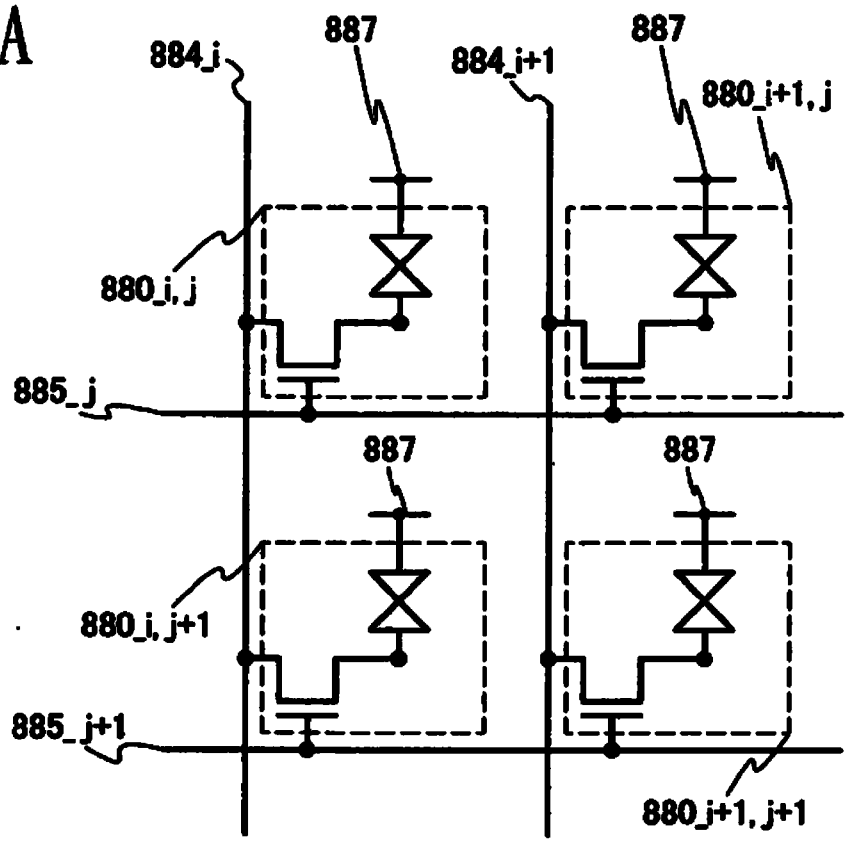


圖 14B

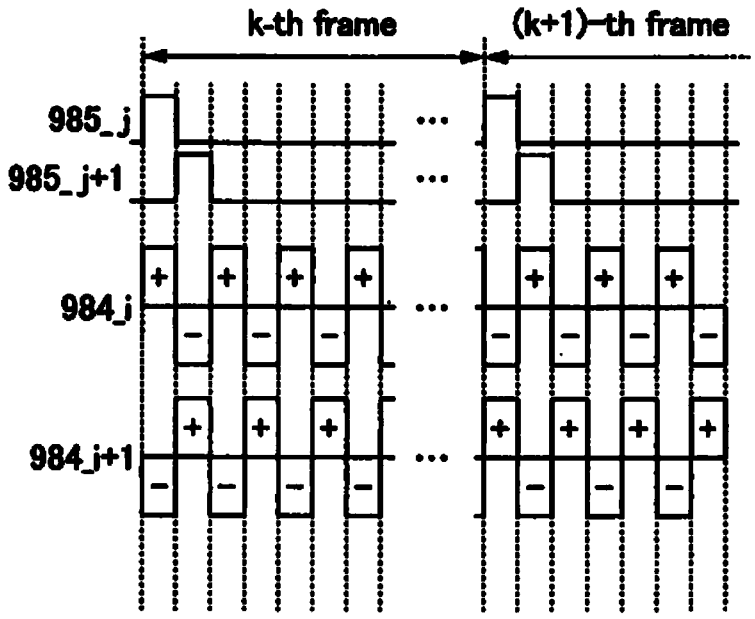


圖15A

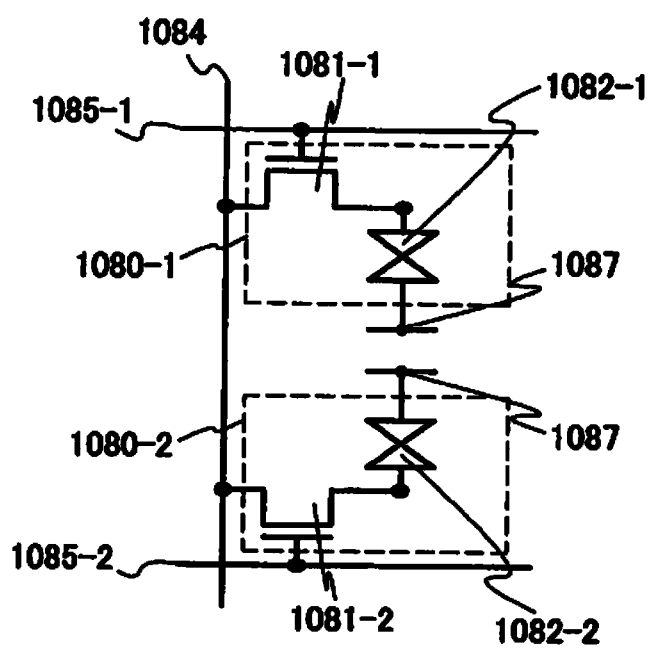


圖15B

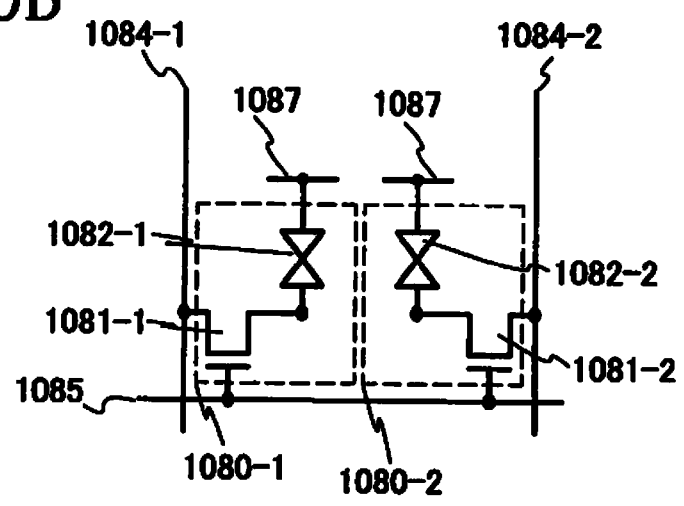


圖 16A

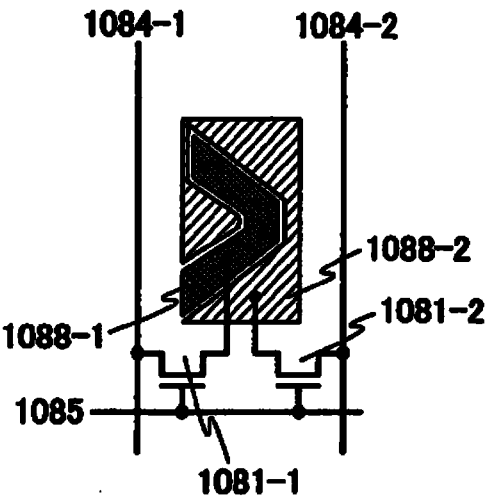


圖 16B

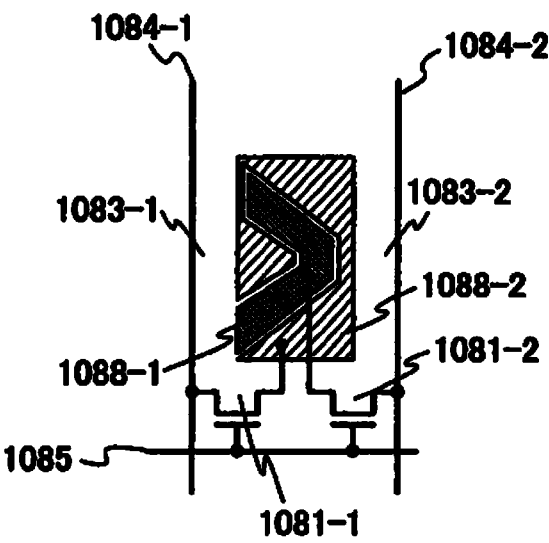
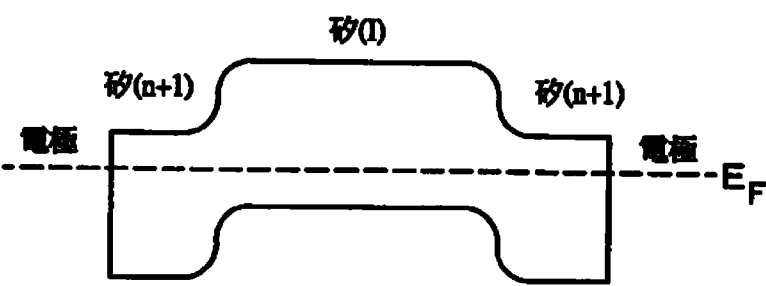


圖 19



四、指定代表圖：

(一) 本案指定代表圖為：第 13A 圖。

(二) 本代表圖之元件符號簡單說明：

880：像素

884：佈線

885：佈線

887：佈線

881：電晶體

882：液晶元件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

第 099135074 號

民國 105 年 10 月 21 日修正

七、申請專利範圍：

1. 一種液晶顯示裝置，包括：

電晶體；

電連接到該電晶體的液晶元件；

電連接到該電晶體及該液晶元件的輔助電容器；以及

該電晶體上的氧化物絕緣層，

其中，該電晶體的通道形成區在氧化物半導體層中，

其中，該通道形成區與該氧化物絕緣層直接接觸，

其中，在像素中設置該液晶元件，

其中，該輔助電容器的電容小於該液晶元件的電容，

其中，該電晶體具有電特性，使得在溫度是 120°C 的條件下流經作為該通道形成區的區的截止電流是 $1 \times 10^{-12} \text{A}$ 或更小，

其中，在該條件下，該電晶體的源極與汲極之間的電壓是 6V ，以及

其中，該氧化物半導體層中的氫濃度是 $5 \times 10^{19}/\text{cm}^3$ 或更小。

2. 根據申請專利範圍第 1 項所述的液晶顯示裝置，

其中，該電晶體還包括：

閘極電極；

與該閘極電極相重疊的閘極絕緣層；以及

與該氧化物半導體層的一部分相接觸的源極電極及汲極電極，

其中，該氧化物半導體層重疊於該閘極電極。

第 099135074 號

民國 105 年 10 月 21 日修正

3.一種液晶顯示裝置，包括：

電晶體，包括：

閘極電極；

該閘極電極上的閘極絕緣層；

該閘極電極上的氧化物半導體層；以及

該氧化物半導體層上且與該氧化物半導體層直接接觸的氧化物絕緣層；

液晶元件，其電連接至該電晶體；以及

輔助電容器，其電連接至該電晶體和該液晶元件，

其中，在像素中設置該液晶元件，

其中，該輔助電容器的電容小於該液晶元件的電容，

其中，該電晶體具有電特性，使得在溫度是 120°C 的條件下流經作為通道形成區的區的截止電流是 $1\times 10^{-12}\text{A}$ 或更小，

其中，在該條件下，該電晶體的源極與汲極之間的電壓是 6V ，以及

其中，該氧化物半導體層中的氫濃度是 $5\times 10^{19}/\text{cm}^3$ 或更小。

4.一種液晶顯示裝置，包括：

電晶體，包括：

閘極電極；

氧化物半導體層；以及

在該閘極電極與該氧化物半導體層之間的閘極絕緣層；

第 099135074 號

民國 105 年 10 月 21 日修正

該氧化物半導體層上且與該氧化物半導體層直接接觸的氧化物絕緣層，

液晶元件，其電連接至該電晶體；以及

輔助電容器，其電連接至該電晶體和該液晶元件，

其中，在像素中設置該液晶元件，

其中，該輔助電容器的電容小於該液晶元件的電容，

其中，該電晶體具有電特性，使得在溫度是 120°C 的條件下流經作為通道形成區的區的截止電流是 $1 \times 10^{-12}\text{A}$ 或更小，

其中，在該條件下，該電晶體的源極與汲極之間的電壓是 6V ，以及

其中，該氧化物半導體層中的氫濃度是 $5 \times 10^{19}/\text{cm}^3$ 或更小。

5.根據申請專利範圍第 1、3 及 4 項中的任一項所述的液晶顯示裝置，其中，該氧化物半導體層具有 $5 \times 10^{14}/\text{cm}^3$ 或更小的載子濃度。

6.根據申請專利範圍第 1、3 及 4 項中的任一項所述的液晶顯示裝置，其中，在該像素所包括的子像素中設置該液晶元件。

7.根據申請專利範圍第 1、3 及 4 項中的任一項所述的液晶顯示裝置，其中，該氧化物半導體層為實際上本徵的半導體層。

8.一種電子裝置，包括根據申請專利範圍第 1、3 及 4 項中的任一項所述的液晶顯示裝置。