

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 6 月 22 日 (22.06.2017)



(10) 国际公布号
WO 2017/101181 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2016/070314
- (22) 国际申请日: 2016 年 1 月 6 日 (06.01.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510925798.5 2015 年 12 月 14 日 (14.12.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 曹丹 (CAO, Dan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 广州三环专利代理有限公司 (GUANGZHOU SCIHEAD PATENT AGENT CO., LTD); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: THIN-FILM TRANSISTOR GATE VOLTAGE SUPPLY CIRCUIT

(54) 发明名称: 薄膜晶体管栅极电压供给电路

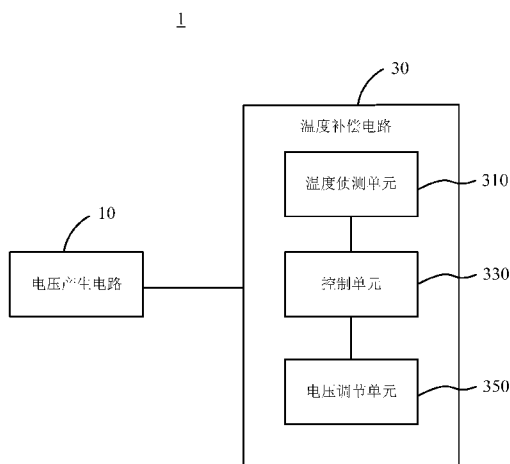


图 1

- 10 Voltage generating circuit
30 Temperature compensation circuit
310 Temperature detecting unit
330 Control unit
350 Voltage regulating unit

(57) Abstract: A thin-film transistor gate voltage supply circuit (1). The thin-film transistor gate voltage supply circuit (1) is for use in providing a gate voltage to a thin-film transistor. The thin-film transistor gate voltage supply circuit (1) comprises a voltage generating circuit (10) and a temperature compensation circuit (30). The voltage generating circuit (10) is used for generating an original voltage. The temperature compensation circuit (30) is electrically connected to the voltage generating circuit (10). Also, the temperature compensation circuit (30) is used for detecting the ambient temperature. When the ambient temperature is less than a preset temperature, the temperature compensation circuit (30) compensates the original voltage on the basis of the difference between the ambient temperature and the preset temperature to produce a first voltage and provides the first voltage to a gate of the thin-film transistor, thus driving the thin-film transistor to work normally. The thin-film transistor gate voltage supply circuit (1) is capable of driving the thin-film transistor to work normally in a low temperature environment.

(57) 摘要: 一种薄膜晶体管栅极电压供给电路 (1), 所述薄膜晶体管栅极电压供给电路 (1) 用于为薄膜晶体管提供栅极电压, 所述薄膜晶体管栅极电压供给电路 (1) 包括电压产生电路 (10) 及温度补偿电路 (30), 所述电压产生电路 (10) 用于

产生原始电压, 所述温度补偿电路 (30) 与所述电压产生电路 (10) 电连接, 并且所述温度补偿电路 (30) 用于检测环境温度, 当环境温度小于预设温度时, 所述温度补偿电路 (30) 根据环境温度与所述预设温度的差值对所述原始电压进行补偿以得到第一电压, 并将所述第一电压提供给所述薄膜晶体管的栅极, 以驱动所述薄膜晶体管正常工作。所述薄膜晶体管栅极电压供给电路 (1) 能够在低温环境下驱动薄膜晶体管正常工作。

薄膜晶体管栅极电压供给电路

5 本发明要求 2015 年 12 月 14 日递交的发明名称为“薄膜晶体管栅极电压供给电路”的申请号 201510925798.5 的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及显示领域，尤其涉及一种薄膜晶体管栅极电压供给电路。

10 背景技术

随着显示技术的发展，液晶显示装置（Liquid Crystal Display, LCD）由于体积小、功耗低等优点而得到广大用户的青睐。阵列基板行驱动技术（Gate Driver on Array, GOA）是直接将栅极驱动电路或者栅极驱动芯片（Gate driver IC）制作到薄膜晶体管阵列基板（Thin Film Transistor Array, TFT Array）上，来代替外接 CMOS 制作的驱动芯片的一种技术。GOA 技术中可以将驱动芯片直接做在显示面板的周围，制作程序较少，产品成本较低，且 TFT-LCD 的显示面板的集成度较高，以及使得显示面板更加薄型化。现有技术的薄膜晶体管栅极电压供给电路通常供给薄膜晶体管的栅极一固定值的电压 V_{GH} 以驱动薄膜晶体管工作。然而，薄膜晶体管的栅极和源极之间的阈值电压 V_{TH} 随着温度的漂移相对较大，在环境温度低于预设温度（比如， -10°C ）时，薄膜晶体管的 V_{TH} 的变化较大。在低温条件下，当现有的薄膜晶体管栅极电压供给电路供给薄膜晶体管的栅极一固定的电压 V_{GH} 时，会导致 V_{GH} 小于 V_{TH} ，进而导致薄膜晶体管无法正常工作，最终导致显示面板无法正常显示。

25 发明内容

本发明提供一种薄膜晶体管栅极电压供给电路，所述薄膜晶体管栅极电压供给电路用于为薄膜晶体管提供栅极电压，所述薄膜晶体管栅极电压供给电路包括电压产生电路及温度补偿电路，所述电压产生电路用于产生原始电压，所述温度补偿电路与所述电压产生电路电连接，并且所述温度补偿电路用于侦测

环境温度,当环境温度小于预设温度时,所述温度补偿电路根据环境温度与所述预设温度的差值对所述原始电压进行补偿以得到第一电压,并将所述第一电压提供给所述薄膜晶体管的栅极,以驱动所述薄膜晶体管正常工作。

其中,所述温度补偿电路包括温度侦测单元、控制单元以及电压调节单元,所述温度侦测单元用于侦测环境温度,所述控制单元与所述温度侦测单元电连接,所述控制单元用于当环境温度小于所述预设温度时发出控制信号,所述电压调节单元电连接所述控制单元,所述电压调节单元用于接收所述控制信号,并在所述控制信号的控制下导通,以对所述原始电压进行补偿以得到所述第一电压。

其中,所述控制单元包括定时控制器、第一侦测电路、逻辑电路、定时器以及选择器,所述定时控制器用于接收所述环境温度,将所述环境温度与所述预设温度进行比较,根据所述环境温度与所述预设温度的差值产生定时控制信号以及第一逻辑信号,所述第一侦测电路侦测所述电压产生电路是否工作,并输出第二逻辑信号,所述逻辑电路接收所述第一逻辑信号及所述第二逻辑信号,并根据所述第一逻辑信号及所述第二逻辑信号输出第三逻辑信号,所述定时器接收所述定时控制信号以及所述第三逻辑信号,所述第三逻辑信号用于控制所述定时器开启或者关闭,当所述定时器在所述第三逻辑信号的控制下开启时,所述定时控制信号用于控制所述定时器开启的时间长度,且所述定时控制信号控制所述定时器开启的时间长度与所述环境温度小于所述预设温度的差值相关,所述定时器还用于发出选择信号,当所述定时器开启时,所述选择信号控制所述选择器选择所述第三逻辑信号并根据所述第三逻辑信号发出所述控制信号。

其中,所述控制单元还包括第一支路,所述第一支路用于产生第四逻辑信号,其中,所述第四逻辑信号与所述第三逻辑信号相反,当所述第三逻辑信号控制所述定时器关闭时,所述选择器选择所述第四逻辑信号,所述第四逻辑信号用于关闭所述电压调节单元。

其中,所述第一侦测电路包括第一电阻、第二电阻及第一运算放大器,所述第一电阻的一端电连接所述电压产生电路,所述第一电阻的另一端通过所述第二电阻接地,所述第一运算放大器的正极输入端连接所述第一电阻及第二电

阻之间的节点, 所述第一运算放大器的输出端作为所述第一侦测电路的输出端, 当所述电压产生电路工作时, 所述第二逻辑信号为高电平信号, 否则, 当所述电压产生电路没有工作时, 所述第二逻辑信号为低电平信号。

其中, 当所述环境温度小于所述预设温度时, 所述第一逻辑信号为高电平信号, 所述逻辑电路为与门, 所述逻辑电路包括第一逻辑信号接收端、第二逻辑信号接收端及逻辑信号输出端, 所述第一逻辑信号接收端用于接收所述第一逻辑信号, 所述第二逻辑信号接收端用于接收所述第二逻辑信号, 所述逻辑信号输出端用于输出所述第三逻辑信号, 当所述第一逻辑信号为高电平信号且所述第二逻辑信号为高电平信号时, 所述第三逻辑信号为高电平信号。

其中, 所述定时器包括第一输入端、第二输入端及输出端, 所述第一输入端连接所述逻辑信号输出端, 以接收所述第三逻辑信号, 所述第二输入端连接所述定时控制器的输出端, 以接收所述定时控制信号; 所述选择器为二选一选择器, 所述选择器包括第一端、第二端、第三端及第四端, 所述第一端电连接所述逻辑信号输出端以接收所述第三逻辑信号, 所述第二端电连接所述第一支路以接收所述第四逻辑信号, 所述第三端电连接所述定时器的输出端, 以接收所述选择信号。

其中, 所述第一支路包括第一电压接收端、第三电阻及第一薄膜晶体管, 所述第一电压接收端用于接收高电平电压, 所述第一薄膜晶体管包括第一栅极、第一源极及第一漏极, 所述第三电阻一端电连接所述第一电压接收端, 所述第三电阻的另一端电连接所述第一漏极, 且所述第三电阻与所述第一漏极之间的节点电连接所述第二端, 所述第一源极接地, 所述第一栅极接收第一支路控制信号, 所述第一支路控制信号为高电平信号时, 所述第一源极及所述第一漏极之间导通, 当所述第一支路控制信号为低电平信号时, 所述第一源极及所述第一漏极之间截止。

其中, 所述控制单元还包括第二支路, 所述第二支路包括光电耦合器、第四电阻、第五电阻及第二运算放大器, 所述光电耦合器包括第一耦合输入端、第二耦合输入端、第一耦合输出端及第二耦合输出端, 所述第一耦合输入端电连接所述电压产生电路的输出端, 所述第二耦合输入端作为所述薄膜晶体管栅极电压供给电路的输出端以输出所述第一电压, 所述第一耦合输出端电通过所

述第四电阻接地，所述第二耦合输出端通过所述第五电阻接收一高电平电压，所述第二运算放大器的正极输入端连接所述第四电阻与所述第一耦合输出端之间的节点，所述第二运算放大器的输出端电连接所述第一栅极，以输出所述第一支路控制信号。

- 5 其中，所述电压产生电路包括电压产生芯片、第六电阻及第七电阻，所述电压产生芯片产生所述原始电压，所述电压产生芯片的输出端电连接所述第六电阻及所述第七电阻至薄膜晶体管栅极电压供给电路的输出端，所述电压调节单元包括第二薄膜晶体管及第八电阻，所述第二薄膜晶体管包括第二栅极、第二源极及第二漏极，所述第二栅极电连接所述选择器的所述第四端，所述第二源极接地，所述第二漏极通过所述第八电阻电连接所述第六电阻及所述第七电阻之间的节点。
- 10

相较于现有技术，本发明的薄膜晶体管栅极电压供给电路中包括电压产生电路以及温度补偿电路，温度补偿电路在检测到环境温度小于预设温度时，根据环境温度与所述预设温度的差值对电压产生电路产生的原始电压进行补偿以得到第一电压，从而在环境温度较低造成薄膜晶体管的栅极和源极之间的阈值电压发生漂移而变大时，相较于原始电压增大的第一电压也能够满足所述薄膜晶体管正常工作的需要。因此，本发明的薄膜晶体管栅极电压供给电路能够在低温环境下也能驱动薄膜晶体管正常工作。

15

20 附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

- 25 图 1 为本发明一较佳实施方式的薄膜晶体管栅极电压供给电路的电路框图。

图 2 为本发明一较佳实施方式的薄膜晶体管栅极电压供给电路的结构示意图。

具体实施方式

下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

请一并参阅图 1 及图 2,图 1 为本发明一较佳实施方式的薄膜晶体管栅极电压供给电路的电路框图;图 2 为本发明一较佳实施方式的薄膜晶体管栅极电压供给电路的结构示意图。所述薄膜晶体管栅极电压供给电路 1 用于为薄膜晶体管提供栅极电压。在本实施方式中,所述薄膜晶体管栅极电压供给电路 1 用于为液晶显示面板中的薄膜晶体管阵列(TFT Array)中的薄膜晶体管提供栅极电压。所述薄膜晶体管栅极电压供给电路 1 包括电压产生电路 10 及温度补偿电路 30,所述电压产生电路 10 用于产生原始电压,所述温度补偿电路 30 与所述电压产生电路 10 电连接,并且所述温度补偿电路 30 用于侦测环境温度,当环境温度小于预设温度时,所述温度补偿电路 30 根据环境温度与所述预设温度的差值对所述原始电压进行补偿以得到第一电压,并将所述第一电压供给所述薄膜晶体管的栅极,以驱动所述薄膜晶体管正常工作。

所述温度补偿电路 30 包括温度侦测单元 310、控制单元 330 以及电压调节单元 350。所述温度侦测单元 310 用于侦测环境温度,所述控制单元 330 与所述温度侦测单元 310 电连接,所述控制单元 330 用于当环境温度小于所述预设温度时发出控制信号,所述电压调节单元 350 电连接所述控制单元 330,所述电压调节单元 350 用于接收所述控制信号,并在所述控制信号的控制下导通,以对所述原始电压进行补偿以得到所述第一电压。

在本实施方式中,所述温度侦测单元 310 为温度传感器。

所述控制单元 330 包括定时控制器(Time controller) 331、第一侦测电路 332、逻辑电路 333、定时器 334 以及选择器 335。所述定时控制器 331 用于接收所述环境温度,将所述环境温度与所述预设温度进行比较,根据所述环境温度与所述预设温度的差值产生定时控制信号以及第一逻辑信号。所述第一侦测电路 332 侦测所述电压产生电路 10 是否工作,并输出第二逻辑信号。所述逻辑电路 333 接收所述第一逻辑信号及所述第二逻辑信号,并根据所述第一逻辑

信号及所述第二逻辑信号输出第三逻辑信号。所述定时器 334 接收所述定时控制信号以及所述第三逻辑信号，所述第三逻辑信号用于控制所述定时器 334 开启或者关闭，当所述定时器 334 在所述第三逻辑信号的控制下开启时，所述定时控制信号用于控制所述定时器 334 开启的时间长度，且所述定时控制信号控制所述定时器 334 开启的时间长度与所述环境温度小于所述预设温度的差值相关，所述定时器 334 还用于发出选择信号，当所述定时器 334 开启时，所述选择信号控制所述选择器 335 选择所述第三逻辑信号并根据所述第三逻辑信号发出所述控制信号。

所述控制单元 330 还包括第一支路 336，所述第一支路 336 用于产生第四逻辑信号，其中，所述第四逻辑信号与所述第三逻辑信号相反，当所述第三逻辑信号控制所述定时器 334 关闭时，所述选择器 335 选择所述第四逻辑信号，所述第四逻辑信号用于关闭所述电压调节单元 350。在这里，所述第四逻辑信号与所述第三逻辑信号相反指的是，所述第四逻辑信号的电平与所述第三逻辑信号的电平相反，比如，当所述第三逻辑信号为高电平的话，则所述第四逻辑信号为低电平。由于，所述定时控制信号控制所述定时器 334 开启的时间长度，因此，当所述定时器 334 在所述控制信号的控制下开启时间结束时，即当所述定时器 334 关闭时，所述选择信号控制所述选择器 335 选择所述第四逻辑信号。

所述第一侦测电路 332 包括第一电阻 R1、第二电阻 R2 以及第一运算放大器 OP1。所述第一电阻 R1 的一端电连接所述电压产生电路 10，所述第一电阻 R1 的另一端通过所述第二电阻 R2 接地。所述第一运算放大器 OP1 的正极输入端连接所述第一电阻 R1 及所述第二电阻 R2 之间的节点，所述第一运算放大器 OP1 的输出端作为所述第一侦测电路 332 的输出端，当所述电压产生电路 10 工作时，所述第二逻辑信号为高电平信号；否则，当所述电压产生线路 10 没有工作时，所述第二逻辑信号为低电平信号。

当所述环境温度小于所述预设温度时，所述第一逻辑信号为高电平信号。所述逻辑电路 333 为与门，所述逻辑电路 333 包括第一逻辑信号接收端 333a、第二逻辑信号接收端 333b 及逻辑信号输出端 333c。所述第一逻辑信号接收端 333a 用于接收所述第一逻辑信号，所述第二逻辑信号接收端 333b 用于接收所述第二逻辑信号，所述逻辑信号输出端 333c 用于输出所述第三逻辑信号，

当所述第一逻辑信号为高电平信号且所述第二逻辑信号为高电平信号时,所述第三逻辑信号为高电平信号。

所述定时器 334 包括第一输入端 334a、第二输入端 334b 以及输出端 334c。所述第一输入端 334a 电连接所述逻辑信号输出端 333c, 以接收所述第三逻辑信号。所述第二输入端 334b 电连接所述定时控制器 331 的输出端, 以接收所述定时控制信号。所述选择器 335 为二选一选择器, 所述选择器 335 包括第一端 335a、第二端 335b、第三端 335c 以及第四端 335d。所述第一端 335a 电连接所述逻辑信号输出端 333c 以接收所述第三逻辑信号, 所述第二端 335b 电连接所述第一支路 336 以接收所述第四逻辑信号, 所述第三端 335d 电连接所述定时器 334 的输出端, 以接收所述选择信号。

所述第一支路 336 包括第一电压接收端 336a、第三电阻 R3 及第一薄膜晶体管 Q1。所述第一电压接收端 336a 用于接收高电平电压, 比如+5V 或者+10V 的电压, 所述第一薄膜晶体管 Q1 包括第一栅极 G1、第一源极 S1 及第一漏极 D1, 所述第三电阻 R3 的一端电连接所述第一电压接收端 336a, 所述第三电阻 R3 的另一端电连接所述第一漏极 D1, 且所述第三电阻 R3 与所述第一漏极 D1 之间的节点电连接所述第二端 335b, 所述第三电阻 R3 与所述第一漏极 D1 之间的节点作为所述第一支路 336 的输出端以输出所述第四逻辑信号, 所述第一源极 S1 接地, 所述第一栅极 G1 接收第一支路控制信号, 所述第一支路控制信号为高电平信号时, 所述第一源极 S1 及所述第一漏极 D1 之间导通, 当所述第一支路控制信号为低电平信号时, 所述第一源极 S1 及所述第一漏极 D1 之间导通, 此时, 所述第一薄膜晶体管 Q1 导通; 当所述第一支路控制信号为低电平信号时, 所述第一源极 S1 及所述第一漏极 D1 之间截止, 此时, 所述第一薄膜晶体管 Q1 截止。

所述控制单元 330 还包括第二支路 337, 所述第二支路 337 包括光电耦合器 3371、第四电阻 R4、第五电阻 R5 以及第二运算放大器 OP2。所述光电耦合器 3371 包括第一耦合输入端 3371a、第二耦合输入端 3371b、第一耦合输出端 3371c 及第二耦合输出端 3371d。所述第一耦合输入端 3371a 电连接所述电压产生电路 10 的输出端, 所述第二耦合输入端 3371b 作为所述薄膜晶体管栅极电压供给电路 1 的输出端以输出所述第一电压, 所述第一耦合输出端 3371c

通过所述第四电阻 R4 接地,所述第二耦合输出端 3371d 通过所述第五电阻 R5 接收一高电平电压。所述第二运算放大器 OP2 的正极输入端连接所述第四电阻 R4 与所述第一耦合输出端 3371c 之间的节点,所述第二运算放大器 OP2 的输出端电连接所述第一栅极 G1,以输出所述第一支路控制信号。

5 在本实施方式中,所述电压产生电路 10 包括电压产生芯片 100、第六电阻 R6 及第七电阻 R7。所述电压产生芯片 100 产生所述原始电压,所述电压产生芯片的输出端(即,电压输出端)电连接所述第六电阻 R6 及所述第七电阻 R7 至所述薄膜晶体管栅极电压供给电路的输出端。所述电压调节单元 350 包括第二薄膜晶体管 Q2 及第八电阻 R8,所述第二薄膜晶体管 Q2 包括第二栅极
10 G2、第二源极 S2 及第二漏极 D2,所述第二栅极 G2 连接所述选择器 335 的所述第四端 335d,所述第二源极 S2 接地,所述第二漏极 D2 通过所述第八电阻 R8 电连接所述第六电阻 R6 及所述第七电阻 R7 之间的节点。

在本实施方式中,当所述定时控制器 331 将所述环境温度与所述预设温度进行比较时,且所述环境温度小于所述预设温度时,所述第一逻辑信号为高电平信号,当所述环境温度大于或等于所述预设温度时,所述第一逻辑信号为低电平信号。当所述第一侦测电路 332 侦测到所述电压产生电路 10 工作时,所述
15 所述第一侦测电路 332 输出高电平的所述第二逻辑信号,即,此时所述第二逻辑信号为高电平;当所述第一侦测电路 332 侦测到所述电压产生电路 10 没有工作时,所述所述第一侦测电路 332 输出低电平的所述第二逻辑信号,即,此时所述第二逻辑信号为低电平信号。由于所述逻辑电路 333 为与门,所述第一逻辑信号接收端
20 333a 接收所述第一逻辑信号,所述第二逻辑信号接收端 333b 接收所述第二逻辑信号,当所述第一逻辑信号为高电平信号且所述第二逻辑信号为高电平信号时,所述逻辑信号输出端 333c 输出高电平的第三逻辑信号,即,此时,所述第三逻辑信号为高电平信号;否则,当所述第一逻辑信号及所述第二逻辑信号
25 不同时为高电平信号时,所述第三逻辑信号为低电平信号。当所述定时器 334 开启时,所述选择信号控制所述选择器 335 选择所述第三逻辑信号,并根据所述第三逻辑信号发出所述控制信号。当所述第三逻辑信号为高电平信号时,所述控制信号即为所述第三逻辑信号,即,所述控制信号为高电平。所述电压调节单元 350 中的所述第二薄膜晶体管 Q2 的栅极接收到为高电平的所述控制信

号，并在所述控制信号的控制下控制所述第二源极 S2 及所述第二漏极 D2 导通。此时，所述电压调节单元 350 中的所述第八电阻 R8 与所述电压产生电路 10 中的所述第六电阻 R6 并联。为了方便描述，将所述第六电阻 R6 及所述第七电阻 R7 之间的节点标为 FB，所述节点 FB 的电压标记为 V_{FB} ，所述薄膜晶体管栅极电压供给电路 1 的电压标记为 V_{GHU} 。则，此时 $V_{GHU} = V_{FB} * (R6 // R8) / (R7 + R6 // R8)$ ，其中， $R6 // R8$ 表示 R6 和 R8 并联后的电阻， $R6 // R8 = R6 * R8 / (R6 + R8)$ 。则，当环境温度小于所述预设温度时，由于所述温度补偿电路 30 的作用，所述薄膜晶体管栅极电压供给电路 1 的输出的第一电压为 V_{GHU} 。而在常温下，未开启所述温度补偿电路 30 时，所述薄膜晶体管栅极电压供给电路 10 输出的第一电压为 $V_{GHO} = V_{FB} * R6 / (R6 + R8)$ 。由此可见， V_{GHU} 大于 V_{GHO} 。所述第一电压 V_{GHU} 大于薄膜晶体管的栅极和源极之间的阈值电压 V_{TH} ，进而导致薄膜晶体管能够正常打开，最终使得在低温下显示面板也能正常显示。

当第一电压 V_{GHU} 使得薄膜晶体管能够正常工作时，从而使得所述第二支路 337 输出的所述第一支路控制信号为高电平。所述第一支路 336 中的所述第一薄膜晶体管 Q1 的所述第一栅极 G1 接收高电平的所述第一支路控制信号，从而使得所述第一源极 S1 及所述第一漏极 D1 之间导通，此时，所述第三电阻 R3 与所述第一漏极 D1 之间的节点的电压为低电压，即，此时，所述第四逻辑信号为低电平信号。由于，所述定时控制信号控制所述定时器 334 开启的时间长度，因此，当所述定时器 334 在所述控制信号的控制下开启时间结束时，即当所述定时器 334 关闭时，所述选择信号控制所述选择器 335 选择所述第四逻辑信号。且由于所述第四逻辑信号与所述第三逻辑信号相反，此时，所述选择器 335 输出低电平信号，由于所述电压调节单元 350 中的第二薄膜晶体管 Q2 的第二栅极 G2 接收所述选择器 335 输出的低电平信号，并控制所述第二源极 S2 及所述第二漏极 D2 截止，所述电压调节单元 350 被关闭。此时，所述薄膜晶体管栅极电压供给电路 1 输出的第一电压等于所述原始电压。当所述温度检测单元 310 再次检测到环境温度低于预设温度时，再次重复前面所述的电压调节单元 350 被开启的过程。

相较于现有技术，本发明的薄膜晶体管栅极电压供给电路 1 中包括电压产生电路 10 以及温度补偿电路 30，温度补偿电路 30 在检测到环境温度小于预

设温度时，根据环境温度与所述预设温度的差值对电压产生电路 10 产生的原始电压进行补偿以得到第一电压，从而在环境温度较低造成薄膜晶体管的栅极和源极之间的阈值电压发生漂移而变大时，相较于原始电压增大的第一电压也能够满足所述薄膜晶体管正常工作的需要。因此，本发明的薄膜晶体管栅极电压供给电路 1 能够在低温环境下也能驱动薄膜晶体管正常工作。

以上所揭露的仅为本发明一种较佳实施例而已，当然不能以此来限定本发明之权利范围，本领域普通技术人员可以理解实现上述实施例的全部或部分流程，并依本发明权利要求所作的等同变化，仍属于发明所涵盖的范围。

权 利 要 求

1.一种薄膜晶体管栅极电压供给电路,其中,所述薄膜晶体管栅极电压供给电路用于为薄膜晶体管提供栅极电压,所述薄膜晶体管栅极电压供给电路包
5 括电压产生电路及温度补偿电路,所述电压产生电路用于产生原始电压,所述温度补偿电路与所述电压产生电路电连接,并且所述温度补偿电路用于侦测环境温度,当环境温度小于预设温度时,所述温度补偿电路根据环境温度与所述预设温度的差值对所述原始电压进行补偿以得到第一电压,并将所述第一电压提供给所述薄膜晶体管的栅极,以驱动所述薄膜晶体管正常工作。

10

2.如权利要求1所述的薄膜晶体管栅极电压供给电路,其中,所述温度补偿电路包括温度侦测单元、控制单元以及电压调节单元,所述温度侦测单元用于侦测环境温度,所述控制单元与所述温度侦测单元电连接,所述控制单元用于当环境温度小于所述预设温度时发出控制信号,所述电压调节单元电连接所
15 述控制单元,所述电压调节单元用于接收所述控制信号,并在所述控制信号的控制下导通,以对所述原始电压进行补偿以得到所述第一电压。

3.如权利要求2所述的薄膜晶体管栅极电压供给电路,其中,所述控制单元包括定时控制器、第一侦测电路、逻辑电路、定时器以及选择器,所述定时
20 控制器用于接收所述环境温度,将所述环境温度与所述预设温度进行比较,根据所述环境温度与所述预设温度的差值产生定时控制信号以及第一逻辑信号,所述第一侦测电路侦测所述电压产生电路是否工作,并输出第二逻辑信号,所述逻辑电路接收所述第一逻辑信号及所述第二逻辑信号,并根据所述第一逻辑信号及所述第二逻辑信号输出第三逻辑信号,所述定时器接收所述定时控制信
25 号以及所述第三逻辑信号,所述第三逻辑信号用于控制所述定时器开启或者关闭,当所述定时器在所述第三逻辑信号的控制下开启时,所述定时控制信号用于控制所述定时器开启的时间长度,且所述定时控制信号控制所述定时器开启的时间长度与所述环境温度小于所述预设温度的差值相关,所述定时器还用于发出选择信号,当所述定时器开启时,所述选择信号控制所述选择器选择所述

第三逻辑信号并根据所述第三逻辑信号发出所述控制信号。

4.如权利要求3所述的薄膜晶体管栅极电压供给电路,其中,所述控制单元还包括第一支路,所述第一支路用于产生第四逻辑信号,其中,所述第四逻辑信号与
5 所述第三逻辑信号相反,当所述第三逻辑信号控制所述定时器关闭时,所述选择器选择所述第四逻辑信号,所述第四逻辑信号用于关闭所述电压调节单元。

5.如权利要求4所述的薄膜晶体管栅极电压供给电路,其中,所述第一侦测电路包括第一电阻、第二电阻及第一运算放大器,所述第一电阻的一端电连接
10 所述电压产生电路,所述第一电阻的另一端通过所述第二电阻接地,所述第一运算放大器的正极输入端连接所述第一电阻及第二电阻之间的节点,所述第一运算放大器的输出端作为所述第一侦测电路的输出端,当所述电压产生电路工作时,所述第二逻辑信号为高电平信号,否则,当所述电压产生电路没有工
15 作时,所述第二逻辑信号为低电平信号。

6.如权利要求5所述的薄膜晶体管栅极电压供给电路,其中,当所述环境温度小于所述预设温度时,所述第一逻辑信号为高电平信号,所述逻辑电路为与门,所述逻辑电路包括第一逻辑信号接收端、第二逻辑信号接收端及逻辑信号
20 输出端,所述第一逻辑信号接收端用于接收所述第一逻辑信号,所述第二逻辑信号接收端用于接收所述第二逻辑信号,所述逻辑信号输出端用于输出所述第三逻辑信号,当所述第一逻辑信号为高电平信号且所述第二逻辑信号为高电平信号时,所述第三逻辑信号为高电平信号。

7.如权利要求6所述的薄膜晶体管栅极电压供给电路,其中,所述定时器包括第一输入端、第二输入端及输出端,所述第一输入端连接所述逻辑信号输出端,以接收所述第三逻辑信号,所述第二输入端连接所述定时控制器的输出端,以接收所述定时控制信号;所述选择器为二选一选择器,所述选择器包括
25 第一端、第二端、第三端及第四端,所述第一端电连接所述逻辑信号输出端以

接收所述第三逻辑信号,所述第二端电连接所述第一支路以接收所述第四逻辑信号,所述第三端电连接所述定时器的输出端,以接收所述选择信号。

8.如权利要求 7 所述的薄膜晶体管栅极电压供给电路,其中,所述第一支路包括第一电压接收端、第三电阻及第一薄膜晶体管,所述第一电压接收端用于接收高电平电压,所述第一薄膜晶体管包括第一栅极、第一源极及第一漏极,所述第三电阻一端电连接所述第一电压接收端,所述第三电阻的另一端电连接所述第一漏极,且所述第三电阻与所述第一漏极之间的节点电连接所述第二端,所述第一源极接地,所述第一栅极接收第一支路控制信号,所述第一支路控制信号为高电平信号时,所述第一源极及所述第一漏极之间导通,当所述第一支路控制信号为低电平信号时,所述第一源极及所述第一漏极之间截止。

9.如权利要求 8 所述的薄膜晶体管栅极电压供给电路,其中,所述控制单元还包括第二支路,所述第二支路包括光电耦合器、第四电阻、第五电阻及第二运算放大器,所述光电耦合器包括第一耦合输入端、第二耦合输入端、第一耦合输出端及第二耦合输出端,所述第一耦合输入端电连接所述电压产生电路的输出端,所述第二耦合输入端作为所述薄膜晶体管栅极电压供给电路的输出端以输出所述第一电压,所述第一耦合输出端电通过所述第四电阻接地,所述第二耦合输出端通过所述第五电阻接收一高电平电压,所述第二运算放大器的正极输入端连接所述第四电阻与所述第一耦合输出端之间的节点,所述第二运算放大器的输出端电连接所述第一栅极,以输出所述第一支路控制信号。

10.如权利要求 9 所述的薄膜晶体管栅极电压供给电路,其中,所述电压产生电路包括电压产生芯片、第六电阻及第七电阻,所述电压产生芯片产生所述原始电压,所述电压产生芯片的输出端电连接所述第六电阻及所述第七电阻至薄膜晶体管栅极电压供给电路的输出端,所述电压调节单元包括第二薄膜晶体管及第八电阻,所述第二薄膜晶体管包括第二栅极、第二源极及第二漏极,所述第二栅极电连接所述选择器的所述第四端,所述第二源极接地,所述第二漏极通过所述第八电阻电连接所述第六电阻及所述第七电阻之间的节点。

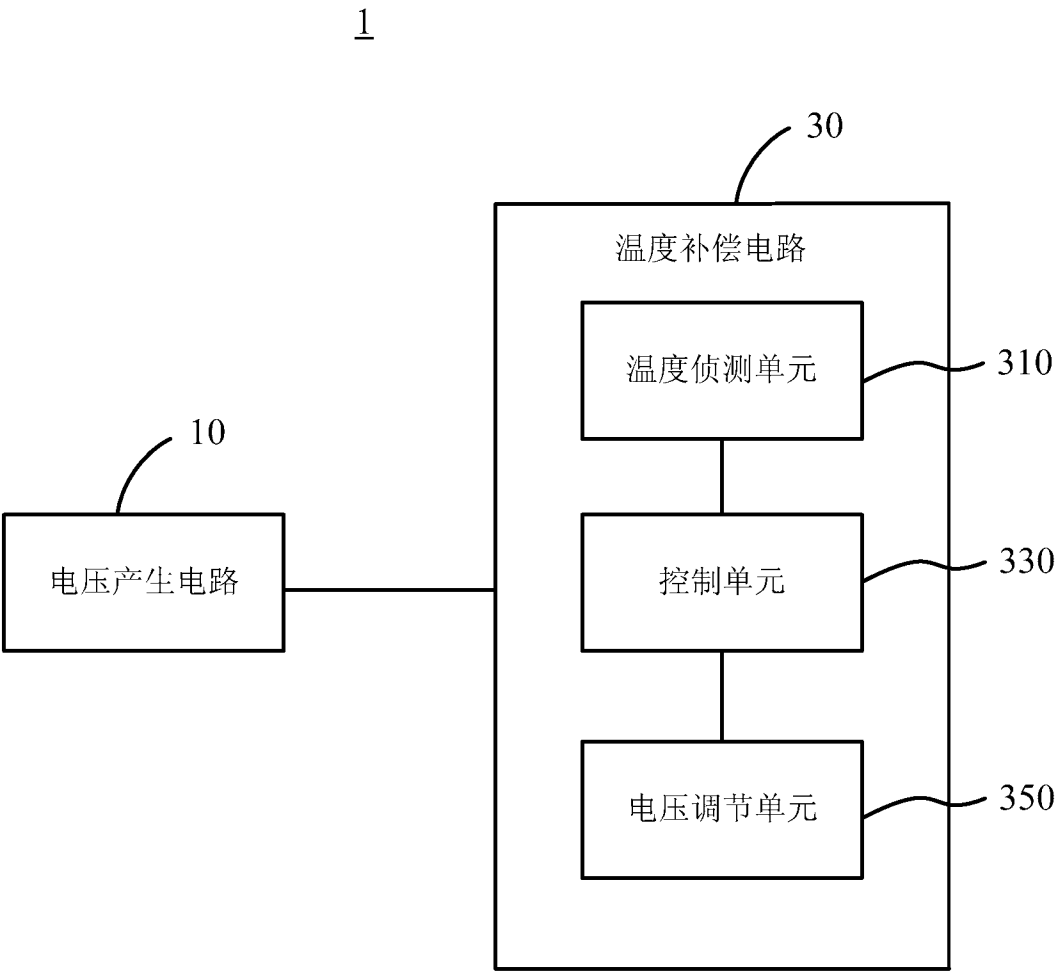


图 1

1

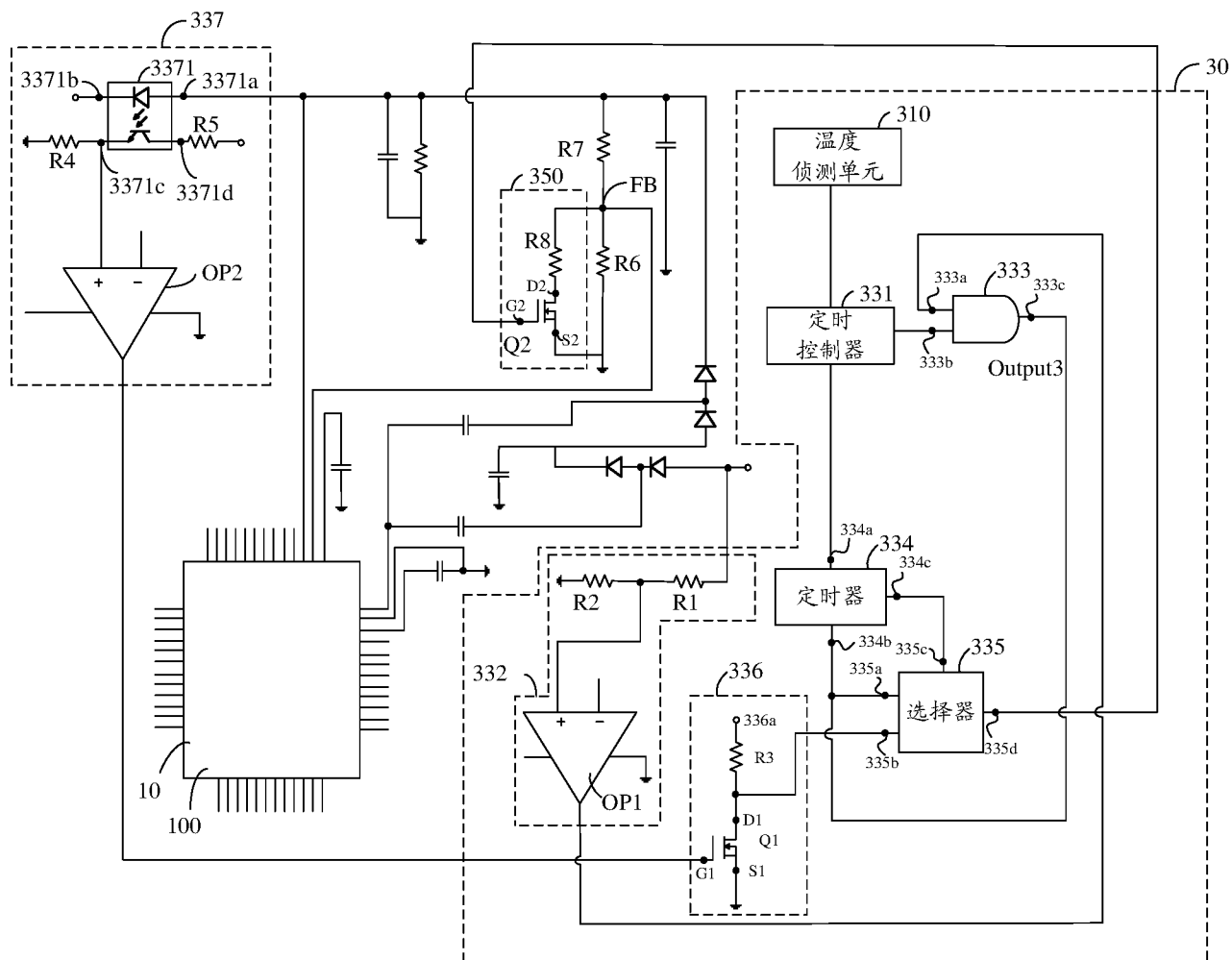


图 2

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/070314

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: GOA, gate driv+, temperature, detect+, voltage, compensate+, adjust+, chang+, transistor, threshold
voltage, timer, logic circuit, gate, select+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104036740 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 10 September 2014 (10.09.2014) description, paragraphs [0045]-[0054], and figures 1-5	1, 2
X	CN 102982778 A (AU OPTRONICS (XIAMEN) ,LTD etal (,LTD.etal.) 20 March 2013 (20.03.2013) description, paragraphs [0022]-[0031], and figures 1-3	1, 2
X	CN 203456073 U (BOE TECHNOLOGY GROUP CO., LTD.) 26 February 2014 (26.02.2014) description, paragraphs [0051]-[0067], and figures 1-3	1, 2
X	US 2008309608 A1 (SHEN, YUHREN et al.) 18 December 2008 (18.12.2008) description, paragraphs [0030]-[0050], and figures 1-3	1, 2
A	CN 102005197 A (AU OPTRONICS CO., LTD.) 06 April 2011 (06.04.2011) the whole document	1-10
A	JP 2007072270 A (TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO.) 22 March 2007 (22.03.2007) the whole document	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search 02 June 2016	Date of mailing of the international search report 19 August 2016
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer XIE, Jianjun Telephone No. (86-10) 61648484

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/070314

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104036740 A	10 September 2014	US 2015333737 A1	19 November 2015
CN 102982778 A	20 March 2013	None	
CN 203456073 U	26 February 2014	None	
US 2008309608 A1	18 December 2008	TW 200849784 A	16 December 2008
		TW I334684 B	11 December 2010
		US 7859511 B2	28 December 2010
CN 102005197 A	06 April 2011	CN 102005197 B	27 February 2013
JP 2007072270 A	22 March 2007	None	

国际检索报告

国际申请号

PCT/CN2016/070314

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, WPI, EPDOC: 栅极驱动, 温度, 检测, 探测, 传感, 侦测, 电压, 电位, 补偿, 调节, 调整, 改变, 晶体管, 阈值电压, 定时器, 逻辑电路, 门, 选择器, GOA, gate driv+, temperature, detect+, Voltage, compensat+, adjust+, chang+, transistor, threshold voltage, timer, logic circuit, gate, select+																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 104036740 A (京东方科技集团股份有限公司 等) 2014年 9月 10日 (2014 - 09 - 10) 说明书第0045-0054段、附图1-5</td> <td>1-2</td> </tr> <tr> <td>X</td> <td>CN 102982778 A (友达光电厦门有限公司 等) 2013年 3月 20日 (2013 - 03 - 20) 说明书第0022-0031段、附图1-3</td> <td>1-2</td> </tr> <tr> <td>X</td> <td>CN 203456073 U (北京京东方光电科技有限公司) 2014年 2月 26日 (2014 - 02 - 26) 说明书第0051-0067段、附图1-3</td> <td>1-2</td> </tr> <tr> <td>X</td> <td>US 2008309608 A1 (SHEN, YUHREN 等) 2008年 12月 18日 (2008 - 12 - 18) 说明书第0030-0050段、附图1-3</td> <td>1-2</td> </tr> <tr> <td>A</td> <td>CN 102005197 A (友达光电股份有限公司) 2011年 4月 6日 (2011 - 04 - 06) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>JP 2007072270 A (TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO.) 2007年 3月 22日 (2007 - 03 - 22) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 104036740 A (京东方科技集团股份有限公司 等) 2014年 9月 10日 (2014 - 09 - 10) 说明书第0045-0054段、附图1-5	1-2	X	CN 102982778 A (友达光电厦门有限公司 等) 2013年 3月 20日 (2013 - 03 - 20) 说明书第0022-0031段、附图1-3	1-2	X	CN 203456073 U (北京京东方光电科技有限公司) 2014年 2月 26日 (2014 - 02 - 26) 说明书第0051-0067段、附图1-3	1-2	X	US 2008309608 A1 (SHEN, YUHREN 等) 2008年 12月 18日 (2008 - 12 - 18) 说明书第0030-0050段、附图1-3	1-2	A	CN 102005197 A (友达光电股份有限公司) 2011年 4月 6日 (2011 - 04 - 06) 全文	1-10	A	JP 2007072270 A (TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO.) 2007年 3月 22日 (2007 - 03 - 22) 全文	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 104036740 A (京东方科技集团股份有限公司 等) 2014年 9月 10日 (2014 - 09 - 10) 说明书第0045-0054段、附图1-5	1-2																					
X	CN 102982778 A (友达光电厦门有限公司 等) 2013年 3月 20日 (2013 - 03 - 20) 说明书第0022-0031段、附图1-3	1-2																					
X	CN 203456073 U (北京京东方光电科技有限公司) 2014年 2月 26日 (2014 - 02 - 26) 说明书第0051-0067段、附图1-3	1-2																					
X	US 2008309608 A1 (SHEN, YUHREN 等) 2008年 12月 18日 (2008 - 12 - 18) 说明书第0030-0050段、附图1-3	1-2																					
A	CN 102005197 A (友达光电股份有限公司) 2011年 4月 6日 (2011 - 04 - 06) 全文	1-10																					
A	JP 2007072270 A (TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO.) 2007年 3月 22日 (2007 - 03 - 22) 全文	1-10																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																							
国际检索实际完成的日期 2016年 6月 2日		国际检索报告邮寄日期 2016年 8月 19日																					
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 谢建军 电话号码 (86-10) 61648484																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/070314

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104036740	A	2014年 9月 10日	US	2015333737	A1	2015年 11月 19日
CN	102982778	A	2013年 3月 20日	无			
CN	203456073	U	2014年 2月 26日	无			
US	2008309608	A1	2008年 12月 18日	TW	200849784	A	2008年 12月 16日
				TW	I334684	B	2010年 12月 11日
				US	7859511	B2	2010年 12月 28日
CN	102005197	A	2011年 4月 6日	CN	102005197	B	2013年 2月 27日
JP	2007072270	A	2007年 3月 22日	无			