

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-257029

(P2012-257029A)

(43) 公開日 平成24年12月27日(2012.12.27)

(51) Int.Cl.

HO4N 5/378 (2011.01)

F 1

HO4N 5/335 780

テーマコード(参考)

5C024

審査請求 未請求 請求項の数 11 O L (全 14 頁)

(21) 出願番号

特願2011-128144 (P2011-128144)

(22) 出願日

平成23年6月8日(2011.6.8)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100126240

弁理士 阿部 琢磨

(74) 代理人 100124442

弁理士 黒岩 創吾

(72) 発明者 山下 雄一郎

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 松田 崇

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

F ターム(参考) 5C024 CX03 GY39 HX02 HX12 HX13
HX15 HX17 HX23 HX35 JX41

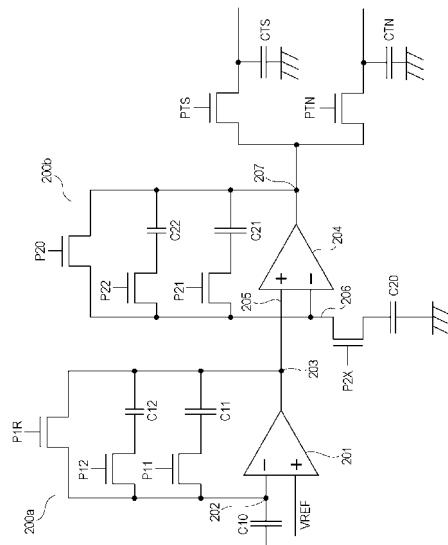
(54) 【発明の名称】 固体撮像装置及び固体撮像装置の駆動方法

(57) 【要約】

【課題】 画素列に設けられた増幅回路において簡単な構成で高ゲインの増幅が行うことが可能となる構成を提供する。

【解決手段】 半導体基板に、複数の画素列を有する撮像領域と、各画素列ごともしくは複数の画素列ごとに設けられた、複数の列増幅回路が配された固体撮像装置であって、前記各列増幅回路は少なくとも2段の増幅回路を含んで構成され、前段の増幅回路は、ゲイン可変の増幅回路であり、且つ前記切り換え可能なゲインは1以上のゲインを複数含んでおり、後段の増幅回路は、前記前段の増幅回路において前記1以上のゲインで増幅された信号を更に1以上のゲインで増幅可能な構成であることを特徴とする。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

半導体基板に、
複数の画素列を有する撮像領域と、
各画素列ごともしくは複数の画素列ごとに設けられた、複数の列増幅回路が配された固体撮像装置であって、
前記各列増幅回路は少なくとも 2 段の増幅回路を含んで構成され、
前段の増幅回路は、
ゲイン可変の増幅回路であり、且つ前記切り換え可能なゲインは 1 以上のゲインを複数含んでおり、
後段の増幅回路は、
前記前段の増幅回路において前記 1 以上のゲインで増幅された信号を更に 1 以上のゲインで増幅可能な構成であることを特徴とする固体撮像装置。
10

【請求項 2】

前記前段の増幅回路は反転増幅可能な増幅回路であり、前記後段の増幅回路は正転増幅可能な増幅回路であることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記前段の増幅回路は、反転増幅動作とボルテージフォロワ動作を切り換え可能な構成であり、前記後段の増幅回路は正転増幅動作とボルテージフォロワ動作とを切り換え可能な構成であることを特徴とする請求項 1 または 2 のいずれかに記載の固体撮像装置。
20

【請求項 4】

前記前段の増幅回路の出力ノードと前記後段の増幅回路の入力ノードとの間の電気経路に第 1 スイッチが配され、

前記前段の増幅回路の出力ノードには第 2 スイッチを介して位相補償用の容量が配され、前記第 1 スイッチと前記入力ノードとの間には第 3 スイッチを介して前記入力ノードに基準電位を供給する経路が設けられていることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の固体撮像装置。

【請求項 5】

前記画素列に対して複数の垂直信号線が設けられており、各垂直信号線に対応して前記列増幅回路が 1 つずつ設けられていることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の固体撮像装置。
30

【請求項 6】

前記画素列には第 1 色の画素と、前記第 1 色とは異なる画素とを含んでおり、前記各垂直信号線に設けられた列増幅回路のそれぞれは、前記第 1 色の画素からの信号、もしくは前記第 2 色の画素からの信号のいずれかを増幅することを特徴とする請求項 5 に記載の固体撮像装置。

【請求項 7】

前記前段の増幅回路の反転入力ノードは、入力容量を介して画素からの信号を受け、前記前段の増幅回路の正転入力ノードは基準電位を受けており、

前記前段の増幅回路の正転入力ノードは前記基準電位を保持する保持容量を有していることを特徴とする請求項 1 ~ 6 のいずれか 1 項に記載の固体撮像装置。
40

【請求項 8】

前記前段の増幅回路のバイアス電流を供給するためのトランジスタを有し、前記トランジスタのゲートには前記ゲートに供給される基準電位を保持する保持容量を有することを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の固体撮像装置。

【請求項 9】

複数の画素列を有する撮像領域と、各画素列ごともしくは複数の画素列ごとに設けられた列回路を複数有する固体撮像装置の駆動方法であって、

前記各列回路において、

入力信号を 1 以上のゲインで増幅する第 1 の増幅ステップと、
50

前記第1の増幅ステップにおいて増幅された信号を、1以上のゲインで増幅する第2の増幅ステップと、

前記第2の増幅ステップ後の信号をサンプルホールドするサンプルホールドステップと、複数の前記画素列で並列に行わせ、

前記サンプルホールドステップ後の信号を順次もしくはランダムに水平出力線へ出力させる出力ステップと、を有することを特徴とする固体撮像装置の駆動方法。

【請求項10】

前記第1の増幅ステップは、

前記画素列から出力される光信号もしくは光信号に基づく信号を1以上のゲインで反転増幅させるステップを含み、

前記第2の増幅ステップは、

前記第1の増幅ステップで1以上のゲインで反転増幅させた信号を、1以上のゲインで正転増幅させることを特徴とする請求項9に記載の固体撮像装置の駆動方法。

10

【請求項11】

前記第1の増幅ステップは、

前記画素列からリセット信号が出力されている期間においてはボルテージフォロワ動作により増幅し、前記画素列から光信号が出力されている期間においては入力信号を1以上のゲインで反転増幅させるステップを含み、

前記第2の増幅ステップは、

前記画素列からリセット信号が出力されている期間においてはボルテージフォロワ動作により増幅し、前記画素列から光信号が出力されている期間においては、前記第1のステップで増幅された信号を、1以上のゲインで正転増幅させるステップを含むことを特徴とする請求項9または10のいずれかに記載の固体撮像装置の駆動方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は固体撮像装置に関するもので、具体的には、信号を増幅する増幅回路に関するものである。

【背景技術】

【0002】

一般に固体撮像装置は画素が行列状に配されて撮像領域を構成する。各画素列もしくは複数の画素列ごとに増幅回路が設けられる。このような固体撮像装置の例として特許文献1に記載された構成が知られている。画素列ごとに増幅回路が設けられており。前段にはゲイン可変の増幅回路が設けられ、後段にはボルテージフォロワアンプが設けられた2段構成の列増幅回路となっている。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献1】米国特許公報5892540号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0004】

固体撮像装置においては、光電変換部で信号が生じてなるべく早い段階において高ゲインで信号を増幅することが求められている。これは信号にノイズが重畠する前に高ゲインで増幅することでS/N比を向上させるためである。したがって近年では、列増幅回路でのさらなる高ゲインでの増幅が求められている。特許文献1のように前段のみでゲインをかけて増幅して後段はいわゆるパッファ段として用いる構成の場合には前段の増幅回路の構成が複雑になり、所定の画素ピッチ内に收まりきらないという場合が考えられる。

本発明は上記課題に鑑み成されたものであり、たとえば、画素列に設けられた増幅回路において簡易な構成で高ゲインの増幅が行うことが可能となる構成を提供するものである

50

。

【課題を解決するための手段】

【0005】

本発明は上記課題に鑑み、半導体基板に、複数の画素列を有する撮像領域と、各画素列ごと、もしくは複数の画素列ごとに設けられた、複数の列増幅回路が配された固体撮像装置であって、前記各列増幅回路は少なくとも2段の増幅回路を含んで構成され、前段の増幅回路は、ゲイン可変の増幅回路であり、且つ前記切り換え可能なゲインは1以上のゲインを複数含んでおり、後段の増幅回路は、前記前段の増幅回路において前記1以上のゲインで増幅された信号を更に1以上のゲインで増幅可能な構成であることを特徴とする。

10

【発明の効果】

【0006】

本発明は、列増幅回路において高ゲインで信号の増幅を行うことが可能となる。

【図面の簡単な説明】

【0007】

【図1】本発明の撮像装置のブロック図の概念図である。

【図2】第1の実施形態の列増幅回路の等価回路図である。

【図3】第1の実施形態の駆動パルスパターン図である。

【図4】第2の実施形態の列増幅回路の等価回路図である。

【図5】第2の実施形態の駆動パルスパターン図である。

20

【図6】第3の実施形態の増幅回路の等価回路図である。

【図7】第4の実施形態の列増幅回路の等価回路図である。

【図8】第4の実施形態の駆動パルスパターン図である。

【図9】本発明に適用可能な撮像領域のブロック図の概念図である。

【発明を実施するための形態】

【0008】

(第1の実施形態)

図1に本発明の固体撮像装置のブロック図を示す。撮像領域101には画素102が行列状に配されている。画素列が複数配されて撮像領域を構成している。各画素列に垂直信号線103a～103dが配されている。各画素行の信号が、対応する垂直信号線103a～103dに略同時に読み出される。いいかえると並列に読み出されているともいえる。列増幅回路104a～104dは垂直信号線103a～103dに出力された信号を2段の増幅段で増幅可能な構成である。サンプルホールド回路105a～105dは列増幅回路104a～104dで増幅された信号をサンプリングする。サンプルホールド回路105a～105dで保持された信号は、不図示の水平走査回路からの駆動信号を受けて、順次もしくはランダムに水平出力線106a、106bに出力される。上記回路、ブロックは、好ましくは全て同一半導体基板に配されるのがよい。少なくとも撮像領域101と列増幅回路104a～104dは同一半導体基板に配されている必要がある。また、列増幅回路104a～104dの後段に列A/D変換回路を配してもよい。この列A/D変換回路も同一半導体基板に配される。列増幅回路104a～104d、サンプルホールド回路105a～105dを含んで列回路と呼ぶことができる。列回路とは、複数の垂直信号線に時間的に並列に読み出された信号を、時間的に並列処理可能な回路である。

30

【0009】

画素の構成としては種々の構成を用いることができる。たとえば、光電変換部と光電変換部で生じた信号を増幅する画素増幅部を有するいわゆるAPS型センサを用いると、S/N比を向上させることが可能となり好ましい。

【0010】

図2に列増幅回路の具体的な等価回路図の一例を示す。前段の増幅回路200aと後段の増幅回路200bにより列増幅回路の全体が構成されている。

【0011】

演算増幅器201の反転入力ノード202には入力容量C10を介して垂直信号線10

40

50

3が電気的に接続される。入力容量C10をクランプ容量として用い画素のリセットノイズを抑制する回路を構成してもよい。

【0012】

非反転入力ノードには所定の基準電圧VREFが供給されている。入力容量C10と垂直信号線103との間の電気経路にスイッチを設けて電気的導通を制御可能な構成としてもよい。演算増幅器201の反転入力ノード202と出力ノード203との間の電気経路には複数の帰還経路が並列に設けられている。1つ目の帰還経路にはスイッチP1が設けられている。スイッチP1は演算増幅器201のリセット動作を行うためのものである。更にスイッチP1は演算増幅器201をボルテージフォロワ動作させるためのものともいえる。2つ目の帰還経路にはスイッチP11と第1の帰還容量C11が設けられている。3つ目の帰還経路にはスイッチP12と第2の帰還容量C12が設けられている。第1の帰還容量C11と第2の帰還容量C12の容量値は異なっている。排他的にスイッチP12、P13を動作させることにより、ゲインを異ならせて増幅させることができる。本例では2つの帰還容量を設けているが更に並列に容量値の異なる帰還容量を設けることで、さらに多段階のゲイン切り替えを行うことが可能となる。これらの構成で前段の増幅回路を構成することができる。前段の増幅回路はゲイン可変の反転増幅回路とボルテージフォロワ回路とを切り換える可能な構成となっている。

10

【0013】

次に後段の増幅回路200bを説明する。演算増幅器204の正転入力ノード205は前段の増幅回路200aの出力ノード203と直接接続されている。つまり前段の増幅回路200aの信号を正転入力ノード205で受ける構成となっている。反転入力ノード206はスイッチP2及び容量C20を介して所定電圧が供給されている。本例では接地電位が供給されている。演算増幅器204の反転入力ノード206と出力ノード207との間の電気経路には複数の帰還経路が並列に設けられている。1つ目の帰還経路はスイッチP20が設けられている。スイッチP20は演算増幅器204のリセット動作を行うためのものである。更にスイッチP20は演算増幅器204をボルテージフォロワ動作させるためのものともいえる。2つ目の帰還経路にはスイッチP21と第1の帰還容量C21が設けられている。3つ目の帰還経路にはスイッチP22と第2の帰還容量C22が設けられている。第1の帰還容量C21と第2の帰還容量C22の容量値は異なっている。排他のにスイッチP21、P22を動作させることにより、ゲインを異ならせて増幅させることができる。本例では2つの帰還容量を設けているが更に並列に容量値の異なる帰還容量を設けることで、さらに多段階のゲイン切り替えを行うことが可能となる。これらの構成で後段の増幅回路200bを構成することができる。後段の増幅回路200bはゲイン可変の正転増幅回路とボルテージフォロワ回路とを切り換える可能な構成となっている。

20

【0014】

本実施例においては前段のゲイン可変の反転増幅回路及び後段のゲイン可変の正転増幅回路により列増幅回路の全体を構成している。このため各増幅回路のゲインはそれほど大きくする設定しなくてもよい。具体的なゲインの組み合わせとしては、前段の増幅回路200aのゲインを64倍として後段の増幅回路200bのゲインを4倍とすれば、列増幅回路として256倍のゲインを実現することが可能となる。増幅回路一段のみで256倍のゲインをかけようすると回路規模が大きくなってしまう。更には増幅回路を構成する各トランジスタ自体のサイズも大きくする必要が生じ、消費電力も大きくなってしまう恐れがある。更には、各列増幅回路間でのゲインのずれも大きくなる可能性がある。この理由は例えば、基本容量に対してその256分の1という非常に小さな容量を作成する必要があり、その容量は製造ばらつきに非常に弱いためである。もしくは、電力を節約した設計を行うと、カットオフ周波数が低下するため、応答速度が著しく低下し高速化の妨げになってしまう。

30

【0015】

また前段、後段の増幅回路の両者でゲインをかけるモードと、前段もしくは後段の少なくとも一方、たとえば前段の増幅回路200aで1以上のゲインをかけて、後段をボルテ

40

50

ージフォロワ動作させるモードとを切り換えて動作させることもできる。

【0016】

スイッチ P T N、P T S は列増幅回路で処理された信号を保持するためのサンプルホールドスイッチである。P T N は列増幅回路のオフセット信号をサンプルホールドするためのスイッチであり、P T S は上記オフセット信号が重畠した光信号（以下光信号）を保持するためのスイッチである。サンプルホールド容量 C T N、C T S はそれぞれオフセット信号、光信号を保持するための容量である。サンプルホールド容量 C T N、C T S の後段に不図示のスイッチを設け、水平出力線に出力する構成としてもよいし、更に水平出力線との間の電気経路にサンプルホールド回路をもう一段設けて、プランギング期間を短縮可能な構成としてもよい。

10

【0017】

図3に本実施例の固体撮像装置の駆動パルスパターンの一例を示す。ハイレベルで各スイッチが導通し、ローレベルで非導通となるものとする。各パルスの符号は各スイッチの制御部に供給される駆動パルスを示す。

【0018】

図3(a)は前段の増幅回路200aを1以上のゲインで動作させ、後段の増幅回路200bをボルテージフォロワ動作させた場合の例である。また図3(b)は前段の増幅回路200a及び後段の増幅回路200bの両者を1以上のゲインで動作させた場合の例である。

20

【0019】

図3(a)において図示されている期間中においては P11、P20 はハイレベルが維持されており、スイッチ P11 と P20 とは導通状態が維持されている。また P21、P22 はローレベルが維持されており、スイッチ P21 と P22 は非導通状態が維持されている。更に、P1 は所定期間がハイレベルとなりその他の期間はローレベルである。つまりスイッチ P1 は一定期間導通状態となり、その後非導通状態となっている。

P2 はローレベルが維持され、スイッチ P2 は非導通状態である。

【0020】

このような駆動パルスを供給することにより、前段の増幅回路200aは、ボルテージフォロワ動作と帰還容量 C11 と入力容量 C10との容量値の比によって反転増幅する動作とが切り替えられている。また後段の増幅回路200bはボルテージフォロワ動作が維持されている。もしくは後段の増幅回路200bは1以上のゲインでの正転増幅動作を行っていないともいえる。

30

【0021】

具体的に図3(a)の駆動パルスを説明する。時刻 t1において、P1 がローレベルからハイレベルへ遷移する。入力容量 C10 の垂直信号線 103 側のノードには画素のリセットレベル、もしくは画素のリセットレベルに基づく信号が供給されている。

【0022】

時刻 t2において、P1 がハイレベルからローレベルへ遷移する。期間 t1 ~ t2 において前段の増幅回路200aはボルテージフォロワ動作する。したがって前段の増幅回路200aはイメージナリショートの状態となり、反転入力ノード 202 の電位は VRE F となる。この VRE F を基準電位としてクランプ動作を行うことにより画素のリセットノイズを除去もしくは抑制することが可能となる。

40

【0023】

次に時刻 t3において P T N がローレベルからハイレベルへ遷移する。これにより、スイッチ C T N が導通状態となり、列増幅回路のオフセット信号をサンプルホールド容量 C T N で保持する。

【0024】

時刻 t4において P T N がハイレベルからローレベルへ遷移した後、入力容量 C10 の垂直信号線 103 側のノードには画素からの光信号、もしくは光信号を増幅等の処理した信号が供給される。

50

【0025】

そして時刻 t_5 において CTS がローレベルからハイレベルへ遷移し、列増幅回路で処理された光信号がサンプルホールド容量 CTS で保持される。

【0026】

次に図 3 (b) の動作を説明する。図 3 (b) において図示されている期間においては P11、P21 及び P2 はハイレベルが維持され、スイッチ P11、P21 及び P2 は導通状態が維持される。

【0027】

このような駆動パルスを供給することにより、前段の増幅回路 200a は、ボルテージフォロワ動作と帰還容量 C11 と入力容量 C10 との容量値の比によって 1 以上のゲインで反転増幅する動作とが切り替えられて動作している。また後段の増幅回路 200b はボルテージフォロワ動作とゲイン 1 以上の正転増幅動作とが切り替えられて動作している。10

【0028】

具体的には、時刻 t_1 において P1 がローレベルからハイレベルへ遷移する。そして P20 がローレベルからハイレベルへと遷移する。

【0029】

続いて時刻 t_2 において P1 がハイレベルからローレベルへ遷移し、時刻 t_3 において P20 がハイレベルからローレベルへ遷移する。期間 $t_1 - t_2$ においては、前段の増幅回路 200a 及び後段の増幅回路 200b の両者がボルテージフォロワ動作となっている。そして期間 $t_2 - t_3$ においては前段の増幅回路 200a はゲイン 1 以上の反転増幅動作となっており、後段の増幅回路 200b はボルテージフォロワ動作となっている。20

【0030】

時刻 t_3 以降の期間においては、前段の増幅回路 200a はゲイン 1 以上の反転増幅動作となっており、後段の増幅回路 200b はゲイン 1 以上の正転増幅動作となっている。

P20 がローレベルへ遷移する時刻 t_3 は P1 がローレベルへ遷移する時刻 t_2 と同様であってもよいが、好ましくは時刻 t_3 の方が後の方がよい。

【0031】

次に時刻 t_4 において PTN がローレベルからハイレベルへ遷移する。これにより、スイッチ CTN が導通状態となり、列増幅回路のオフセット信号をサンプルホールド容量 CTN で保持する。30

【0032】

時刻 t_5 において PTN がハイレベルからローレベルへ遷移した後、入力容量 C10 の垂直信号線 103 側のノードには画素からの光信号、もしくは光信号を増幅等の処理した信号が供給される。そして時刻 t_6 において CTS がローレベルからハイレベルへ遷移し、列増幅回路で処理された光信号がサンプルホールド容量 CTS で保持される。

【0033】

図 3 (b) の動作は、入力信号を 1 以上のゲインで増幅する第 1 の増幅ステップと、第 1 の増幅ステップにおいて増幅された信号を、1 以上のゲインで増幅する第 2 の増幅ステップとを有する駆動方法を示している。更に、前記第 2 の増幅ステップ後の信号をサンプルホールドするサンプルホールドステップを有している。ここまで動作は複数の列で並列に行なわれている。そしてその後図 3 では詳細は不図示であるが、サンプルホールドステップ後の信号を順次もしくはランダムに水平出力線へ出力させる出力ステップを有している。40

【0034】

さらに詳細には、前記第 1 の増幅ステップは、反転増幅させるステップを含んでいる。また、第 1 の増幅ステップは、画素列からリセット信号が出力されている期間においてはボルテージフォロワ動作している。そして、画素列から光信号が出力されている期間においては入力信号を 1 以上のゲインで反転増幅させているのである。同様に第 2 の増幅ステップは、リセット信号が出力されている期間においてはボルテージフォロワ動作し、光信号が出力されている期間においては、第 1 のステップで増幅された信号を、1 以上のゲイ50

ンで正転増幅させている。

【0035】

図3(a)、(b)の違いは、サンプルホールド回路においてサンプルホールドする期間に、前段の増幅回路200aは1以上のゲインで反転増幅動作する。そして、後段の増幅回路200bは、図3(a)においてはボルテージフォロワ動作しており、図3(b)においては1以上のゲインで正転増幅動作している点である。本実施例の構成によれば図3(a)の動作と図3(b)の動作とを切り換えて動作させることが可能となる。更には、両増幅回路を1以上のゲインで動作させる際に、帰還容量を切り換えれば各増幅回路でのゲインを切り換えることもできる。

【0036】

また、前段の増幅回路200aが低いゲインで動作している場合は、カットオフ周波数が比較的高いので、後段の増幅回路200bでのボルテージフォロア動作による負荷容量の充電の補助が不要な場合がある。そのような場合は、後段の増幅回路の入力と出力を短絡する不図示の経路を活性化させ、前段の増幅回路200aをもちいて負荷容量を直接充電することができる。その際に、後段の増幅回路は、信号経路から見て十分に高いインピーダンスにしておくことが望ましい。

【0037】

(第2の実施形態)

図4に本実施形態の列増幅回路の等価回路図を示す。第1の実施形態と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。本実施形態の第1の実施形態との違いは、前段の増幅回路400aの出力ノード403にスイッチP1Xを介して、一方のノードに所定の電位が供給された位相補償用の容量CPが設けられている点である。更に前段の増幅回路400aの出力ノード405と後段の増幅回路400bの正転入力ノード405との間の電気経路にスイッチPXが設けられている点である。更に、スイッチPXと後段の増幅回路400bの正転入力ノード405との間の電気経路にスイッチP2を介して基準電位VREFが供給可能となっている点である。

【0038】

本実施例の動作を図5を用いて説明する。図5に図示している期間においては、P1、P21、P1X、P2がハイレベルに維持されている。つまりスイッチP11、P21、P1X、P2は導通状態が維持されている。時刻t1においてP1、P20、P2Rがローレベルからハイレベルへ遷移する。そして、PXがハイレベルからローレベルに遷移する。これにより前段の増幅回路400a及び後段の増幅回路400bがボルテージフォロワ動作となる。またスイッチP2Rにより後段の増幅回路400bの正転入力ノード405は強制的にリセットされ、スイッチPXにより前段の増幅回路400aの出力ノード403と後段の増幅回路400bの正転入力ノード405とが電気的に非接続状態となる。

【0039】

時刻t2において、P20がハイレベルからローレベルへ遷移する。これによりスイッチP20が非導通状態となる。時刻t3においてP1がハイレベルからローレベルへ遷移する。期間t1-t2においては前段の増幅回路400a及び後段の増幅回路400bの両者がボルテージフォロワ動作となる。期間t2-t3においては、前段の増幅回路400aが1以上のゲインでの反転増幅動作であり、後段の増幅回路400bはボルテージフォロワ動作である。

【0040】

時刻t3以降の期間においては、前段の増幅回路400aは1以上のゲインでの反転増幅動作をしており、後段の増幅回路400bは1以上のゲインでの正転増幅動作をしている。

【0041】

時刻t4においてPXがローレベルからハイレベルに遷移する。そして、P2Rがハイレベルからローレベルへ遷移する。これにより前段の増幅回路400aの出力ノード

10

20

30

40

40

50

403と後段の増幅回路400bの正転入力ノードとが電気的に接続され導通状態となる。更にスイッチP2Rが非導通となることにより、後段の増幅回路400bの正転入力ノード405への基準電位VREFの供給が停止する。次に時刻t5においてPTNがローレベルからハイレベルへ遷移する。これにより、スイッチCTNが導通状態となり、列増幅回路のオフセット信号をサンプルホールド容量CTNで保持する。

【0042】

時刻t6においてPTNがハイレベルからローレベルへ遷移した後、入力容量C10の垂直信号線103側のノードには画素からの光信号、もしくは光信号を増幅等の処理した信号が供給される。そして時刻t7においてCTSがローレベルからハイレベルへ遷移し、列増幅回路で処理された光信号がサンプルホールド容量CTSで保持される。

10

【0043】

本実施例によれば、前段の増幅回路400aと後段の増幅回路400bとのリセット動作を独立に行なうことが可能となる。P1Xをローレベルにして、前段の増幅回路400aと後段の増幅回路400bを別々にリセットすることで、リセット時間を短縮できる。

【0044】

さらに前段の増幅回路400aに位相補償容量を設けて動作させることが可能となる。更に後段の増幅回路400bをボルテージフォロワ動作に固定させるモードを設けてよい。

【0045】

(第3の実施形態)

20

図6に本実施形態の増幅回路の等価回路図の一例を示す。本実施形態は第1及び第2の実施形態で述べた、前段の増幅回路の構成に関して特徴がある。具体的には、増幅回路600の正転入力ノード602に、基準電位VREFを保持するための保持容量604を設けた点である。また、増幅回路600にバイアス電流を供給するためのトランジスタ601のゲート605に、バイアス電位VBIASを保持するための保持容量606を設けた点である。スイッチ607、608はそれぞれ保持容量606、604に電位を保持させるためのものである。スイッチ607は配線PHOLD2に供給されるパルスで制御され、スイッチ608はPHOLD1で制御される。反転入力ノード603には画素からの信号が供給される。スイッチ609は消費電力を抑制するためのスイッチであり、配線POFFに供給されるパルスにより制御される。

30

【0046】

図3、5で示した動作を行う前に、保持容量602、604に、それぞれ対応する電位をサンプリングして動作させることができる。このような構成によれば、バイアス電位VBIAに重畠されている熱雑音や他のクロストークによるノイズによる、増幅回路の電流変動を低減することができる。電流変動により、電源やグラウンド等の基準となる電圧に変動が発生し、特にゲインが256倍等の高ゲインの場合はその電源変動は無視できないものとなるが、その影響を低減することができる。本図では保持容量602、604の両者を設けたがどちらか一方のみを設けてよい。また図6で示した構成をフォールステップカスコード構成としてもよい。

40

【0047】

(第4の実施形態)

図7に本実施形態の列増幅回路の等価回路図を示す。図4の形態からの変更点は、後段の増幅回路700bが反転増幅回路となっている点である。

【0048】

前段の増幅回路700aは図2もしくは図4の構成と同様である。後段の増幅回路700bに含まれる演算増幅器704の反転入力ノードには入力容量C70が配される。入力容量C70の一方のノードはスイッチPXXを介して前段の増幅回路700aで増幅された信号が供給される。

【0049】

図8に本実施形態の駆動パルスパターンを示す。図8に示している期間においてはP

50

11、P21、P1Xはハイレベルが維持される。つまり、スイッチP11、スイッチP21、スイッチP1Xは導通状態が維持される。これに対してP12、P22はローレベルが維持される。つまり、スイッチP12、P22は非導通状態が維持される。

【0050】

時刻t1においてP1R、P2R、P2R'がローレベルからハイレベルへ遷移する。これによって対応するスイッチが導通状態となる。PXXがハイレベルからローレベルに遷移し、対応するスイッチが非導通状態になる。前段及び後段の増幅回路がボルテージフォロワ動作となる。

【0051】

時刻t2において、P2Rがハイレベルからローレベルへ遷移する。これにより、後段の増幅回路700bが1以上のゲインで反転増幅動作状態となる。

10

【0052】

時刻t3において、P1R、P2R'がハイレベルからローレベルへ遷移する。これにより前段の増幅回路700aが1以上のゲインで反転増幅動作状態となる。またスイッチP2R'が非導通となるため、入力容量C70の前段の増幅回路700a側のノードの電位がフローティングとなる。これにより後段の増幅回路700bのリセット動作が解除される。

30

【0053】

時刻t4において、PXXがローレベルからハイレベルへ遷移する。これによりスイッチPXXが導通状態となり、前段の増幅回路700aの出力ノードと後段の増幅回路700bの入力ノードとが電気的に接続される。

20

【0054】

時刻t5においてPTNがローレベルからハイレベルへ遷移し、時刻t6においてPTNがハイレベルからローレベルへ遷移する。

【0055】

時刻t7においてPTSがローレベルからハイレベルへ遷移し、時刻t8においてPTSがハイレベルからローレベルへ遷移する。

30

【0056】

このような動作により、前段及び後段の増幅回路が1以上の反転増幅動作を行う。また前段の増幅回路700aに含まれる演算増幅器の入力がN型MOSトランジスタの場合は、後段の増幅回路700bに含まれる演算増幅器の入力はP型のMOSトランジスタにしたほうがよい。

【0057】

これら実施形態はその特徴を説明したもので適宜変更等は可能である。例えばその動作方法として、高いゲインで読み出しを行うモードにおいては、増幅回路等の、例えばグランド電位の変動が自身の信号に混入し、それがゲインアップされてノイズになる場合がある。そのような場合には、画素信号からのリセット信号と光信号をサンプルホールドする間、センサの電流源のバイアス信号をすべてホールドすることが望ましい。

40

【0058】

少なくとも、特に電力消費量が大きい、列の繰り返し回路の定電流源をすべてホールドすることが望ましい。もしくは、少なくとも、リセット信号と光信号をサンプルホールドする間にアクティブになっている回路（もしくは列回路）のバイアス信号をすべてホールドすることが望ましい。

【0059】

（画素領域の説明）

図9に本発明の各実施形態に適用可能な画素プロック図を示す。画素が行列状に配されて撮像領域を構成するが、本図では1列×10行の画素を示している。図9においては画素等価回路を省略しているが、図1, 5で示した画素等価回路を用いることができる。本実施形態の撮像装置はカラー撮像装置であり、本図では緑色の画素Grと、赤色の画素Reとが繰り返し配列されている構成である。このような配置はベイヤーパタンの一部に用

50

いられる。第1及び第2の実施形態と同様の機能を有する部分には同様の符号を付し詳細な説明は省略する。

【0060】

FDと記されているのは各画素のFDに接続されるノードを示しており、OUTは各画素の出力ノードを示している。図1の構成に対応づけて説明すれば、FDは光電変換部の電荷が転送される読み出しノードであり、OUTは選択部の出力ノードである。また第1及び第2の実施形態と異なる点としては信号線が各画素列に対して複数設けられている点である。本図では1画素列に対して2本の信号線が設けられている。

【0061】

スイッチ707(n)、707(n+2)、707(n+4)は共通のバイパス配線709bを介してn行目、n+2行目、n+4行目の画素のFDを電気的に接続可能である。スイッチ707(n+3)、707(n+5)、707(n+7)は共通のバイパス配線709cを介してn+3行目、n+5行目、n+7行目の画素のFDを電気的に接続可能である。さらに、赤色の画素のFDを電気的に接続するためのバイパス配線709b、709dが、赤色の画素の信号が読みだされる信号線708aに近接して配置されている。そして、緑色の画素のFDを電気的に接続するためのバイパス配線709a、709c、709eが、緑色の画素からの信号が出力される信号線708bに近接して配置されている。言い換えると、第1の色の画素のFDを接続するバイパス配線と第2の色の画素の信号が読み出される信号線との間の距離は、第1の色の画素のFDを接続するバイパス配線と第1の色の画素の信号が読み出される信号線との間の距離よりも大きい。このような構成によれば配線間容量を介して生じ得る混色を低減することが可能となる。特に画素の增幅部がソースフォロワ回路などのように正転アンプの場合には信号線の電位の変化方向とバイパス配線の電位の変化方向が同じ方向になるため好ましい。

10

20

【符号の説明】

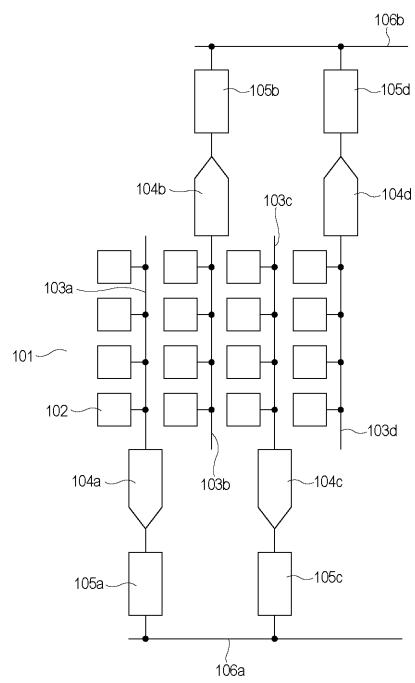
【0062】

104 列増幅回路

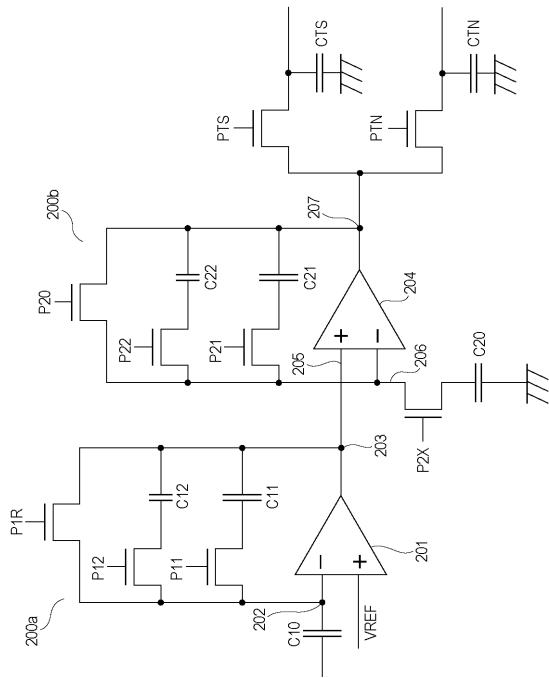
200a 前段の増幅回路

200b 後段の増幅回路

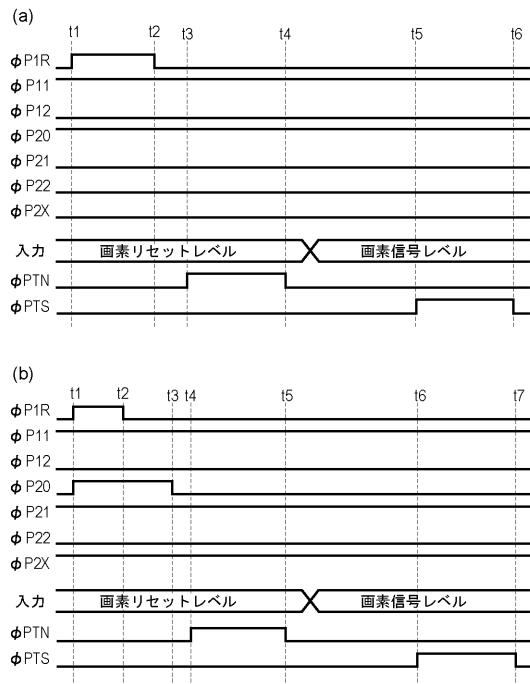
【図 1】



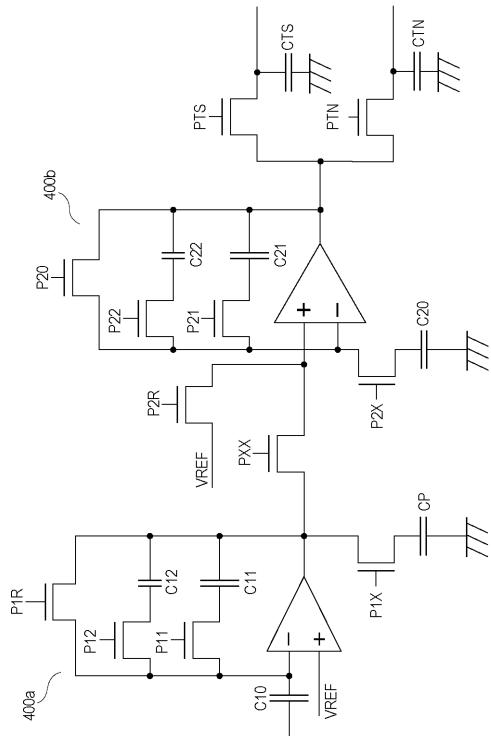
【図 2】



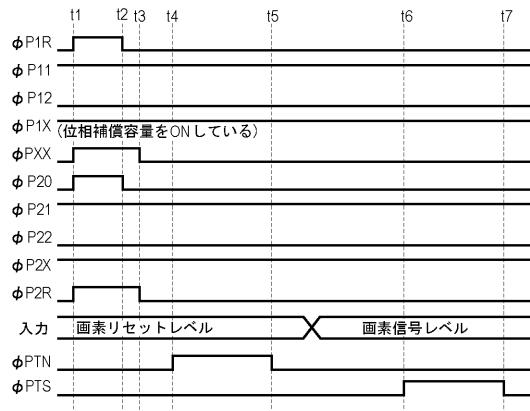
【図 3】



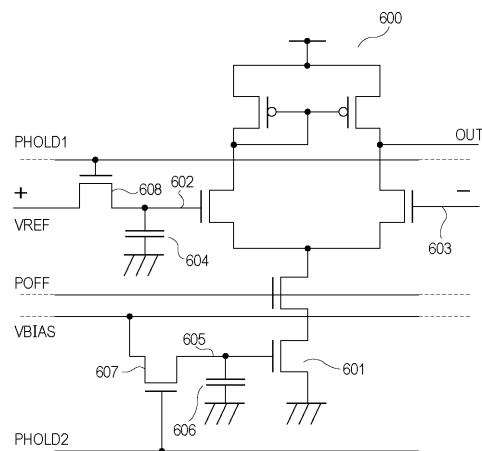
【図 4】



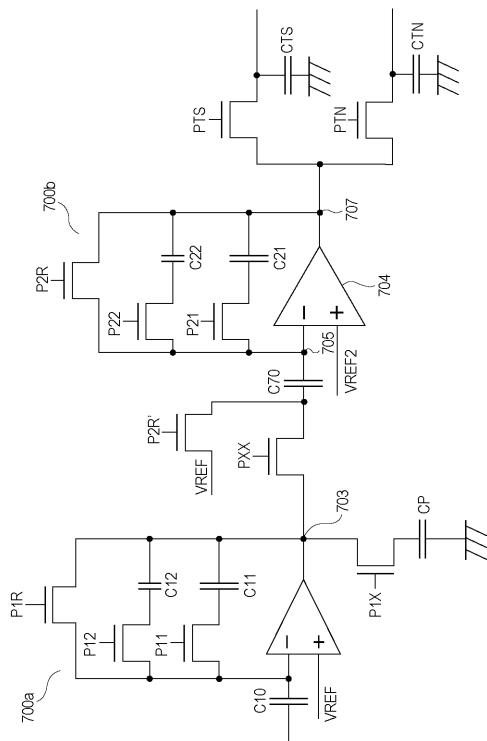
【図5】



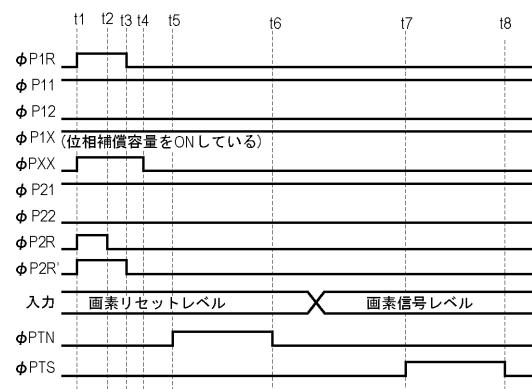
【図6】



【図7】



【図8】



【図9】

