



(12)发明专利

(10)授权公告号 CN 104471648 B

(45)授权公告日 2017.07.21

(21)申请号 201380009774.4

(22)申请日 2013.02.15

(65)同一申请的已公布的文献号
申请公布号 CN 104471648 A

(43)申请公布日 2015.03.25

(30)优先权数据

61/599,425 2012.02.16 US

61/621,546 2012.04.08 US

13/746,523 2013.01.22 US

(85)PCT国际申请进入国家阶段日
2014.08.18

(86)PCT国际申请的申请数据
PCT/US2013/026466 2013.02.15

(87)PCT国际申请的公布数据
W02013/123415 EN 2013.08.22

(73)专利权人 芝诺半导体有限公司

地址 美国加利福尼亚州

(72)发明人 尤尼亚托·维查亚 韩京宇
本杰明·S.·路易

(74)专利代理机构 广州华进联合专利商标代理
有限公司 44224

代理人 王程 何冲

(51)Int.Cl.

G11C 11/40(2006.01)

H01L 21/8239(2006.01)

H01L 27/10(2006.01)

(56)对比文件

US 2006279985 A1,2006.12.14,

US 2005013163 A1,2005.01.20,

CN 1372323 A,2002.10.02,

审查员 闪赛

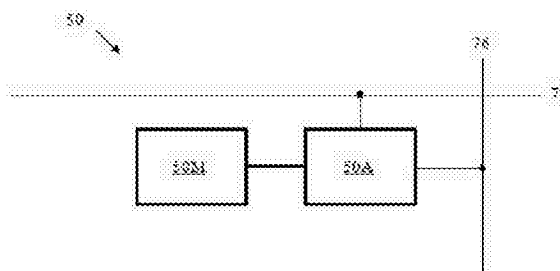
权利要求书1页 说明书24页 附图54页

(54)发明名称

包括初级和二级电晶体的存储单元

(57)摘要

在此公开半导体存储单元、阵列和操作方法。在一个实例中,一个存储单元包括一个双稳的浮体电晶体和一个记忆体件;其特征在于,上述双稳浮体电晶体和一个记忆体件为串联电连接。



1. 一个半导体存储单元,其包括:

一个双稳浮体电晶体,包括回馈偏压区,所述回馈偏压区配置为当所述半导体存储单元处于第一状态和第二状态中的其中一个状态时产生碰撞电离,并且所述回馈偏压区还配置为当所述半导体存储单元处于所述第一状态和第二状态中的另一个状态时不产生碰撞电离;和

一个存取器件;

其特征在于,上述双稳浮体电晶体和上述存取器件为串联电连接。

2. 如权利要求1,上述的半导体存储单元,其特征在于,上述存取器件包括一金属氧化物半导体电晶体。

3. 根据权利要求1,上述的半导体存储单元,其特征在于,上述存取器件包括一个双极型电晶体。

4. 根据权利要求2,上述的半导体存储单元,其特征在于:上述存取器件和上述双稳浮体电晶体两者的传导类型相同。

5. 根据权利要求2,上述的半导体存储单元,其特征在于,上述存取器件和上述双稳浮体电晶体的导电型不同。

6. 根据权利要求1,上述的半导体存储单元,其特征在于,上述双稳浮体电晶体包括埋阱区域。

7. 根据权利要求1,上述的半导体存储单元,其特征在于,上述双稳浮体电晶体包括一个多端口的浮体电晶体,而上述存取器件包括多个存取电晶体。

8. 根据权利要求7,上述的半导体存储单元,其特征在于,上述双稳浮体电晶体包括一个双端口的浮体电晶体,而且,上述存取器件包括两个存取电晶体。

包括初级和二级电晶体的存储单元

[0001] 本发明的领域

[0002] 本发明是一种半导体记忆体技术,具体而言,本发明是一种半导体记忆体件,其中包括一个电浮体电晶体和一个存取电晶体。

[0003] 本发明的背景

[0004] 半导体记忆体器件被广泛用于存储数据。根据其特性,可将记忆体件分成两种一般类型,这两种类型分别为易失性记忆体和非易失性记忆体。易失性记忆体器,例如:静态随机存取记忆体 (SRAM) 和动态随机存取记忆体 (DRAM),在无电源持续供应的情况下会丢失数据。

[0005] 基于电浮体效应的DRAM已被提出(实例请参阅2002年2月,编号2第23卷的IEEE电子器件快报第85-87页,S.Okhonin等人的“少电容的1T-DRAM单元”,和2002年2月,2002IEEE国际固态电路会议,技术文摘第152-153页,T.Ohsawa等人的“在SOI上使用一个电晶体增益单元的记忆体设计”)。此类记忆体消除了用于传统1T/1C记忆体单元的电容,因此更易于缩小到更小的特征尺寸。另外,相较于传统的1T/1C记忆体单元,此类记忆体可实现更小的单元尺寸。

[0006] Widjaja和Or-Bach描述了一个双稳态的SRAM单元,其中包括一个浮体电晶体,该电晶体上每一个记忆体单元均有超过一个以上的稳定状态(例如,正如Widjaja等人在美国专利申请公开号2010/00246284中标题为“具有浮体电晶体的半导体记忆体及其操作方法”,和美国专利申请公开号2010/0034041中标题为“带有浮体电晶体使用可控矽整流器原理的半导体记忆体件之操作方法”中所描述内容一样,因此对其参考并以其整体性在此并入)。此双向稳定性的实现是源于所施加的反向偏压,该偏压导致碰撞电离并产生孔洞以补偿电荷的充电泄露和重新组合。

[0007] 在一个由存储单元行和列组成的记忆体阵列中,在存储单元上的操作可能会触发在其周围的存储单元,此种情况通常被称为干扰。对于记忆体单元,常常需要提高抗干扰的能力。例如,“SOT上的无电容器双电晶体随机存取记忆体 (TTRAM)” (F.Morishita等人于2005年发表于定制积体电路会议,第435-438页),“系统级电源管理统一记忆体之配置增强型TTRAM宏 (macro)” (F.Morishita等人发表于2007年编号4第42卷IEEE杂志上的固态电路,第853-861页),“带验证控制SOI平台记忆体IP的可扩展的高密度双电晶体RAM (TTRAM)” (2007年K.Arimoto等人发表于编号4第42卷IEEE杂志之固态电路,第2611-2619),以及“在SOI上带验证控制SoC平台记忆体之可扩展ET2RAM (SETRAM)” (2006年K.Arimoto等人发表于定制积体电路会议,第429-432页)。这些描述内容,对其参考并以其整体性在此并入,由此可能会提高记忆体单元的抗干扰能力。

[0008] 本项发明的概要

[0009] 本发明因应提高抗干扰的持续需求,通过在记忆体单元操作中纳入一个存取电晶体提供对抗干扰能力的改善,从而提高抗干扰能力。

[0010] 本发明特征之一,一个半导体存储单元包括:一个双稳浮体电晶体;一个存取器件;其中,上述之双稳浮体电晶体和存取器件为串联电连接。

- [0011] 在至少一个实施例中,存取器件包含有一个金属-氧化物-半导体电晶体。
- [0012] 在至少一个实施例中,存取器件包含有一个双极型电晶体。
- [0013] 在至少一个实施例中,存取电晶体与双稳态浮体电晶体的导电类型相同。
- [0014] 在至少一个实施例中,存取电晶体具有与双稳态浮体电晶体之一导电类型相异。
- [0015] 在至少一个实施例中,双稳态浮体电晶体包括一个埋阱区域。
- [0016] 在至少一个实施例中,双稳态浮体电晶体包括一个多端口浮体电晶体,并且存取器件包括多个存取电晶体。
- [0017] 在至少一个实施例中,双稳态浮体电晶体包括一个双端口的浮体电晶体,并且存取器件包括两个存取电晶体。
- [0018] 本发明特征之二,一个半导体记忆体单元包括:具有初级主体的初级电晶体;具有二级主体的二级电晶体;初级和二级主体下的基板;设置于基板与至少初级和二级主体之一之间的埋层;接触初级主体的初级源极区;与初级源极区分开的一个初级漏区且与初级主体接触;与初级主体绝缘的一个初级栅极;将初级主体与二级主体绝缘的一个绝缘构件;接触二级主体的一个二级源极区;与二级源极区分开的一个二级漏区,并且与二级主体接触;而且,一个二级栅极 (gate) 与二级主体绝缘。
- [0019] 在至少一个实施例中,初级栅极位于初级源极区与初级漏区之间,而且二级栅极位于二级源极区与二级漏区之间。
- [0020] 在至少一个实施例中,初级电晶体是浮体电晶体,二级电晶体是一个存取电晶体。
- [0021] 在至少一个实施例中,上述的初级主体是一个浮体主体,二级主体是一个电气连接到基板的阱区。
- [0022] 在至少一个实施例中,初级漏区电连接到上述二级源极区域。
- [0023] 在至少一个实施例中,上述的初级主体具有选自p-型导电型和n型导电型的一个初级导电类型。其中,二级主体具有初级导电类型,而初级和二级源极区与初级和二级漏区分别有选自p型导电类型和n-型导电类型的一个二级导电类型。此处上述之初级导电类型与二级导电类型相异。
- [0024] 在至少一个实施例中,初级主体是一个浮体,二级主体是电连接到掩埋层的阱区。其中,初级主体具有选自p型导电类型和n型导电类型的初级导电类型。并且,二级主体具有一个选自p型导电类型和n型导电类型的二级导电类型。此处上述之初级导电类型与二级导电类型相异。
- [0025] 在至少一个实施例中,半导体存储单元包括一个参考单元,该参考单元还包括:与初级源极区和初级漏区隔开的一个感测线区,并且接触初级主体。此处上述之初级主体具有选自p-型导电型和n型导电类型的初级导电类型,其中,感测线区具有初级导电类型。
- [0026] 在至少一个实施例中,初级漏区电连接到二级栅极。
- [0027] 在至少一个实施例中,初级电晶体是浮体电晶体,二级电晶体是一个浮体电晶体。
- [0028] 在至少一个实施例中,初级和二级浮体电晶体配置用于存储补充电荷。
- [0029] 在至少一个实施例中,至少初级和二级主体之一是一个双稳浮体。
- [0030] 在本发明的特征之三,一个半导体存储单元包括:具有一个浮体的一个初级电晶体;在浮体下面的一个埋层,其中,于埋层上的电压应用维持了存储单元的状态;和一个二

级电晶体;其中,初级电晶体与二级电晶体串联联接。

[0031] 在本发明的特征之四,一种半导体存储单元包括:一个双稳浮体电晶体;和一个浮栅极电晶体。

[0032] 在本发明的特征之五,一个半导体存储单元包括:一个初级双稳态浮体电晶体;和一个二级双稳态浮体电晶体;其中,初级和二级浮体电晶体配置用于存储补偿电荷。

[0033] 在本发明的特征之六,操作一个带有一双稳态浮体电晶体和一个存取电晶体的半导体记忆单元之操作方法,该方法包括:施加电压到存取电晶体以打开存取电晶体;通过启动存取电晶体选取存储单元进行操作。

[0034] 在至少一个实施例中,操作作为一个读操作,其包括通过记忆体单元的监控电流,由此用于石油浮体电晶体的状态。

[0035] 在至少一个实施例中,操作作为一个逻辑1的操作,其中,施加于存取电晶体的电压是一个施加于存取器电晶体位线终端的正偏压,而且存取电晶体传输此正偏压到浮体电晶体的一个漏区上。

[0036] 在至少一个实施例中,该方法还包括进一步偏置浮体电晶体以通过碰撞电离机制最大化产生孔穴。

[0037] 在至少一个实施例中,施加于存取电晶体的电压被偏置,从而引起存取电晶体的一个源极区悬空,该方法进一步包括通过电容耦合,从而提高浮体电晶体浮体之电势。

[0038] 在至少一个实施例中,该操作是一个写逻辑0的操作,其中,施加于存取电晶体的电压是负偏压,而且,上述之存取电晶体输送该负偏压至浮体电晶体的一个漏区中。

[0039] 在至少一个实施例中,操作是一个低电平有效的读操作。

[0040] 在至少一个实施例中,该操作是一个低电平有效的写逻辑-1的操作。

[0041] 在至少一个实施例中,该操作是一个读操作,包括监测通过记忆体单元的电流,由此以石油浮体电晶体的一个状态。同时,用于打开存取电晶体所施加之电压为0电压。

[0042] 在至少一个实施例中,该操作是一个写逻辑-1的操作,其中,施加于存取电晶体的电压包括施加0电压于存取电晶体上的一个字线终端,并且,写逻辑-1操作通过带到带隧穿机制而执行。

[0043] 在至少一个实施例中,该操作是一个写逻辑-1的操作,其中,施加于存取电晶体的电压包括施加0电压到存取电晶体的一个字线终端,而且,上述之写逻辑-1操作通过经由一个碰撞电离机制而执行。

[0044] 在至少一个实施例中,该操作是一个写逻辑-1的操作。上述之施加于存取电晶体的电压是一个正电压,该正电压被偏置以使得存取电晶体制一个源极区悬空。该方法还进一步包括通过电容耦合提高浮体电晶体浮体的电势。

[0045] 在至少一个实施例中,该操作是一个写逻辑0的操作。其中,施加于存取电晶体电压是一个正偏压,该正偏压施加于存取电晶体的一个字线终端。

[0046] 在至少一个实施例中,该操作是一个写逻辑0的操作,其中,施加于存取电晶体的一个字线终端的电压是一个负偏压,该负偏压比施加于浮体电晶体的一个漏区更小。

[0047] 对于那些在本技术领域的技术人员在阅读记忆体件及其方法之详情后,这些和其他特征将变得显而易见。更详尽的描述如下所示:

[0048] 图纸的简要说明

[0049] 图1A是一个记忆体单元的示意图。根据本发明的一个通用实施例,该存储单元包括记忆体件和一个与之串联的存取器件。

[0050] 图1B为图1A记忆体单元之行将电路图,根据本发明的一个实施例,其中,记忆体件为一个双檐浮体器件。

[0051] 图2A是根据本发明而出具的一个记忆体单元图。

[0052] 图2B是一个存储单元之示意图,根据此发明之另一个实施例,在该存储单元中,浮体电晶体之漏区和存取电晶体之源极区通过独立的传导元件进行连接。

[0053] 根据此发明的一个实施例,图2C是一个记忆体单元的示意图。

[0054] 根据本发明的一个实施例,图3A是图2A或图2B的一个记忆体单元的一个部分的等效电路图。

[0055] 根据本发明的一个实施例,图3B是图2A或图2B的浮体电晶体的一个双极器件的等效电路图,其由源极线区,浮体区和漏区形成。

[0056] 根据本发明之一个实施例,图4A是一个记忆体单元之示意图。

[0057] 根据本发明之一个实施例,图4B是一个记忆体单元之横截面示意视图,其中,存取器件是一个与图4A描述类型一样的双极电晶体。

[0058] 根据本发明之一个实施例,图5是多个单元之示意图。这些单元类型为图3A-3B中所示类型一致,它们连接起来组成记忆体阵列。

[0059] 根据本发明之一个实施例,图6是多个单元的示意图,这些单元的类型为图3A-3B中所示类型一致,它们连接起来组成记忆体阵列。

[0060] 根据本发明之一个实施例,图7为在记忆体阵列上执行维持操作的示意图。

[0061] 图8为施加于图7阵列上一个记忆体单元终端的典范(exemplary)偏压条件。

[0062] 图9A显示了一个能带图,根据本发明一个实施例,当一个浮体区被正向充电,并且一个正向偏压被施加于一个记忆体单元的埋阱区时,该能带特征本质为一个双极器件。

[0063] 9B显示了一个能带图,根据本发明一个实施例,当一个浮体区电中性,并且一个正向偏压被施加于一个记忆体单元的埋阱区时,该能带特征本质为一个双极器件。

[0064] 根据本发明一个实施例,图9C显示了净电流I作为浮体电势V的一个函数,流进或流出浮体区的图示。

[0065] 根据本发明一个实施例,图9D显示了一个存储单元的势能面(PES)之示意性曲线图。

[0066] 该发明的一个实施例,图9E为一个存储于一记忆体单元的一个浮体区的电荷,该记忆体是一个施加于一埋阱区的电势的一个函数;其连接到一个BW终端。

[0067] 根据本发明之实施例,图10为一个替代维持操作的示意图,该操作执行于一个记忆体阵列上。

[0068] 图11为施加于图10阵列之一记忆体单元的终端上的典型偏压条件。

[0069] 根据本发明的实施例,图12为一个操作于一个记忆体阵列的一个读操作的示意图。

[0070] 图13为施加于一个存储单元终端上执行一个读操作的偏置条件示意图。

[0071] 根据本发明的实施例,图14为一个执行于一个记忆体阵列写逻辑-1操作之示意图。

- [0072] 图15为施加于一个记忆体单元以执行一个写逻辑-1操作的偏置条件的示意图。
- [0073] 根据本发明的实施例,图16为执行于一个存储阵列上一个替代写逻辑-1操作之示意图。
- [0074] 图17为施加于一个记忆体单元上终端以执行一个替代写逻辑-1操作的偏置条件之示意图。
- [0075] 根据一个此发明实施例,图18为一个替代写逻辑-1操作示意图,该操作通过执行于一个记忆体阵列的电容耦合而实现。
- [0076] 图19为施加于一个存储单元的终端以通过电容耦合执行一个替代写逻辑-1操作的偏置条件之示意图。
- [0077] 根据本发明实施例,图20为一个执行于一个存储阵列的写逻辑-0操作之示意图。
- [0078] 图21为施加于一个记忆体单元的终端以执行一个写逻辑-0操作之偏置条件之示意图。
- [0079] 根据本发明的实施例,图22为一个执行于一个记忆体阵列之替代写逻辑-0操作之示意图。
- [0080] 图23为施加于一个记忆体单元终端以执行一个替代写逻辑-0操作的偏置条件之图示。
- [0081] 根据本发明的实施例,图24为执行于一个记忆体阵列的一个低电平有效读操作之示意图。
- [0082] 根据本发明的实施例,图25是一个执行于一存储阵列上低电平有效的写逻辑-1操作之示意图。
- [0083] 根据本发明的实施例,图26和图27为一个鳍型记忆体单元的横截面示意图。
- [0084] 根据本发明的实施例,图28是一个记忆体单元之示意图。
- [0085] 根据本发明的实施例,图29A和29B是一个记忆体单元之示意性横截面图示。
- [0086] 图30是显示于图29A-29B之记忆体单元的一个等效电路之示意图。
- [0087] 图31为图29A-29B的固有于记忆体器件之一双极器件的示意图。
- [0088] 图32为在图29A-29B中显示类型相同的多单元之示意图,这些单元连接起来组成一个记忆体阵列。
- [0089] 根据本发明的实施例,图33为执行于一个记忆体阵列上的一个维持操作之示意图。
- [0090] 根据本发明之一实施例,图34是执行于一个记忆体阵列上的一个替代维持操作之示意图。
- [0091] 根据本发明之一实施例,图35是执行于一个存储阵列上的一个读操作之示意图。
- [0092] 根据本发明之一实施例,图36是使用带到带隧穿机制执行于一个记忆体阵列上的一个写逻辑-1操作之示意图。
- [0093] 根据本发明之一实施例,图37为使用碰撞电离机制执行于一个记忆体阵列上的一个写逻辑-1操作之示意图。
- [0094] 根据本发明之一实施例,图38是通过电容耦合执行于一个记忆体阵列上的一个写逻辑-1操作之示意图。

- [0095] 根据本发明之一个实施例,图39为一个在一记忆体阵列上执行的写逻辑-0操作。
- [0096] 根据本发明之一个实施例,图40为一个在记忆体阵列上执行的替代写逻辑-0操作。
- [0097] 根据本发明之一个实施例,图41是一个记忆体单元的示意性横截面图,该记忆体单元在感测一个浮体记忆体单元的状态中可被使用为一个参考基准单元。
- [0098] 图42示意性描述一个记忆体阵列,其包括图2A-2C中所示类型之多个单元,以及图41中所示类型之参考基准单元。
- [0099] 根据本发明之一个实施例,图43为一个参考基准单元顶视图之示意图。
- [0100] 图43B和43C为图43A之单元分带II和II-II剪切线之示意性横截面图示。
- [0101] 图44为一个记忆体阵列的示意图,其包括图2A-2C中所示类型之多单元以及图43A-43C中所示类型之一基准参考单元。
- [0102] 根据本发明之一个实施例,图45为一个记忆体单元的示意性横截面示图。
- [0103] 图46为一个记忆体阵列之示意图,该记忆体阵列包括图45中上述之类型的多个单元。
- [0104] 根据本发明之一个实施例,图47是执行于一个记忆体阵列上的一个读操作之示意图。
- [0105] 根据本发明之一个实施例,图48是使用带到带隧穿机制执行于一个存储阵列上的一个写逻辑-1操作之示意图。
- [0106] 根据本发明之一个实施例,图49是一个执行于一个记忆体阵列上的写逻辑-0操作之示意图。
- [0107] 根据本发明之一个实施例,图50是一个记忆体单元示意性横截面图示。
- [0108] 图51是一个记忆体阵列之示意图,该记忆体包括图50中所示类型的多个单元。
- [0109] 图52是一个图50中所示类型的一个记忆体单元之示意性顶视图。
- [0110] 根据本发明的另一实施例,图53是一个双端口记忆体单元的示意图,在此双商品记忆体单元上一个双端口浮体电晶体串联连接到两个存取电晶体上。
- [0111] 本发明的详述
- [0112] 在描述本记忆体的器件和方法之前,应当理解,本发明并不限于特定的实施例中,因其会发生变化。同时,也要知悉,本文使用的术语是用于描述特定实施例的目的,并且限于此,因为本发明的范围将仅受限于所附的发明声明要求。
- [0113] 当提供数值的范围时,应当理解,每个中间值,除非上下文清楚地指出,否则,该范围的上限和下限之间的下限单位的十分之一,也具体地公开。在规定范围内的任何规定值或中间值和在规定范围内任何其他声明数值或中间数值之间每一个较小的范围,均包含于本发明之中。这些较小范围的上限和下限可以独立地包括或不包括于范围内。而且,在此较小范围内包含其中之一的限制、或两者限制均不包含的、或两者限制均包含的每一个范围,也均包括于本发明之内,遵循本规定范围内的任何特别排他限制。在规定的范围内包括的一个或两个的限制,不包含这些被纳入的限制两者之一或不包含两个这些被纳入的限制之范围亦包括在本发明之内。
- [0114] 除非另有定义,本文所用的所有技术和科学术语具有在本发明所属的本领域的普通技术人员所通常理解的相同的含义。虽然任何类似或等同于本文上述的那些方法和材料

可用于本发明的实施或测试,但是优选的方法和材料也在此说明。本文所提到的所有出版物都引入本文作为参考以提示和描述所引用之出版物相关的方法和/或材料。

[0115] 必须指出,本文所用的,并在所附的权利要求书中,单数形式“一”,“一个”,和“一种”包括复数对象,除非另有明文规定。由此,举例说明如下,所提到的“一单元”包括多元化的此类单元,而提到“一种终端”则会包括一个或多个终端及在本技术领域的技术人员已知的等同物。诸如此类。

[0116] 这里所讨论的出版物仅指本申请的申请日之前所披露的内容。此处任何资讯均不被解释为承认本发明无权凭借以往的发明早于这样的出版物。另外,实际的出版日期可能有所不同,可能需要另外证实。

[0117] 根据本发明的实施例,图1A是一记忆体单元的示意图,该记忆体包括50M记忆体器件和50A存取器件,这两种器件为串联连接。记忆体单元50是一种记忆体单元的通用表示图,此种记忆体单元包括上述之一记忆体件和一存取器件,其一般地表示西方所描述的具体实施例,例如:100,100B,102,104,100R1,100R2,200,300,和500。50M记忆体器件其功能为保存记忆体单元50的状态,通过存取器件50A进行存取。存取器件50A连接到终端,例如,显示于1A的字线终端72和位线终端76,其用于在一个记忆体阵列中选择一个记忆体单元50。该记忆体阵列包括记忆体单元50的多个行与列。在一个串联连接中,例如:在50M记忆体器件和50A存取器件,相同电流流经每个器件。因此,50A存取器件可被用于在读或写操作中关闭或取消一个未被选中的记忆体单元50。

[0118] 根据本发明的实施例,图1B描述一记忆体单元50。其中,50M记忆体器件是一个双稳浮体器件。例如,正如Widjaja等人于美国专利申请号为2010/00246284,标题为“具有浮体电晶体的半导体记忆体及其操作方法”(“Widjaja-1”)中上述的一样,和美国专利号为2010/0034041,标题为“带有浮体电晶体使用可控矽整流器原理的半导体记忆体件之操作方法”(“Widjaja-2”)中上述的一样,美国专利申请号为2012/0217549,标题为“带有电浮体电晶体的非对称半导体记忆体器件”(“Widjaja-3”)中所描述一样,以及美国申请专利号为13/746,523,标题为“带电浮体的记忆体器件”(“Widjaja-4”)中上述内容一样,它们完整引用于此),其中,存取器件50A是一个金属氧化半导体电晶体(MOS)。

[0119] 根据本发明的一个实施例,图2A显示一记忆体器件100的示意性横截面视图。记忆体器件100包括两个电晶体:带有电浮体24的电晶体40和存取电晶体42。记忆体单元100包括一个初级传导类型,例如:p-类型的一个基板10。基板10典型由矽制成,但是也可能包括锗,矽锗,砷化镓,碳纳米管,或其他半导体材料。在本发明的一些实施例中,基板10为半导体晶圆的基体材料。在其他实施例中,基板10可为初级传导类型的一个阱,嵌入于二级传导类型的一个阱或,二级传导类型,例如:n-型的基体半导体材料的晶圆中。它可作为设计选择的一种材料(未在图中显示)。为了简化描述,基板10常为半导体基体材料,如图2A所示。

[0120] 浮体电晶体40也包括一个二级传导类型例如:n-类型的一个埋层区;初级传导类型例如:p-型的一个浮体区;二级传导类型,例如:n-类型的源极/漏区16和18。

[0121] 可通过在基板10的材料上注入离子而形成埋层30。或者,可以在基板10表面外延长出埋层30。

[0122] 初级传导类型的浮体区24在顶部与表面14,源极线区16,漏区18和绝缘层62交界,在侧面与绝缘层26交界,并且在底部与埋层30交界。如果注入埋层30,浮体24可以是埋层30

上原基板10材料的一部分。另外,浮体24可外延生长出来。取决于埋层30和浮体24的形成方式,浮体24可能在一些实施例中具有与基板10相同的掺杂方式,或者在其他实施例中,采用不同的掺杂方式。

[0123] 栅60被置于源极线区16与漏区18之间,位于浮体区24之上。栅60通过一个绝缘层62与浮体区24绝缘。绝缘层62可能会由二氧化矽和/或其他非电传导材料,包括高K非电传导材料,例如,但不限于,过氧化钽,氧化钛,氧化锆,氧化铪,氧化和/或三氧化二铝。例如,栅60可能由多晶矽材料或金属栅极电极制成,例如:钨,钽,钛及其氧化物。

[0124] 尽管可以使用其他绝缘材料,绝缘层26(例如,像浅沟槽隔离(STI)),可由氧化矽制成。绝缘层26将浮体电晶体40与相邻浮体电晶体40及相邻存取电晶体42进行绝缘。绝缘层26的底部可能位于埋区30内部,从而使得埋区30保持连续,如图2A所示。另外,绝缘层26的底部可能位于埋区30下面,如图2C所示。这需要一个较浅的绝缘层28,其绝缘浮体区24,但是可使埋层30在横截面视图的垂直方向上是连续的,如图2C所示。简单地说,只有一个所有方向上带有连续埋区30的记忆体单元100自此显示。

[0125] 存取电晶体42包括一个初级传导类型(例如:p-类型)的阱区,源极区20和二级传导类型(例如:n-类型)的位线区22。初级传导类型的阱区12电连接到基板区10,因此不会悬空。栅64能过一个绝缘层66与阱区12绝缘。绝缘层66可能由氧化矽和/或其他非电传导材料做成,包括高-K非电传导材料,例如,但不仅限于,过氧化钽,氧化钛,氧化锆,氧化铪,氧化和/或三氧化二铝。栅64可由多晶矽材料或金属栅极电极制成,例如,钨,钽,钛及其氮化物。

[0126] 浮体电晶体40的漏区18通过一个传导元件94连接到存取电晶体42的源极区20。传导元件90连接浮体电晶体40(它也可被称为记忆体件100的源极线区16)的源极线区16到源极线终端74(SL),而传导性元件92连接存取电晶体(它也可被称为记忆体件100的位线区22)线区22到位线(BL)终端76。传导元件90,92和94可由钨或矽化物的矽形成(但不仅限于此)。

[0127] 除了SL终端74和BL终端76以外,记忆体单元100也包括字线1(WL1)终端70,该终端电连接到浮体电晶体40的栅60;字线2(WL2终端72),该终端电连接到存取电晶体42的栅64;埋阱(BW)终端78,该终端电连接到浮体电晶体40的埋阱区30;和基板(SUB)终端80,该终端电连接到基板区10。

[0128] 另一个实施例,如图2B中所示,浮体电晶体40的漏区18和存取电晶体的源极区20可通过独立的传导元件94A和94B连接起来,然后可通过使用其他传导材料,例如:铝或铜的金属进行连接(未显示于图2B)。

[0129] 图3A描述了记忆体器件100的等效电路图,其显示由源极线区16形成的浮体电晶体40,由源极区20形成的漏区18,栅60和存取电晶体42,以串联连接的位线区22和栅64。在浮体电晶体40中固有的器件为双极器件44,由埋阱区30,浮体区24,和源线区16,以及双极器件46,其由埋阱区30,浮体区24及漏区18形成。

[0130] 同样,固有于浮体电晶体40的器件是双极器件48,其由源极线区16,浮体区24,和漏区18形成。为图纸清晰明了起见,双极器件48分别显示于图3B。

[0131] 根据本发明的实施例,图4A描述记忆体单元50,其中,记忆体器件50M是一个双稳态浮体器件,而存取器件50A是一个双极电晶体。

[0132] 图4B为记忆体单元100B的一个示意性横截面视图,其为图4A的记忆体单元50之示

例性实施例。在示例性记忆体单元100B,记忆体单元100B的状态保存在浮体电晶体40(其对应于图4A记忆体器件50M),而双极电晶体42B的作用为存取器件(其对应于图4A的存取器件50A)。双极电晶体42B(图4A电晶体50A的具体实施之通用表示图和图1A中存取电晶体50A更一般表示),其由源极区20,阱区12,和漏区22形成,它作为记忆体单元100B的存取器件。栅极64(连接到WL2终端72)未与阱区12连接,并作为双极电晶体42B的基极终端。

[0133] 对包括多个记忆体单元100的一个记忆体阵列,如图3A-3B(作为记忆体50的一个示例性实施,如图1A所示)所示,以及记忆体单元操作将进行描述。简单而言,后续的大部分描述将使用一个MOS电晶体作为存取器件50A的一个例子。然而,应该理解的是,使用一个双极电晶体作为存取器件之记忆体单元50的操作遵循同样的原则。

[0134] 图5显示记忆体单元100(包括4个记忆体单元100示例性例子,标记为100a,100b,100c,和100d)的示例性记忆体阵列120,该阵列按行和列排列。在很多但并非全部出现示例性阵列120中的图示中,在上述之操作有一个选定的记忆体单元100时,代表记忆体单元100A将为一个(或在一些实施中多个)“选定的”记忆体单元100。在这类图中,代表记忆体单元100B将是与选定的代表记忆体单元100A共用同一行的未被选中的记忆体单元100的代表,代表记忆体单元100C将是与选定的代表记忆体单元100A共用同一列的未被选中的记忆体单元100的代表,而代表记忆体单元100D将是未与选定的代表记忆体单元100A共用同一行或同一列的未被选中的记忆体单元100的代表。

[0135] 图5为70A到70N的WL1终端,72A到72N的WL2终端,74A到74N的SL终端,78A到78N的BW终端,80A到80N的SUB终端,以及76A到76P的BL终端。WL1, WL2, SL, 和BW终端之一与记忆体单元100的一个单独行一起显示,而且,任一BL终端76与记忆体单元100的一个单独列一起显示。在本技术领域的普通技术人员将会理解,很多其他记忆体阵列120的安排和布局都是可能的。例如,只有一个共同的SUB终端80是通过记忆体阵列120的一段或通过整个记忆体阵列120进行呈现。同样,其他终端可以被分段或缓冲。而控制电路,例如:字解码器,列解码器,分割器,读出放大器,写入放大器等等,可在阵列120周转排布或在阵列120的子阵列中插入。因此,描述的示例性实施例,特征,设计选项等等,不以任何方式作限制作用。

[0136] 图6显示一个替代阵列122,其上记忆体单元100在镜像配置中排列。其中,一个记忆体单元100的源极线区16(其连接到SL终端74)与一个带有位线区22(其连接到BL终端76)的相邻单元100的一个源极线区16邻近,而根据本发明的一个实施例,此位线区22与另一个相邻单元100的位线区22相邻。

[0137] 对记忆体单元100可执行几种操作,例如,保持操作,读操作,写逻辑-1和写逻辑-0操作。

[0138] 图7和图8分别为在记忆体阵列120的保持操作和在一个选定的记忆体单元100的保持操作。保持操作通过施加一个正回馈偏压到BW终端78,在WL1终端70和WL2终端72上的零或低负偏压以关闭浮体电晶体40和存取电晶体42的通道区,以及SL终端74、SUB终端80和BL终端76上的零偏压而执行。施加到连接于BW终端78的埋层区30之正回馈偏压将保持记忆体单元100的状态,该记忆体单元100通过保持存储于对应浮体电晶体40的浮体区24之电荷而连接起来。

[0139] 在一个实施例中,记忆体单元100的保持操作的偏压条件是0.0伏,其施加于WL1终端70, WL2终端72, SL终端74, BL终端76, 和SUB终端78, 并且一个正电压,例如+1.2伏施加于

BW终端78。在其他实施例中,不同电压可能被施加于记忆体单元100的各个终端作为设计选择。而且,在此所述之示例电压不以任何方式作限制作用。

[0140] 从图3中所示之记忆体单元100等效电路图可知,在记忆体单元100的浮体电晶体40内固有的是双极器件44和46,其双极器件44的带图显示于图9A和9B中。

[0141] 图9A显示当浮体区24为正向充电以及施加于埋区30的一个正偏压时的双极器件44的带图。双极器件46的能带图类似于图9A所示,漏区18替代源极线区16。虚线显示了双极器件44的各区内之费米能级。众所周知,费米能级位于表明价带(带隙的底部)的顶部之实线27与表明导带(带隙的顶部)底部的实线29两者之间的带隙。如果浮体24为正向充电,对应于逻辑-1的一个状态,双极电晶体44和46将会被打开,因为浮体区降低流向基区的电子之能量势垒。一旦被注入到浮体区24,电子将被扫入到埋阱区30(其连接到BW终端78),因为正偏压被施加到埋阱区30。由于正偏压的作用,电子通过一个碰撞电离机制被加速并建立额外的热载流子(热孔和热电子对)。产生的热电子流入到BW终端78,而产生的热孔将随后注入浮体区24。当满足以下条件 $\beta \times (M-1) \approx 1$ —其中, β 是一个双极电晶体44或46的正向共发射极电流增益,而M是碰撞电子系数注入到浮体区24的孔穴数量补偿丢失的电荷因为浮体区24和源极线区16或位线区18之间的pn结正向偏置电流,以及因为孔穴重组。作为一个正向回馈机制的结果,此过程保持存储于浮体区24的电荷(例如:孔穴),只要一个正偏压通过BW终端78被施加于埋阱区22,该浮体区一直使npn双极电晶体44和46保持打开状态。

[0142] 当 $\beta \times (M-1)$ 的乘积接近1并且其特征在于通过孔电流移到一个双极电晶体基区的区域有时候也被称为反向基极区,而且已经有例子描述于“基于双极电晶体的反向基极电流(RBC)效应之一一个新静态记忆体单元”(K.Sakui等人,第44-47页,国际电子器件会议,1988年(“Sakui-1”)),“基于双极电晶体的反向基极电流效应之一一个新静态记忆体单元”(K.Sakui等人,第1215-1217页,IEEE电子器件,编号6第36卷,1989年6月(“Sakui-2”)),“关于在崩塌机制中双极电晶体的双稳态行为和开基极击穿—建模与应用”(M.Reisch,第1398至1409页,IEEE电子器件,编号6第39卷,1992年6月(“Reisch”)),其完整性内容引用于此,并入本文。

[0143] 基于反向基极电流区的锁定行为也已经描述于双电阻(例如,双稳态电阻)例子中,“双稳态电阻(双电阻)—无栅矽纳米线记忆体”(J.-W.Han和Y.-K.Choi,第171-172页,2010年VLSI技术研讨会,技术论文文摘,2010年, (“J.-W.Han”)),其完整性内容引用于此,并入本文。在一个双终端双电阻器件,仍然需要一个刷新操作。J.-W.Han描述矽纳米线双电阻记忆体的一个200ms数据存储。在记忆体单元100,因垂直双极电晶体44和46记忆体单元的状态将被保持,而余下的单元操作(例如:读和写操作)通过横向双极电晶体48和MOS电晶体40进行管理。因此,保持操作不需要任何记忆体单元100存取中断。

[0144] 如果浮体24为电中性(浮体24上的电压等于接地源极线区16上的电压),对应于逻辑-0的一个状态,无电流流经双极电晶体44和46。双极器件44和46将保持关闭状态,并且无碰撞电离发生。因此,在逻辑-0状态里的存储单元将保持于逻辑-0的状态。

[0145] 图9B显示当浮体区24是电中性且一个偏压被施加于埋阱区30上的时的内在双极器件44的能带图。在此状态下,接界于实线27A和29A的带隙之能级在双极器件44的各区内是不同的。因为浮体区24和源极线区16的电势是相等的,而费米级是恒定的,导致源极线区16和浮体区24两者之间有一个能量势垒。为参考之用,实线23表明了源极线区16和浮体区24

之间的能量势垒。能量势垒防止电子自源极线区16 (连接到SL终端) 流向浮体区24。由此, 双极器件44将保持关闭状态。

[0146] 一个浮体记忆体的自主刷新无要求首先读取记忆体单元的状态, 此点已经有描述于“浮体单元 (FBC) 的自主刷新” (Ohsawa等人, 第801-804页, 国际电子器件会议, 2008年, (“Ohsawa”)), 美国7,170,807“数据记忆体件和使用此类器件的刷新方法” (Fazan等人, (“Fazan”)), 其完整性内容引用于此, 并入本文。Ohsawa和Fazan通过使用周期栅及漏极电压脉冲进行自动刷新, 该方法中断对正在被刷新的记忆体单元的存取。在记忆体单元100, 由于垂直双极电晶体44和46可以得到多于一个的稳态。记忆体单元100的读和写操作由横向双极电晶体48和MOS电晶体40控制。因此, 保持操作不需要对记忆体单元100存取的任何中断。

[0147] 在图7中的保持操作中, 无个别选定的存储单元。而是由埋阱终端78A到78N进行事先选取。但是选取可能是独立的行, 也可能是多行, 或包括阵列120的所有行。

[0148] 图9C显示净电流 I 流进或流出浮体区24的图形, 它作为浮体24 (未按比例绘制) 之电势 V 的一个函数。负电流表明净电流流入到浮体区24, 而正电流表明净电流流出浮体区24。低的浮体24的电势上, 其位于图9C的0V和 V_{FB0} 之间, 作为浮体区24形成的pn结二极管体和埋阱区30被反向偏置的结果, 净电流流入到浮体区24中。如果浮体区24的电势数值位于 V_{FB0} 和 V_{TS} 之间, 电流就会切换方向, 使得净电流流出浮体区24。这是因为随着浮体区24不断往正值增大, 由浮体区24和埋阱区30形成的pn结二极管体被正向偏置。结果, 如果浮体区24的电势小于 V_{TS} , 那么, 在稳态情况下, 浮体区24将达到 V_{FB0} 。如果浮体区24的电势大于 V_{TS} , 那么, 电流就会切换方向, 使得净电流流入浮体区24, 这时基极电流流入浮体区24, 大于pn结二极管体漏电流的结果。当浮体区24电势高于 V_{FB1} , 净电流就会流出浮体区24。这是因为pn结二极管体漏电流再次大于双极器件44和46的基极电流。

[0149] 保持操作使得浮体区单元有两个稳态: 逻辑-0状态和逻辑-1状态, 这两种状态由能量势垒隔开, 它们分别用 V_{FB0} , V_{FB1} , 和 V_{TS} 表示。图9D是记忆体单元100的一个势能面 (PES) 的示意曲线图, 其显示两个稳态的另一个表示, 这两个稳态源于施加一个回馈偏压到BW终端78 (其连接到埋阱区30) 所致。

[0150] 电流切换方向的浮体24之数值, 例如: V_{FB0} , V_{FB1} , 和 V_{TS} 可能过施加于BW终端78的电势进行调制。这些数值也取决于温度。

[0151] 通过提高可存储于浮体24的电荷数量, 保持/待机操作也会导致一个更大的存储窗。无保持/待机操作, 可存储于浮体24的最大电势受限于平带电压 V_{FB} , 因为流入区块16和18的结漏电流在浮体电势大于 V_{FB} 时成倍增加。然而, 通过施加一个正电压到BW终端78, 双极动作导致一个孔穴电流流入到浮体24, 补偿浮体24和区域16与18的结漏电流。结果, 存储于浮体24的最大电荷 V_{MC} 可通过施加一个正偏压到BW终端78以得到提高, 如图9E所示。存储于浮体24的最大电荷数量的提高将会导致一个更大的记忆体窗口。

[0152] 描述于Ranica-1, Ranica-2, Villaret, 和Pulicani的浮体DRAM单元, 只表现出一个稳定的状态, 其往往是指定为逻辑-0状态。Villaret描述特性双极电晶体通过牵引电子提高逻辑状态的数据保留, 反之, 这些电子将与存储于浮体区的孔穴重新结合。然而, 只有一个稳态被观测到, 因为无孔穴注入到浮体区以补偿电荷泄漏和重组。图10和图11示出分别执行于记忆体阵列120和一个选定的记忆体单元100的替代保持操作。保持操作通过施加

一个正的回馈偏压到SUB终端80,0或小的负偏压于WL1终端70和WL2终端72的以关闭浮体电晶体40和存取电晶体42的通道,0偏压于SL终端74,BL终端76而执行,而保持BW终端78悬空。在这些条件下,如果记忆体单元100是逻辑-1状态且无存储于浮体区24的一正电荷,记忆体单元100的特征矽可控整流器(SCR),其由基板10,埋阱区30,浮体区24形成;而且,源极线区16或漏区18打开,从而保持在浮体区24的正电荷。在逻辑-0状态的记忆体单元将保持在阻塞状态,因为浮体区24的电压为正,因此浮体24不打开SCR器件。由此,电流不流过SCR器件,而且记忆体单元100保持逻辑-0状态。在此保持操作中,通常连接到相同SUB终端的所有记忆体单元100将会被保持以精确维持其数据状态。

[0153] 在一个实施例中,施加以下的偏压条件进行替代保持操作:0.0伏施加于WL1终端70,WL2终端72,SL2终端74,BL终端76;例如,一个正电压,例如+1.2伏施加于SUB终端80,而BW终端78保留悬空。在另一个实施例中,不同电压可施加于记忆体单元100的各个终端,其作为设计选择,并且所描述的示例性电压不以任何形式限制。另外,BW终端78可能会被从阵列120中消除,保留埋阱区30悬空。

[0154] 回馈偏压的应用,不管是通过显示于图7和图8的BW终端78,还是显示于图10和图11的SUB终端80,导致双态浮体24的两个状态(其例子描述于Widjaja-1,Widjaja-2,Widjaja-3,和Widjaja-4)。双极电晶体的双态行为也已经描述于以下文章中,“双极电晶体的双态行为和开基极击穿”M.Reisch,第1398-1409页,IEEE电子器件,编号6第39卷,1992年06月(“Reisch”)),其完整性内容引用于此,并入本文。Reisch和Sakui都描述一个双聚BiCMOS SRAM单元,其使用一个双极电晶体和一个MOS电晶体。它与一个浮体电晶体操作作为一个无电容DRAM。相反,在一个记忆体单元上,只有一个稳态浮体24(如以下文章所述一样,“一个无电容1T-DRAM单元”(S.Okhonin等人,第85-87页,IEEE电子器件快报,编号02第23卷,2002年02月(“Okhonin-1”)),“在SOI上使用一个电晶体增益单元的记忆体设计”(T.Ohsawa等人,第152-153页,技术文摘,2002年IEEE国际固态电路会议,2002年02月(“Ohsawa-1”)),“进一步了解无电容浮体DRAM的物理以及建模”,A.Villaret等人,第2447-2454页,IEEE电子器件,编号11第52卷,2005年11月(“Villaret”)),“用CMOS90nm技术建制的缩小1T-大容量器件作低成本eDRAM应用”(R.Ranica等人,第38-41页,技术文摘,VLSI技术研讨会,2005年(“Ranica”)),以及“特征双极电晶体机制的模拟用于大基板上未来无电容eDRAM”(R.Pulicani等人,第966-969页,2010年,第17届电子,电路和系统IEEE国际会议,2010年12月(“Pulicani”))。其完整性内容引用于此,并入本文。

[0155] 记忆体单元100和阵列120的读操作将会结合图12和图13描述。任何已知之感测机制,可与记忆体单元100一起使用。存储于浮体24上的电荷数量可通过监测记忆体单元100的单元电流而被感测到。相较于单元100是在一个逻辑-0状态且其在浮体区24中无孔穴的情形,如果记忆体单元100是牌一个逻辑-1状态时,该状态在本体区24内有孔穴,那么,记忆体单元将有一个更高的单元电流(例如:自BL终端端76流向SL终端端74的电流)。典型连接到BL终端76的一个感测电路可接下来被用于确定记忆体单元的数据状态。

[0156] 在一个例子中,通过应用后续偏压条件,可在记忆体单元上执行一个写操作。一个正电压施加于WL2终端72上,其打开存取电晶体42;一个正电压施加于BL终端76上,零电压施加于SL终端74上,零电压或正电压施加于BW终端78上,且零电压施加于SUB终端80上。正电压也可施加于WL1终端70上以进一步提高流经记忆体单元100的电流,其从BL终端76到SL

终端74。相较于记忆体单元100为逻辑-0状态且浮体区24内无孔穴,如果记忆体100为一个逻辑-1状态且浮体区24内有孔穴,那么一个更高的电流将从BL终端76流向选中的记忆体单元100之SL终端74。在一个特别应用实施例中,施加+1.2伏电压于WL1终端70,WL2终端72,BL终端76,BW终端78;施加0.0电压于SL终端74和SUB终端80。在其他实施例中,可能施加不同电压于记忆体100的各个终端上,以作为设计选择,且在此所述之示例性电压不作任何限制。

[0157] 存取器电晶体42用于在一个读操作中帮助选择记忆体单元100,因为在不同行中(例如:记忆体100C和100D),未被选中的记忆体单元的存取电晶体42是关闭的。它将不会传送施加于BL终端76的正电压到浮体电晶体40的漏区18上。结果,不同行上未被选中的记忆体单元的浮体电晶体40未有电流流过。

[0158] 不同列(例如:记忆体单元100B和100D)上未被选中的记忆体单元将不会传导电流,因为0偏压施加于BL终端76和SL终端74。

[0159] 图14和图15为使用带到带隧穿机制的一个示例性写逻辑-1操作,其中,使用下列偏压条件:施加一个正偏压于WL2终端74,打开被选中的记忆体单元100之存储电晶体42;施加一个负偏压到WL1终端70,施加一个正偏压到BL终端76;施加零偏压到SL终端74,施加零偏压或正偏压到BW终端78,施加零偏压到SUB终端80。

[0160] 在一个特别的非限制实施例中,施加大约+1.2伏到选定的WL2终端72,施加大约-1.2伏到选定的WL1终端70;施加大约+1.2伏到选定的BL终端76,施加大约+1.2伏到选定的BW终端78,以及施加大约0.0伏到SUB终端80。

[0161] 施加于WL2终端72的正偏压将打开存储电晶体42,其将传递施加于BL终端76的正偏压到浮体电晶体40的漏区18。浮体电晶体42的漏区18上现在呈现的正偏压,以及施加于WL1终端70(其连接到栅60)的负偏压,将在栅60附近漏区18的相接区域周围产生强电场。强电场将能带在栅60和漏区18的交界重叠区附近急剧向上弯曲,这引起电子从浮体区24的价带隧穿至漏区18的导带,将孔穴保留于浮体区24的价带。隧穿经过能带的电子成为漏区18的泄漏电流,而孔穴被注入到浮体区24中并且成为产生逻辑-1的状态之孔穴电荷。

[0162] 图16和图17为通过一个碰撞电离机制的写逻辑-1操作之示例性偏压条件,其分别执行于记忆体阵列120和一个选定的记忆体单元100,其中使用以下偏压条件:施加一个正电压于选定的WL2终端72,施加一个正电压于选定的WL1终端70,施加一个正电压于选定的BL终端76,施加零电压于SL终端74,施加零电压或正电压于BW终端78,施加一个零电压于SUB终端80。施加于WL1终端70和BL终端76的正电压通过碰撞电离过程用于最大化孔穴的生成,其中,浮体电晶体40的漏区18上的电压一般大于施加于浮体电晶体40之栅60(其连接到WL1终端70)的电压。

[0163] 在一个特定的非限制性实施例中,施加大约+1.2伏于选定的WL2终端72,施加大约+0.5伏于选定的WL1终端70,施加大约+1.2伏于选定的BL终端76,施加大约1.2伏于选定的BW终端78,施加大约0.0伏于SUB终端80。这些电压水准仅用于示例性,在不同的实施例中可能会有所不同。因此,上述之示例性实施例,特征,偏置水准等,均不作限制之用。

[0164] 图18和图19为通过从浮体电晶体40的栅60到浮体区24的电容耦合之示例性写逻辑-1操作的偏压条件。其中,使用如下偏压条件:施加零或低的正电压于选定的WL2终端72,施加一个正偏压于选定的BL终端76,施加一个正电压于SL终端74,施加一个正电压于BW终

端78,施加零电压于SUB终端80.。WL1终端最初接地,接着它的电势被提高到正电压。被选定的记忆体单元的存取电晶体42被偏置,使得存取电晶体42的源极区20悬空,例如通过使得施加于BL终端76的偏压大于施加于栅64的偏压与存取电晶体42的阈值电压两者之差而实现。因为浮体电晶体40的通道区现在悬空,当栅区60(连接到WL1终端70)的电势从0(或负电压)升高到一个正电压,浮体区24的电势将因电容耦合得到提高。施加于埋阱区30(经过BW终端78)的正偏压将接着会通过碰撞电离过程产生孔穴,这样保持了浮体区24的正电荷。

[0165] 在一个特定的非限制性实施例中,施加大约0.0伏到WL2终端72,施加于WL1终端的电压从0.0伏提高到大约+1.2伏;施加大约+1.2伏电压到SL终端74,施加大约+1.2伏电压放BL终端76,施加大约+1.2伏到BW终端78,施加大约0.0伏到SUB终端80.。这些电压水准仅用作示例性目的,对于不同实施例可能其会有所不同。因此,描述的示例性实施例,特征,偏置水准等等,均不作限制之用。

[0166] 施加于WL1终端70(其被连接到栅极60)的正偏压之倾斜率可被优化以提高从栅60到浮体区24的耦合率。例子描述于以下文章中,“依照一个正线性倾斜电压的一个浮栅n-通道MOS记忆体单元的基板回应”(H.-S.Lee和DS Lowrie,固态电子24,编号3,第267页到273页,1981年),其完整性内容引用于此,并入本文。用更高的倾斜率,从栅60到浮体区24的更高耦合可实现。

[0167] 根据一个本发明的实施例,图20和图21为一个写逻辑-0操作的示例性偏压,所施加的偏压条件为:施加一个负电压于SL终端74,施加零电压于WL1终端70,WL2终端72;BL终端76,和SUB终端80.。且施加一个正偏压到BW终端78.。在这些条件下,浮体24和源极线区16间的pn结为正向偏置,其将孔穴从浮体24中疏散。共用相同终端74的所有记忆体单元将被同时写入。将任意二进位数据写入到不同记忆体单元100中,一个写逻辑-0操作将首先被执行于将被写入的所有记忆体单元,接着在必须写入逻辑-1的记忆体单元上执行一个或多个写逻辑-1操作。

[0168] 在一个特定的非限制性实施例中,施加大约-1.2伏电压于选定的SL终端74,施加大约0.0伏电压于WL1终端70,WL2终端72,BL终端76,和SUB终端80;施加大约+1.2伏电压施加于BW终端78.。这些电压水准仅用于示例性,在不同的实施例中可能会有所不同。因此,上述之示例性实施例,特征,偏置水准等,均不作限制之用。

[0169] 根据本发明的另一个实施例,图22和图23为一个写逻辑-0的示例性偏置条件,使用如下偏置条件:施加一个正偏压于WL2终端72,施加一个正电压于WL1终端70,施加一个负偏压于BL终端76,施加零电压于SL终端74,施加一个正偏压于BW终端78,施加零电压于SUB终端80.。在这些条件下,存取电晶体42将传递施加于BL终端76的负电压到浮体电晶体40的漏区18,正向偏置在浮体24与漏区18之间的pn结。也可施加一个正偏压到浮体电晶体40(其连接到WL1终端70)的栅60,这将通过电容耦合提高浮体24的电势,并反过来提高横跨浮体24与漏区18之间的pn结的电场。施加于BL终端76的负偏压和施加于WL2终端的偏压进行配置,以使不同行(例如,记忆体单元100C和100D)中未被选中的单元100的存取电晶体未传递负偏压到浮体电晶体40的漏区18.。

[0170] 在一个特定的非限制性实施例中,施加大约+1.2的电压于WL2终端72,施加大约+1.2伏电压于WL1终端70,施加大约0.0伏电压于SL终端74,施加大约-0.2伏电压于BL终端76,施加+1.2伏电压到BW终端78,施加大约0.0伏电压于SUB终端80.。这些电压水准仅用于

示例性,在不同的实施例中可能会有所不同。因此,上述之示例性实施例,特征,偏置水准等,均不作限制之用。

[0171] 一个低电平有效的方法——将选定的BL终端74偏置于低电压,例如:零电压——也可以在记忆体单元100和记忆体阵列120上执行操作。

[0172] 根据本发明的实施例,一个低电平有效读操作的示例性偏置条件描述于图24,其中,如下偏置条件施加应用于一个被选定的记忆体单元100A:施加一个正电压到WL2终端72A,施加一个正电压到WL1终端70,施加零电压到BL终端76A,施加一个正电压到SL终端74A,施加零电压或正电压到BW终端78A,施加零电压到SUB终端80A。以下的偏置条件施加应用于未被选定的终端:施加零电压到WL1终端70,WL2终端72,SL终端74,施加一个正电压到BL终端76,施加零电压或一个正电压到BW终端78,施加零电压到SUB终端80.。

[0173] 在一个特定的非限制性实施例中,以下条件施加应用于选定的终端:施加大约+1.2伏电压到WL2终端72,施加大约+1.2伏电压到WL1终端70,施加+1.2伏电压到SL终端74,施加大约0.0伏电压到BL终端76,施加0.0伏电压到BW终端78,施加大约0.0伏电压到SUB终端80;然而,下列偏置条件施加于未被选定的终端:施加大约0.0伏电压到SL终端74,施加大约+1.2伏电压到BL终端76,施加大约+1.2伏电压到BW终端78,施加大约0.0伏电压到SUB终端80.。描述的示例性实施例,特征,偏置水准等等,均不作限制之用。

[0174] 根据本发明的一个实施例,图25描述示例性偏置条件,该条件施加于低电平有效写逻辑-1操作存储阵列120之选定的终端,这些条件为:施加一个正电压到WL2终端72A,施加一个正电压到WL1终端70A,施加零电压到BL终端76A,施加一个正电压高于施加到WL1终端70A之正电压到SL终端74A,施加零或正电压到BW终端78A,施加零电压到SUB终端80A。下列偏置条件施加应用于未被选定的终端:施加零电压到WL终端70,WL2终端72,SL终端74,施加一个正电压到BL终端76,施加零电压 或正电压到BW终端78,施加零电压到SUB终端80。

[0175] 在一个特定的非限制性实施例中,以下条件施加应用于选定的终端:约1.2伏的电压被施加到WL2终端72,约0.5伏的电压被施加到WL1终端70,大约1.2伏的电压应用到SL终端74,约0.0伏的电压施加到BL终端76,约0.0伏的电压被施加到的BW终端78,大约0.0伏的电压被施加到SUB终端80;而下列偏置条件施加应用于未被选定的终端:大约0.0伏的电压施加到WL1终端70,WL2终端72;大约0.0伏的电压施加到SL终端74,大约1.2伏电压施加到BL终端76,大约1.2伏电压施加到BW终端78,大约0.0伏电压施加到SUB终端80。描述的示例性实施例,特征,偏置水准等等,均不作限制之用。

[0176] 图26和图27显示了记忆体单元102和104的替代实施例,包括一个三维记忆体单元结构。在这些实施例中,记忆体102和104有一个鳍状结构52,该结构自基板10顶表面垂直伸出。鳍状结构52是可传导的,它可被建制于埋阱层30或阱区12。记忆体102和104都包括浮体电晶体40和存取电晶体42。在浮体电晶体40,浮体区24通过埋阱区30,源极线区16,漏区18,绝缘层62,和绝缘层26进行绝缘。在存取电晶体42内,阱区12传导类型与基板10传导类型相同。浮体电晶体40的漏区18通过一个传导元件44连接到存取电晶体42的源极区20上。为图清晰明了之目的,传导元件44并未于图26和图27中显示出来。

[0177] 记忆体单元102包括在浮体电晶体40的浮基板区24两相反侧上的栅60,和在存取电晶体42的阱区12两相反侧上的栅64,见图26所示。另外,栅60和栅64可能在记忆体104内分别将浮体区24和阱区12的三侧包围起来,如图27所示。

[0178] 存储单元102和104,包括连接到源极线区域16的源极线(SL)终端74,连接到位线区22的位线(BL)终端76,电连接到浮体电晶体40的栅60之字线1(WL1)终端70,电连接到存取电晶体42的栅40之字线2(WL2)终端72,电连接到浮体电晶体40的埋阱区30之埋阱(BW)终端78,以及连接到基板区10的基板(SUB)终端80。

[0179] 记忆体单元100,102,和104均有串联连接(在举例中使用了两个n-通道电晶体40和42)起来的具相同传导类型的两个电晶体。图28描述了存储单元200的另一个实施例,其中,存储电晶体40和存取电晶体42'是具有不同传导类型的两种电晶体。在本存储单元200的示例中,浮体电晶体40与存储单元100类似。但是,存取电晶体42'的传导类型与存储单元100的存取电晶体42之传导类型相异,并且可以包括一个额外的存取电晶体基板终端80'。

[0180] 根据要发明的一个实施例,图29A描述记忆体单元200。存取电晶体42'包括二级传导类型,例如:n-类型,的一个阱区12';源极区20';和初级传导类型,例如:p-型的位线区22'。二级传导类型的阱区12'电连接到埋阱区30,因此其未悬空。一个栅64被放置于源极区20'和位线区22'之间。栅64能过一个绝缘层66与阱区12'绝缘。绝缘层66可由氧化矽和/或其他非传导性材料做成,包括高-K非传导性材料,例如(但不仅限于此)过氧化钽,氧化钛,氧化锆,氧化钪,氧化和/或三氧化二铝。栅64可由多晶矽材料或金属栅极电极做成,例如:钨,钽,钛及其氮化物。绝缘层26的底部可能位于埋区30下面,如图29B所示。这要求一个更浅的绝缘层28,它绝缘浮体区24,但是允许埋层30在图29B横截视图的正交方向上保持连续。在图29A和29B中显示的记忆体单元200里,存取电晶体40'的阱区12'连接到埋区30。因此,在此实施例中,BW终端78也作为存取电晶体基板终端80,该终端80显示于图28的记忆体单元200之等效电路图中。

[0181] 图30和31描述记忆体200的等效电路图,它显示:浮体电晶体40,其由源极线区16,漏区18和栅60形成;以及存取电晶体42',其由源极区20',位线区22',和栅64形成;连接方式为串联。固有于浮体电晶体40的是:双极器件44,其由埋阱区30,浮体区24和源极线区16形成;以及双极器件46,其由埋阱区30,浮体区24和漏区18形成。

[0182] 同样,固有于浮体电晶体40的是双极器件48,其由源极线区16,浮体区24和漏区18形成。为图纸清晰明了起见,双极器件48在图31中单独显示。

[0183] 图32显示以行和列排列的记忆体单元200(包括记忆体单元200的4个示例,分别标记为200a,200b,200c和200d,如图所示)之示例性记忆体阵列220。在很多但并非全部出现示例性阵列220的图上,当上述之操作有一个(或在某些实施例中有多个)被选定的记忆体单元200,代表记忆体单元200a将是一个“被选中的”记忆体200的代表。在此类图中,代表记忆体单元200b将是与选定的代表记忆体200a共用一行的未被选定的记忆体单元之代表。代表记忆体单元200c将是与选定的代表记忆体200a共用一列的未被选定的记忆体单元之代表。而代表记忆体单元200d将是与被选定的代表记忆体单元200a不共用同一行或同一列的一个记忆体单元200之代表。

[0184] 几种操作可在记忆体单元200上执行,例如:保持,读,写逻辑-1和写逻辑0操作。

[0185] 根据本发明的实施例,图33显示在记忆体阵列220上执行的保持操作,其遵循的机制与记忆体阵列120相同。保持操作通过施加一个正的回馈偏压到BW终端78,零偏压于WL1终端70,WL终端72,SL终端74,SUB终端80,以及BL终端76从而实现。施加于连接到BW终端78的埋层区30的正回馈偏压,将维持记忆体单元200的状态。而此记忆体单元200通过维持存

储于对应浮体电晶体40的浮体区24上之电荷而被连接。

[0186] 在一个实施例中,记忆体单元200的保持操作之偏置条件为:施加0.0伏电压到WL1终端70,WL2终端72,SL终端74,BL终端76,和SUB终端78;施加一个正电压,例如:+1.2伏到BW终端78。在其他实施例中,可能在记忆体单元200的不同终端会用不同的电压以作为设计选择,而且在此所描述之示例性电压并不用于作限制作用。

[0187] 根据本发明的一个实施例,图34描述在记忆体阵列220上执行一个替代的保持操作。此保持操作通过施加一个正回馈偏压到SUB终端80,零偏压到WL1终端70,WL2终端72,SL终端74,BL终端76,而让BW终端悬空,而执行。在这些条件下,如果记忆体200是逻辑-1状态,且有正电荷存储于浮体区24,记忆体单元200的特征矽控整流器(SCR)被打开,从而维持在浮体区24上的正电荷。特征矽控整流器由基板10,埋阱区30,浮体区24,和源极线区16或漏区18形成。在逻辑-0状态的记忆体单元将保持堵塞模式,因为浮体区24的电压不为正,由此,浮体24未打开SCR器件。因此,电流没有流经SCR器件,并且存储单元200保持逻辑-0的状态。在此保持操作中,通常被连接到相同的SUB终端的所有记忆体单元200将被维持以精确保持它们的数据状态。

[0188] 在一个实施例中,替代保持操作施加下列偏置条件:施加0.0伏电压到WL1终端70,WL2终端72,SL2终端74,BL终端76,施加一个正电压,例如:+1.2伏到SUB终端80,而使BW终端78保持悬空状态。在其他实施例中,不同电压可能施加于记忆体200的各个终端上作为设计选择。在此描述的示例性电压并不以任何方式作限制作用。另外,BW终端78可能会从阵列220上除去,保持埋阱区30处于悬空状态。

[0189] 根据本发明的一个实施例,图35描述了执行于存储阵列220上的一个读操作。任何已有的感测方法均可与记忆体单元200使用。在浮体24里保存的电荷数量可通过监测记忆体单元200的单元电流而被感测到。如果记忆体单元200是一个逻辑-1状态,且在本体区24里有孔穴,那么,相较于逻辑-0状态的单元200且在浮体区24中无孔穴的情况,它将有一个更高的单元电流(如,从BL终端76到SL终端74的电流)。一般连接到BL终端76的一个感测电路可以接着被用于确定存储单元的数据状态。

[0190] 举例中的写操作可能过应用下列偏置条件,在记忆体单元200上执行操作:施加0电压到WL2终端72,其打开存取电晶体42;施加一个正电压到BL终端76;施加零电压到SL终端74;施加零或正电压到BW终端78;施加零电压到SUB终端80。也可以施加正电压到WL1终端70以进一步提高从BL终端76到SL终端74流经存储单元200的电流。如果存储单元200是一个逻辑-1状态且在浮体区24中有孔穴,那么,相较于逻辑-1状态的存储单元200且在浮体24中无孔穴的情况,将有一个更高的电流从被选的存储单元200的BL终端76流向SL终端74。在一个特殊实施例中,施加+1.2伏电压到WL1终端70,BL终端76,BW终端78;施加0.0伏电压到WL2终端72,SL终端74,和SUB终端80。在其他实施例中,可施加不同的电压到存储单元200的各个终端以作设计选择用,在此所述的示例性电压并不以任何方式作限制作用。

[0191] 存取电晶体42被用于在读操作中辅助选择存储单元200。因为在不同行(例如:存储单元200c和200d)中未被选定的在记忆体单元的存取电晶体42是被关闭的(通过施加于WL2终端72上的一个正电压的应用而实现),它将不会传递施加于BL终端76的正电压到浮体电晶体40的漏区18。结果,无电流流经在不同行中未被选定的存储单元之浮体电晶体40。

[0192] 在不同的列(例如,存储单元200b和200d),未被选定的存储单元将不传导电流,因

为零电压被施加于BL终端76和SL终端74。

[0193] 根据本发明的实施例,图36描述了使用带到带隧穿机制的一个写逻辑-1操作,其中,施加如下偏置条件:施加零电压到WL2终端72,其打开被选定的存储单元200的存取电晶体42;施加一个负偏压到WL1终端70,施加一个正偏压到BL终端76,施加一个零偏压到SL终端74,施加零偏压或正偏压到BW终端78,施加零偏压到SUB终端80。

[0194] 在一个特定的非限制性实施例中,施加大约0.0伏电压到选定的WL2终端72,施加大约-1.2伏电压到选定的WL1终端70,施加大约+1.2伏电压到选定的BL终端76,施加大约+1.2伏电压到选定的BW终端78,施加大约0.0伏电压到SUB终端80。

[0195] 施加到WL终端72的零电压将打开p-类型存取电晶体42,这将传递施加到BL终端76的正偏压到浮体电晶体40的漏区18。现在浮体电晶体40的漏区18上呈现的正偏压,以及施加于WL1终端70(其连接到栅60)的负电压,将在栅60附近漏区18的相接区域周围产生强电场。强电场将能带在栅和位线的交界重叠区附近急剧向上弯曲,这引起电子从价带隧穿至导带,将孔穴保留于价带。隧穿经过能带的电子成为泄漏电流,而孔穴被注入到浮体区24中并且成为产生逻辑-1的状态之孔穴电荷。

[0196] 图37描述通过一个碰撞电离机制的写逻辑-1操作之示例性偏压条件,根据本发明的实施例,其执行于记忆体阵列220,其中使用以下偏压条件:施加一个零电压于选定的WL2终端72,施加一个正电压于选定的WL1终端70,施加一个正电压于选定的BL终端76,施加零电压于SL终端74,施加零电压或正电压于BW终端78,施加一个零电压于SUB终端80。施加于WL1终端70和BL终端76的正电压通过碰撞电离过程用于最大化孔穴的生成,其中,浮体电晶体40的漏区18上的电压一般大于施加于浮体电晶体40之栅60(其连接到WL1终端70)的电压。

[0197] 在一个特定的非限制性实施例中,施加大约0.0伏于选定的WL2终端72,施加大约+0.5伏于选定的WL1终端70,施加大约+1.2伏于选定的BL终端76,施加大约1.2伏于选定的BW终端78,施加大约0.0伏于SUB终端80。这些电压水准仅用于示例性,在不同的实施例中可能会有所不同。因此,所述之示例性实施例,特征,偏置水准等,均不作限制之用。

[0198] 根据本发明的实施例,图38为通过从浮体电晶体40的栅60到浮体区24的电容耦合之示例性写逻辑-1操作的偏压条件。其中,使用如下偏压条件:施加正电压于选定的WL2终端72,施加一个正偏压于选定的BL终端76,施加一个正电压于SL终端74,施加一个正电压于BW终端78,施加零电压于SUB终端80。WL1终端70最初接地,接着它的电势被提高到正电压。被选定的记忆体单元的存取电晶体42被偏置,使得存取电晶体42的源极区20悬空,例如:通过使得施加于BL终端76的偏压大于施加于栅64的偏压与存取电晶体42的阈值电压两者之差而实现。因为浮体电晶体40的通道区现在悬空,当栅区60(连接到WL1终端70)的电势从0(或负电压)升高到一个正电压,浮体区24的电势将因电容耦合得到提高。施加于埋阱区30(经过BW终端78)的正偏压将接着会通过碰撞电离过程产生孔穴,这样保持了浮体区24的正电荷。

[0199] 在一个特定的非限制性实施例中,施加大约+1.2伏到WL2终端72,施加于WL1终端的电压从0.0伏提高到大约+1.2伏;施加大约+1.2伏电压到SL终端74,施加大约+1.2伏电压到BL终端76,施加大约+1.2伏到BW终端78,施加大约0.0伏到SUB终端80。这些电压水准仅用作示例性目的,对于不同实施例可能其会有所不同。因此,描述的示例性实施例,特征,偏

置水准等等,均不作限制之用。

[0200] 根据本发明的实施例,图39为示例性写逻辑-0操作的偏压条件。其中,使用如下偏压条件:施加一个负电压到SL终端74,施加零电压到WL1终端70,BL终端76和SUB终端80,施加零电压或一个正电压到WL2终端72,施加一个正偏压到BW终端78。在这些条件下,浮体24和源极线区16间的pn结为正向偏置,其将孔穴从浮体24中疏散。共用相同SL终端74的所有记忆体单元将被同时写入。将任意二进位数据写入到不同记忆体单元200中,一个写逻辑-0操作将首先被执行于将被写入的所有记忆体单元,接着在必须写入逻辑-1的记忆体单元上执行一个或多个写逻辑-1操作。

[0201] 在一个特定的非限制性实施例中,施加大约-1.2伏电压于选定的SL终端74,施加大约0.0伏电压于WL1终端70,BL终端76,和SUB终端80;施加大约+1.2伏电压施加于WL2终端72,施加大约+1.2伏电压到BW终端78。这些电压水准仅用于示例性,在不同的实施例中可能会有所不同。因此,所述之示例性实施例,特征,偏置水准等,均不作限制之用。

[0202] 根据本发明的另一实施例,图40为示例性写逻辑-0操作的偏压条件。其中,使用如下偏压条件:施加一个较应用于BL终端76之电压更小的负电压到WL2终端72,施加一个正电压到WL1终端70,施加一个负偏压到BL终端76,施加零电压到SL终端74,施加一个正偏压到BW终端78,施加零电压到SUB终端80。在这些条件下,存储电晶体42将传递施加于BL终端76上的负电压到浮体电晶体40的漏区18,将浮体24和漏区18之间的pn结正向偏置。也可施加一个正偏压于浮体电晶体40(其连接到WL1终端70)的栅60上,这将通过电容耦合提高浮体24的电势,并反过来提高横跨浮体24与漏区18之间的pn结的电场。施加于BL终端76的负偏压和施加于WL2终端72的偏压进行配置,以使不同行(例如,记忆体单元200C和200D)中未被选中的单元200的存取电晶体未传递负偏压到浮体电晶体40的漏区18。

[0203] 在一个特定的非限制性实施例中,施加大约-1.2的电压于WL2终端72,施加大约+1.2伏电压于WL1终端70,施加大约0.0伏电压于SL终端74,施加大约-0.2伏电压于BL终端76,施加大约+1.2伏电压到BW终端78,施加大约0.0伏电压于SUB终端80。这些电压水准仅用于示例性,在不同的实施例中可能会有所不同。因此,所述之示例性实施例,特征,偏置水准等,均不作限制之用。

[0204] 一个基准参考单元可用于上述之存储单元100和存储单元200的感测操作中。该基准参考单元的特性(例如:单元电流)可用于比较被感测的存储单元之特性,以确定其逻辑状态。图41描述了一个基准参考单元100R1的示意性横截面视图。存储单元200对应的基准参考可通过配置带有不同传导类型的存取电晶体作为浮体电晶体而构造起来。其在此未显示。

[0205] 基准单元100R1包括具有与浮体区24相同的传导类型的感测线区32,其允许与浮体电晶体40的浮体区24进行电连接。感测线区32位于与浮体电晶体40和存取电晶体之源极和漏区16,18,20相同的平面上。感测线区32被连接到感测线终端82,如图42所示。其中,参考单元100R1显示位于邻近存储单元100之一行的行上。

[0206] 根据本发明的一个应用实施例,图43A-43C描述参考基准单元100R2。图43A描述基准参考单元100R2的示意顶视图,而图43B和43C描述图43A之I-I'和II-II'切线的示意横截面图。在实施中的感测区32相邻于存储单元100的浮体电晶体40,其所在的平面与源极区和漏区16,18,20和22所在的平面不同。同时,这其允许对浮体区24进行欧姆接触。

[0207] 图44描述一个存储阵列120,该阵列包含参考单元100R2,其位于邻近于存储单元100之一列的列上。

[0208] 根据本发明的双一实施例,图45描述了存储单元300。存储单元300包括,一个浮体电晶体340和一个存取电晶体342。存储单元300包括一个初级传导类型,例如:p-类型,的基板310。基板310一般由矽制作而成,但是也可以包括诸如:锗,砷锗,砷化镓,碳纳米管,或其他半导体材料。在本发明的一些实施例中,基板310可为半导体晶圆的基体材料。在其他实施例中,基板310可作为初级传导类型的一个阱,其嵌入于二级传导类型的某一个阱中,或者,也可嵌入于二级传导类型(例如:n-类型)的半导体基体材料中,作为设计选择。(其未显示于图中)。为简体描述,基板310通常绘制为半导体基体材料,如图45所示。

[0209] 浮体电晶体340也包括一个二级传导类型(例如:n-类型)的一个埋层区330;初级传导类型(例如:p-类型)的一个浮体区324;二级传导类型(例如:n-类型)的源极区和漏区316;初级传导类型(例如:p-类型,此传导类型与浮体区324传导类型相同)的感测线区318。

[0210] 可能过在基板310材料上进行离子植入工艺从而形成埋层330。另外,也可以在基板310的表面外延长出埋层330。

[0211] 初级传导的浮体区324与表面314,源极线区316,感测线区318和绝缘层362进行接界;在侧面与绝缘层326接界,在底部与埋层330接界。如果埋层330为植入的话,浮体324可以是埋层330上面原始基板310的一部分。另外,浮体324也可以外延生长而得。根据埋层330和浮体324的形成方式,浮体324可以在一些实施例中视需要具有与基板310或不一样的掺杂。

[0212] 栅360位于源极线区316和感测区318之间,在浮体区324之上。栅360通过一个绝缘层362与浮体区324绝缘。绝缘层362可能由二氧化矽和/或其他非电传导材料,包括高K非电传导材料,如,但不限于,过氧化钽,氧化钛,氧化锆,氧化铪,氧化和/或三氧化二铝。例如,栅360可能由多晶矽材料或金属栅极电极制成,例如:钨,钽,钛及其氧化物。

[0213] 尽管可以使用其他绝缘材料,绝缘层326(例如,像浅沟槽隔离(STI)),可由氧化矽制成。绝缘层326将浮体电晶体340与相邻浮体电晶体340及相邻存取电晶体342进行绝缘。绝缘层326的底部可能位于埋区330内部,从而使得埋区330保持连续,如图45所示。另外,绝缘层326的底部可能位于埋区330下面(类似于绝缘层26可能会位于存储单元100的埋区30的下面一样,如图2C所示)。这需要一个较浅的绝缘层(如图2中所示的28一样),其绝缘浮体区324,但是可使埋层330在横截面视图的垂直方向上是连续的,如图45所示。简单地说,只有在所有方向上带有连续埋区330的记忆体单元300自此显示。

[0214] 存取电晶体342包括一个初级传导类型(例如:p-类型)的阱区312,源极区320和二级传导类型(例如:n-类型)的位线区322。初级传导类型的阱区312电连接到基板区310,因此不会悬空。浮栅364定位于源极320和位线区322之间。栅364能过一个绝缘层366与阱区312绝缘,其未与任何终端连接。浮栅364被连接到感测线区318上,它反过来连接到浮体区324。

[0215] 绝缘层366可能由氧化矽和/或其他非电传导材料做成,包括高-K非电传导材料,例如,但不仅限于,过氧化钽,氧化钛,氧化锆,氧化铪,氧化和/或三氧化二铝。栅364可由多晶矽材料或金属栅极电极制成,例如,钨,钽,钛及其氮化物。

[0216] 浮体电晶体340的感测区318通过一个传导元件98连接到存取电晶体342的浮栅

364。传导元件90连接浮体电晶体340(它也可被称为记忆体件300的源极/漏区16)的源极/漏区316到位线1(BL1)终端374。传导元件92连接存取电晶体(它也可被称为记忆体件300的位线区322)的位线区322到位线2(BL2)终端376,而传导性元件94连接存取电晶体342的源极区320到源极线(SL)终端。传导性元件90,92,94和98可由钨或矽化物的矽形成,但不仅限于此。

[0217] 除了SL终端372,BL1终端374和BL2终端376,记忆体单元300还包括:字线(WL)终端370,其电连接到浮体电晶体340的栅360;埋阱(BW)终端378,其电连接到浮体电晶体340的埋阱区330;以及基板(SUB)终端380,其连接到基板区310。

[0218] 根据本发明的一个实施例(包括记忆体单元300的四个示例,标记为300a,300b,300c和300d),图46显示记忆体单元300的示例性记忆体阵列320,这些阵列以行和列排列。在许多,但并非所有出现示例性阵列320的图中,在上述之操作有一个选定的记忆体单元300时,代表记忆体单元300A将为一个(或在一些实施中多个)“选定的”记忆体单元300。在这类图中,代表记忆体单元300B将是与选定的代表记忆体单元300A共用同一行的未被选中的记忆体单元300的代表,代表记忆体单元300C将是与选定的代表记忆体单元300A共用同一列的未被选中的记忆体单元300的代表,而代表记忆体单元300D将是未与选定的代表记忆体单元300A共用同一行或同一列的未被选中的记忆体单元300的代表。

[0219] 图46为370A到370N的WL终端,372A到372N的SL终端,374A到374p的BL1终端,376A到376P的BL2终端,378A到378N的BW终端,380A到380N的SUB终端。每个WL、SL及BW终端显示为与单行记忆体单元300有关,每个BL1和BL2终端与单列记忆体单元300有关。对于本领域的普通技术人员,存储阵列320可能有很多其它组织和布局,例如,一段存储阵列320或整个存储阵列320中仅存在有一个常见SUB终端380。类似地,其它终端可能是分段或缓冲的,比如字解码器、列解码器、分段设备、感应放大器、写入放大器等的控制电路可能设置在阵列320周围或插入阵列320的子阵列之间。因此,所述示例性的实施例、特征、设计选项等不以任何方式视为限制。

[0220] Lu等人在2008年6月的第55卷第6篇的IEEE电子器件的第1511至1518页的Z.Lu等人的“用于低功耗纳米嵌入式DRAM的新式双电晶体浮体/栅单元”(A Novel Two-Transistor Floating-Body/Gate Cell for Low-Power Nanoscale Embedded DRAM) (“Lu-1”)以及2009年3月的第30卷第3篇的IEEE电子器件的第282至284页的Z.Lu等人的“一种简化的超级浮体/栅DRAM单元”(A Simplified Superior Floating-Body/Gate DRAM Cell) (“Lu-2”)中描述了一种双电晶体浮体栅DRAM单元,作为引用整体并入本文。

[0221] 在Lu-1和Lu-2中描述的双电晶体记忆体单元使用浮体区作为电荷存储区,且其操作类似于Okhonin-1和Ohsawa-1中所述的无电容DRAM。因此,Lu-1和Lu-2中描述的双电晶体记忆体单元具有有限的数据保留时间,并且需要更新操作。

[0222] 在记忆体单元300中的浮体电晶体340是一个双稳态记忆体单元,其中,双稳态通过施加一个偏压到回馈偏压区330(连接到终端378)的应用而实现,其遵循与记忆体单元100和200相同的原则。浮体电晶体340的状态可通过存取电晶体342的特性被感应,例如,单元电流从BL2终端376流向存取电晶体342的SL终端372。一个正向充电浮体区324(即逻辑>1的状态)将打开存取电晶体342,并且由此存取电晶体342将传导一个比浮体区324为电中性(或低正电荷)的情况(即逻辑>0的状态)更高的电流。

[0223] 根据本发明的实施例,图47描述执行于在记忆体阵列320内记忆体单元300a上的一个读操作:施加零电压于WL终端370a,零电压施加于BL1终端374a,施加一个正电压到BL2终端376a,施加零电压到SL终端372a,施加零电压或正电压到BW的终端378,施加零电压到SUB终端380a;而下列的偏置条件施加应用于未被选中的终端:施加零电压到WL终端370,施加零电压到BL1终端374,施加零电压到BL2终端376,施加等于应用到被选定的BL2终端376a上大小一样的正电压到SL终端372(也可以使未被选定的SL终端372保持悬空);施加零电压或正电压到BW终端378,施加零电压到SUB终端380。

[0224] 在一个特定的非限制性实施例中,应用下列偏置条件于选定的终端:施加大约0.0伏电压到WL终端370,施加大约0.0伏电压到SL终端372,施加大约0.0伏电压到BL1终端374,施加大约+0.4伏电压到BL2终端376,施加大约+1.2伏电压到BW终端378,施加大约0.0伏电压到SUB终端380。而下列偏置条件应用于未被选定的终端:施加大约0.0伏电压施加到WL终端370,施加大约+0.4伏电压到SL终端372,施加大约0.0伏电压到BL1终端374,施加大约0.0伏电压到BL终端376,施加大约+1.2伏电压到BW终端378,施加大约0.0伏电压到SUB终端380。描述的示例性实施例,特征,设计选项等等,不以任何方式作限制作用。

[0225] 浮体电晶体340的写操作与描述于下列文章的操作类似:“半电晶体存储单元”,Y.Widjaja和Z.Or-Bach;美国申请号为12/897,516的“有电浮体电晶体的半导体记忆体件”;美国申请号为12/897,538的“有电浮体电晶体的半导体记忆体件”。这些内容以其完整性引用于此,纳入此文。

[0226] 根据本发明实施例,图48为使用带到带隧穿机制的一个示例性写逻辑-1操作的示例性偏置条件,其操作执行于在记忆体阵列320内的选定的记忆体单元300a,使用下列偏压条件:施加一个负电压到WL终端370a,施加一个正电压到BL1终端374a,施加零电压到BL2终端376a,施加零电压到SL终端372a,施加零电压或正电压到BW终端378,施加零电压到SUB终端380a;而下列偏置条件施加到未被选定的终端:施加零电压到WL终端370,施加零电压到BL1终端374,施加零电压到BL2终端376,施加零电压SL终端374,施加零电压或正电压到BW终端378,施加零电压到SUB终端380。

[0227] 在一个特定的非限制性实施例中,施加下列偏置条件于选定的终端:施加大约-1.2伏电压于WL终端370,施加大约0.0伏电压到SL终端372,施加大约+1.2伏电压到BL1终端374,施加大约0.0伏电压到BL2终端376,大约+1.2伏电压到BW终端378,施加大约0.0伏电压到SUB终端380;而下列偏置条件施加于未选定的终端:施加大约0.0伏电压于WL终端370,施加大约0.0伏电压于SL终端372,施加大约0.0伏电压到BL1终端374,施加大约0.0伏电压到BL终端376,施加大约+1.2伏电压到BW终端378,施加大约0.0伏电压到SUB终端380。因此,描述的示例性实施例,特征,设计选项等等,不以任何方式作限制作用。

[0228] 根据本发明实施例,图49为一个示例性写逻辑-0操作的示例性偏置条件,其操作执行于在记忆体阵列320内的选定的记忆体单元300a,使用下列偏压条件:施加一个正电压到WL终端370a,施加一个负电压到BL1终端374a,施加零电压到BL2终端376a,施加零电压到SL终端372a,施加零电压或正电压到BW终端378,施加零电压到SUB终端380a;而下列偏置条件施加到未被选定的终端:施加零电压到WL终端370,施加零电压到BL1终端374,施加零电压到BL2终端376,施加零电压SL终端374,施加零电压或正电压到BW终端378,施加零电压到SUB终端380。

[0229] 在一个特定的非限制性实施例中,施加下列偏置条件于选定的终端:施加大约+1.2伏电压于WL终端370,施加大约0.0伏电压到SL终端372,施加大约-0.2伏电压到BL1终端374,施加大约0.0伏电压到BL2终端376,大约+1.2伏电压到BW终端378,施加大约0.0伏电压到SUB终端380;而下列偏置条件施加于未选定的终端:施加大约0.0伏电压于WL终端370,施加大约0.0伏电压于SL终端372,施加大约0.0伏电压到BL1终端374,施加大约0.0伏电压到BL2终端376,施加大约+1.2伏电压到BW终端378,施加大约0.0伏电压到SUB终端380。这些电压仅作实施例中的示例目的。因此,描述的示例性实施例,特征,设计选项等等,不以任何方式作限制作用。

[0230] 根据本发明的另一个实施例,图50描述了记忆体单元400。记忆体单元400包括两个双稳态浮体电晶体440和440',其存储补偿电荷于对应的浮体区424和424'。因此,如果浮体电晶体440是处于逻辑-0的状态,浮体电晶体440'则处于逻辑-1的状态,反之亦然。补偿性浮体电荷将导致BL终端474和 $\overline{\text{BL}}$ 终端474'的互补状态。BL和 $\overline{\text{BL}}$ 终端对可接着被用于确定记忆体单元400的状态。浮体电晶体440和440'均为双稳态浮体电晶体,其通过施加一个正的回馈偏压到埋阱区430(连接到BW终端478)而实现,而且遵循的原则与记忆体单元100和200一样。

[0231] 根据本发明的一个实施例,图51描述了记忆体单元420的示例,包括有记忆体单元400。图51是470A到470N连接到栅区60的WL1终端,472A到472N连接到栅区64的WL2终端,476A到476N连接到浮体电晶体440和440'之源极线区18和18'的SL终端,474A到474P连接到浮体电晶体440的漏区16之BL终端, $\overline{\text{BL}}$ 终端474'a到474'b连接到浮体电晶体440'的漏区,480A到480N的SUB终端。在显示于图51的示例记忆体阵列420中,浮体晶体440和440'之源极线区18和18'连接到相同的SL终端372。但是,源极线区18和18'两者之一,可以被连接到独立的终端,例如:SL终端476和 $\overline{\text{SL}}$ 终端476'。同样地,示例存储阵列420显示,栅区60和64被连接到独立的WL终端470和472。在另外的实施例中,栅区60和64可以被连接到相同的WL终端。图52描述了记忆体单元400的示意顶视图,其中,浮体电晶体440和440'的栅区连接在一起。其中,传导材料90和90'到BL终端474和 $\overline{\text{BL}}$ 终端474'之间的连接可通过金属线来连接;例如:铝线或铜线。同样地,传导材料92和92'到SL终端476之间的连接,可使用金属线来连接,例如:铝线或铜线。

[0232] 根据本发明的另一个实施例中,图53描述了一个双端口记忆体单元500,其中记忆体单元500的状态存储于双端口浮体电晶体40D;电晶体42A和42B则作为双端口记忆体单元500的存取电晶体。双端口浮体电晶体40D的操作和结构已经有所描述,例如,其描述于:美国专利申请号为2012/0120752,标题为“带电浮体电晶体的双端口半导体记忆体和先进先出(FIFO)记忆体”(“Widjaja-5”),其内容通过引用于此。记忆体单元500的状态存储于双端口浮体电晶体40D的浮体区24。

[0233] 记忆体单元500还包括:一个字线#1A(WL1A)终端70A,其电连接到栅60A;一个字线#1B(WL1B)终端70B,其电连接到栅60B;一个字线#2A(WL2A)72A,其电连接到栅64A;一个字线#2B(WL2B)72B,其电连接到栅64B;一个源极线(SL)74其电连接到区22A;一个位线#2(BL2)终端76B,其电连接到区22B;一个埋阱(BW)终端78,其电连接到双端口浮体电晶体40D的埋阱区30;以及基板(SUB)终端80,其连接到基板区10。WL1A终端70A,WL2A终端72A,和BL1终端76A也可称为“端口#1”,而WL1B终端70B,WL2B终端72B,and BL2终端76B也可称为“端

口#2”。

[0234] 双端口浮体电晶体40D串联连接到存取电晶体42A和42B。浮体电晶体40D的漏区18A通过一个传导性元件94A连接到端口#1之存取电晶体42A的源极区20A。同样地,浮体电晶体40D的漏区18B连接通过一个传导性元件94B连接到端口#2之存取电晶体42B的源极区20B。

[0235] 访问存储单元500,例如在存储单元500上的读取和写操作,不管何时,可以通过端口#1和/或端口#2独立执行。

[0236] 如Widjaja-5中所述,一个多端口浮体电晶体也可以代替双端口浮体电晶体40D,通过形成额外的源极区或漏区,并且将附加的栅放置于表面之上和在源极区和漏区之间而实现操作。对于一个n-端口记忆体单元,浮体电晶体的栅的数量和位线的数量等于n,而浮体电晶体的二级传导类型(例如:源极或漏区)之区块数量等于(n+1)。一个二级传导类型的所有区块和在一个多端口记忆体单元中的栅都将被耦合到相同的浮体区24中。相应地,对于一个n-端口记忆体单元,存取电晶体的数量等于n。

[0237] 从上文可以看出,存储单元包括两个电晶体,例如一个浮体电晶体和一个存取电晶体,它们为串联连接,一个浮体电晶体和一个浮栅电晶体,或者用于存储补偿电荷的两个浮体电晶体。虽然前面的书面描述,本发明可使一个本领域的普通技术人员能够制造和使用目前被认为是其最佳模式,因此,那些本领域普通技术人员将理解和知悉的具体实施例的变化、组合的存在,以及具体实施例的等同物、方法及例子。本发明应不局限于上述实施例,方法和例子。但是,本发明范围和精神内的所有实施和方法,均依声明范围所述。

[0238] 虽然本发明参照其具体实施例进行了描述,但本技术领域的熟练技术人员应理解,在不脱离本发明的真实精神和范围的情况下,可以作出各种改变,并且等同物可被取代。此外,根据本发明的目的、精神和范围,可进行许多修改,以适应特定的情况、材料、物质组合、工艺和工艺步骤。所有这样的修改均在所附的权利要求的范围之内。

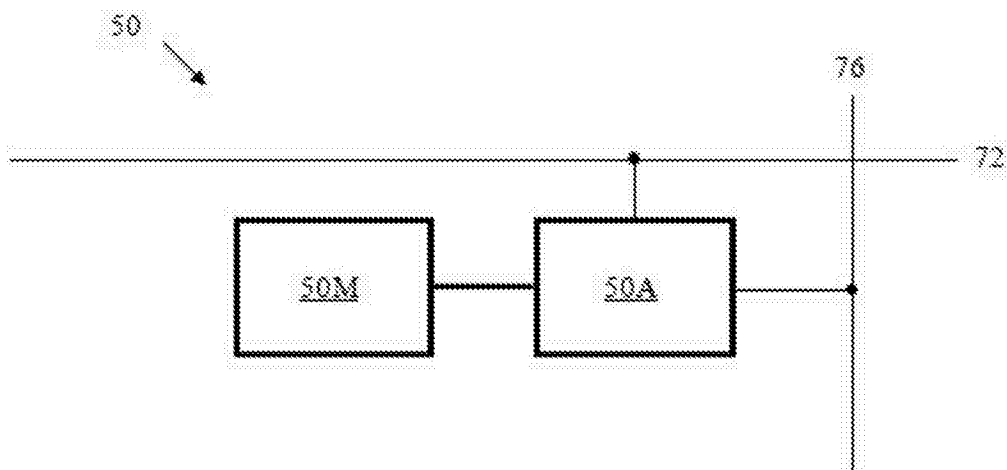


图 1A

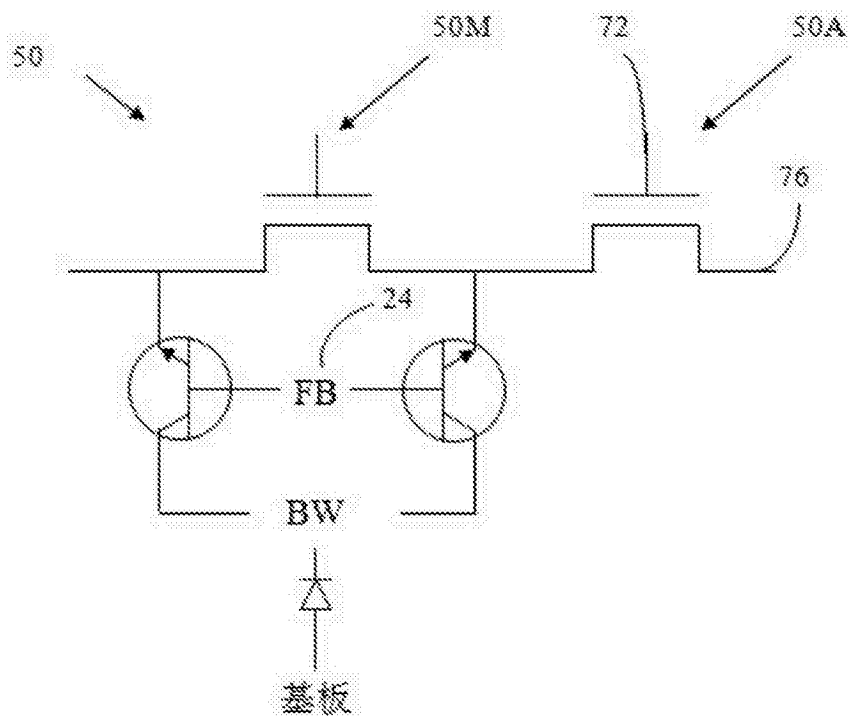


图 1B

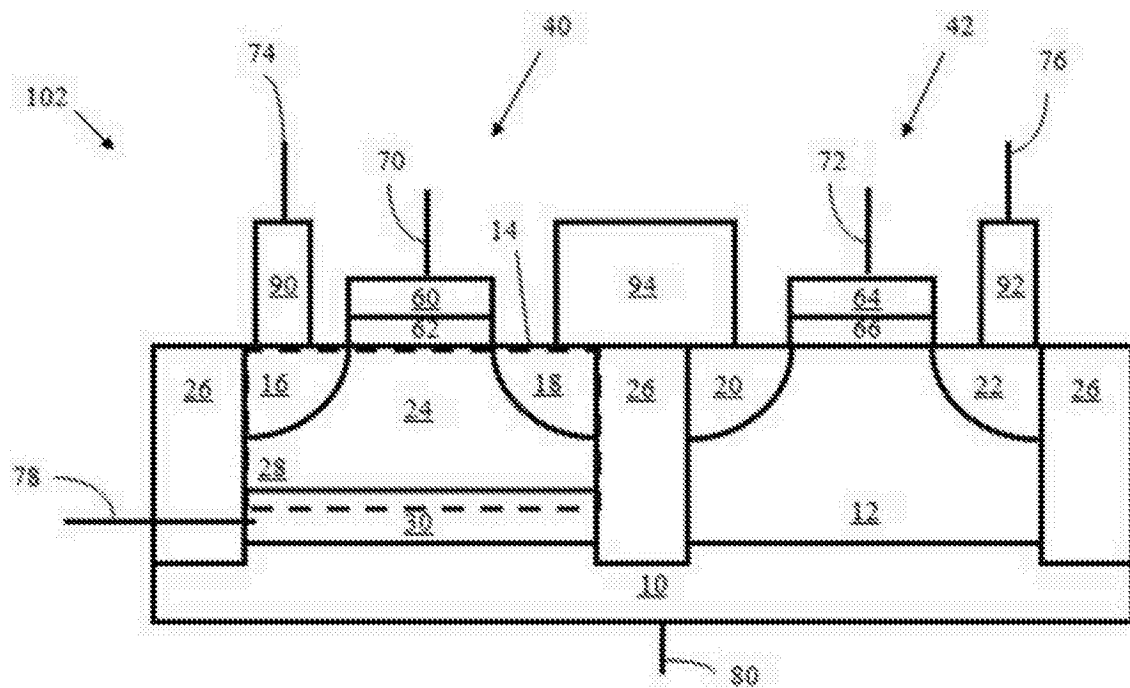


图2C

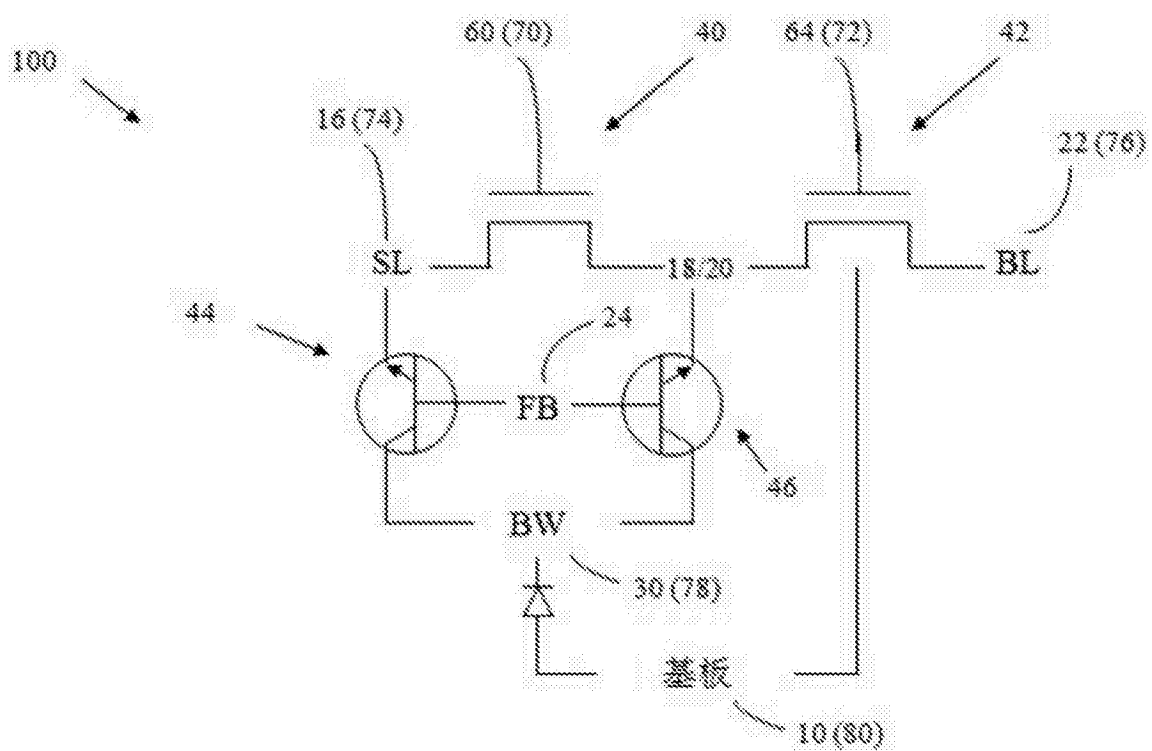


图3A

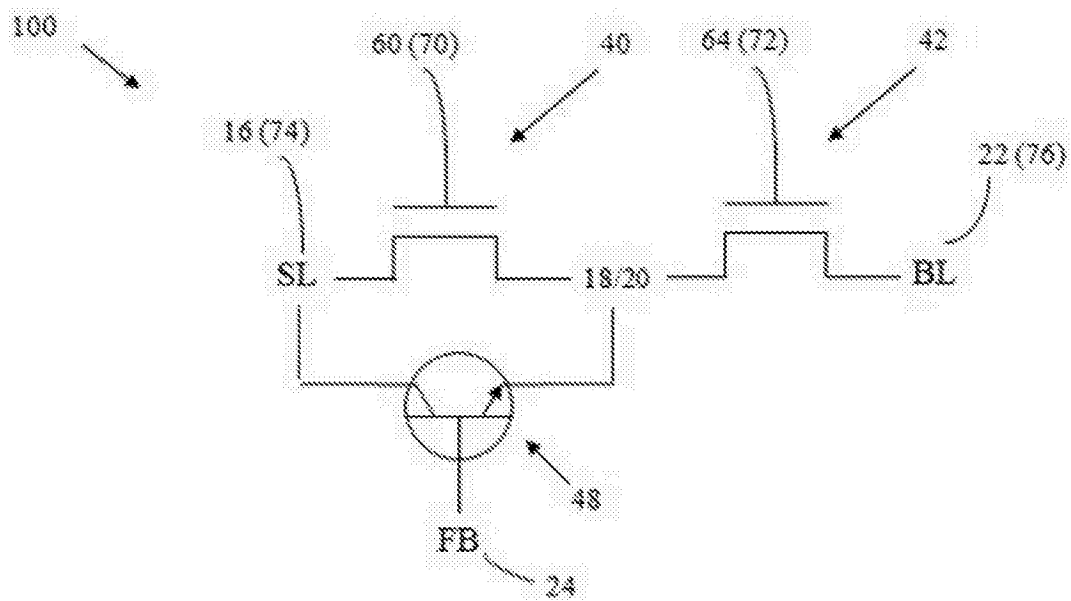


图3B

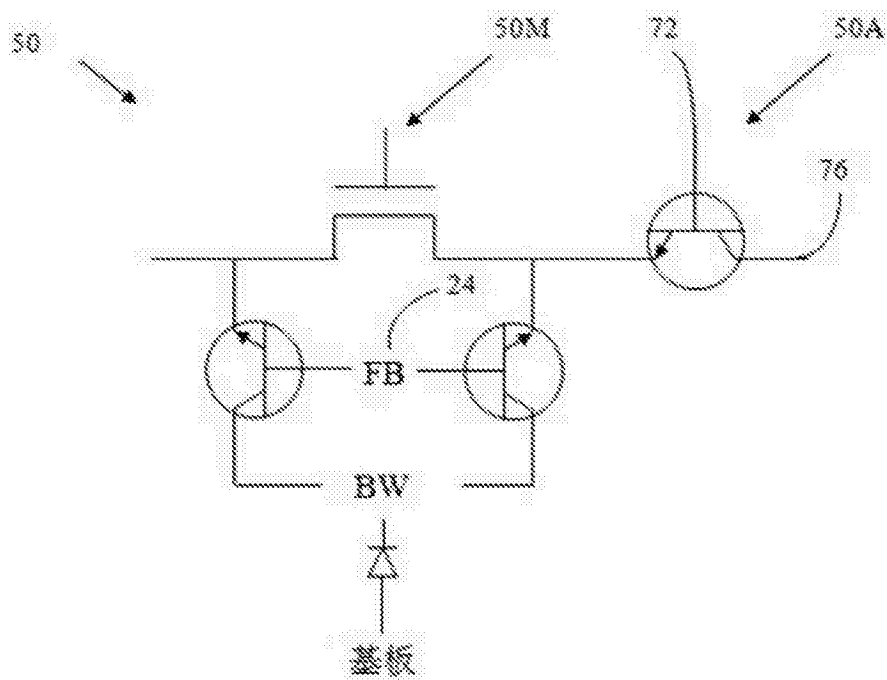


图4A

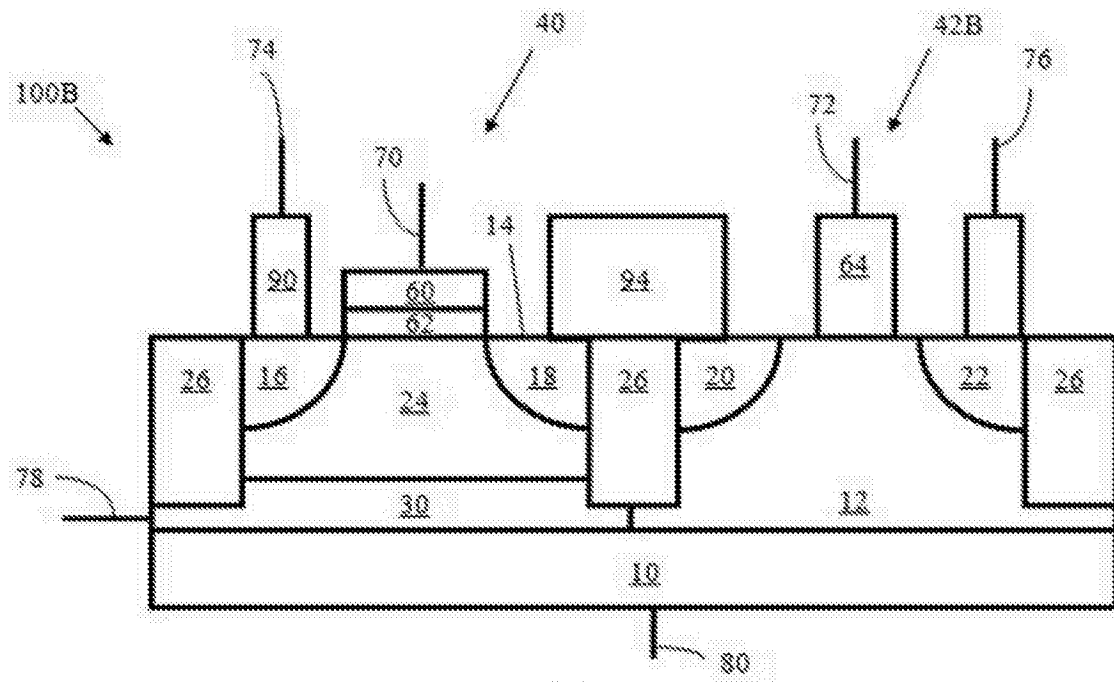


图4B

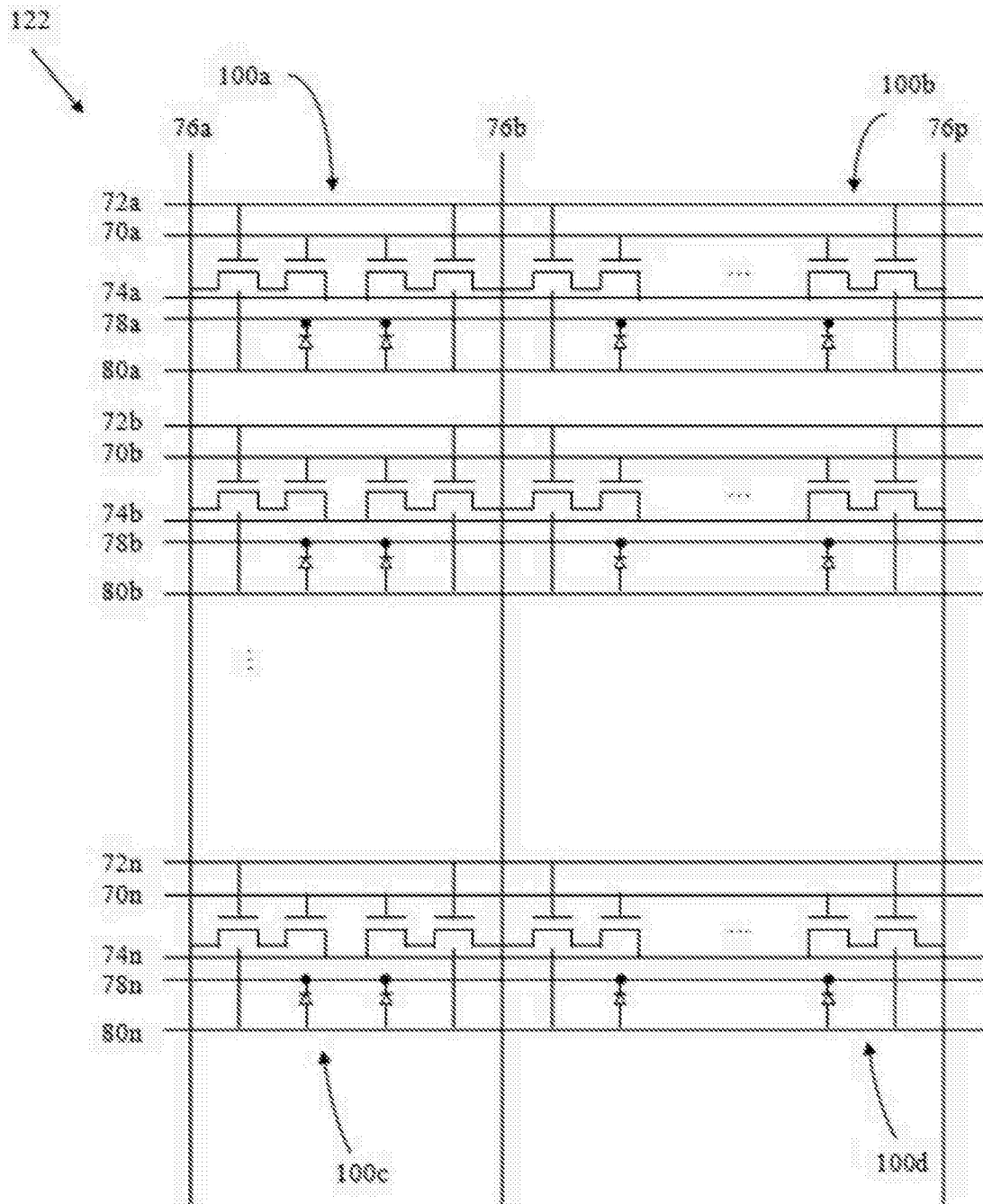


图6

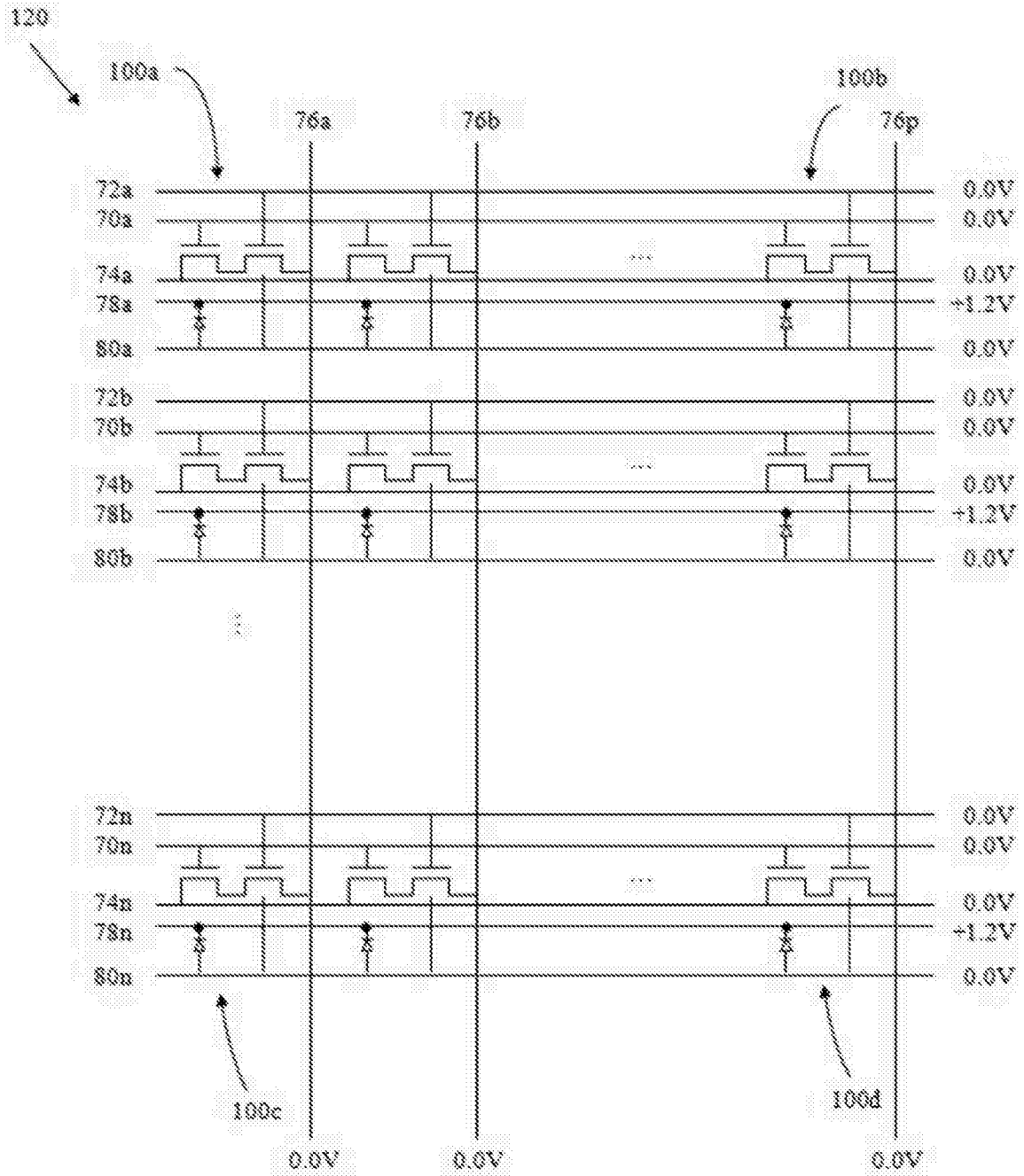


图7

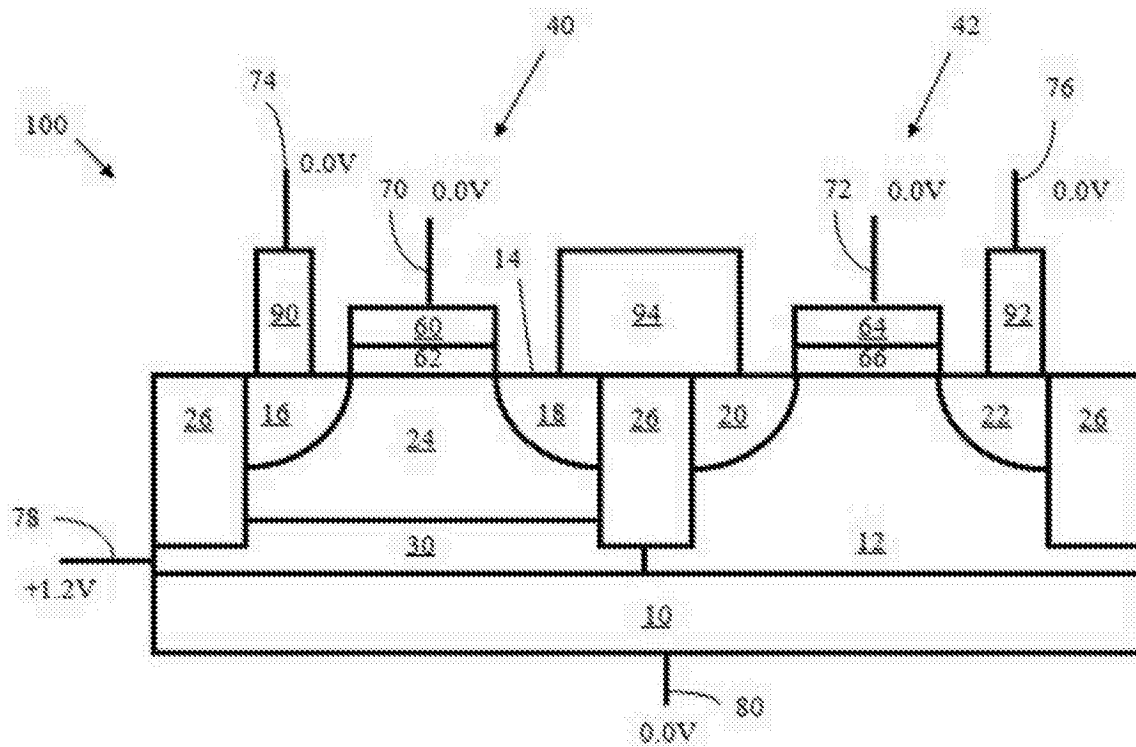


图8

浮体 24 是正向充电及电压 $V(\text{SL}16) = 0.0\text{V}$

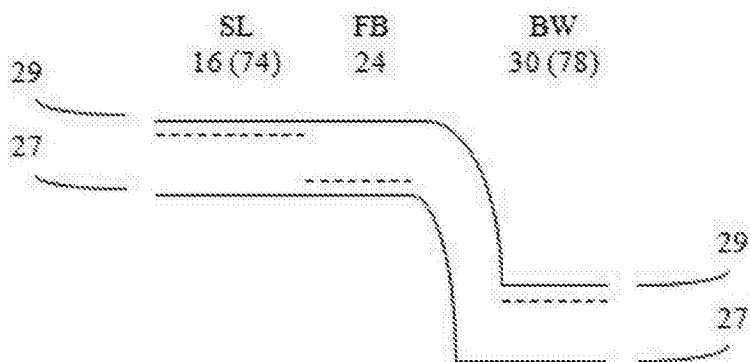


图9A

FB 是中性電以及 $V(\text{SL } 16) = V(\text{FB } 24) = 0\text{V}$

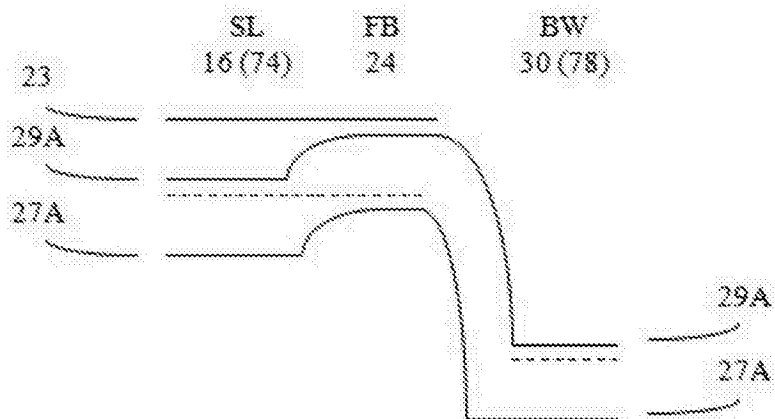


图9B

浮体 电流 [I]

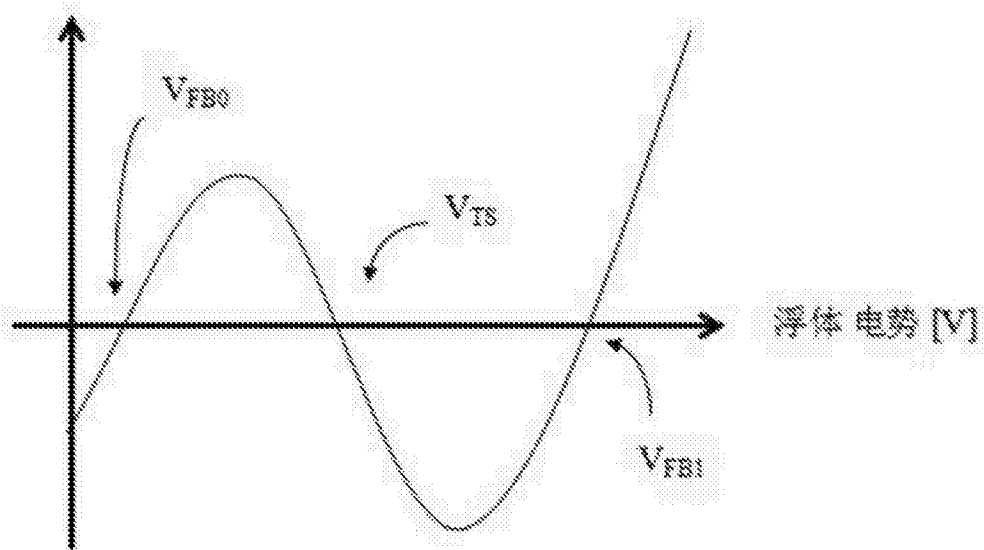


图9C

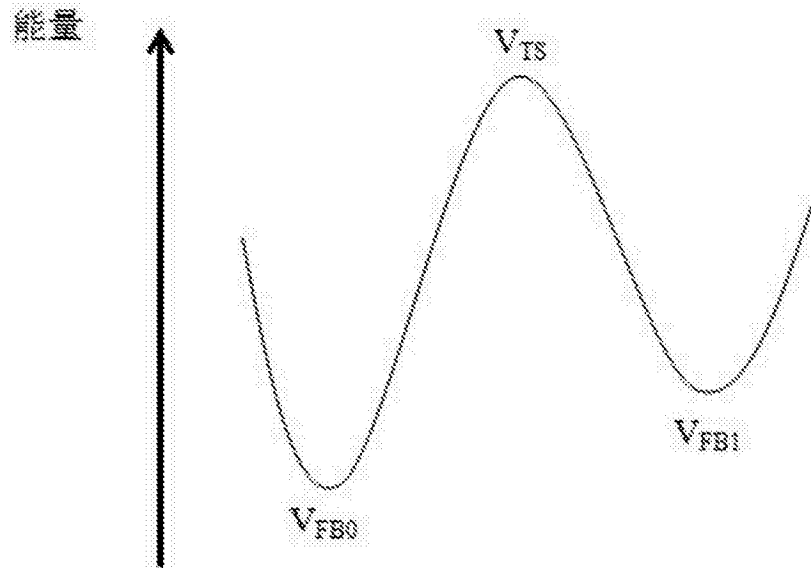


图9D

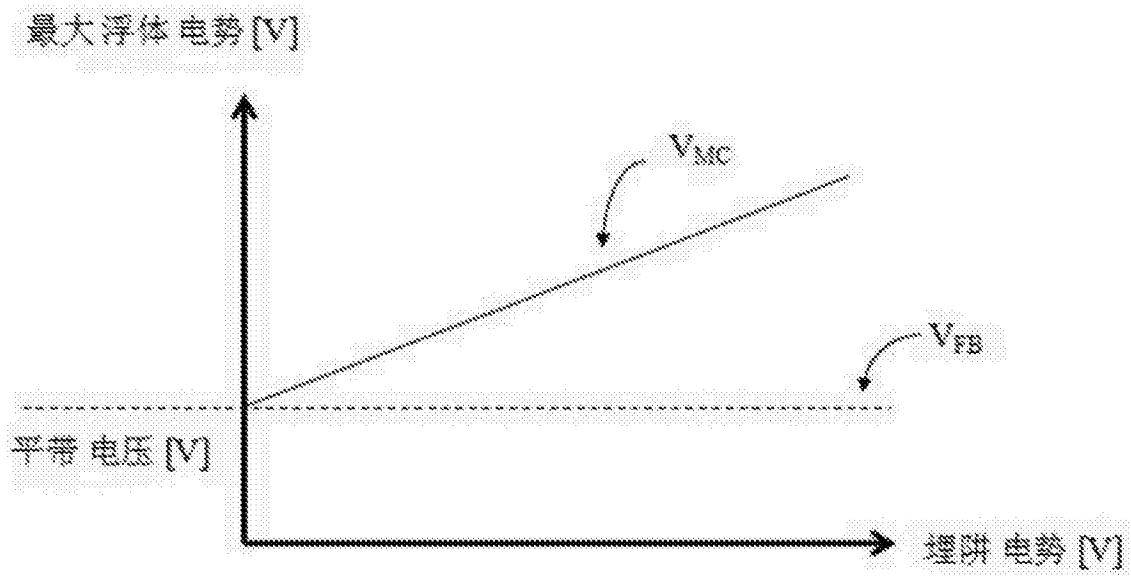


图9E

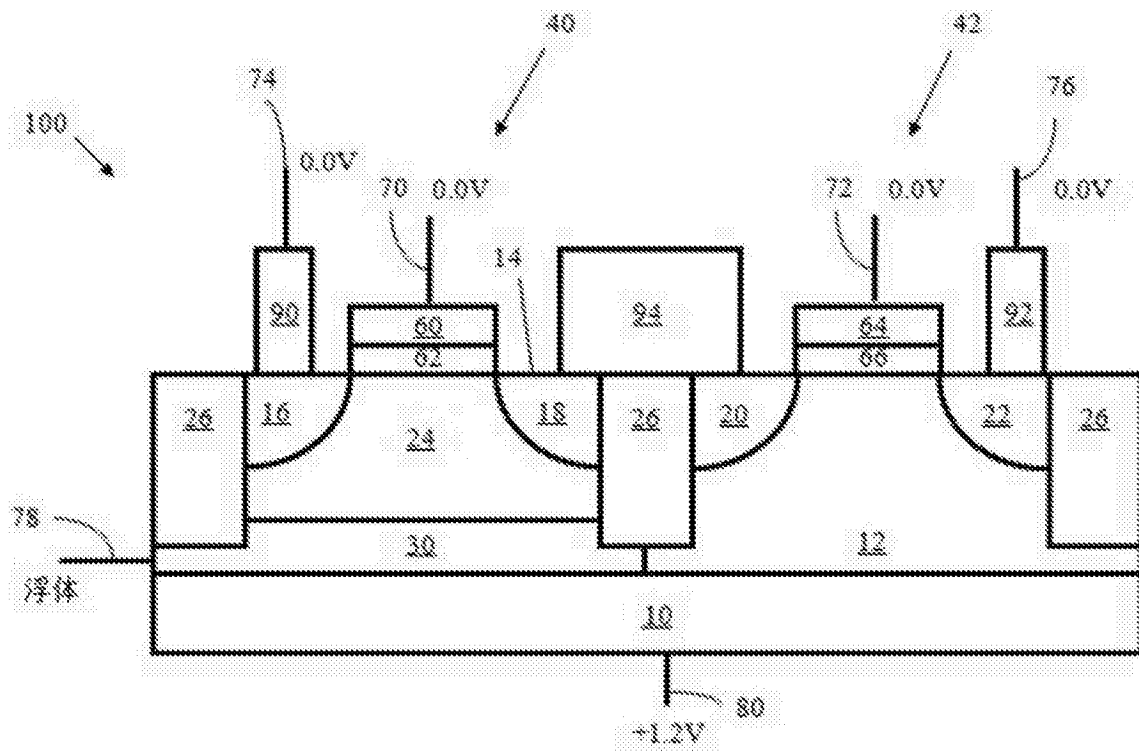


图11

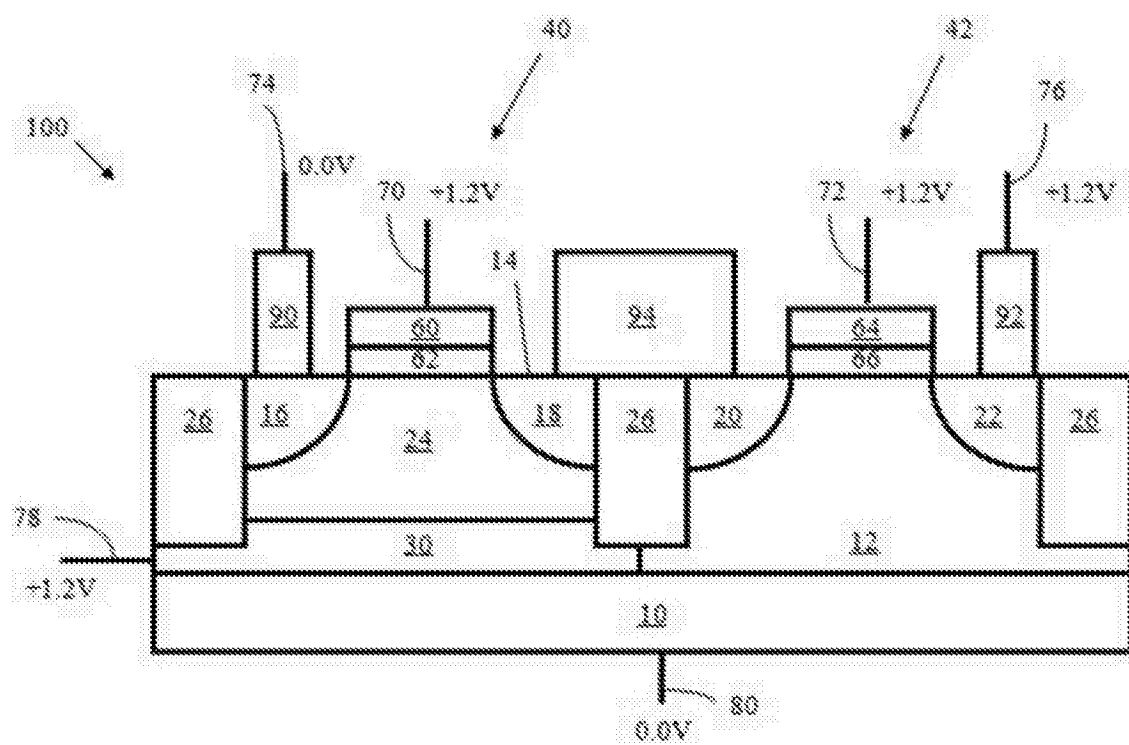


图13

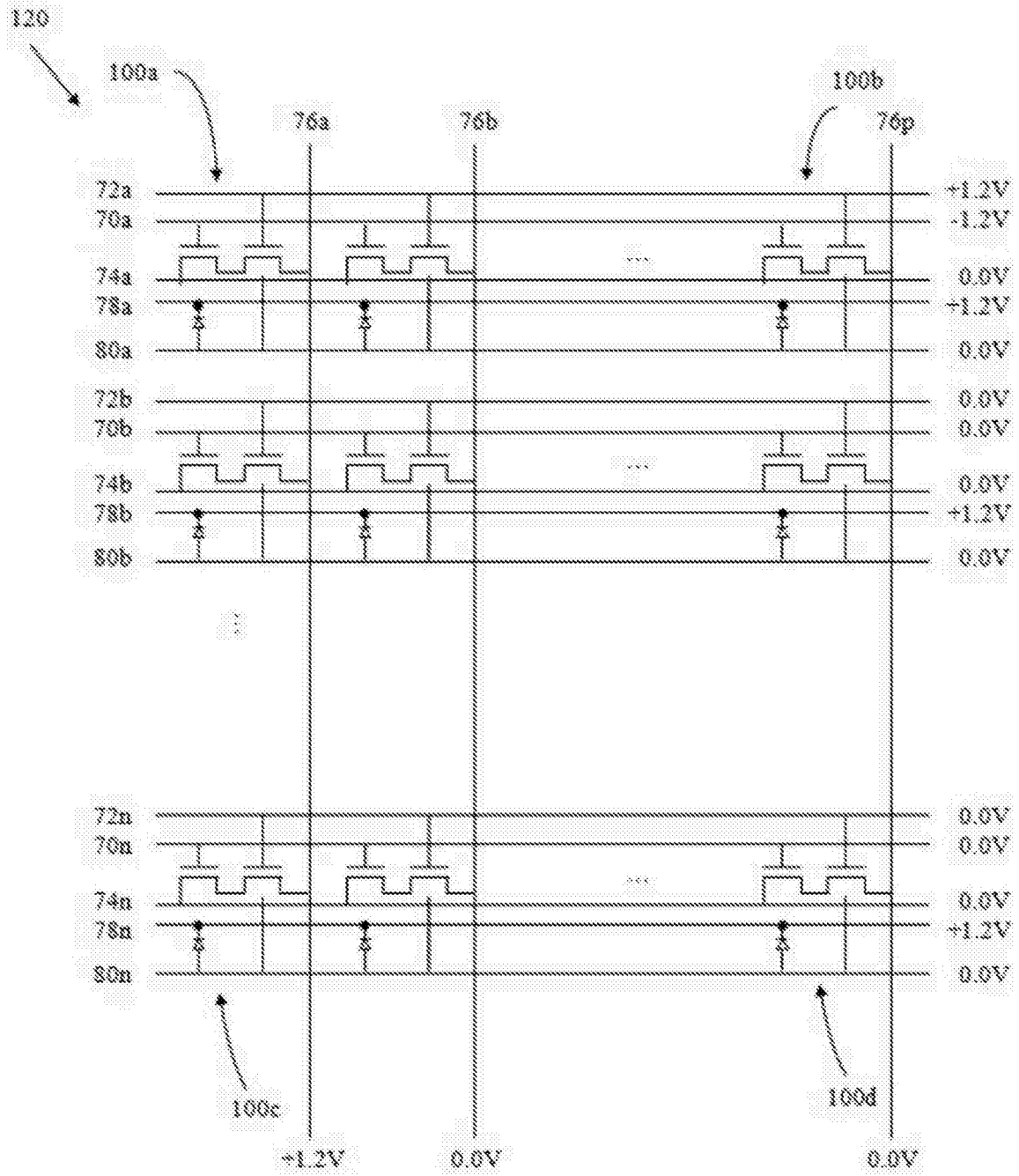


图14

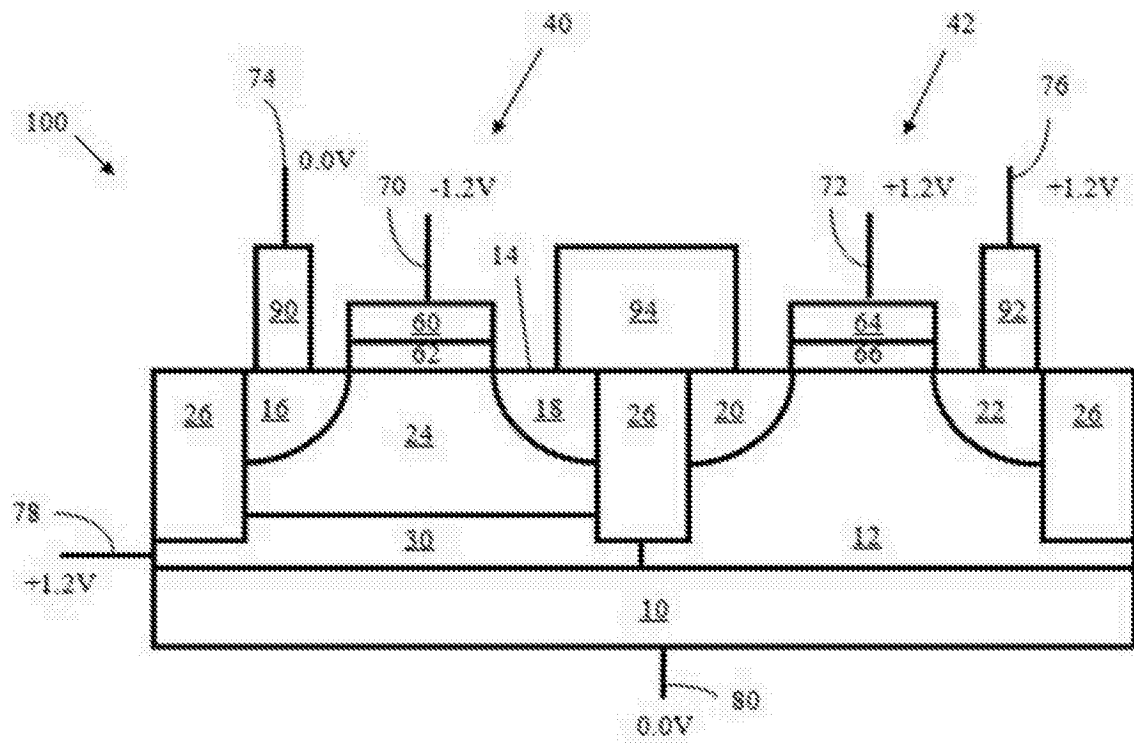


图15

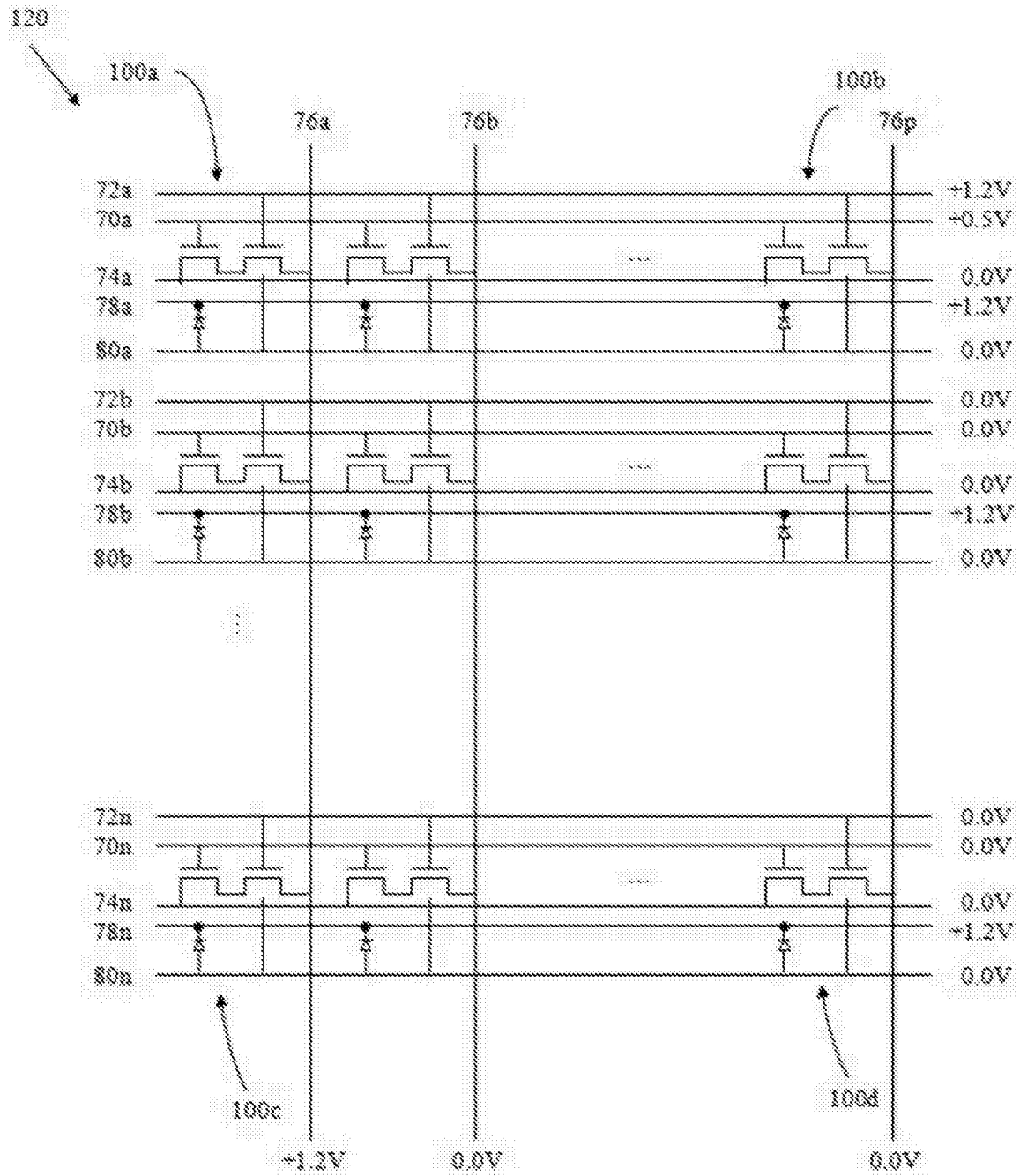


图16

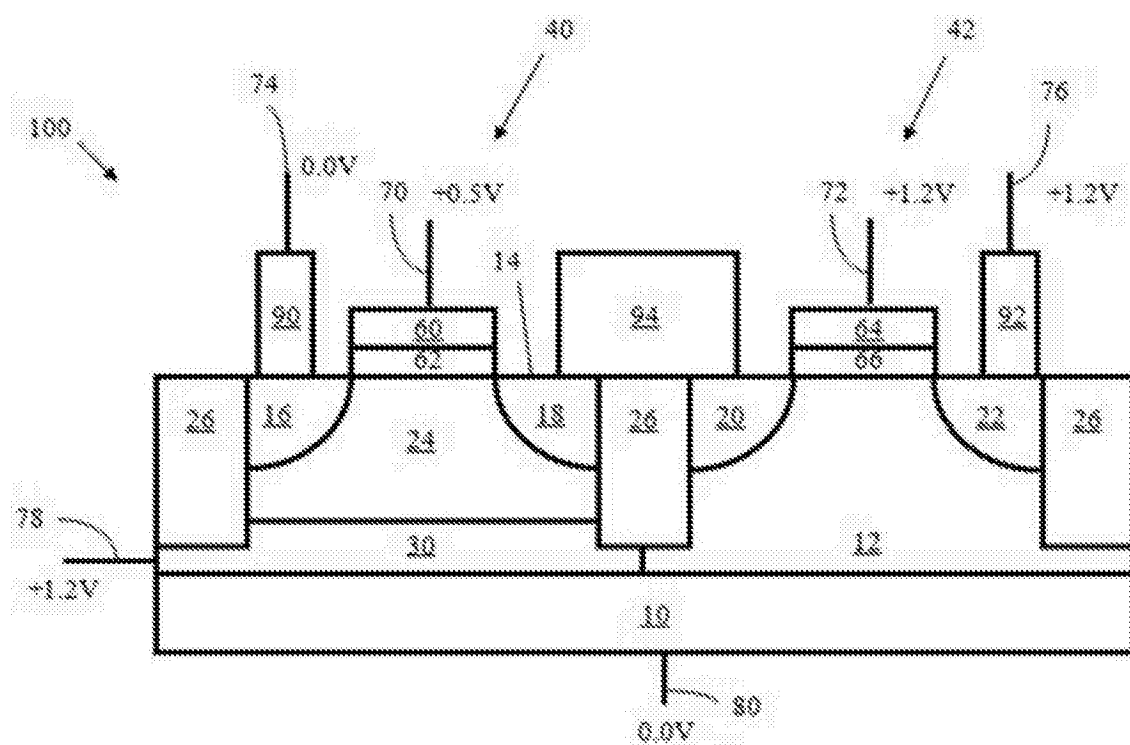


图17

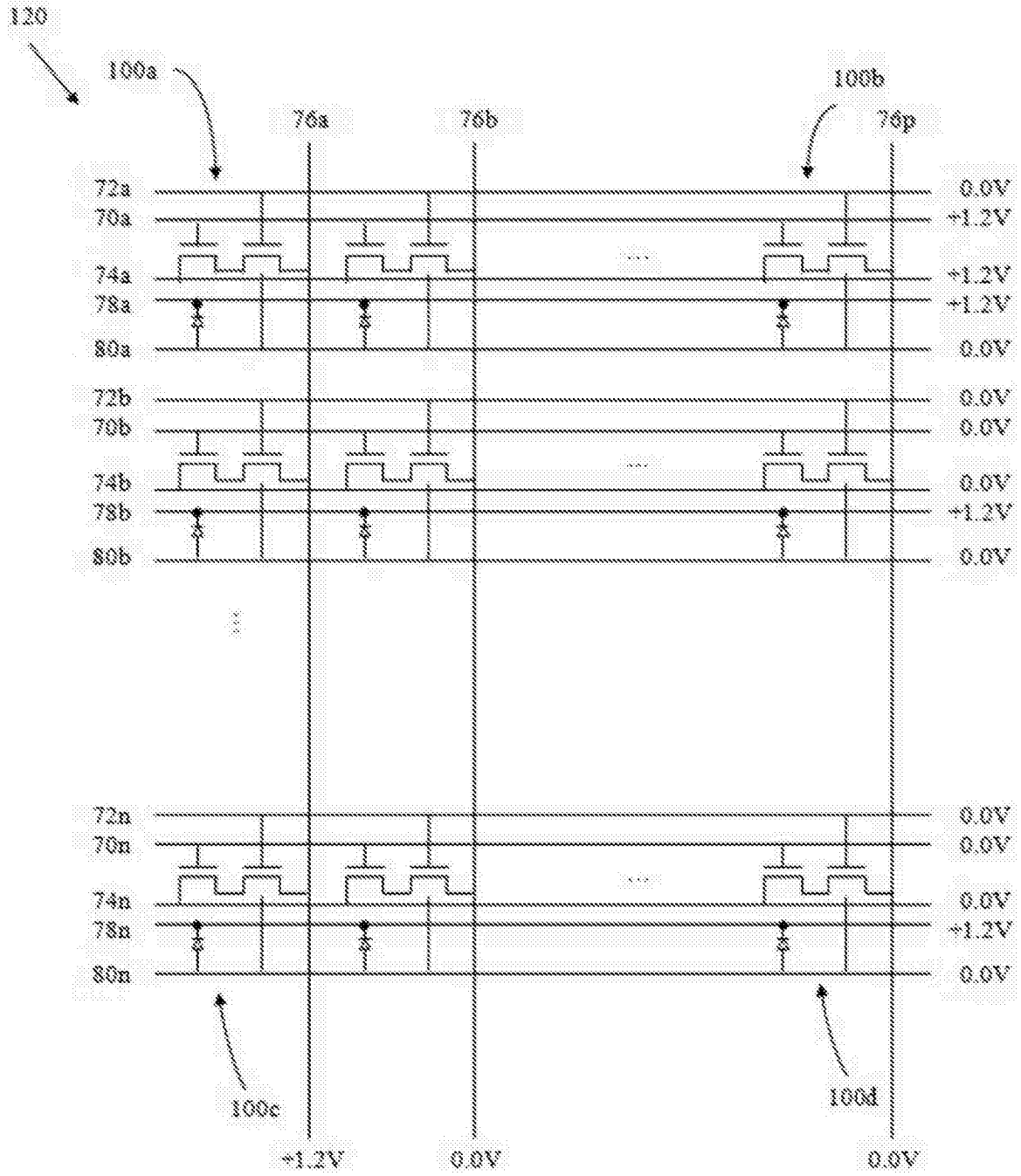


图18

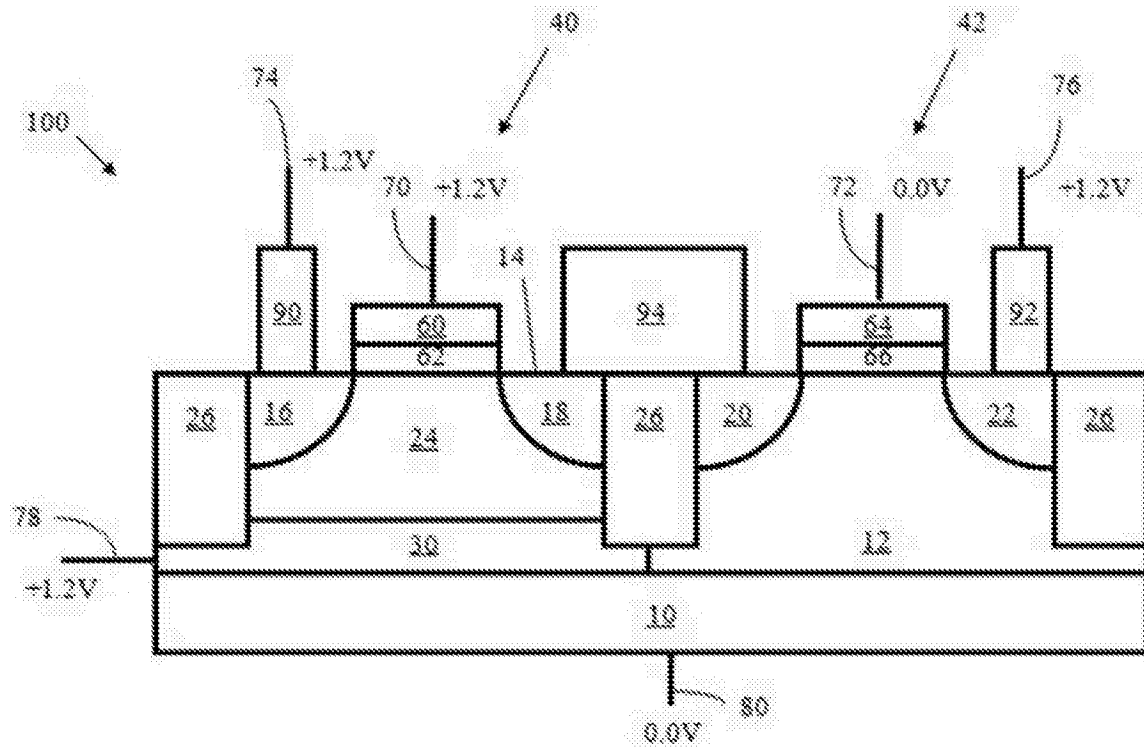


图19

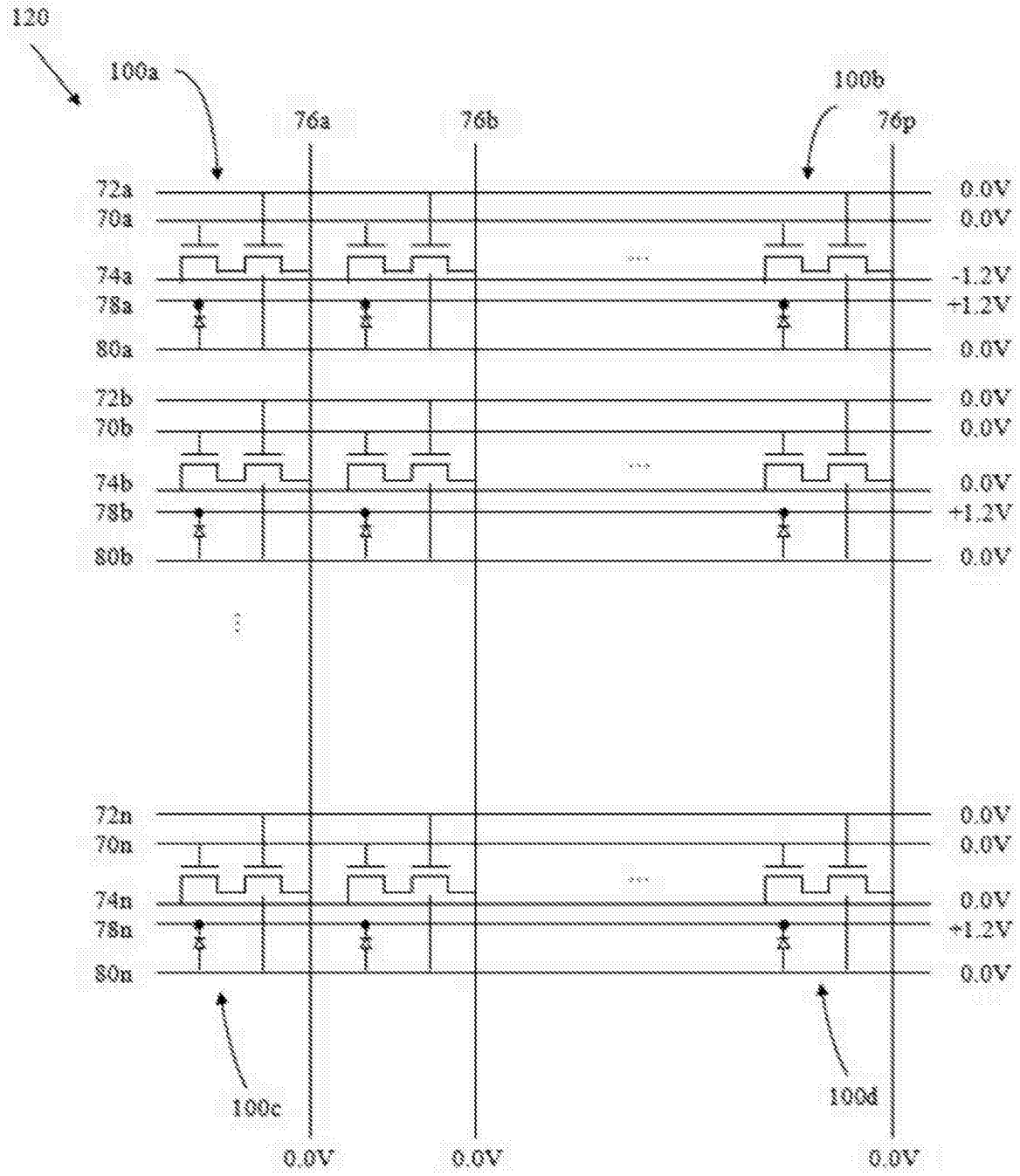


图20

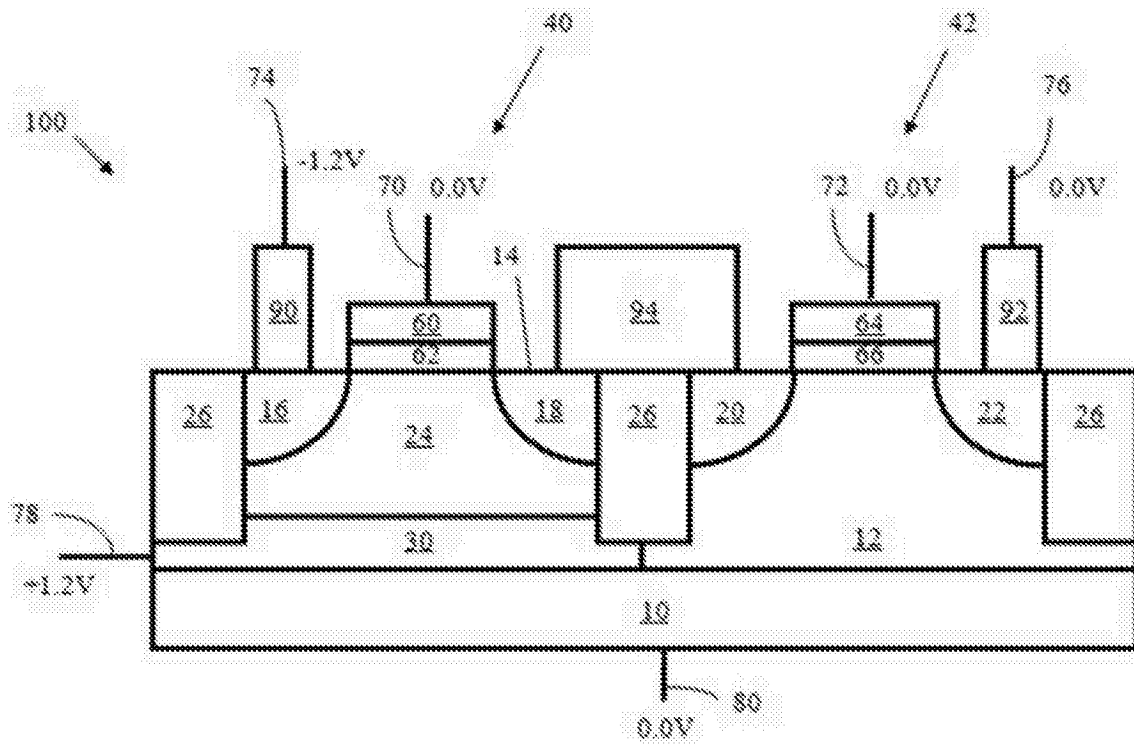


图21

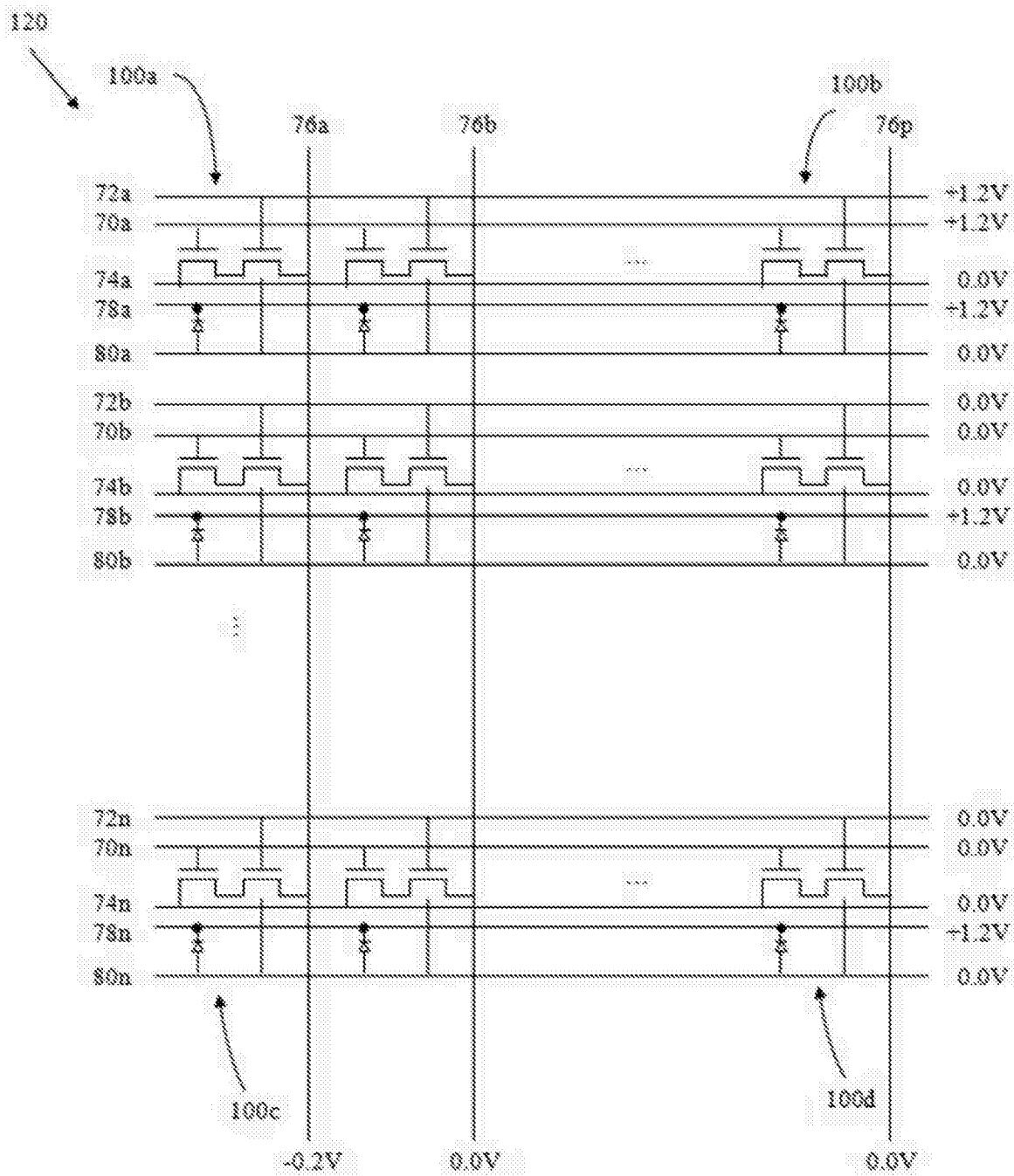


图22

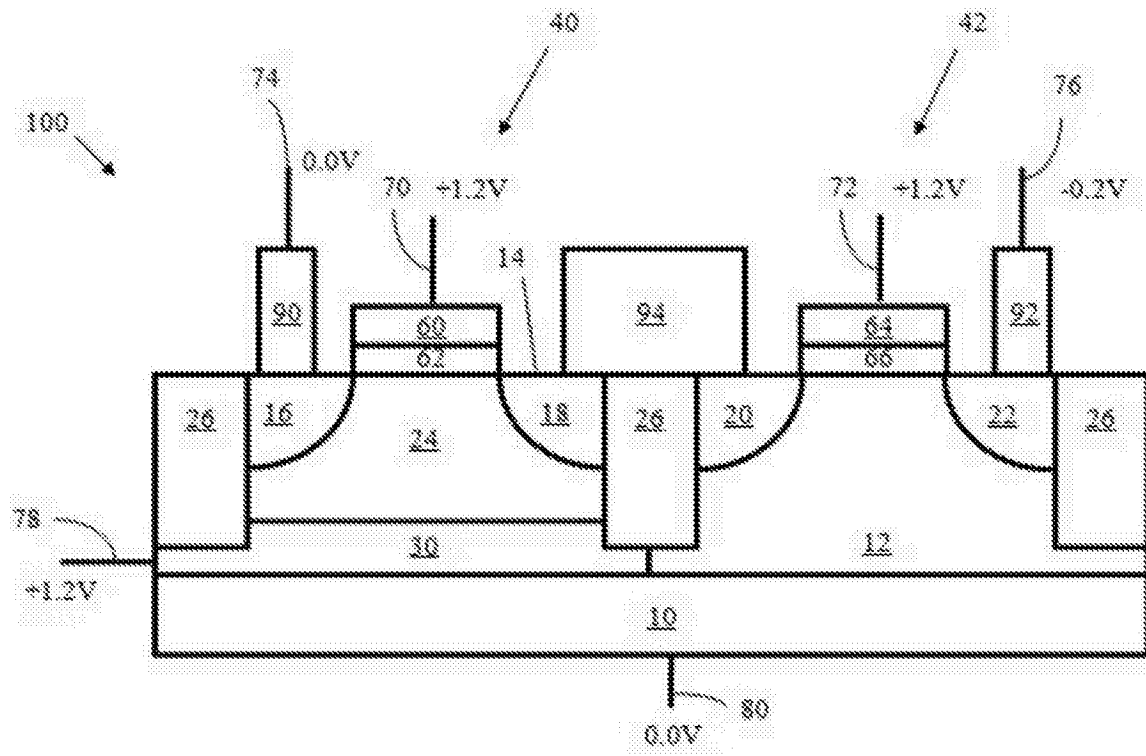


图23

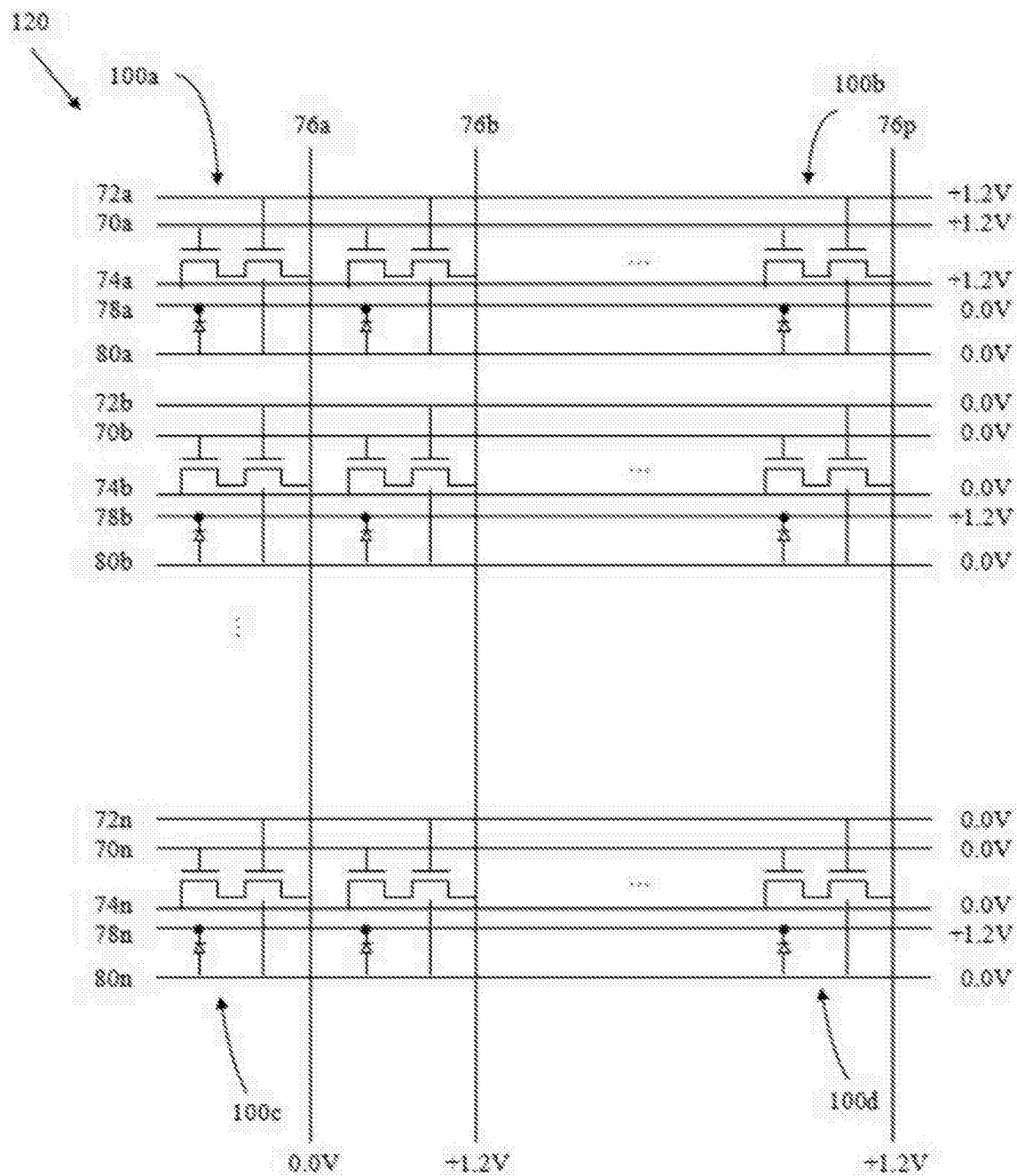


图24

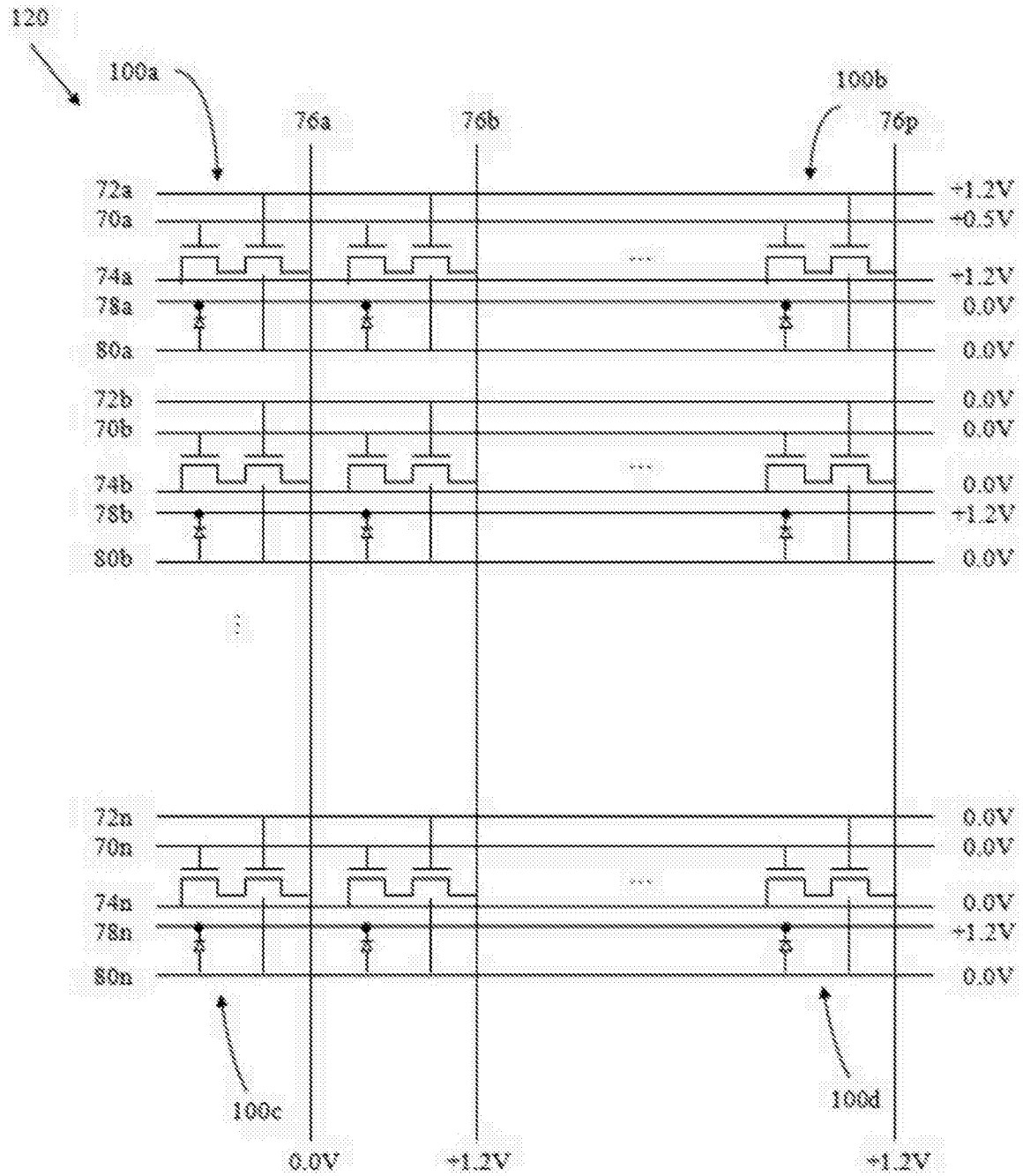


图25

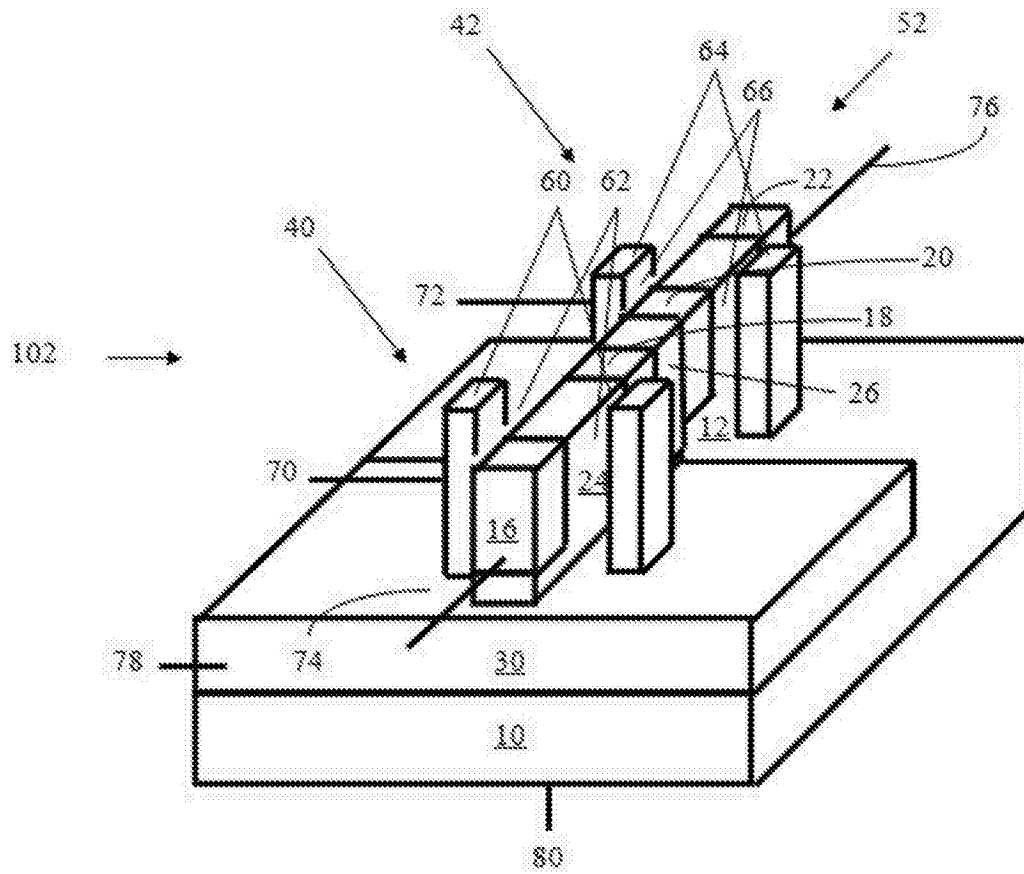


图26

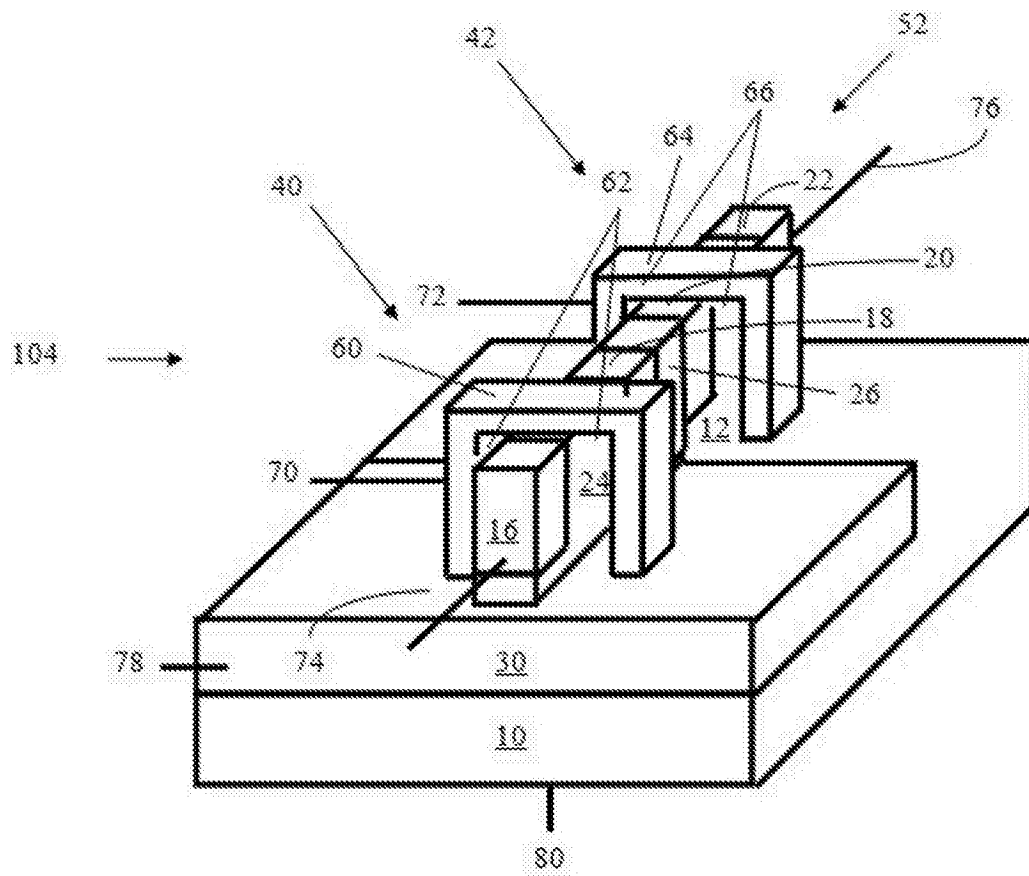


图27

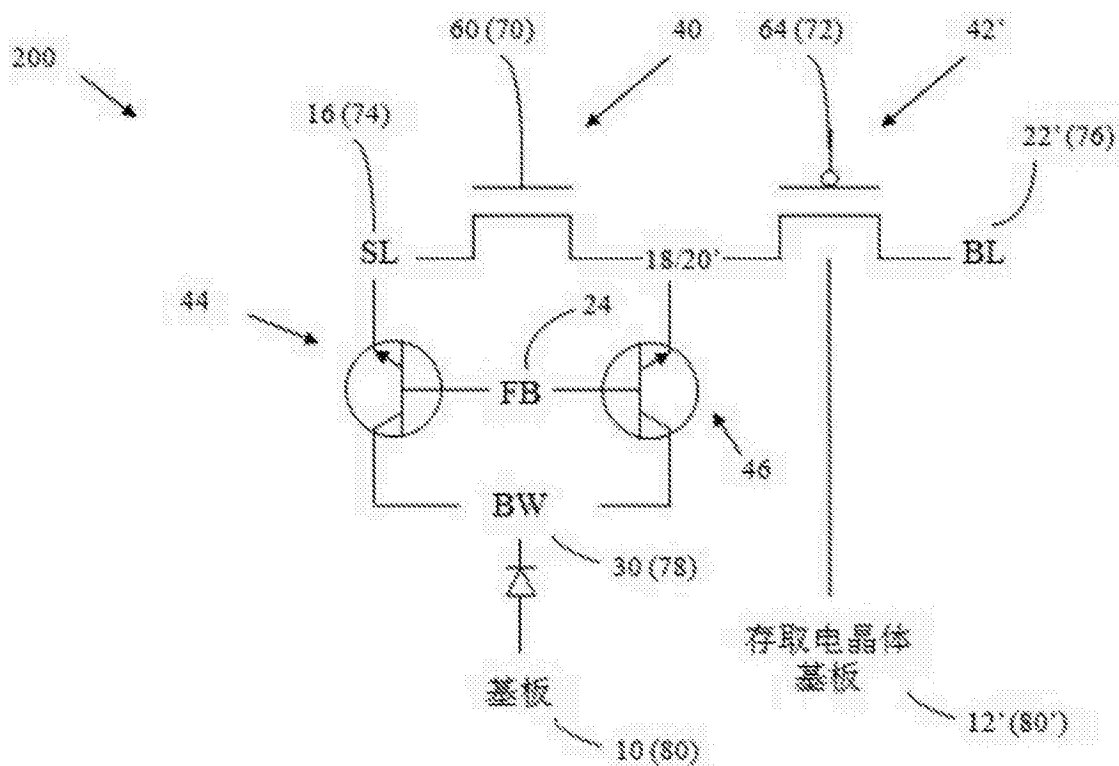


图28

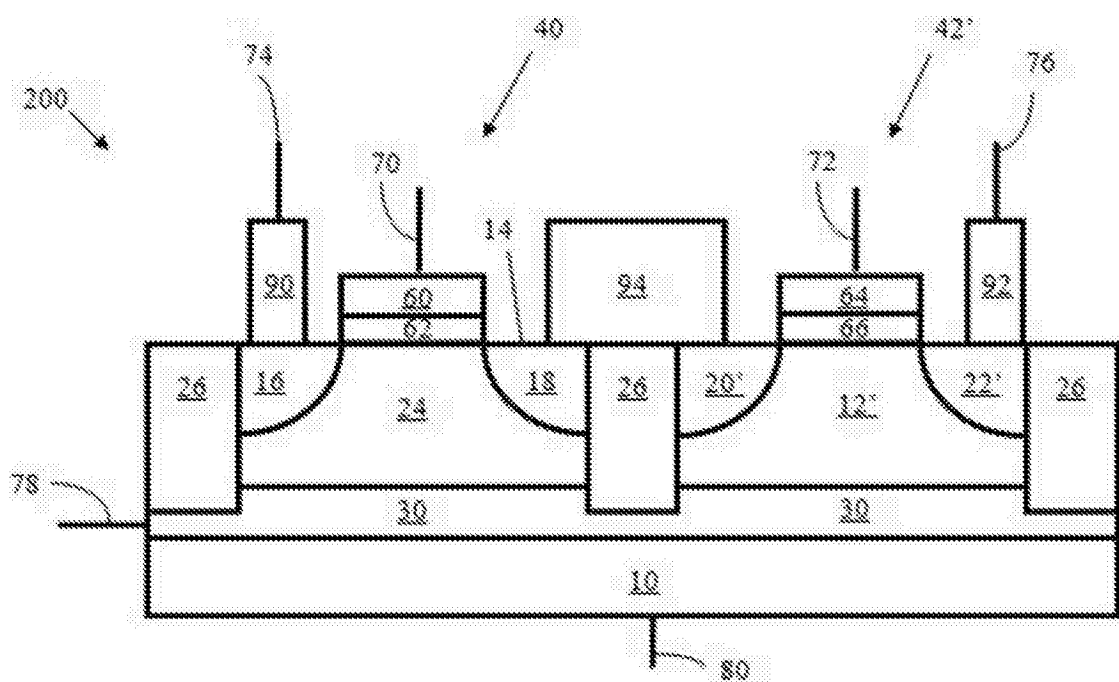


图29A

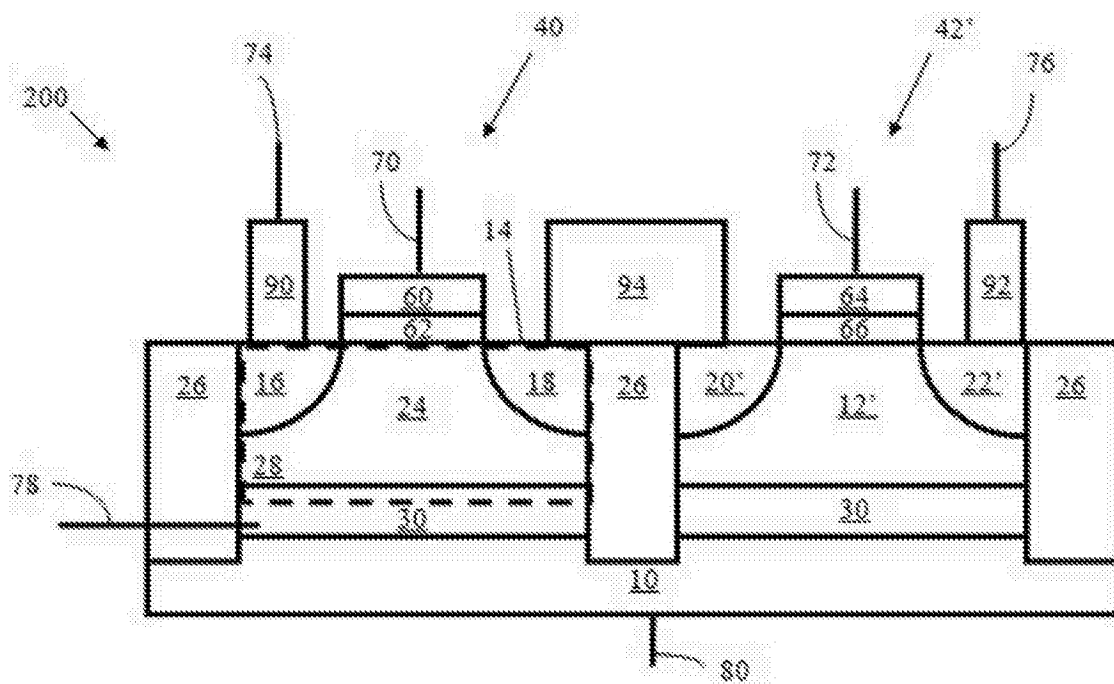


图29B

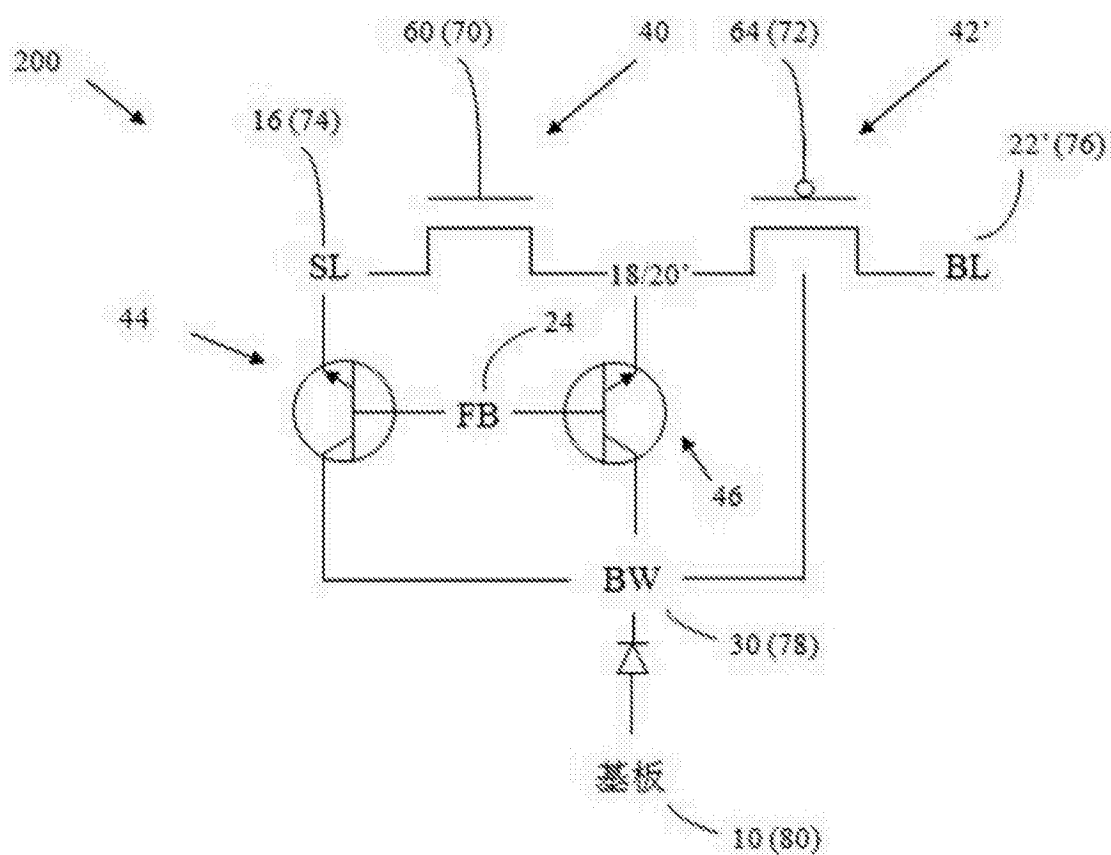


图30

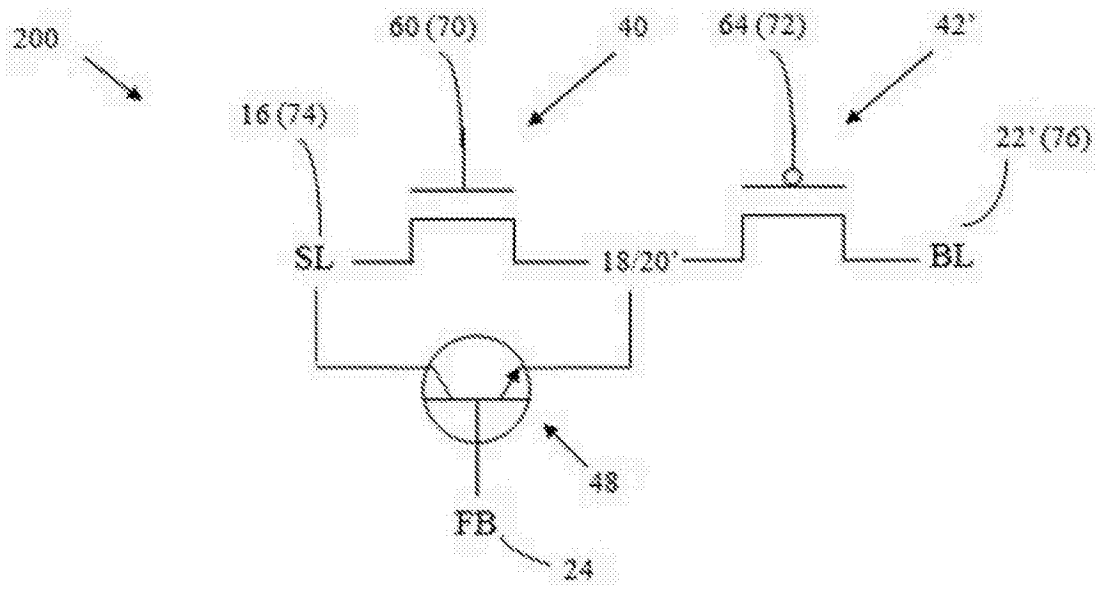


图31

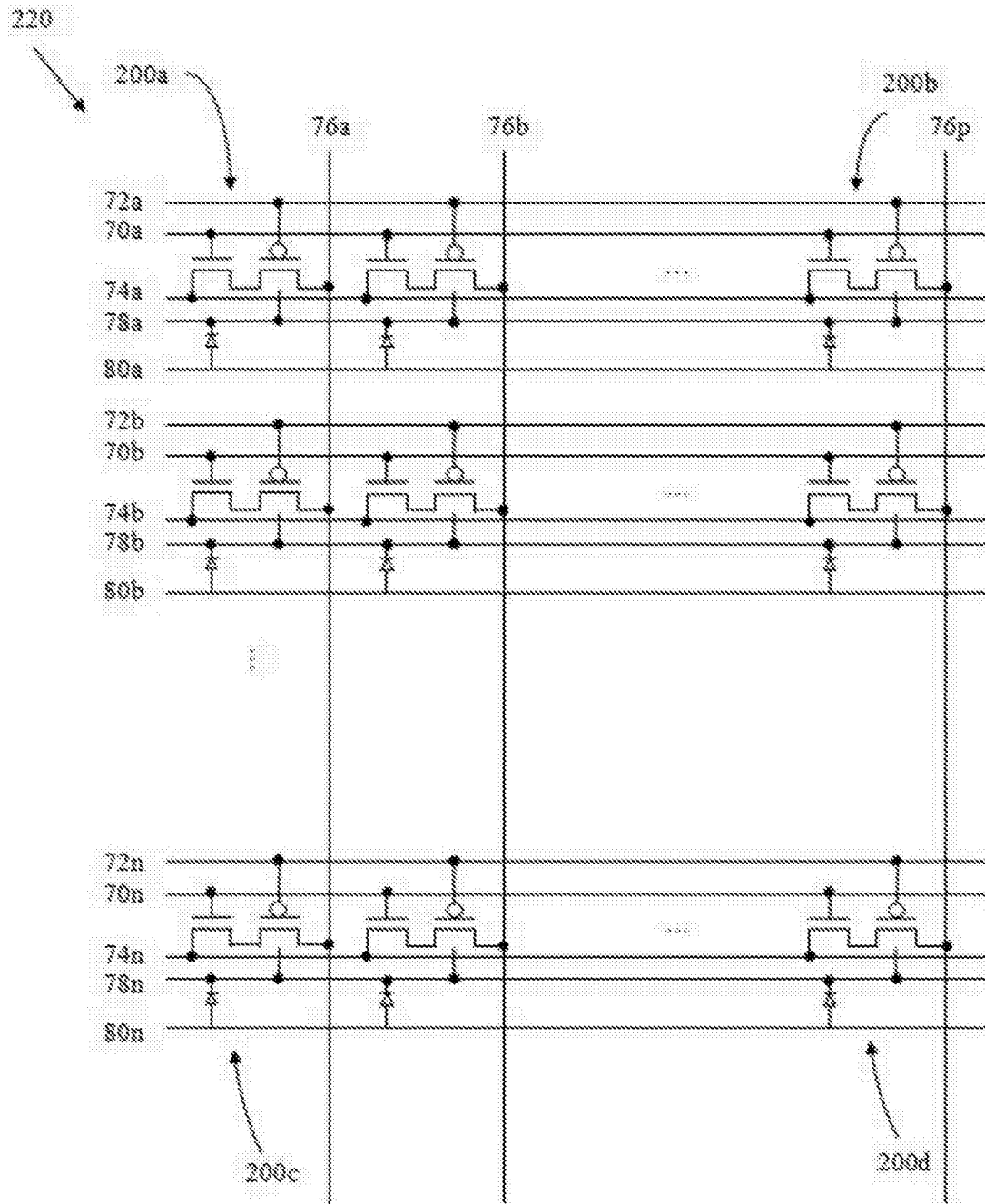


图32

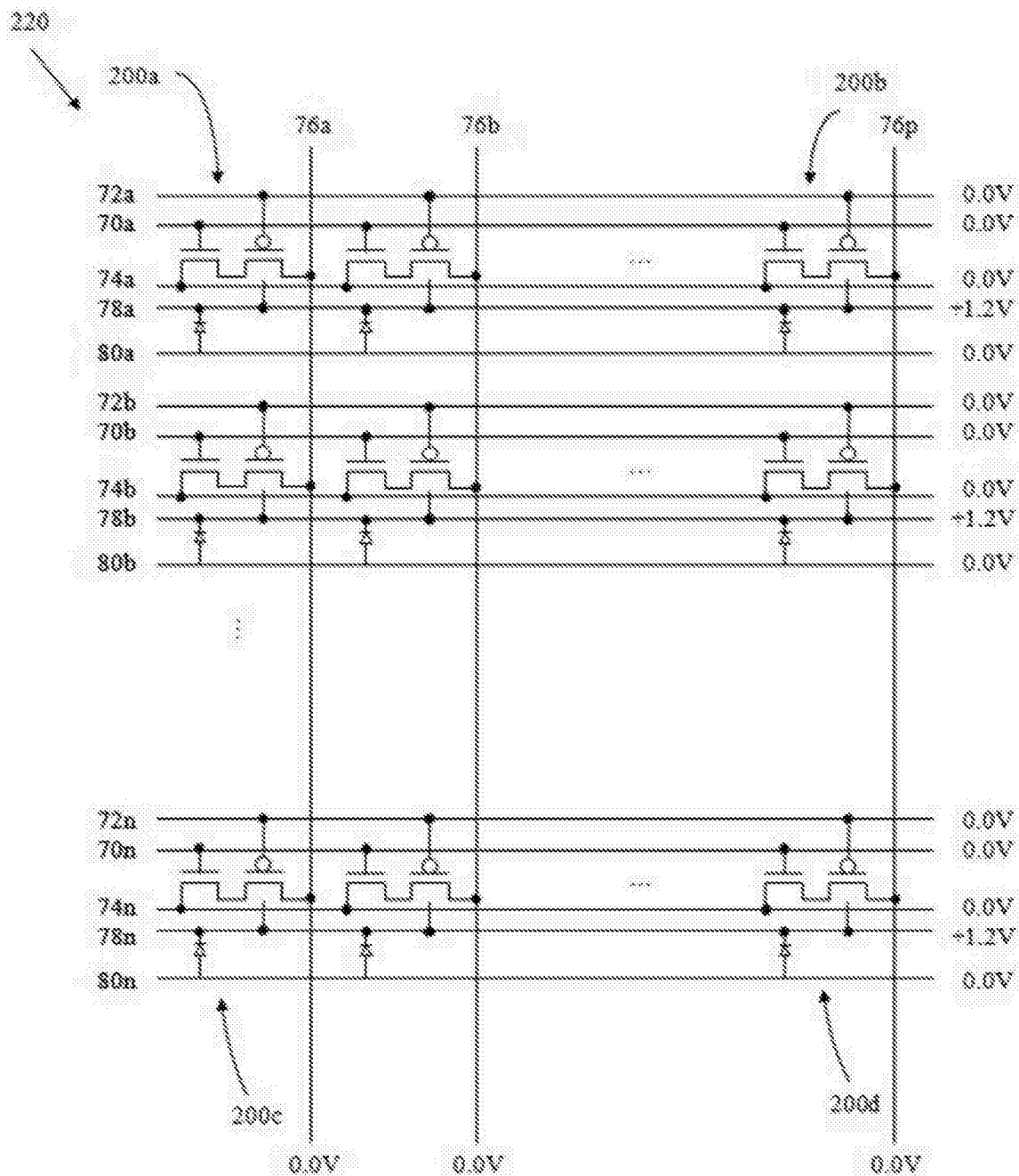


图33

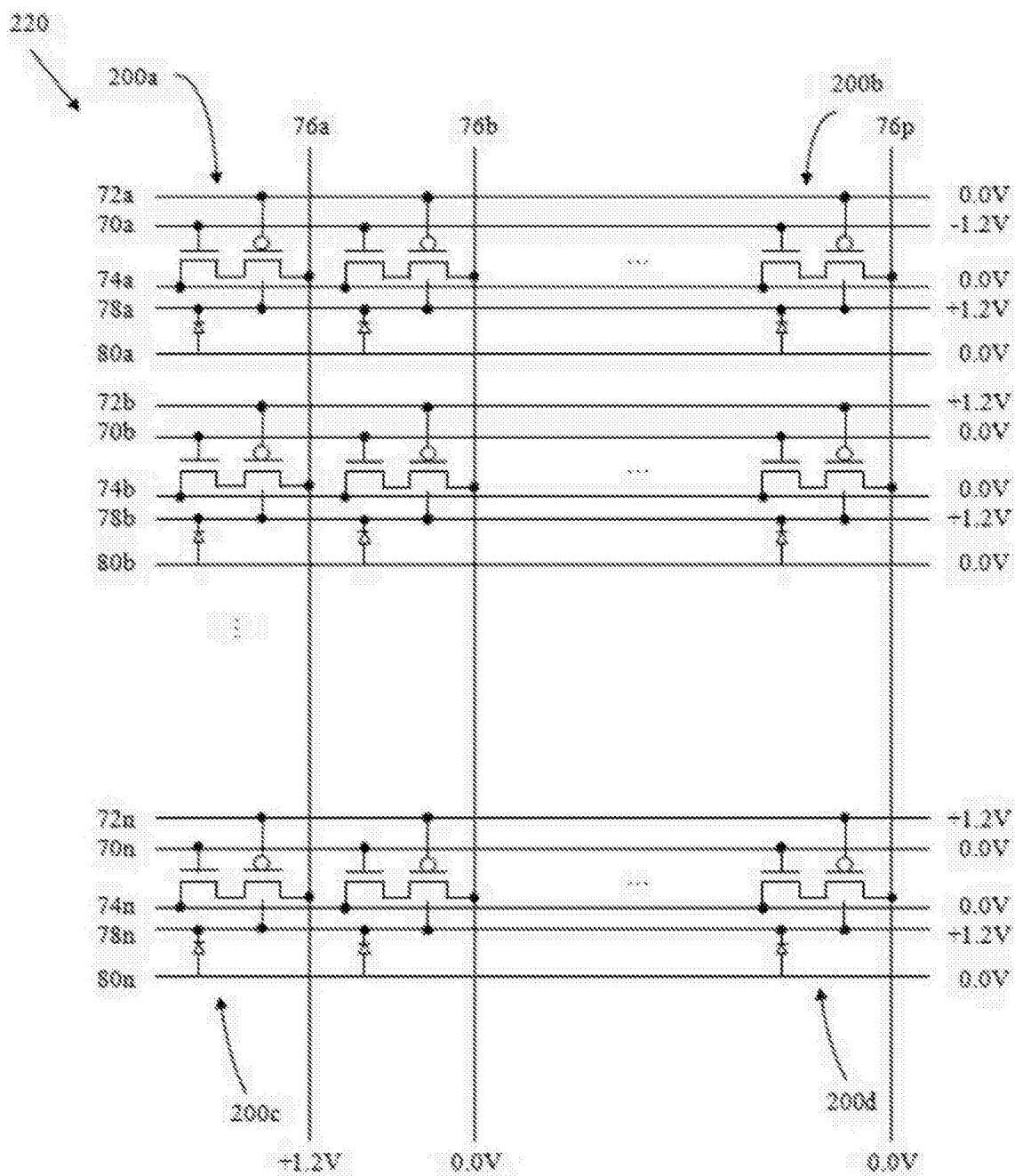


图36

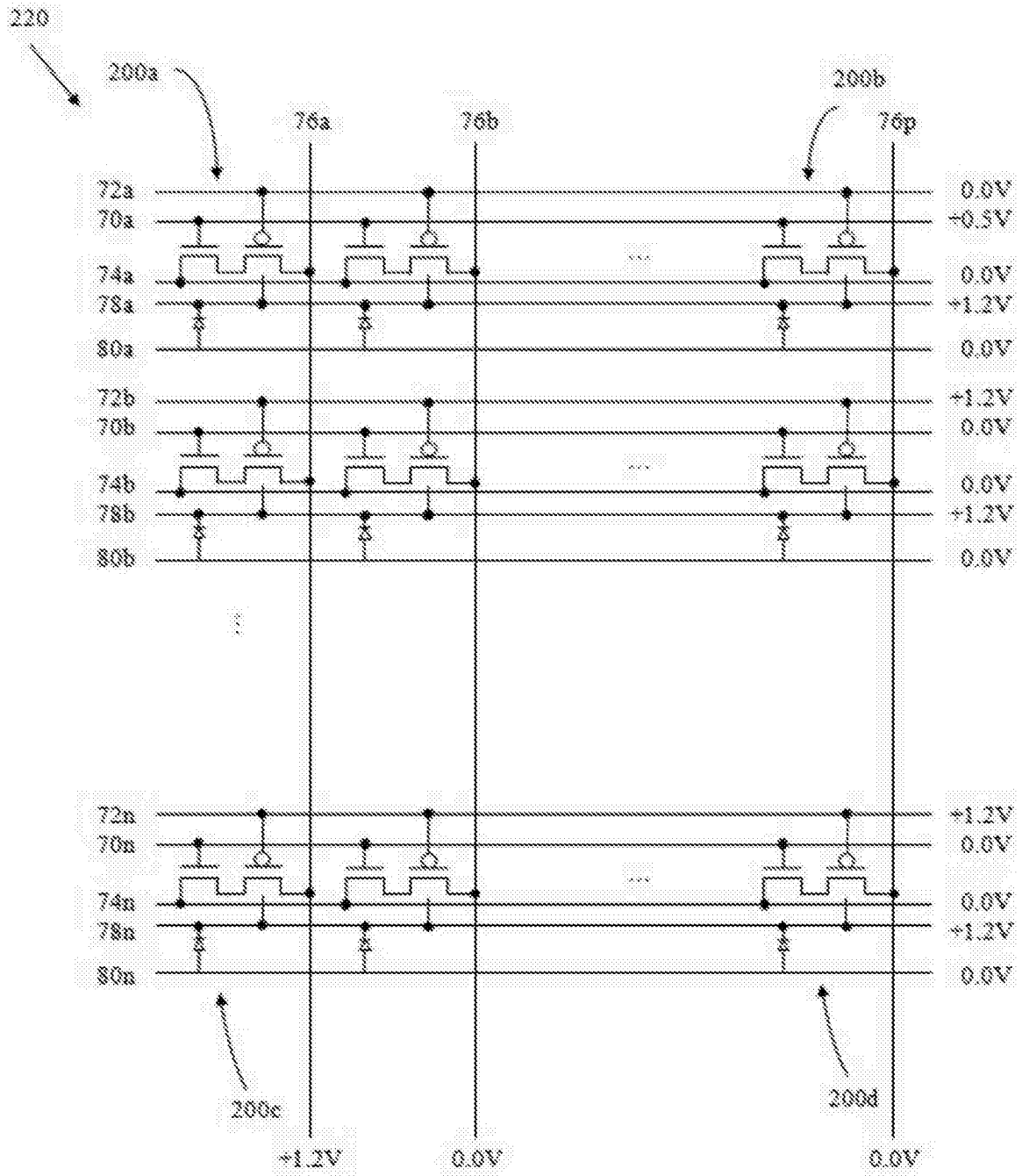


图37

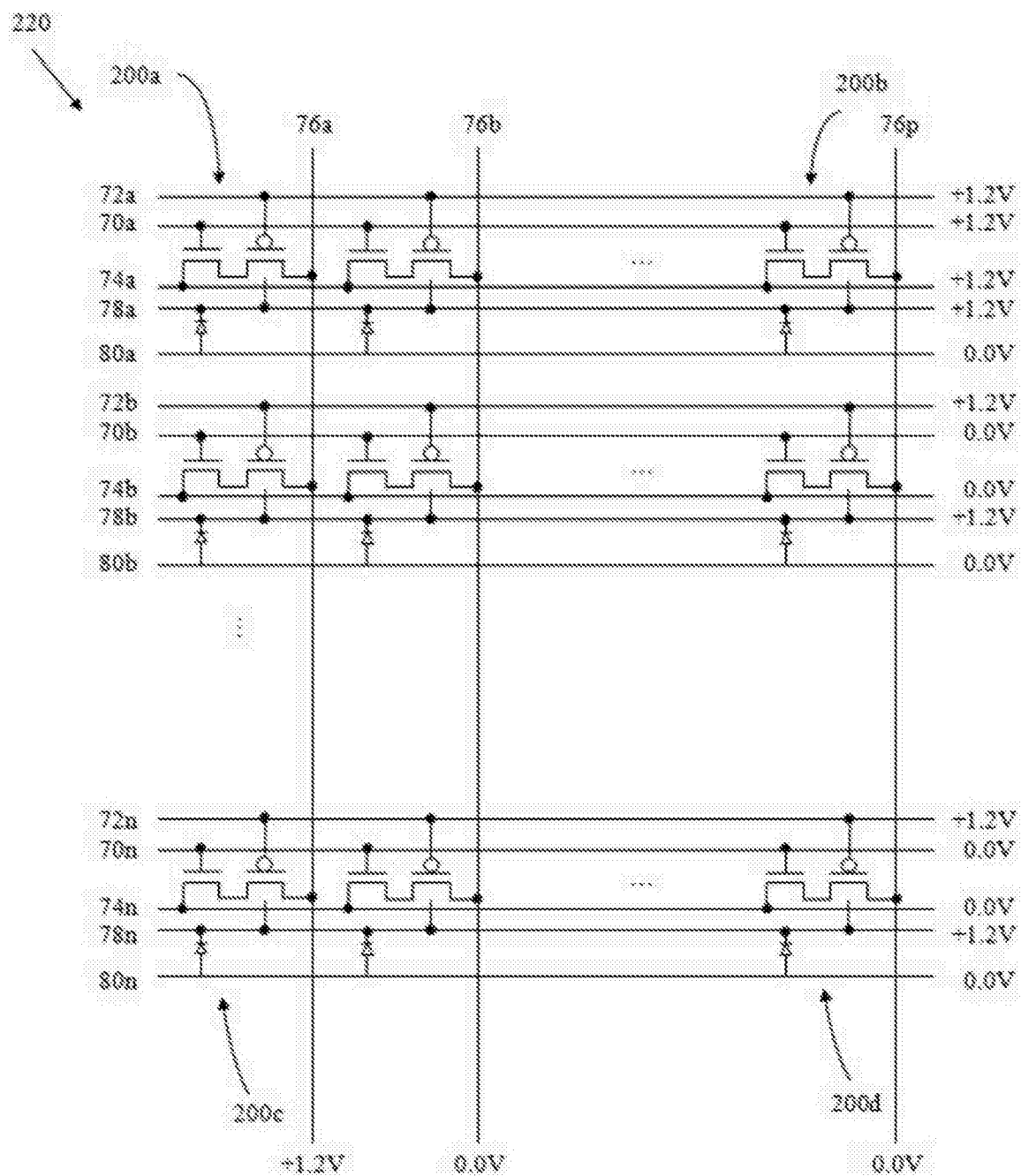


图38

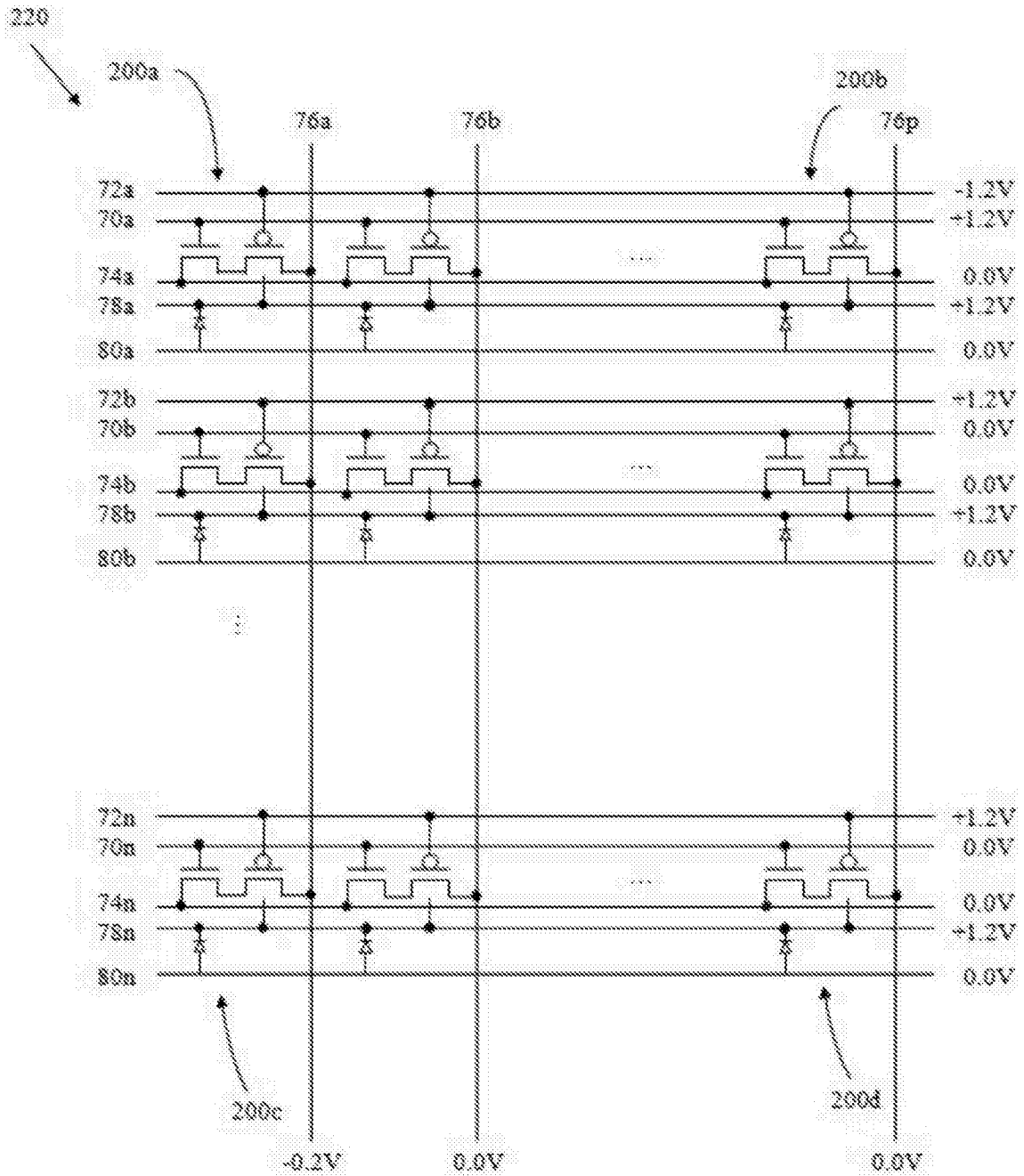


图40

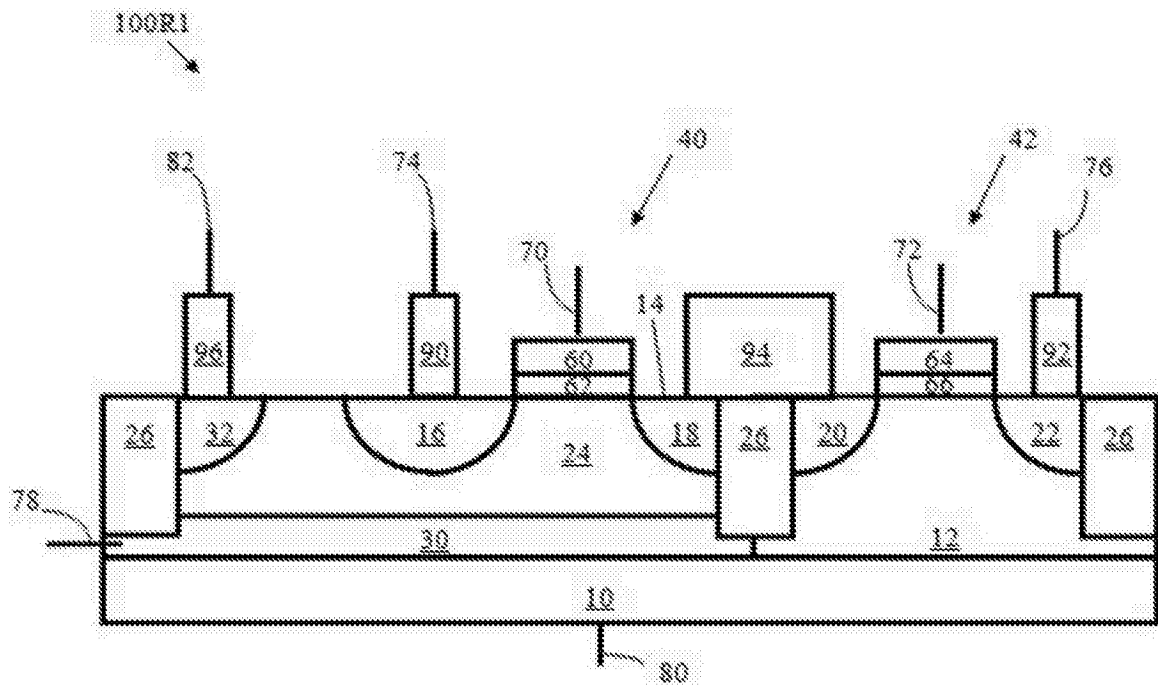


图41

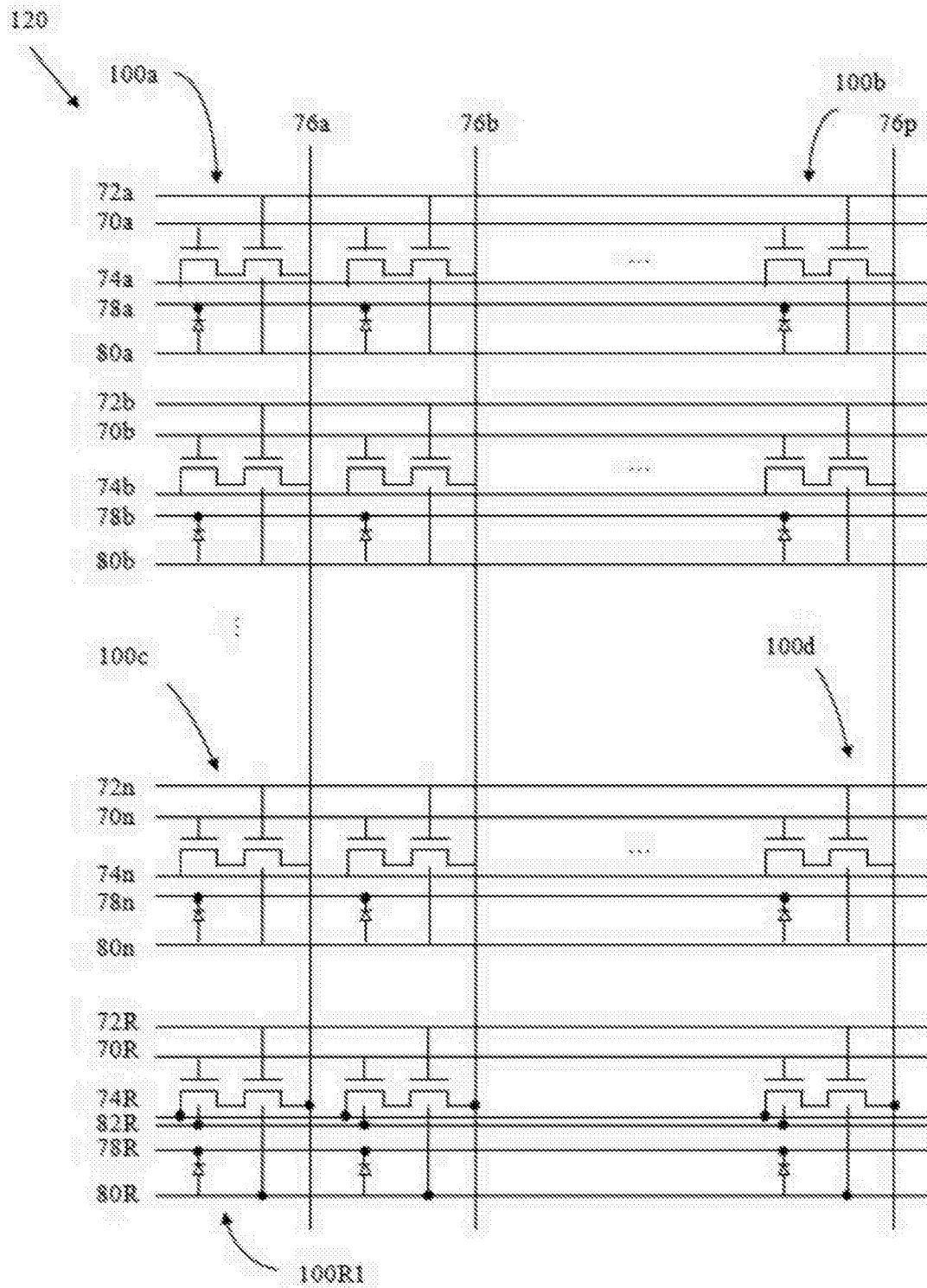


图42

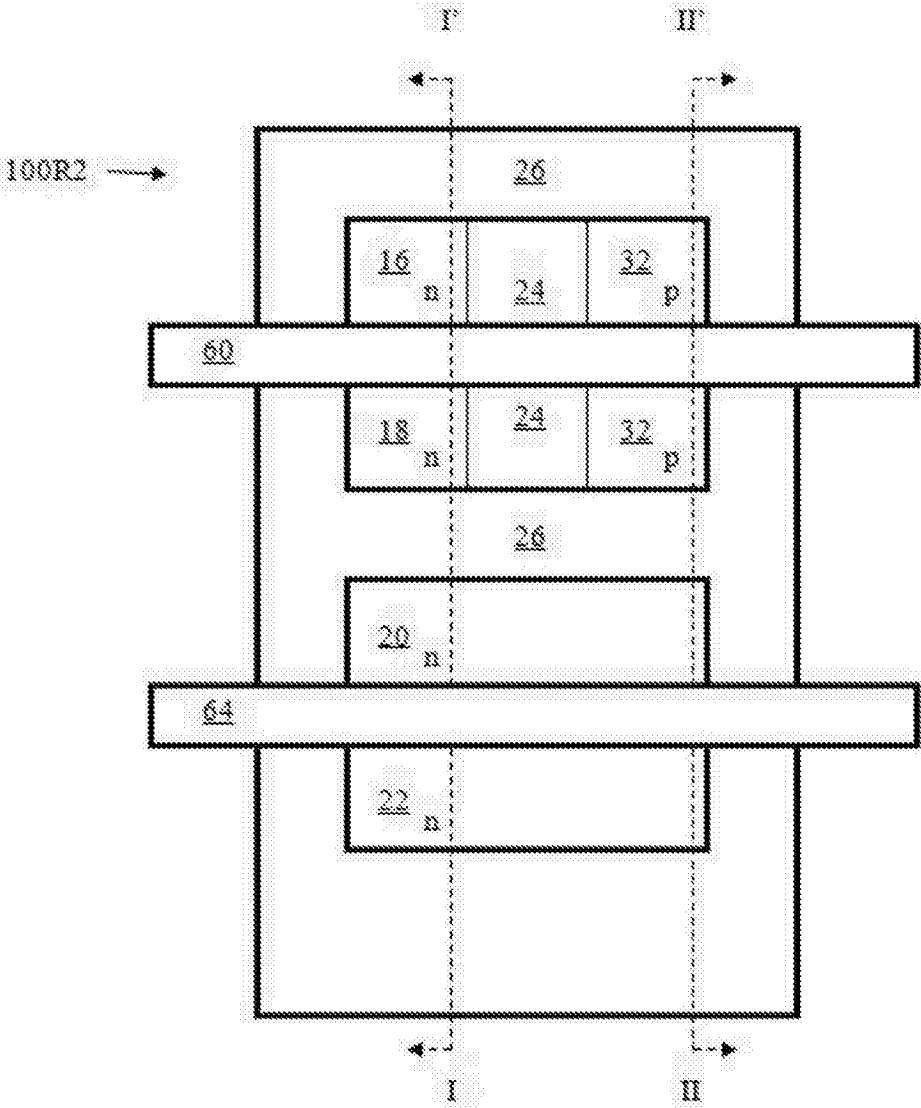


图43A

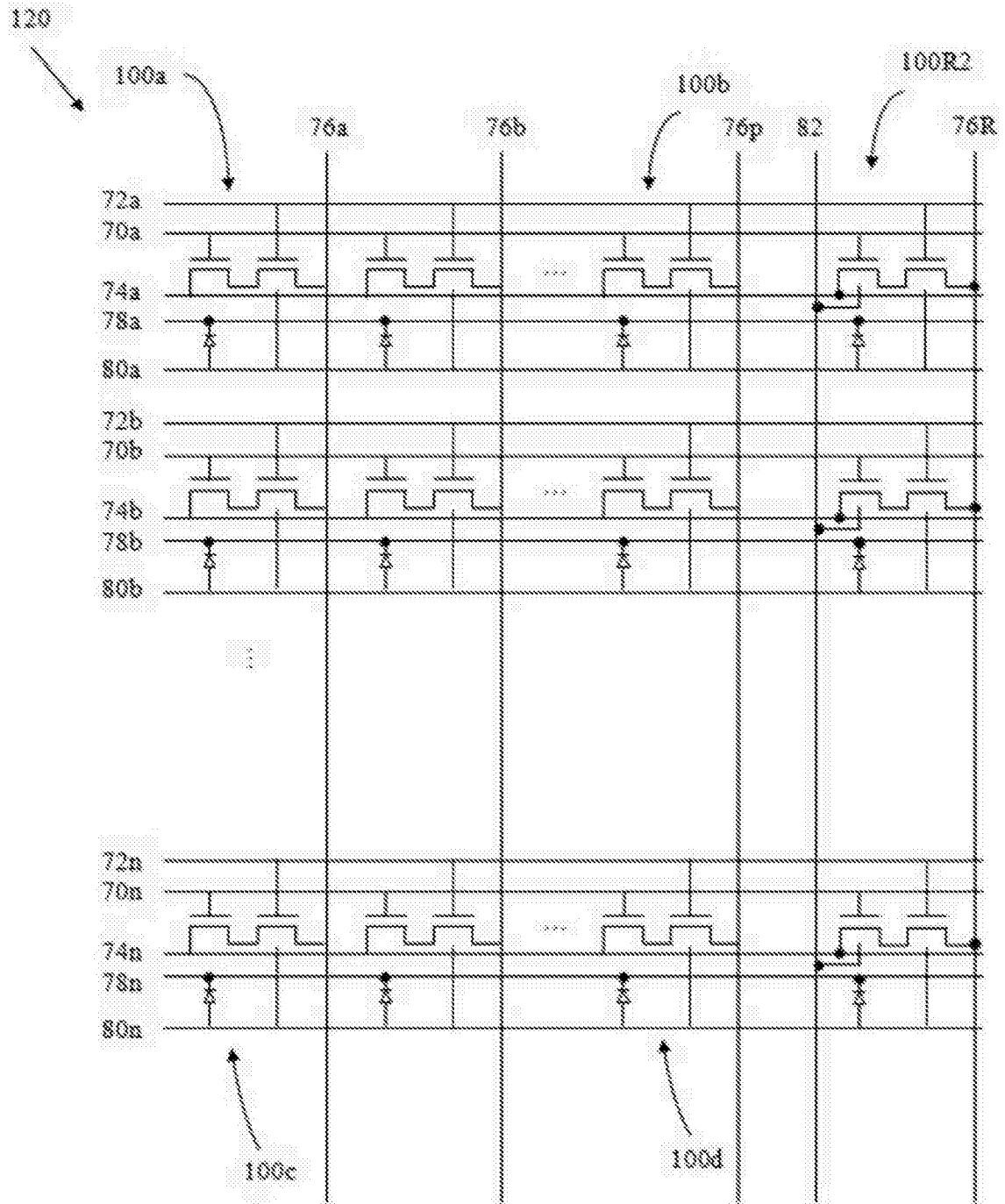


图44

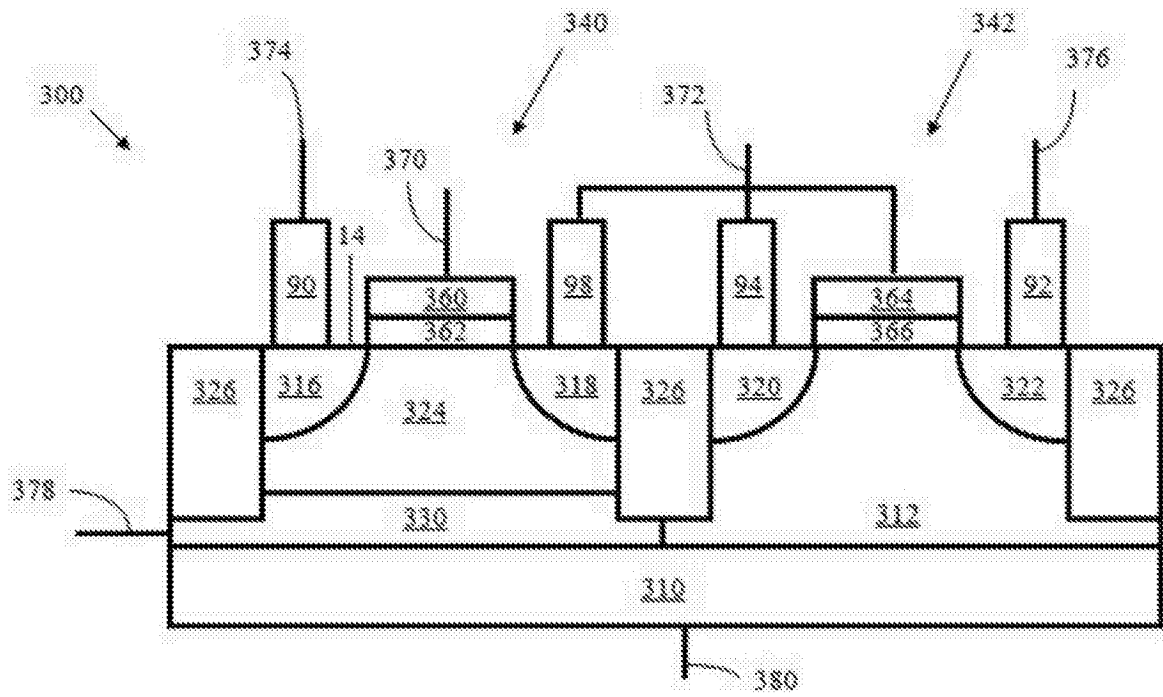


图45

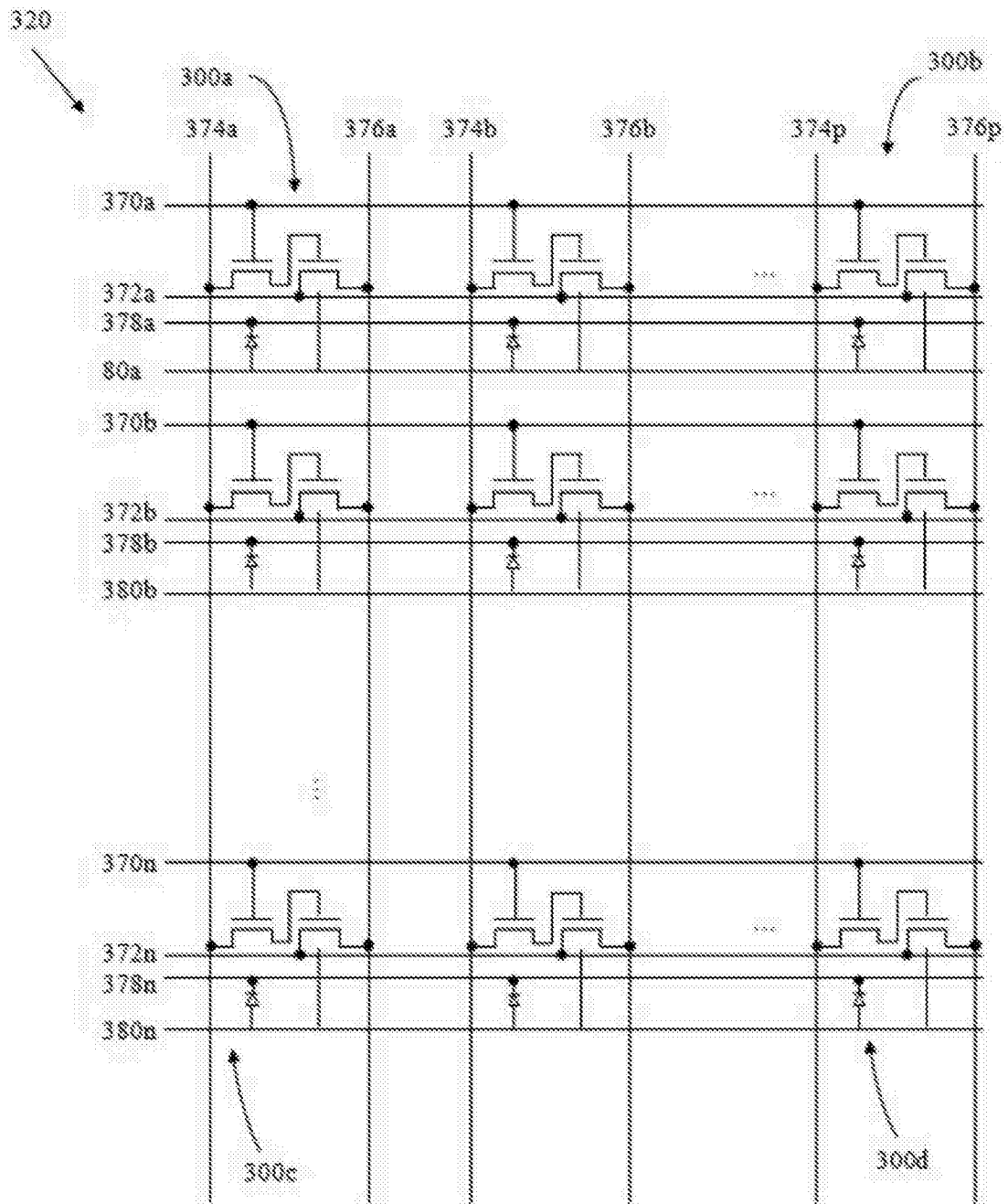


图46

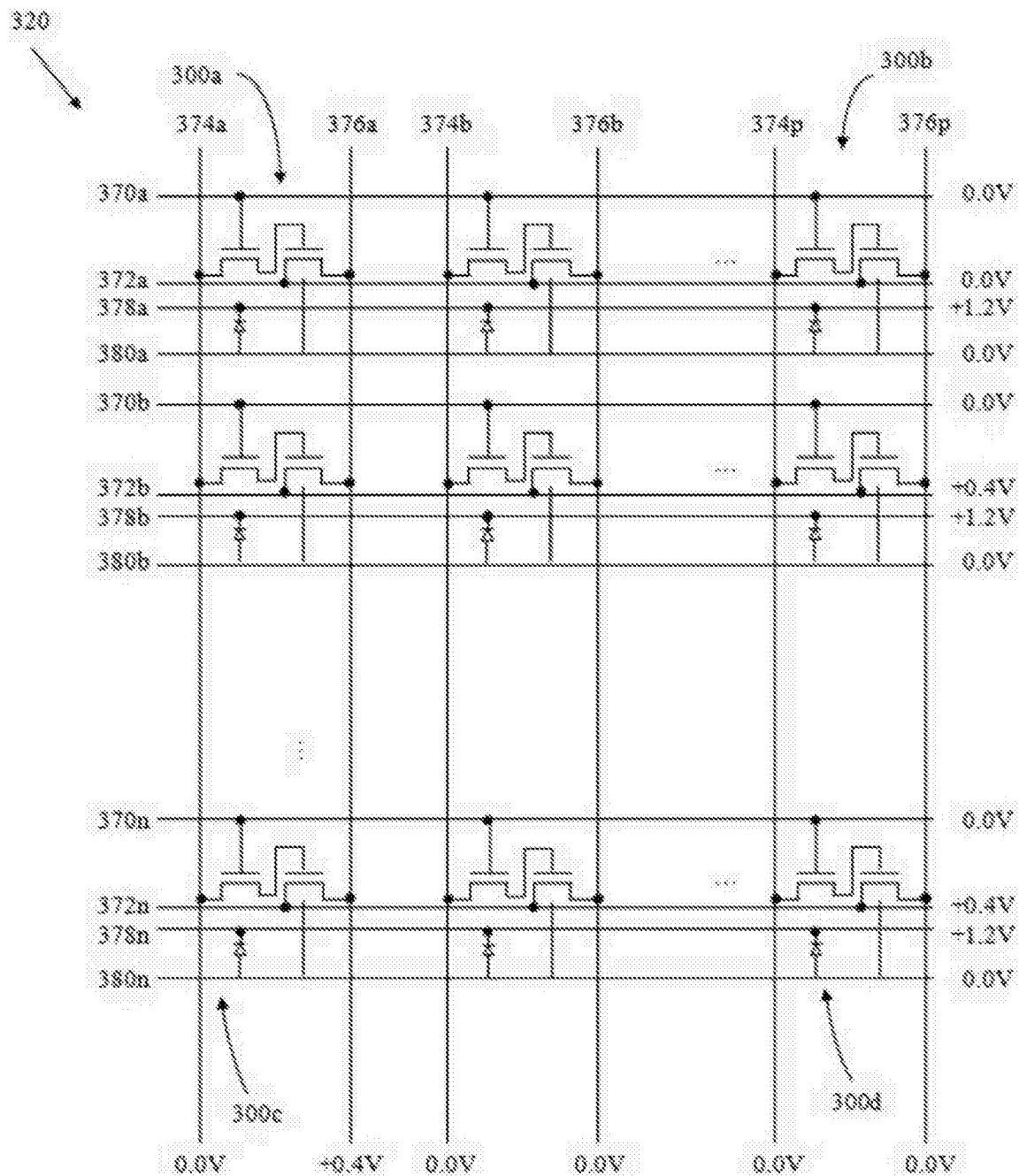


图47

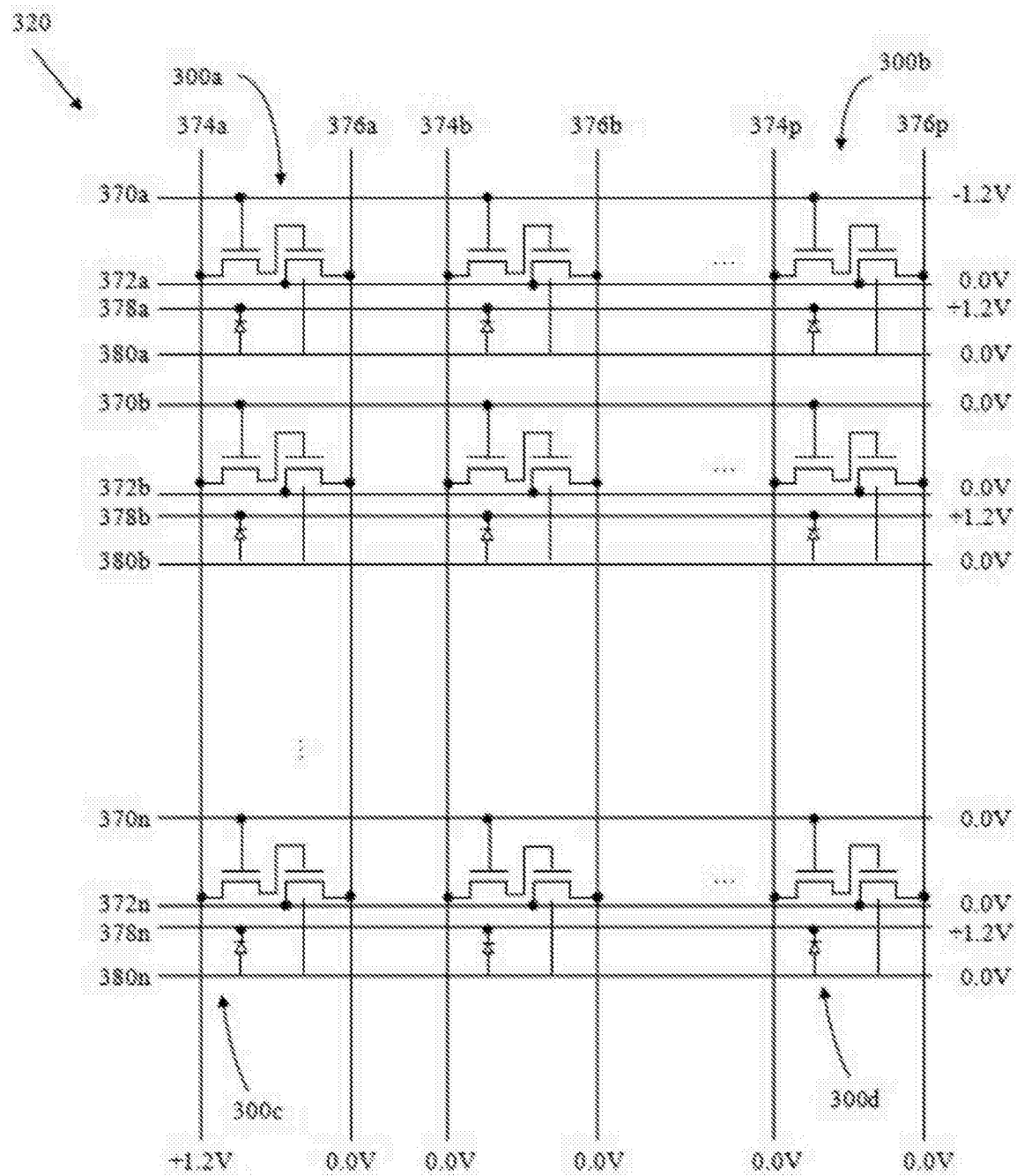


图48

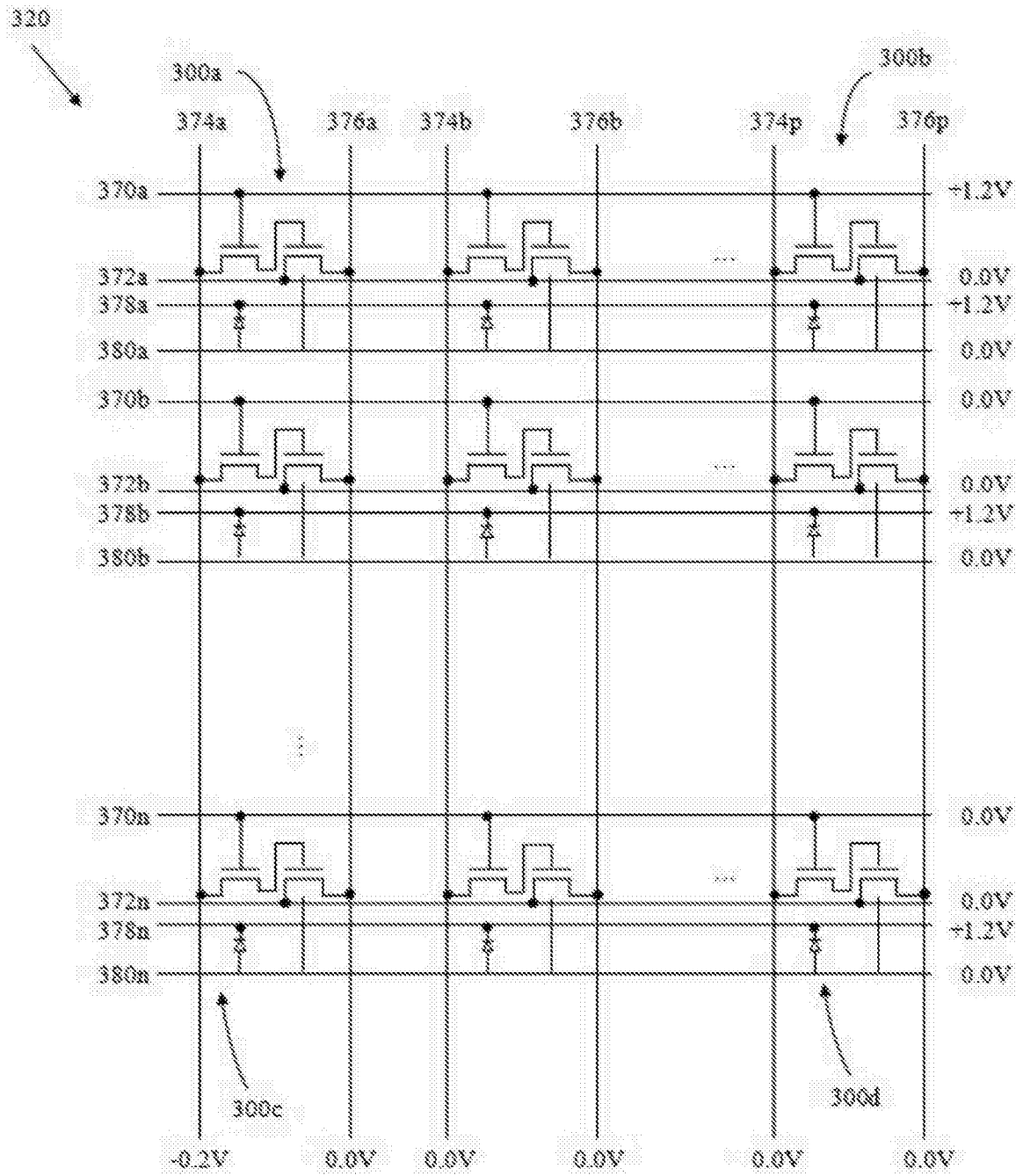


图49

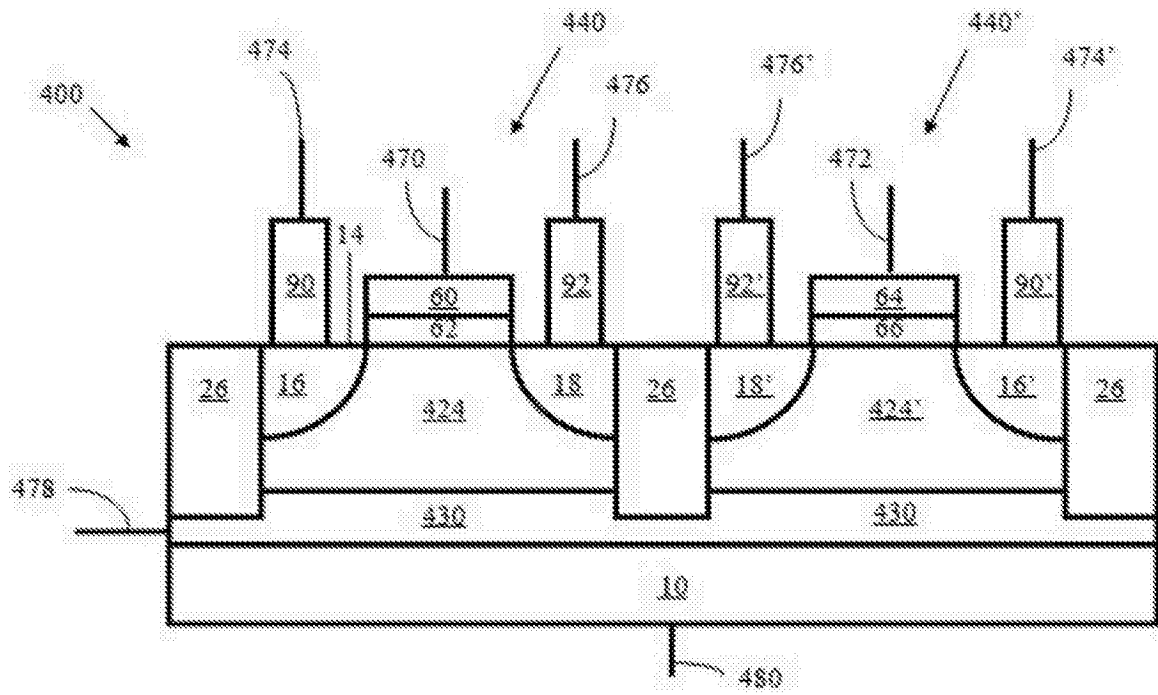


图50

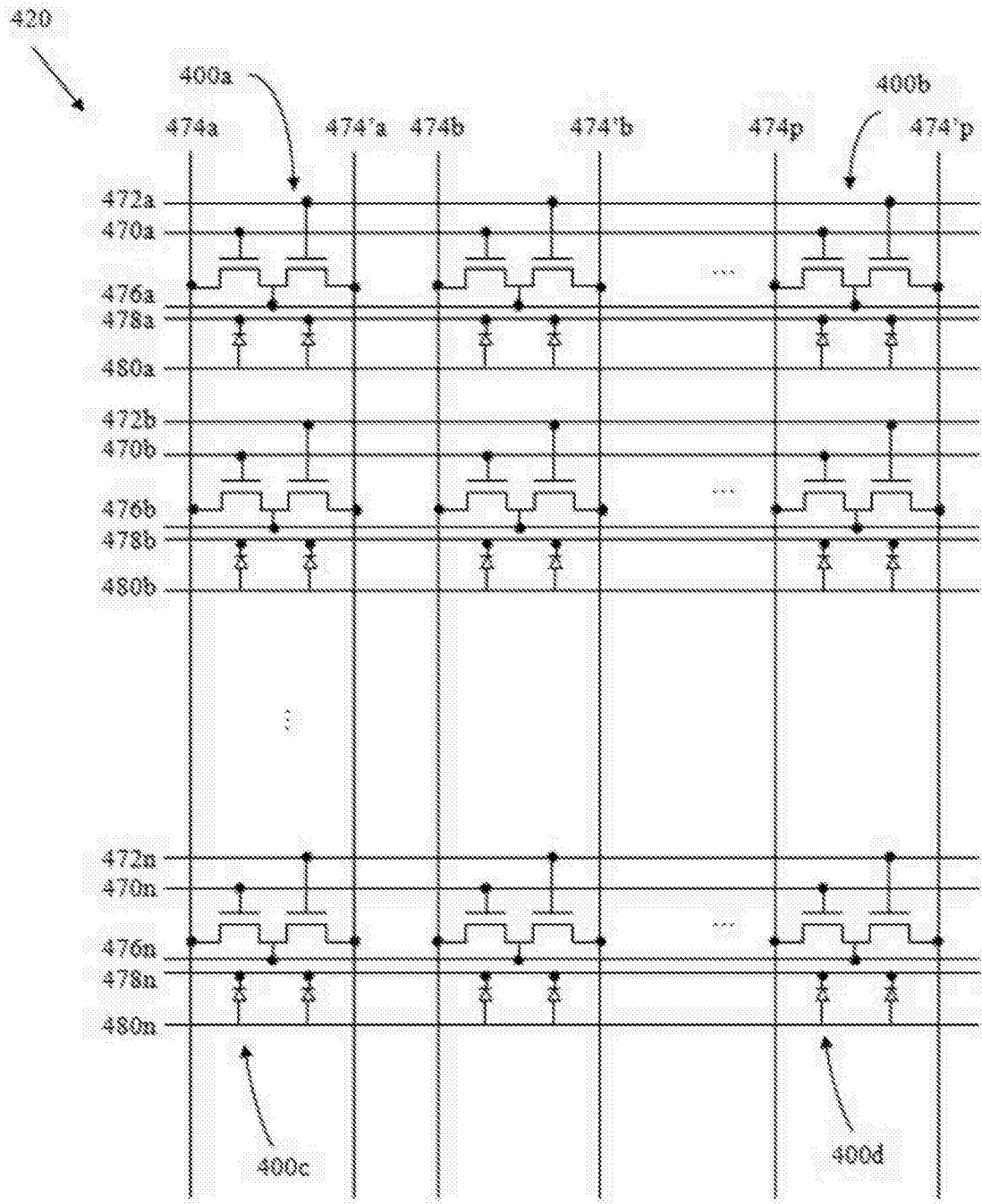


图51

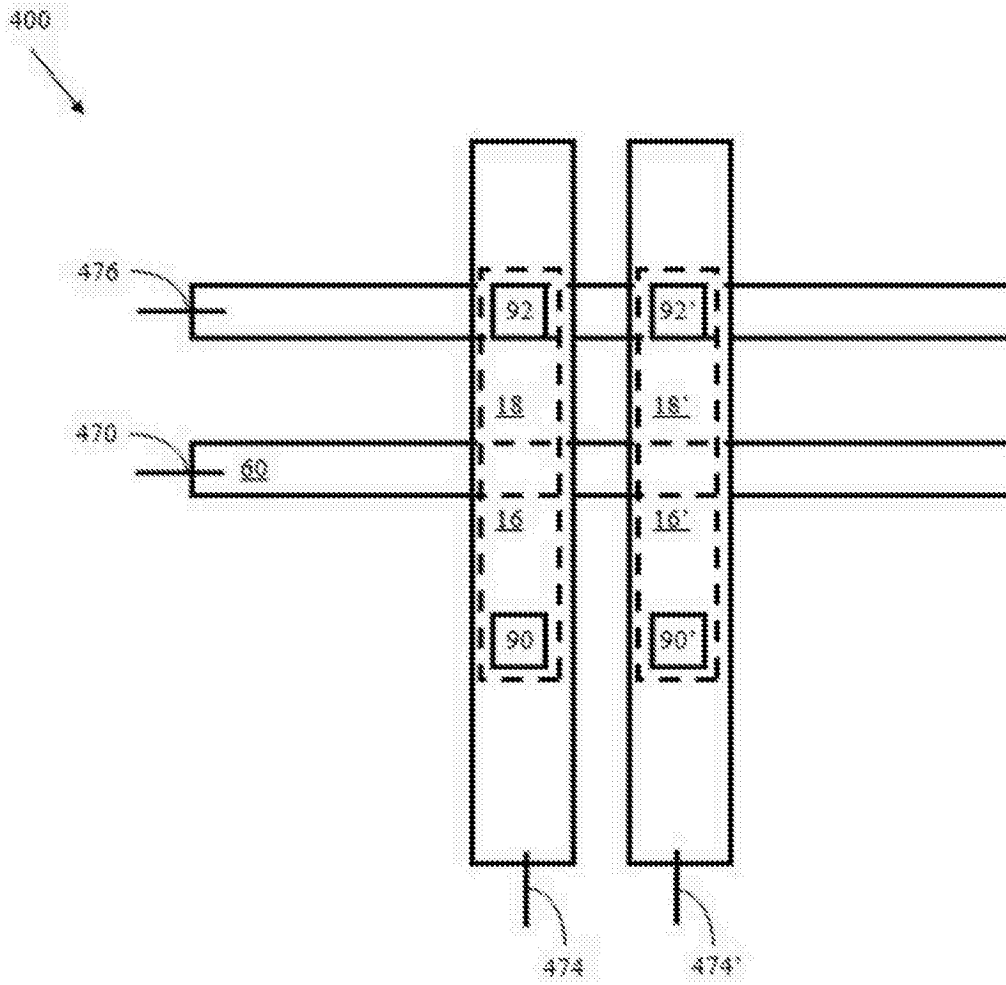


图52

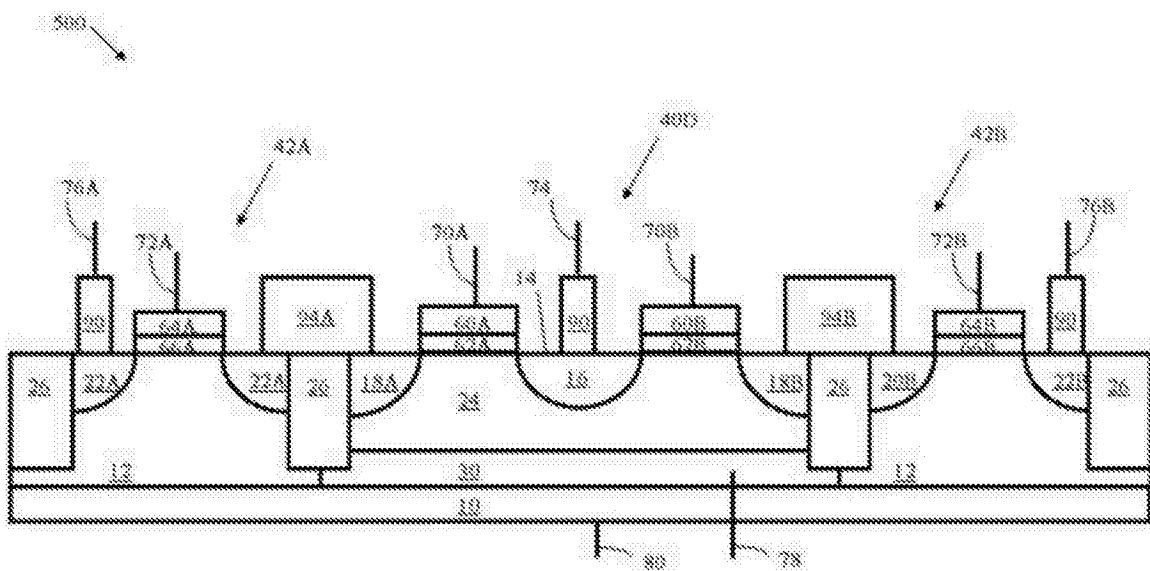


图53