

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 8 月 6 日 (06.08.2020)



(10) 国际公布号
WO 2020/155435 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01) **H01L 21/336** (2006.01)
H01L 29/423 (2006.01)

(21) 国际申请号: PCT/CN2019/084170

(22) 国际申请日: 2019 年 4 月 25 日 (25.04.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201910104730.9 2019 年 2 月 1 日 (01.02.2019) CN

(71) 申请人: 武汉华星光电半导体显示技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430079 (CN)。

(72) 发明人: 谭威(TAN, Wei); 中国湖北省武汉市东湖新技术开发区高新大道 666 号光谷生物创新园 C5 栋 305 室, Hubei 430079 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所(普通合伙)(ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: ARRAY SUBSTRATE AND FABRICATION METHOD FOR ARRAY SUBSTRATE

(54) 发明名称: 阵列基板和阵列基板的制造方法

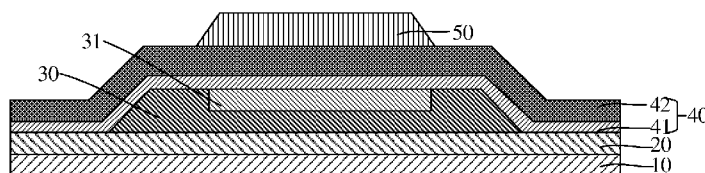


图 1

(57) Abstract: Disclosed in embodiments of the present application are an array substrate and a fabrication method for an array substrate, the array substrate comprising: a substrate, a buffer layer, a semiconductor layer, an insulating layer and a gate layer; the insulating layer may comprise a first thin film layer and a second thin film layer, the density of the first thin film layer being greater than the density of the second thin film layer; by means of the first thin film layer the density of which is high being connected to a charge carrier channel, the stability of the charge carrier channel may be ensured, and the electrical stability of the array substrate is thus improved.

(57) 摘要: 本申请实施例公开一种阵列基板和阵列基板的制造方法, 该阵列基板包括: 基板、缓冲层、半导体层、绝缘层和栅极层, 其中, 绝缘层可以包括第一薄膜层和第二薄膜层, 第一薄膜层的致密度大于第二薄膜层的致密度, 通过将致密度高的第一薄膜层与载流子通道相接, 可以保证载流子通道的稳定, 进而提高阵列基板的电性稳定性。



WO 2020/155435 A1

阵列基板和阵列基板的制造方法

技术领域

[0001] 本申请涉及显示技术领域，尤其涉及一种阵列基板和阵列基板的制造方法。

背景技术

[0002] 在现有的低温多晶硅技术（LTPS，Low Temperature Poly-silicon）产品中，半导体层与栅极层之间的绝缘层常通过TEOS/O₂或者SiH₄/N₂O两种方式沉积而成。

[0003] 其中，由于N₂O中的N元素会使得半导体层与绝缘层界面的缺陷较多，造成平带电压漂移较大，导致产品的电性不稳定。因此，业界较多采用TEOS/O₂的方式形成绝缘层，然而该方式的成本较高。

发明概述

技术问题

[0004] 在现有的LTPS产品中，半导体层与栅极层之间的绝缘层常通过TEOS/O₂或者SiH₄/N₂O两种方式沉积而成。

[0005] 其中，由于N₂O中的N元素会使得半导体层与绝缘层界面的缺陷较多，造成平带电压漂移较大，导致产品的电性不稳定。因此，业界较多采用TEOS/O₂的方式形成绝缘层，然而该方式的成本较高。

问题的解决方案

技术解决方案

[0006] 本申请实施例提供了一种阵列基板和阵列基板的制造方法，可以提高阵列基板的电性稳定性。

[0007] 本申请实施例提供了一种阵列基板，包括：基板、缓冲层、半导体层、绝缘层和栅极层；

[0008] 所述缓冲层设置在所述基板之上；

[0009] 所述半导体层设置在所述缓冲层之上；

[0010] 所述绝缘层覆盖所述缓冲层和所述半导体层；

- [0011] 所述栅极层设置在所述绝缘层之上；
- [0012] 其中，所述半导体层包括载流子通道，所述载流子通道位于所述半导体层朝向所述绝缘层的一侧，所述绝缘层包括第一薄膜层和第二薄膜层，所述第一薄膜层覆盖所述半导体层和所述缓冲层，所述第二薄膜层覆盖所述第一薄膜层，所述栅极层位于所述第二薄膜层上，所述第一薄膜层的致密度大于所述第二薄膜层的致密度，所述载流子通道与所述第一薄膜层相接。
- [0013] 在本申请实施例提供的阵列基板中，所述第一薄膜层的厚度在100Å-200 Å之间。
- [0014] 在本申请实施例提供的阵列基板中，所述第一薄膜层的沉积速率小于15 Å/s。
- [0015] 在本申请实施例提供的阵列基板中，所述第一薄膜层包括第一氧化硅薄膜。
- [0016] 在本申请实施例提供的阵列基板中，所述第二薄膜层的厚度在1200 Å-1500 Å之间。
- [0017] 在本申请实施例提供的阵列基板中，所述第二薄膜层的沉积速率大于等于15 Å/s。
- [0018] 在本申请实施例提供的阵列基板中，所述第二薄膜层包括第二氧化硅薄膜。
- [0019] 在本申请实施例提供的阵列基板中，所述载流子通道的厚度在200 Å-500 Å之间。
- [0020] 在本申请实施例提供的阵列基板中，所述缓冲层的材料包括氧化硅，厚度在2000 Å -3000 Å之间。
- [0021] 本申请实施例还提供了一种阵列基板的制造方法，包括：
- [0022] 提供一基板，在所述基板上依次沉积缓冲层和半导体层；
- [0023] 在所述半导体层中设置载流子通道；
- [0024] 在所述半导体层上沉积绝缘层，包括：
- [0025] 在所述半导体层上沉积第一薄膜层，所述第一薄膜层覆盖所述半导体层和所述缓冲层；以及
- [0026] 在所述第一薄膜层上设置第二薄膜层，其中，所述第一薄膜层的致密度大于所述第二薄膜层的致密度；以及
- [0027] 在所述绝缘层上沉积栅极层。

- [0028] 在本申请实施例提供的阵列基板的制造方法中，所述第一薄膜层的厚度在100Å-200 Å之间。
- [0029] 在本申请实施例提供的阵列基板的制造方法中，所述第一薄膜层的沉积速率小于15 Å/s。
- [0030] 在本申请实施例提供的阵列基板的制造方法中，所述第一薄膜层包括第一氧化硅薄膜。
- [0031] 在本申请实施例提供的阵列基板的制造方法中，所述第二薄膜层的厚度在1200 Å-1500 Å之间。
- [0032] 在本申请实施例提供的阵列基板的制造方法中，所述第二薄膜层的沉积速率大于等于15 Å/s。
- [0033] 在本申请实施例提供的阵列基板的制造方法中，所述第二薄膜层包括第二氧化硅薄膜。
- [0034] 在本申请实施例提供的阵列基板的制造方法中，所述载流子通道的厚度在200 Å-500 Å之间。
- [0035] 在本申请实施例提供的阵列基板的制造方法中，所述缓冲层的材料包括氧化硅，厚度在2000 Å -3000 Å之间。

发明的有益效果

有益效果

- [0036] 本申请实施例提供的阵列基板，包括基板、缓冲层、半导体层、绝缘层和栅极层，其中，绝缘层可以包括第一薄膜层和第二薄膜层，第一薄膜层的致密度大于第二薄膜层的致密度，通过将致密度高的第一薄膜层与载流子通道相接，可以保证载流子通道的稳定，进而提高阵列基板的电性稳定性。

对附图的简要说明

附图说明

- [0037] 为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

[0038] 图1是本申请实施例提供的阵列基板的结构示意图。

[0039] 图2是本申请实施例提供的阵列基板的制造方法的流程示意图。

发明实施例

本发明的实施方式

[0040] 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述。显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0041] 本申请实施例提供一种阵列基板和阵列基板的制造方法，以下分别进行详细说明。

[0042] 请参阅图1，图1是本申请实施例提供的阵列基板的结构示意图。本申请实施例提供的阵列基板可以包括：基板10、缓冲层20、半导体层30、绝缘层40和栅极层50。需要说明的是，本申请实施例提供的阵列基板并不限于此，比如阵列基板还可以包括源极、漏极等。

[0043] 其中，基板10的材料玻璃、石英或蓝宝石等，需要说明的是，基板10的材料包括但不限于以上材料，其还可以包括其他材料，在此不再一一列举。

[0044] 其中，缓冲层20设置在基板10之上，在一些实施例中，可以采用化学气相沉积技术在基板10上形成缓冲层10。其中，缓冲层20其中可以为氧化硅(SiO_x)薄膜、氮化硅(SiN_x)薄膜、或者氧化硅薄膜与氮化硅薄膜交替层叠设置形成的复合薄膜。在一些实施例中，该缓冲层20的厚度可以在1000Å-3000Å之间。

[0045] 其中，半导体层30设置在缓冲层20之上，在一些实施例中，可以采用物理气相沉积技术在缓冲层20上形成半导体层30。在一些实施例中，半导体层30可以由多晶硅(POLY-Si)构成。

[0046] 在一些实施例中，半导体30中可以包括载流子通道31。其中，该载流子通道31同样也可以由多晶硅构成。需要说明的是，该载流子通道31所使用的多晶硅与半导体层30其余部位所使用的多晶硅所掺杂的元素的浓度不同。载流子通道31中所掺杂元素的浓度较高，半导体层30其余部位所掺杂的元素浓度较低。在一些实施例中，掺杂的元素可以为硼、铟或镓等元素。其中，载流子通道31主要

用于提高填充因子、短路电流和开路电压。在一些实施例中，载流子通道31的厚度可以在200 Å -500 Å之间。

[0047] 其中，绝缘层40设置在半导体30之上，且覆盖缓冲层20和半导体层30。

[0048] 其中，载流子通道31位于半导体层30朝向绝缘层40的一侧。

[0049] 其中，绝缘层40可以包括第一薄膜层41和第二薄膜层42，第一薄膜层41覆盖半导体30和缓冲层20，第二薄膜层41覆盖第一薄膜层42。第一薄膜层41的致密度大于第二薄膜层42的致密度。其中，第一薄膜层41与载流子通道31相接，其致密的薄膜可以保证载流子通道31的稳定。

[0050] 需要说明的是，在本申请的描述中，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个所述特征。

[0051] 需要说明的是，在实际操作过程中，第一薄膜层41和第二薄膜层42的致密度一般难以直接测得，由此，可以通过其他手段从侧面反映出第一薄膜层41和第二薄膜层42的致密度。

[0052] 在一些实施例中，可以在第一薄膜层41和第二薄膜层42的沉积过程中通过测量其沉积速率从侧面反映出其大概致密度，致密度越高则沉积速率越小。在一些实施例中，第一薄膜层的沉积速率小于15 Å/s，第二薄膜层的沉积速率大于等于15 Å/s。

[0053] 在一些实施例中，还可以采用同一蚀刻液对第一薄膜层41和第二薄膜层42进行蚀刻，通过其蚀刻速率来反映第一薄膜层41和第二薄膜层42的大概致密度，致密度越高则蚀刻速率越小。在一些实施例中，第一薄膜层的蚀刻速率可以在150 nm/min-190nm/min之间，第二薄膜层的蚀刻速率大于190nm/min。

[0054] 在实际应用中，制备致密的薄膜所需的成本较高。对此，第一薄膜层41的厚度可以小于第二薄膜层42的厚度，以节省成本。在一些实施例中，第一薄膜层的厚度可以在100 Å-200 Å之间，第二薄膜层的厚度可以在1200 Å-1500 Å之间。

[0055] 在一些实施例中，第一薄膜层41可以包括第一氧化硅薄膜，第二薄膜层42可以包括第二氧化硅薄膜。

- [0056] 在一些实施例中，氧化硅薄膜可以采用硅烷和氧化氮作为反应气体，通过化学沉积技术而形成。在实际应用中，可以通过改变沉积的因素，比如硅烷和氧化氮的比例、压力等，来调整氧化硅薄膜的致密度。
- [0057] 其中，栅极层50设置在绝缘层40之上，即栅极层50位于第二薄膜层42上。在一些实施例中，可以通过物理气相沉积技术，比如金属溅射在绝缘层40上沉积一金属层，然后再对该金属层进行光刻处理形成栅极层50。其中，栅极层50的材料可以包括铝、钼、铜或银等金属。
- [0058] 本申请实施例提供的阵列基板，通过将绝缘层40分为致密度较高第一薄膜层41和致密度较低的第二薄膜层42，其中，第一薄膜层41的厚度可以小于第二薄膜层42的厚度，在一定程度上，可以节省制作该阵列基板的成本。并且，本申请实施例提供的阵列基板通过将致密度高的第一薄膜层41与载流子通道31相接，可以保证载流子通道31的稳定，进而提高阵列基板的电性稳定性。
- [0059] 请参阅图2，本申请实施例还提供了一种阵列基板的制造方法，该阵列基板的制造方法的具体流程可以如下：
- [0060] 101、提供一基板10，在所述基板10上依次沉积缓冲层20和半导体层30。
- [0061] 102、在所述半导体层30中设置载流子通道31。
- [0062] 103、在所述半导体层30上沉积绝缘层40。
- [0063] 具体的，可以在半导体层30上沉积第一薄膜层41，该第一薄膜层41覆盖半导体层30和缓冲层20；以及在该第一薄膜层41上设置第二薄膜层42，其中，第一薄膜层41的致密度大于第二薄膜层42的致密度。
- [0064] 104、在所述绝缘层40上沉积栅极层50。
- [0065] 需要说明的是，本实施例所提供的阵列基板的制造方法所形成阵列基板与上述的阵列基板的结构一致，具体可以参照上述实施例，在此不做赘述。
- [0066] 在上述实施例中，对各个实施例的描述都各有侧重，某个实施例中未详述的部分，可以参见其他实施例的相关描述。
- [0067] 以上对本申请实施例所提供的一种阵列基板和阵列基板的制造方法进行了详细介绍，本文中应用了具体个例对本申请的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本申请的技术方案及其核心思想；本领域的普通

技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例的技术方案的范围。

权利要求书

- [权利要求 1] 一种阵列基板，其包括：基板、缓冲层、半导体层、绝缘层和栅极层；
- 所述缓冲层设置在所述基板之上；
- 所述半导体层设置在所述缓冲层之上；
- 所述绝缘层覆盖所述缓冲层和所述半导体层；
- 所述栅极层设置在所述绝缘层之上；
- 其中，所述半导体层包括载流子通道，所述载流子通道位于所述半导体层朝向所述绝缘层的一侧，所述绝缘层包括第一薄膜层和第二薄膜层，所述第一薄膜层覆盖所述半导体层和所述缓冲层，所述第二薄膜层覆盖所述第一薄膜层，所述栅极层位于所述第二薄膜层上，所述第一薄膜层的致密度大于所述第二薄膜层的致密度，所述载流子通道与所述第一薄膜层相接。
- [权利要求 2] 如权利要求1所述的阵列基板，其中，所述第一薄膜层的厚度在100Å-200 Å之间。
- [权利要求 3] 如权利要求1所述的阵列基板，其中，所述第一薄膜层的沉积速率小于15 Å/s。
- [权利要求 4] 如权利要求1所述的阵列基板，其中，所述第一薄膜层包括第一氧化硅薄膜。
- [权利要求 5] 如权利要求1所述的阵列基板，其中，所述第二薄膜层的厚度在1200 Å-1500 Å之间。
- [权利要求 6] 如权利要求1所述的阵列基板，其中，所述第二薄膜层的沉积速率大于等于15 Å/s。
- [权利要求 7] 如权利要求1所述的阵列基板，其中，所述第二薄膜层包括第二氧化硅薄膜。
- [权利要求 8] 如权利要求1所述的阵列基板，其中，所述载流子通道的厚度在200 Å-500 Å之间。
- [权利要求 9] 如权利要求1所述的阵列基板，其中，所述缓冲层的材料包括氧化硅

，厚度在2000 Å -3000 Å之间。

- [权利要求 10] 一种阵列基板的制作方法，其中，包括：
提供一基板，在所述基板上依次沉积缓冲层和半导体层；
在所述半导体层中设置载流子通道；
在所述半导体层上沉积绝缘层，包括：
在所述半导体层上沉积第一薄膜层，所述第一薄膜层覆盖所述半导体层和所述缓冲层；以及
在所述第一薄膜层上设置第二薄膜层，其中，所述第一薄膜层的致密度大于所述第二薄膜层的致密度；以及
在所述绝缘层上沉积栅极层。
- [权利要求 11] 如权利要求10所述的阵列基板的制作方法，其中，所述第一薄膜层的厚度在100Å-200 Å之间。
- [权利要求 12] 如权利要求10所述的阵列基板，其中，所述第一薄膜层的沉积速率小于15 Å/s。
- [权利要求 13] 如权利要求10所述的阵列基板，其中，所述第一薄膜层包括第一氧化硅薄膜。
- [权利要求 14] 如权利要求10所述的阵列基板，其中，所述第二薄膜层的厚度在1200 Å-1500 Å之间。
- [权利要求 15] 如权利要求10所述的阵列基板，其中，所述第二薄膜层的沉积速率大于等于15 Å/s。
- [权利要求 16] 如权利要求10所述的阵列基板，其中，所述第二薄膜层包括第二氧化硅薄膜。
- [权利要求 17] 如权利要求10所述的阵列基板，其中，所述载流子通道的厚度在200 Å-500 Å之间。
- [权利要求 18] 如权利要求10所述的阵列基板，其中，所述缓冲层的材料包括氧化硅，厚度在2000 Å -3000 Å之间。

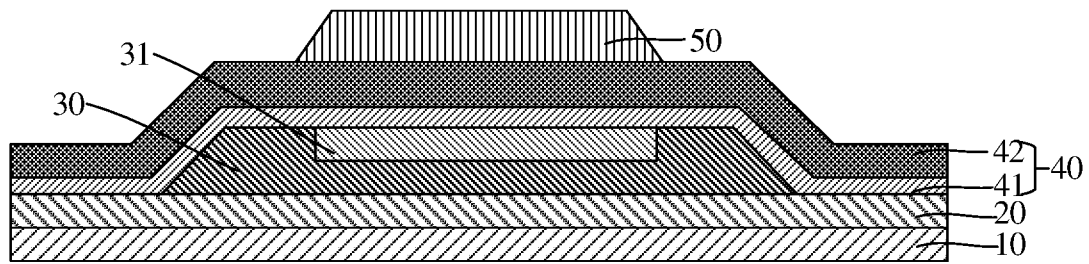


图 1

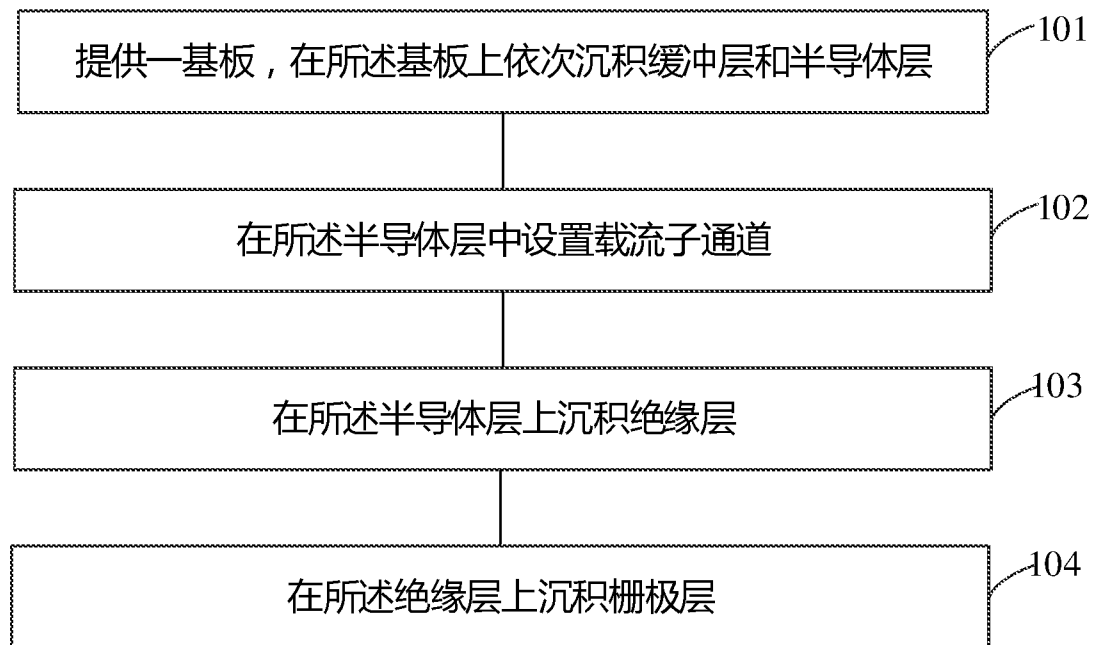


图 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/084170

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; H01L 29/423(2006.01)i; H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; SIPOABS; DWPI; USTXT; EPTXT; WOTXT; CNKI: 华星光电, 阵列基板, 缓冲层, 绝缘层, 栅极, 致密度, 栅氧, 第一, 第二, 氧化硅, 密度, display, buffer, insulat+, gate, oxide, second, density

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2012319114 A1 (SEMICONDUCTOR ENERGY LAB) 20 December 2012 (2012-12-20) description, paragraphs [0058]-[0176], and figures 1-3	1-18
Y	CN 103824887 A (INFOVISION OPTOELECTRONICS KUNSHAN CO., LTD.) 28 May 2014 (2014-05-28) description, paragraphs [0038]-[0040], and figure 4	1-18
A	CN 101728277 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 09 June 2010 (2010-06-09) entire document	1-18
A	US 2012231580 A1 (SEMICONDUCTOR ENERGY LAB) 13 September 2012 (2012-09-13) entire document	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 September 2019

Date of mailing of the international search report

21 October 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/084170

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2012319114	A1	20 December 2012	JP	2013021312	A	31 January 2013
				JP	6194035	B2	06 September 2017
				JP	6401805	B2	10 October 2018
				JP	2016129239	A	14 July 2016
				JP	2019004163	A	10 January 2019
				JP	5890751	B2	22 March 2016
				JP	2017120921	A	06 July 2017
				US	9166055	B2	20 October 2015
CN	103824887	A	28 May 2014	CN	103824887	B	09 November 2016
CN	101728277	A	09 June 2010	KR	20100045938	A	04 May 2010
				TW	201030857	A	16 August 2010
				JP	2018139321	A	06 September 2018
				KR	20120102558	A	18 September 2012
				KR	101636305	B1	05 July 2016
				CN	102945862	A	27 February 2013
				US	8741702	B2	03 June 2014
				JP	2012195621	A	11 October 2012
				CN	102945862	B	24 February 2016
				JP	6082763	B2	15 February 2017
				JP	2015111702	A	18 June 2015
				US	2010105163	A1	29 April 2010
				TW	I608545	B	11 December 2017
				TW	201250864	A	16 December 2012
				CN	101728277	B	21 December 2016
				JP	5675025	B2	25 February 2015
				JP	2017085162	A	18 May 2017
				KR	101325946	B1	07 November 2013
				TW	I497605	B	21 August 2015
				JP	2010123935	A	03 June 2010
US	2012231580	A1	13 September 2012	TW	I624878	B	21 May 2018
				US	8828794	B2	09 September 2014
				KR	20120104097	A	20 September 2012
				JP	2012209546	A	25 October 2012
				JP	6046358	B2	14 December 2016
				TW	I658516	B	01 May 2019
				JP	2017022390	A	26 January 2017
				JP	2018082196	A	24 May 2018
				JP	6268244	B2	24 January 2018
				TW	201250859	A	16 December 2012
				TW	I602249	B	11 October 2017
				TW	201839861	A	01 November 2018
				TW	I541904	B	11 July 2016
				TW	201630079	A	16 August 2016
				TW	201730985	A	01 September 2017

国际检索报告

国际申请号

PCT/CN2019/084170

A. 主题的分类

H01L 29/786(2006.01)i; H01L 29/423(2006.01)i; H01L 21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;SIPOABS;DWPI;USTXT;EPTXT;WOTXT;CNKI: 华星光电, 阵列基板, 缓冲层, 绝缘层, 栅极, 致密度, 栅氧, 第一, 第二, 氧化硅, 密度, display, buffer, insulat+, gate, oxide, second, density

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US 2012319114 A1 (SEMICONDUCTOR ENERGY LAB) 2012年 12月 20日 (2012 - 12 - 20) 说明书第[0058]-[0176]段, 附图1-3	1-18
Y	CN 103824887 A (昆山龙腾光电有限公司) 2014年 5月 28日 (2014 - 05 - 28) 说明书[0038]-[0040]段, 附图4	1-18
A	CN 101728277 A (株式会社半导体能源研究所) 2010年 6月 9日 (2010 - 06 - 09) 全文	1-18
A	US 2012231580 A1 (SEMICONDUCTOR ENERGY LAB) 2012年 9月 13日 (2012 - 09 - 13) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 9月 25日

国际检索报告邮寄日期

2019年 10月 21日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

陈颂杰

电话号码 (86-512) 88995748

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/084170

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2012319114	A1	2012年 12月 20日	JP	2013021312	A	2013年 1月 31日
				JP	6194035	B2	2017年 9月 6日
				JP	6401805	B2	2018年 10月 10日
				JP	2016129239	A	2016年 7月 14日
				JP	2019004163	A	2019年 1月 10日
				JP	5890751	B2	2016年 3月 22日
				JP	2017120921	A	2017年 7月 6日
				US	9166055	B2	2015年 10月 20日
CN	103824887	A	2014年 5月 28日	CN	103824887	B	2016年 11月 9日
CN	101728277	A	2010年 6月 9日	KR	20100045938	A	2010年 5月 4日
				TW	201030857	A	2010年 8月 16日
				JP	2018139321	A	2018年 9月 6日
				KR	20120102558	A	2012年 9月 18日
				KR	101636305	B1	2016年 7月 5日
				CN	102945862	A	2013年 2月 27日
				US	8741702	B2	2014年 6月 3日
				JP	2012195621	A	2012年 10月 11日
				CN	102945862	B	2016年 2月 24日
				JP	6082763	B2	2017年 2月 15日
				JP	2015111702	A	2015年 6月 18日
				US	2010105163	A1	2010年 4月 29日
				TW	1608545	B	2017年 12月 11日
				TW	201250864	A	2012年 12月 16日
				CN	101728277	B	2016年 12月 21日
				JP	5675025	B2	2015年 2月 25日
				JP	2017085162	A	2017年 5月 18日
				KR	101325946	B1	2013年 11月 7日
				TW	1497605	B	2015年 8月 21日
				JP	2010123935	A	2010年 6月 3日
US	2012231580	A1	2012年 9月 13日	TW	1624878	B	2018年 5月 21日
				US	8828794	B2	2014年 9月 9日
				KR	20120104097	A	2012年 9月 20日
				JP	2012209546	A	2012年 10月 25日
				JP	6046358	B2	2016年 12月 14日
				TW	1658516	B	2019年 5月 1日
				JP	2017022390	A	2017年 1月 26日
				JP	2018082196	A	2018年 5月 24日
				JP	6268244	B2	2018年 1月 24日
				TW	201250859	A	2012年 12月 16日
				TW	1602249	B	2017年 10月 11日
				TW	201839861	A	2018年 11月 1日
				TW	1541904	B	2016年 7月 11日
				TW	201630079	A	2016年 8月 16日
				TW	201730985	A	2017年 9月 1日

表 PCT/ISA/210 (同族专利附件) (2015年1月)