



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0029675

(43) 공개일자 2025년03월05일

(51) 국제특허분류(Int. Cl.)

H01P 7/08 (2006.01)

(52) CPC특허분류

H01P 7/082 (2013.01)

(21) 출원번호 10-2023-0110906

(22) 출원일자 2023년08월23일

심사청구일자 2023년08월23일

(71) 출원인

서강대학교산학협력단

서울특별시 마포구 백범로 35 (신수동, 서강대학교)

(72) 발명자

정진호

서울특별시 마포구 백범로 35, R703 (신수동, 서강대학교)

장영민

서울특별시 마포구 백범로 35, R703 (신수동, 서강대학교)

(74) 대리인

특허법인 수

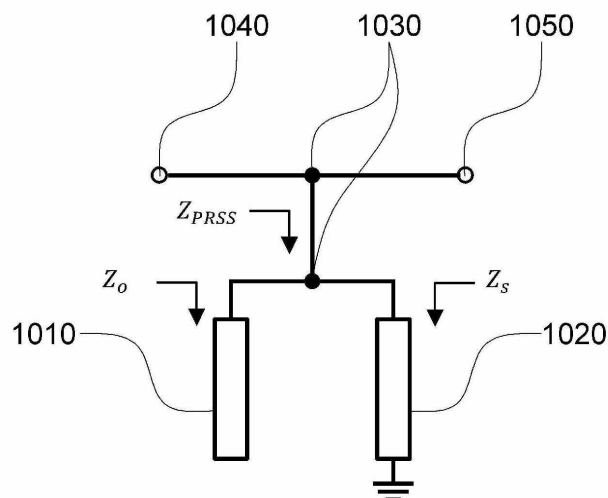
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 병렬 공진 스테브

(57) 요약

병렬 공진 스테브에 있어서, 일측이 특정 회로의 제1 노드와 연결되고 타측이 개방되어 있는 개방 스테브; 및 일측이 상기 특정 회로의 상기 제1 노드와 연결되고 타측이 접지와 연결되는 단락 스테브;를 포함하되, 상기 단락 스테브는, 상기 제1 노드를 기준으로 상기 개방 스테브와 병렬로 연결되는 병렬 공진 스테브가 개시된다.

대표도 - 도1



명세서

청구범위

청구항 1

병렬 공진 스테르브에 있어서,
일측이 특정 회로의 제1 노드와 연결되고 타측이 개방되어 있는 개방 스테르브; 및
일측이 상기 특정 회로의 상기 제1 노드와 연결되고 타측이 접지와 연결되는 단락 스테르브;
를 포함하되,
상기 단락 스테르브는, 상기 제1 노드를 기준으로 상기 개방 스테르브와 병렬로 연결되는 병렬 공진 스테르브.

청구항 2

제1항에 있어서,
상기 특정 회로로서의 제1 회로는,
입력 신호가 수신되는 입력 포트;
상기 입력 포트를 통해 수신된 상기 입력 신호가 제1 신호 내지 제n 신호로 분배되고, 상기 제1 신호 내지 상기 제n 신호가 출력되도록 하는 제1 출력 포트 내지 제n 출력 포트; 및
상기 입력 포트와 상기 제1 출력 포트 사이에 배치된 제1 전송 선로 내지 상기 입력 포트와 상기 제n 출력 포트 사이에 배치된 제n 전송 선로;
를 포함하고,
상기 제1 전송 선로와 상기 제1 출력 포트 사이의 노드를 상기 제1 노드라고 하고 상기 제n 전송 선로와 상기 제n 출력 포트 사이의 노드를 제n 노드라고 할 때, 상기 병렬 공진 스테르브는, 상기 제1 노드에 연결되는 제1 병렬 공진 스테르브 내지 상기 제n 노드에 연결되는 제n 병렬 공진 스테르브를 포함하며,
상기 제1 병렬 공진 스테르브 내지 제n 병렬 공진 스테르브 사이의 전기적 간섭을 방지하기 위한 격리 회로부;
를 포함하는 것을 특징으로 하는 병렬 공진 스테르브.

청구항 3

제1항에 있어서,
상기 특정 회로로서의 제2 회로는,
입력 신호의 진폭을 소정 증폭비에 따라 증폭하여 출력하도록 하는 증폭기; 및
상기 증폭기의 입력 포트와 출력 포트 사이의 상기 제1 노드에 연결되며, 상기 증폭기의 출력 신호 성분 중 기 설정된 제1 주파수 대역에 대응되는 성분을 상기 입력 신호로서 상기 증폭기에 재입력하도록 하는 귀환 회로부;
를 포함하되,
상기 귀환 회로부로서 상기 병렬 공진 스테르브가 사용되는 것을 특징으로 하는 병렬 공진 스테르브.

청구항 4

제3항에 있어서,
상기 귀환 회로부는,
상기 개방 스테르브의 타측에 벡터(Varactor) 소자가 연결되고, 상기 벡터 소자에 인가되는 전압값을 조정하여 상기 벡터 소자의 커패시턴스 값을 변경시킴으로써 상기 기설정된 제1 주파수 대역을 제2 주파수 대역으로 변경되도록 하며, 상기 제2 주파수 대역에 대응되는 출력 신호 성분을 상기 입력 신호로서 상기 증폭기에 재입

력되도록 하는 것을 특징으로 하는 병렬 공진 스테브.

청구항 5

제1항에 있어서,

상기 특정 회로로서의 제3 회로는,

입력 신호가 수신되는 입력 포트;

상기 입력 신호에 대응되는 제1 주파수 대역을 제2 주파수 대역으로 변환하는 주파수 변환 회로부; 및

상기 주파수 변환 회로부의 출력 신호를 출력하는 출력 포트;

를 포함하며,

상기 병렬 공진 스테브는, 상기 입력 포트와 상기 주파수 변환 회로부 사이의 상기 제1 노드에 연결되는 것을 특징으로 하는 병렬 공진 스테브.

청구항 6

제1항에 있어서,

상기 병렬 공진 스테브는,

상기 개방 스테브의 리액턴스 성분과 상기 단락 스테브의 리액턴스 성분의 합이 0이 되는 상태에서, 상기 단락 스테브의 임피던스가 기설정된 임계 임피던스 이하인 경우 상기 단락 스테브와 상기 단락 스테브의 타측에 연결된 상기 접지를 상기 단락 스테브의 리액턴스 성분과 동일한 커패시터로 대체하는 것을 특징으로 하는 병렬 공진 스테브.

청구항 7

병렬 공진 스테브 모듈에 있어서,

일측이 특정 회로의 제1_1 노드와 연결되고 타측이 개방되어 있는 개방 스테브; 및

일측이 상기 특정 회로의 상기 제1_1 노드와 연결되고 타측이 접지와 연결되는 단락 스테브 모듈;

을 포함하되,

상기 단락 스테브 모듈은,

일측이 상기 제1_1 노드와 연결되고 타측이 상기 단락 스테브 모듈 내부의 제1_2 노드와 연결되는 제1_1 서브 개방 스테브;

일측이 상기 제1_2 노드와 연결되고 타측이 개방되어 있는 제1_2 서브 개방 스테브; 및

일측이 상기 제1_2 노드와 연결되고 타측이 접지와 연결되는 서브 단락 스테브;

를 포함하며,

상기 제1_2 서브 개방 스테브와 상기 서브 단락 스테브가 상기 제1_2 노드를 기준으로 병렬로 연결되는 병렬 공진 스테브 모듈.

청구항 8

제7항에 있어서,

상기 특정 회로로서의 제1 회로는,

입력 신호가 수신되는 입력 포트;

상기 입력 포트를 통해 수신된 상기 입력 신호가 제1 신호 내지 제n 신호로 분배되고, 상기 제1 신호 내지 상기 제n 신호가 출력되도록 하는 제1 출력 포트 내지 제n 출력 포트; 및

상기 입력 포트와 상기 제1 출력 포트 사이에 배치된 제1 전송 선로 내지 상기 입력 포트와 상기 제n 출력 포트

사이에 배치된 제 n 전송 선로;

를 포함하고,

상기 제1 전송 선로와 상기 제1 출력 포트 사이의 노드를 상기 제1_1 노드라고 하고 상기 제 n 전송 선로와 상기 제 n 출력 포트 사이의 노드를 제 n _1 노드라고 할 때, 상기 병렬 공진 스테르브 모듈은, 상기 제1_1 노드에 연결되는 제1 병렬 공진 스테르브 모듈 내지 상기 제 n _1 노드에 연결되는 제 n 병렬 공진 스테르브 모듈을 포함하며.

상기 제1 병렬 공진 스테르브 모듈 내지 상기 제 n 병렬 공진 스테르브 모듈 사이의 전기적 간섭을 방지하기 위한 격리 회로부;를 포함하는 것을 특징으로 하는 병렬 공진 스테르브 모듈.

청구항 9

제7항에 있어서,

상기 단락 스테르브 모듈은,

상기 개방 스테르브의 리액턴스 성분과 상기 단락 스테르브 모듈의 리액턴스 성분의 합이 0이 되는 상태에서, 상기 단락 스테르브 모듈의 임피던스가 기설정된 임계 임피던스 이하인 경우 상기 단락 스테르브 모듈과 상기 단락 스테르브 모듈의 타측에 연결된 상기 접지를 상기 단락 스테르브 모듈의 리액턴스 성분과 동일한 커패시터로 대체하는 것을 특징으로 하는 병렬 공진 스테르브 모듈.

발명의 설명

기술 분야

[0001] 본 발명은 병렬 공진 스테르브에 관한 것으로, 보다 상세하게는, 개방 스테르브와 단락 스테르브가 특정 회로 내 특정 노드를 기준으로 병렬 형태로 연결되도록 구성되며, 단락 스테르브를 모듈 형태로도 구성 가능한 병렬 공진 스테르브에 관한 것이다.

배경 기술

[0002] 최근 모든 객체를 디지털화하고, 실시간으로 연결하기 위한 기술로 확장현실(XR, eXtended Reality), 홀로그램, 메타버스 등이 주목받고 있는데, 이러한 기술들은 폭발적인 데이터 트래픽을 요구하며 초고속, 초정밀, 초저지연, 초연결을 위해 밀리미터파 또는 테라헤르츠파 대역에서의 집적회로 설계 기술을 필요로 한다.

[0003] 종래의 집적회로 설계 기술로서, 특정 주파수 대역에서 원하는 주파수 특성을 얻기 위해 공진기를 사용하였고, 공진기는 유도성 임피던스를 가지는 집적회로 기반의 On-chip 인덕터와 용량성 임피던스를 가지는 Metal-Insulator-Metal(MIM) 또는 Metal-Oxide-Metal(MOM) 등의 커패시터를 사용하여 구현하였다. 이때, On-chip 인덕터의 모양, 구조 및 재질 등에 의해 인덕턴스가 결정되고, 커패시터의 구조 및 유전율 등에 의해 커패시터의 용량이 결정되나, 주파수가 증가함에 따라 회로 내 소자에 존재하는 기생 성분들에 의해 공진 주파수가 낮아지게 되어 밀리미터파 및 테라헤르츠파 대역에서 사용되기가 어렵고, 다양한 설계 변수로 인해 설계 난이도가 상승하며, 구조가 매우 복잡하고, 시뮬레이션 조건 및 환경에 따라 성능의 편차가 크다는 문제점이 있다.

[0004] 그래서, 밀리미터파 및 테라헤르츠파 대역에서는 마이크로스트립 라인을 이용하여 공진기를 제작하는데, 대표적으로 open-end resonator, Shunt resonator, Ring resonator, Dielectric resonator 등이 사용되며, 이외에도 Coupled line, EBG(Electromagnetic Band-Gap), DGS(Defected Ground Structure) 등으로 제작되어 사용되기도 한다.

[0005] 하지만, 마이크로스트립 라인 기반의 공진기들은 사용 목적에 따라 파장이 긴 선로를 사용하는 경우에는 크기가 매우 커질 수 있고, 공정사에서 제공하는 설계 룰에 따라서 제작이 어려울 뿐만 아니라 식각 공정 및 본드-와이어 공정을 수행함으로써 제작 비용이 증가되며, 설계 변수가 많아 선로 사이에 발생하는 커플링 현상을 제어하는 등의 성능 예측이 원활하지 않다는 문제점이 있다.

[0006] 따라서, 상기 문제점들을 해결하기 위한 개선 방안이 요구되는 실정이다.

발명의 내용

해결하려는 과제

- [0007] 본 발명은 상술한 문제점을 해결하는 것을 그 목적으로 한다.
- [0008] 또한, 본 발명은, 특정 회로 상의 특정 노드에 연결되는 공진기로서, 개방 스테르브와 단락 스테르브 각각이 특정 노드를 기준으로 병렬 형태로 연결되도록 하는 간단한 구조로 구현하는 것을 다른 목적으로 한다.
- [0009] 또한, 본 발명은, 개방 스테르브 및 단락 스테르브 각각의 특성 임피던스와 전기적 길이에 대한 4가지 설계 변수를 이용함으로써 성능 예측이 수월하며, 이를 통해 밀리미터파 및 테라헤르츠파 대역에서도 원하는 주파수 응답 특성을 획득하는 것을 또 다른 목적으로 한다.

과제의 해결 수단

- [0010] 상기한 바와 같은 본 발명의 목적을 달성하고, 후술하는 본 발명의 특징적인 효과를 실현하기 위한 본 발명의 특징적인 구성은 하기와 같다.
- [0011] 본 발명의 일 태양에 따르면, 병렬 공진 스테르브에 있어서, 일측이 특정 회로의 제1 노드와 연결되고 타측이 개방되어 있는 개방 스테르브; 및 일측이 상기 특정 회로의 상기 제1 노드와 연결되고 타측이 접지와 연결되는 단락 스테르브;를 포함하되, 상기 단락 스테르브는, 상기 제1 노드를 기준으로 상기 개방 스테르브와 병렬로 연결되는 병렬 공진 스테르브가 개시된다.
- [0012] 일례로서, 상기 특정 회로로서의 제1 회로는, 입력 신호가 수신되는 입력 포트; 상기 입력 포트를 통해 수신된 상기 입력 신호가 제1 신호 내지 제n 신호로 분배되고, 상기 제1 신호 내지 상기 제n 신호가 출력되도록 하는 제1 출력 포트 내지 제n 출력 포트; 및 상기 입력 포트와 상기 제1 출력 포트 사이에 배치된 제1 전송 선로 내지 상기 입력 포트와 상기 제n 출력 포트 사이에 배치된 제n 전송 선로;를 포함하고, 상기 제1 전송 선로와 상기 제1 출력 포트 사이의 노드를 상기 제1 노드라고 하고 상기 제n 전송 선로와 상기 제n 출력 포트 사이의 노드를 제n 노드라고 할 때, 상기 병렬 공진 스테르브는, 상기 제1 노드에 연결되는 제1 병렬 공진 스테르브 내지 상기 제n 노드에 연결되는 제n 병렬 공진 스테르브를 포함하며, 상기 제1 병렬 공진 스테르브 내지 제n 병렬 공진 스테르브 사이의 전기적 간섭을 방지하기 위한 격리 회로부;를 포함하는 것을 특징으로 하는 병렬 공진 스테르브가 개시된다.
- [0013] 일례로서, 상기 특정 회로로서의 제2 회로는, 입력 신호의 진폭을 소정 증폭비에 따라 증폭하여 출력하도록 하는 증폭기; 및 상기 증폭기의 입력 포트와 출력 포트 사이의 상기 제1 노드에 연결되며, 상기 증폭기의 출력 신호 성분 중 기설정된 제1 주파수 대역에 대응되는 성분을 상기 입력 신호로서 상기 증폭기에 재입력하도록 하는 귀환 회로부;를 포함하되, 상기 귀환 회로부로서 상기 병렬 공진 스테르브가 사용되는 것을 특징으로 하는 병렬 공진 스테르브가 개시된다.
- [0014] 일례로서, 상기 귀환 회로부는, 상기 개방 스테르브의 타측에 버랙터(Varactor) 소자가 연결되고, 상기 버랙터 소자에 인가되는 전압값을 조정하여 상기 버랙터 소자의 커패시턴스 값을 변경시킴으로써 상기 기설정된 제1 주파수 대역을 제2 주파수 대역으로 변경되도록 하며, 상기 제2 주파수 대역에 대응되는 출력 신호 성분을 상기 입력 신호로서 상기 증폭기에 재입력되도록 하는 것을 특징으로 하는 병렬 공진 스테르브가 개시된다.
- [0015] 일례로서, 상기 특정 회로로서의 제3 회로는, 입력 신호가 수신되는 입력 포트; 상기 입력 신호에 대응되는 제1 주파수 대역을 제2 주파수 대역으로 변환하는 주파수 변환 회로부; 및 상기 주파수 변환 회로부의 출력 신호를 출력하는 출력 포트;를 포함하며, 상기 병렬 공진 스테르브는, 상기 입력 포트와 상기 주파수 변환 회로부 사이의 상기 제1 노드에 연결되는 것을 특징으로 하는 병렬 공진 스테르브가 개시된다.
- [0016] 일례로서, 상기 병렬 공진 스테르브는, 상기 개방 스테르브의 리액턴스 성분과 상기 단락 스테르브의 리액턴스 성분의 합이 0이 되는 상태에서, 상기 단락 스테르브의 임피던스가 기설정된 임계치 임피던스 이하인 경우 상기 단락 스테르브와 상기 단락 스테르브의 타측에 연결된 상기 접지를 상기 단락 스테르브의 리액턴스 성분과 동일한 커패시터로 대체하는 것을 특징으로 하는 병렬 공진 스테르브가 개시된다.
- [0017] 본 발명의 다른 태양에 따르면, 병렬 공진 스테르브 모듈에 있어서, 일측이 특정 회로의 제1_1 노드와 연결되고 타측이 개방되어 있는 개방 스테르브; 및 일측이 상기 특정 회로의 상기 제1_1 노드와 연결되고 타측이 접지와 연결되는 단락 스테르브 모듈;을 포함하되, 상기 단락 스테르브 모듈은, 일측이 상기 제1_1 노드와 연결되고 타측이 상기 단락 스테르브 모듈 내부의 제1_2 노드와 연결되는 제1_1 서브 개방 스테르브; 일측이 상기 제1_2 노드와 연결되고 타측이 개방되어 있는 제1_2 서브 개방 스테르브; 및 일측이 상기 제1_2 노드와 연결되고 타측이 접지와 연

결되는 서브 단락 스테르브;를 포함하며, 상기 제1_2 서브 개방 스테르브와 상기 서브 단락 스테르브가 상기 제1_2 노드를 기준으로 병렬로 연결되는 병렬 공진 스테르브 모듈이 개시된다.

[0018] 일례로서, 상기 특정 회로로서의 제1 회로는, 입력 신호가 수신되는 입력 포트; 상기 입력 포트를 통해 수신된 상기 입력 신호가 제1 신호 내지 제n 신호로 분배되고, 상기 제1 신호 내지 상기 제n 신호가 출력되도록 하는 제1 출력 포트 내지 제n 출력 포트; 및 상기 입력 포트와 상기 제1 출력 포트 사이에 배치된 제1 전송 선로 내지 상기 입력 포트와 상기 제n 출력 포트 사이에 배치된 제n 전송 선로;를 포함하고, 상기 제1 전송 선로와 상기 제1 출력 포트 사이의 노드를 상기 제1_1 노드라고 하고 상기 제n 전송 선로와 상기 제n 출력 포트 사이의 노드를 제n_1 노드라고 할 때, 상기 병렬 공진 스테르브 모듈은, 상기 제1_1 노드에 연결되는 제1 병렬 공진 스테르브 모듈 내지 상기 제n_1 노드에 연결되는 제n 병렬 공진 스테르브 모듈을 포함하며, 상기 제1 병렬 공진 스테르브 모듈 내지 상기 제n 병렬 공진 스테르브 모듈 사이의 전기적 간섭을 방지하기 위한 격리 회로부;를 포함하는 것을 특징으로 하는 병렬 공진 스테르브 모듈이 개시된다.

[0019] 일례로서, 상기 단락 스테르브 모듈은, 상기 개방 스테르브의 리액턴스 성분과 상기 단락 스테르브 모듈의 리액턴스 성분의 합이 0이 되는 상태에서, 상기 단락 스테르브 모듈의 임피던스가 기설정된 임계치 임피던스 이하인 경우 상기 단락 스테르브 모듈과 상기 단락 스테르브 모듈의 타측에 연결된 상기 접지를 상기 단락 스테르브 모듈의 리액턴스 성분과 동일한 커패시터로 대체하는 것을 특징으로 하는 병렬 공진 스테르브 모듈이 개시된다.

발명의 효과

[0020] 본 발명은, 특정 회로상의 특정 노드에 연결되는 공진기로서, 개방 스테르브와 단락 스테르브 각각이 특정 노드를 기준으로 병렬 형태로 연결되도록 하는 간단한 구조로 구현하는 효과가 있다.

[0021] 또한, 본 발명은, 개방 스테르브 및 단락 스테르브 각각의 특성 임피던스와 전기적 길이에 대한 4가지 설계 변수를 이용함으로써 성능 예측이 수월하며, 이를 통해 밀리미터파 및 테라헤르츠파 대역에서도 원하는 주파수 응답 특성을 획득하는 효과가 있다.

도면의 간단한 설명

[0022] 본 발명의 실시예의 설명에 이용되기 위하여 첨부된 아래 도면들은 본 발명의 실시예들 중 단지 일부일 뿐이며, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자(이하 "통상의 기술자")에게 있어서는 발명적 작업이 이루어짐 없이 이 도면들에 기초하여 다른 도면들이 얻어질 수 있다.

도 1은 본 발명의 일 실시예에 따른 병렬 공진 스테르브를 개략적으로 도시한 것이고,

도 2는 본 발명의 일 실시예에 따른 병렬 공진 스테르브의 시뮬레이션 결과 데이터를 개략적으로 도시한 것이고,

도 3은 본 발명의 일 실시예에 따른 병렬 공진 스테르브가 연결된 전력 분배기의 회로도 및 시뮬레이션 결과 데이터를 개략적으로 도시한 것이고,

도 4는 본 발명의 일 실시예에 따른 병렬 공진 스테르브가 연결된 발진기의 회로도 및 시뮬레이션 결과 데이터를 개략적으로 도시한 것이고,

도 5는 본 발명의 일 실시예에 따른 병렬 공진 스테르브가 연결된 Reflector의 회로도 및 시뮬레이션 결과 데이터를 개략적으로 도시한 것이고,

도 6은 본 발명의 다른 실시예에 따른 병렬 공진 스테르브 모듈 및 시뮬레이션 결과 데이터를 개략적으로 도시한 것이고,

도 7은 본 발명의 다른 실시예에 따른 병렬 공진 스테르브 모듈이 연결된 전력 분배기의 회로도 및 시뮬레이션 결과 데이터를 개략적으로 도시한 것이고,

도 8은 본 발명의 또 다른 실시예에 따른 병렬 공진 스테르브 모듈이 연결된 DC 전원 공급 회로도를 개략적으로 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0023] 후술하는 본 발명에 대한 상세한 설명은, 본 발명의 목적들, 기술적 해법들 및 장점들을 분명하게 하기 위하여 본 발명이 실시될 수 있는 특정 실시예를 예시로서 도시하는 첨부 도면을 참조한다. 이들 실시예는 통상의 기술

자가 본 발명을 실시할 수 있기에 충분하도록 상세히 설명된다.

- [0024] 또한, 본 발명의 상세한 설명 및 청구항들에 걸쳐, "포함하다"라는 단어 및 그것의 변형은 다른 기술적 특징들, 부가물들, 구성요소들 또는 단계들을 제외하는 것으로 의도된 것이 아니다. 통상의 기술자에게 본 발명의 다른 목적들, 장점들 및 특성들이 일부는 본 설명서로부터, 그리고 일부는 본 발명의 실시로부터 드러날 것이다. 아래의 예시 및 도면은 실례로서 제공되며, 본 발명을 한정하는 것으로 의도된 것이 아니다.
- [0025] 더욱이 본 발명은 본 명세서에 표시된 실시예들의 모든 가능한 조합들을 망라한다. 본 발명의 다양한 실시예는 서로 다르지만 상호 배타적일 필요는 없음이 이해되어야 한다. 예를 들어, 여기에 기재되어 있는 특정 형상, 구조 및 특성은 일 실시예에 관련하여 본 발명의 정신 및 범위를 벗어나지 않으면서 다른 실시예로 구현될 수 있다. 또한, 각각의 개시된 실시예 내의 개별 구성요소의 위치 또는 배치는 본 발명의 정신 및 범위를 벗어나지 않으면서 변경될 수 있음이 이해되어야 한다. 따라서, 후술하는 상세한 설명은 한정적인 의미로서 취하려는 것이 아니며, 본 발명의 범위는, 적절하게 설명된다면, 그 청구항들이 주장하는 것과 균등한 모든 범위와 더불어 첨부된 청구항에 의해서만 한정된다. 도면에서 유사한 참조부호는 여러 측면에 걸쳐서 동일하거나 유사한 기능을 지칭한다.
- [0026] 여기에 제공되는 본 발명의 제목이나 요약은 단지 편의를 위해 제공되는 것으로 이 실시 예들의 범위 또는 의미를 제한하거나 해석하지 않는다.
- [0027] 참고로, 아래에서 각각의 구성요소들이 단수로 기재되었다고 하더라도, 복수의 가능성을 배제하는 것은 아니다.
- [0028] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 하기 위하여, 본 발명의 바람직한 실시예들에 관하여 첨부된 도면을 참조하여 상세히 설명하기로 한다.
- [0029] 도 1은 본 발명의 일 실시예에 따른 병렬 공진 스테르브를 개략적으로 도시한 것이다.
- [0030] 먼저 도 1을 참조하면, 본 발명의 병렬 공진 스테르브는 개방 스테르브(1010)와 단락 스테르브(1020)로 구성되어 있는데, 개방 스테르브(1010)는 일측(개방 스테르브(1010)의 상측)이 특정 회로의 입력 포트(1040)와 출력 포트(1050) 사이에 위치한 특정 노드로서의 제1 노드(1030)와 연결되고, 타측이(개방 스테르브(1010)의 하측)은 다른 부가 회로가 연결되지 않은 상태로 개방되어 있으며, 단락 스테르브(1020)는 일측(단락 스테르브(1020)의 상측)이 특정 회로의 제1 노드(1030)와 연결되고, 타측(단락 스테르브(1020)의 하측)이 접지와 연결될 수 있다. 이때, 단락 스테르브(1020)의 타측(단락 스테르브(1020)의 하측)에 연결된 접지를 매우 낮은 임피던스를 나타내는 커패시터로 대체함으로써 구성될 수도 있으나, 이에 한정하는 것은 아니다. 또한, 병렬 공진 스테르브(1010 및 1020)는 특정 회로의 제1 노드(1030)를 기준으로 개방 스테르브(1010)와 단락 스테르브(1020) 각각이 병렬 형태로 연결된 상태일 수 있다.
- [0031] 그리고, 병렬 공진 스테르브(1010 및 1020)는 개방 스테르브(1010)의 리액턴스 성분과 단락 스테르브(1020)의 리액턴스 성분의 합이 0이 되면 공진 현상이 발생하여 대역 통과 필터 또는 대역 저지 필터 등의 역할을 수행할 수 있고, 이때의 주파수는 공진 주파수가 될 수 있다.
- [0032] 또한, 병렬 공진 스테르브(1010 및 1020)는 공진 주파수에서 개방 스테르브(1010) 및 단락 스테르브(1020) 각각의 전기적 길이가 90-degree 보다 작은 경우, 개방 스테르브(1010)는 유도성 임피던스를 가지고, 단락 스테르브(1020)는 용량성 임피던스를 가지도록 할 수 있다.
- [0033] 그리고, 개방 스테르브(1010)는 Z_{00} 의 특성 임피던스와 θ_o 의 전기적 길이를 가지며, 단락 스테르브(1020)는 Z_{0s} 의 특성 임피던스와 θ_s 의 전기적 길이를 가진다고 할 때, 개방 스테르브(1010) 및 단락 스테르브(1020) 각각의 임피던스를 수식으로 나타내면 다음과 같다.
- [0034]
$$Z_o = -jZ_{0o} \cot \theta_o \quad \text{식(1)}$$
- [0035]
$$Z_s = jZ_{0s} \tan \theta_s \quad \text{식(2)}$$
- [0036] 또한, 병렬 공진 스테르브(1010 및 1020)는 제1 노드(1030)을 기준으로 개방 스테르브(1010)과 단락 스테르브(1020) 각각이 병렬 형태로 연결되어 있으므로, 제1 노드(1030)에서 바라본 병렬 공진 스테르브(1010 및 1020)의 임피던스는 개방 스테르브(1010)의 임피던스와 단락 스테르브(1020)의 임피던스를 병렬 연산한 것과 동일하며, 이를 수식

으로 나타내면 다음과 같다.

$$Z_{PRSS} = -jZ_{00} \cot \theta_O \parallel jZ_{0S} \tan \theta_S \quad \text{식(3)}$$

그리고, 병렬 공진 스테브(1010 및 1020)는 공진 현상이 발생할 때, 아래의 식 4와 같이 단락 스테브(1020)의 특성 임피던스 대비 개방 스테브(1010)의 특성 임피던스의 비율을 결정할 수 있으며, 개방 스테브(1010)의 전기적 길이와 단락 스테브(1020)의 전기적 길이가 동일한 경우에는 식 5로서 나타낼 수 있다. 이때, 식 4를 통해 산출되는 단락 스테브(1020)의 특성 임피던스 대비 개방 스테브(1010)의 특성 임피던스의 비율에 따라서 개방 스테브(1010)의 전기적 길이와 단락 스테브(1020)의 전기적 길이를 결정할 수 있는데, 이는 도 2를 참조하여 설명하겠다.

$$\tan \theta_O \tan \theta_S = \frac{Z_{00}}{Z_{0S}} = k \quad \text{식(4)}$$

$$\theta_O = \theta_S = \arctan \sqrt{k} \quad \text{식(5)}$$

한편, 공진 주파수에서 단락 스테브(1020)의 임피던스가 기설정된 임계 임피던스(가령, 접지에 근사한 수준) 이하를 유지하면, 단락 스테브(1020)와 단락 스테브(1020)의 타측에 연결된 접지를 단락 스테브(1020)와 동일한 리액턴스 성분을 가지는 커패시터로 대체함으로써 구현할 수도 있다.

이와 같이 구성된 병렬 공진 스테브(1010 및 1020)의 설계 변수인 개방 스테브(1010)의 특성 임피던스와 전기적 길이 및 단락 스테브(1020)의 특성 임피던스와 전기적 길이 각각의 변화에 따른 S-parameter 시뮬레이션 결과 데이터와 주파수에 따른 시간 지연의 변화로 나타내어지는 Group delay의 시뮬레이션 결과 데이터를 도 2를 참조하여 설명하기로 하겠다.

도 2는 본 발명의 일 실시예에 따른 병렬 공진 스테브의 시뮬레이션 결과 데이터를 개략적으로 도시한 것이다.

도 2를 참조하면, (a)는 상기 식 4에서 산출된 k값에 따른 개방 스테브(1010)의 전기적 길이와 단락 스테브(1020)의 전기적 길이를 나타낸 것으로, k 값이 작아질수록 개방 스테브(1010)의 전기적 길이와 단락 스테브(1020)의 전기적 길이의 합도 감소한다는 점을 확인할 수 있다.

즉, 병렬 공진 스테브(1010 및 1020)는 k 값이 작아지도록 개방 스테브(1010)의 특성 임피던스와 단락 스테브(1020)의 특성 임피던스를 조절함으로써 개방 스테브(1010)의 전기적 길이와 단락 스테브(1020)의 전기적 길이의 총합이 감소하게 되므로 최종적인 회로의 크기를 줄일 수 있게 된다.

다음으로, (b)는 식 4를 만족하는 개방 스테브(1010)의 특성 임피던스와 전기적 길이 및 단락 스테브(1020)의 특성 임피던스와 전기적 길이의 변화에 따른 S-parameter 시뮬레이션 결과 데이터를 나타낸 것으로, 빨간색으로 표시된 그래프는 반사계수(S_{11})를 나타내고, 파란색으로 표시된 그래프는 투과계수(S_{21})를 나타낸다. 참고로, 반사계수 값은 제1 단자에 입력된 신호가 제1 단자에서 반사되는 값의 비를 의미하며, 그 값이 적을수록 반사되는 값이 작으므로 전송 효율이 좋다는 것을 의미하며, 투과계수 값은 제1 단자에 입력된 신호가 제2 단자로 출력되는 값의 비를 의미하며, 0dB에 가까울수록 전송 과정에서 손실되는 값이 작다는 것을 의미한다.

즉, 병렬 공진 스테브(1010 및 1020)는 단락 스테브(1020)의 특성 임피던스와 전기적 길이가 증가함에 따라 대역폭이 증가하는 경향을 나타낼 수 있고, 공진 주파수보다 작은 주파수 대역에서는 단락 스테브(1020)에 의해 병렬 공진 스테브(1010 및 1020)의 임피던스가 감소하여 신호가 억제되며, 공진 주파수보다 높은 주파수 대역에서는 개방 스테브(1010)의 전기적 길이가 90-degree를 만족시키는 주파수까지 임피던스가 감소하기 때문에 대역 통과 특성을 가지는 것을 확인할 수 있다.

따라서, 병렬 공진 스테브(1010 및 1020)는 개방 스테브(1010)의 특성 임피던스와 전기적 길이 및 단락 스테브(1020)의 특성 임피던스와 전기적 길이를 적절히 설정함에 따라 특정 주파수 대역에서 고역 필터(High pass filter), 저역 필터(Low pass filter), 대역통과 필터(Band pass filter) 등의 원하는 주파수 응답을 구현할 수 있게 된다.

또한, 병렬 공진 스테브(1010 및 1020)는 개방 스테브(1010) 및 단락 스테브(1020)으로만 구성된 간단한 구조를 가지고 있으므로 회로의 크기를 줄일 수 있고, 제작 난이도와 제작 비용을 낮출 수 있으며, 4가지의 변수의 변경을 통해 원하는 주파수 응답을 구현하므로 회로 설계가 보다 용이해지는 효과가 있다.

- [0050] 한편, (c)는 병렬 공진 스테브(1010 및 1020)의 Group delay에 대한 시뮬레이션 결과 데이터를 나타낸 것으로, Group delay는 주파수에 따른 시간 지연의 변화를 의미하는데, 이는 신호의 주파수 성분들이 정확한 타이밍으로 전송되는지 판단하기 위한 중요한 팩터로서 활용될 수 있다.
- [0051] 이때, 빨간 그래프는 종래의 Z_0 의 특성 임피던스를 가지는 90-degree 단락 스테브만 연결된 회로에 대한 Group delay 시뮬레이션 결과 데이터이고, 파란 그래프는 Z_0 의 특성 임피던스를 가지는 병렬 공진 스테브(1010 및 1020)가 연결된 회로에 대한 Group delay 시뮬레이션 결과 데이터이며, 중심 주파수가 1GHz인 주파수 대역에서 시뮬레이션 된 것이다.
- [0052] 즉, 종래의 90-degree 단락 스테브와 연결된 회로에서는 주파수가 1GHz 미만인 구간에서는 주파수가 증가함에 따라 Group delay가 감소하고, 주파수가 1GHz 이상인 구간에서는 주파수가 증가함에 따라 Group delay가 점차 증가하고 있는 반면에, 병렬 공진 스테브(1010 및 1020)는 주파수가 변화에 의해 Group delay가 변하지 않고 일정하게 유지되는 것을 확인할 수 있다.
- [0053] 한편, 종래의 90-degree 단락 스테브의 특성 임피던스가 $Z_0/2$ 의 특성 임피던스를 가질 때, Z_0 의 특성 임피던스를 가지는 병렬 공진 스테브(1010 및 1020)와 등가화가 가능하지만, $Z_0/2$ 의 특성 임피던스를 가지는 종래의 90-degree 단락 스테브는 회로의 크기가 매우 크다는 단점이 존재하였다. 따라서, $Z_0/2$ 의 특성 임피던스를 가지는 종래의 90-degree 단락 스테브 대신에 본 발명의 Z_0 의 특성 임피던스를 가지는 병렬 공진 스테브(1010 및 1020)로 대체함으로써 회로의 크기 감소 및 Group delay 특성 개선의 효과를 얻을 수 있다.
- [0054] 이와 같은 병렬 공진 스테브(1010 및 1020)가 연결됨으로써 활용되는 특정 회로의 예시에 대해 도 3 내지 도 8을 참조하여 설명하도록 하겠다.
- [0055] 도 3은 본 발명의 일 실시예에 따른 병렬 공진 스테브가 연결된 전력 분배기의 회로도 및 시뮬레이션 결과 데이터를 개략적으로 도시한 것이다.
- [0056] 도 3을 참조하면, (a)는 하나의 입력 신호를 둘 이상의 경로로 분배하기 위한 전력 분배기에 병렬 공진 스테브(1000_1 및 1000_2)가 연결된 것을 도시한 것이다. 참고로, 전력 분배기는 병렬 공진 스테브(1000_1 및 1000_2)와 병렬 공진 스테브(1000_1 및 1000_2) 사이의 전기적 간섭을 방지하기 위한 격리 회로부(1140_1)를 제외한 회로 부분을 의미한다. 즉, 병렬 공진 스테브(1000_1 및 1000_2)와 격리 회로부(1140_1)가 포함되기 전의 종래의 전력 분배기는 입력 신호가 수신되는 입력 포트(1110), 입력 포트(1110)를 통해 수신된 입력 신호가 분기 노드(1111)를 통해 제1 신호 및 제2 신호로 분배되고, 제1 신호 및 제2 신호가 소정의 신호 처리된 후에 출력되도록 하는 제1 출력 포트(1120_1) 내지 제2 출력 포트(1120_2), 입력 포트(1110)와 제1 출력 포트(1120_1) 사이에 배치된 제1 전송 선로(1130_1) 및 입력 포트(1110)와 제2 출력 포트(1120_2) 사이에 배치된 제2 전송 선로(1130_2)를 포함할 수 있다. 도 3에서는 출력 포트(1120_1 및 1120_2)가 두 개인 것으로 상정하였지만 n개로 일반화할 수 있음은 물론이라 할 것이다.
- [0057] 여기서, 병렬 공진 스테브(1000_1 및 1000_2)와 격리 회로부(1140_1)가 전력 분배기에 연결된 상태를 설명하면, 제1 전송 선로(1130_1)와 제1 출력 포트(1120_1) 사이의 노드를 제1 노드(1030_1)라고 하고 제2 전송 선로(1130_2)와 제2 출력 포트(1120_2) 사이의 노드를 제2 노드(1030_2)라고 할 때, 제1 노드(1030_1)에 연결되는 제1 병렬 공진 스테브(1000_1)와 제2 노드(1030_2)에 연결되는 제2 병렬 공진 스테브(1000_2)를 포함할 수 있다.
- [0058] 그리고, 본 발명의 전력 분배기는 제1 병렬 공진 스테브(1000_1)와 제2 병렬 공진 스테브(1030_2) 사이의 전기적 간섭을 방지하기 위한 1개의 격리 회로부(1140_1)를 더 포함하며, 격리 회로부(1140_1)는 저항, 인덕터, 커패시터 중 적어도 일부의 수동 소자를 활용함으로써 제1 개방 스테브(1010_1)와 제2 개방 스테브(1010_2) 사이에 연결될 수 있다.
- [0059] 참고로, 종래의 전력 분배기는 (i) 두 출력 포트 사이의 전기적 격리 특성을 위해 두 출력 포트 사이에 저항을 삽입하는데, 일반적으로 저항은 중심 주파수의 파장에 비해 매우 작으므로 두 출력 포트 사이의 물리적 거리가 가까워질 수 있다. 이때, 출력 포트들 사이의 물리적 거리가 가까워짐에 따라 커플링 현상 등의 전기적 간섭이 발생할 수 있고, 이에 따라 임피던스 매칭이 원활하지 않을 수 있으므로, 이를 방지하기 위해 추가로 선로를 사용함으로써 해결하였으나, 추가 선로로 인해 신호의 추가 손실이 발생할 여지가 있고, 회로의 크기를 증가시켜 회로의 집적화가 어려워지며, (ii) 통과 대역 이외의 주파수 대역의 신호도 모두 통과 함으로써 추가적인 대역

통과필터를 연결해야 하는 문제가 존재하였다.

- [0060] 반면에, 본 발명의 전력 분배기는 (i) 제1 병렬 공진 스테브(1000_1)와 제2 병렬 공진 스테브(1000_2) 사이에 수동소자인 저항, 인덕터 및 커패시터 중 적어도 일부를 포함하는 제1 격리 회로부(1140_1)를 추가로 연결함으로써 제1 신호 및 제2 신호 간의 전기적 간섭을 방지하고, 회로의 크기를 줄일 수 있도록 구현하였으며, (ii) 제1 병렬 공진 스테브(1000_1)와 제2 병렬 공진 스테브(1000_2)는 대역통과필터로서의 역할을 수행할 수 있어 추가로 대역통과필터를 연결하지 않아도 되므로, 회로의 크기를 줄일 수 있는 장점이 있다.
- [0061] 다만, 도 3에서는 하나의 입력 신호가 제1 신호 및 제2 신호로 분배되고, 제1 신호 및 제2 신호 각각이 소정의 신호 처리된 후에 제1 출력 포트(1120_1) 및 제2 출력 포트(1120_2) 각각을 통해 출력되는 것으로만 도시되어 있으나, 제1 출력 포트(1120_1) 및 제2 출력 포트(1120_2) 각각을 새로운 입력 포트하여 추가적인 전력 분배기가 연결되어 제1 출력 포트(1120_1) 및 제2 출력 포트(1120_2)에서 출력된 출력 신호가 재분배되도록 구현될 수도 있으나, 이에 한정하는 것은 아니다.
- [0062] 그리고, 도 3의 (b)는 본 발명의 전력 분배기에 1GHz의 중심 주파수를 가지는 입력 신호가 입력됨에 따라 획득되는 S-parameter 시뮬레이션 결과 데이터를 나타낸 것이다.
- [0063] 구체적으로, 본 발명의 전력 분배기는 DC와 유사한 저주파 및 2차 고조파인 2GHz 근처의 신호 성분이 모두 억제되고 있으며, 0Hz 내지 2GHz 구간에서 제1 출력 포트(1120_1) 및 제2 출력 포트(1120_2) 사이의 전기적 격리 특성을 나타내는 S_{23} 을 확인하면, -9.3dB 이하로 나타나고 있으므로 전기적 간섭이 효과적으로 방지되고 있음을 알 수 있다.
- [0064] 도 4는 본 발명의 일 실시예에 따른 병렬 공진 스테브가 연결된 발진기의 회로도 및 시뮬레이션 결과 데이터를 개략적으로 도시한 것이다.
- [0065] 도 4를 참조하면, (a)는 특정 주파수 대역의 신호를 선택적으로 획득하기 위한 발진기(1200)를 도시한 것이다. 참고로, 발진기(1200)는 입력 신호의 진폭을 소정 증폭비에 따라 증폭하여 출력하도록 하는 증폭기(1210) 및 증폭기(1210)의 입력 포트와 출력 포트 사이의 제1 노드에 연결되며, 증폭기(1210)의 출력 신호 성분 중 기설정된 제1 주파수 대역에 대응되는 성분을 입력 신호로서 증폭기(1210)에 재입력하도록 하는 귀환 회로부(1220)를 포함할 수 있다.
- [0066] 한편, 종래의 발진기는 귀환 회로부(1220)로서 인덕터 및 커패시터를 이용한 LC 공진기를 사용하여 구현하였다. 참고로, 주파수 선택도(Q-factor)는 발진기의 위상 잡음(Phase noise) 성능을 결정하는 주요 인자로서 활용되는데, LC 공진기는 주파수가 높아짐에 따라 인덕터 및 커패시터 중 적어도 일부에 나타나는 기생 성분으로 인해 주파수 선택도가 밀리미터파 및 테라헤르츠파 대역에서의 사용이 어렵다는 문제점이 있었다. 여기서, 주파수 선택도는 공진기의 에너지 손실 대비 축적된 에너지의 비율로서 산출할 수 있으며, 주파수 대역폭과는 반비례하는 특성을 가지고 있다.
- [0067] 반면에, 본 발명의 발진기는 귀환회로부(1220)로서 사용되던 LC 공진기 대신에 본 발명의 병렬 공진 스테브로 대체하여 활용함으로써 밀리미터파 및 테라헤르츠파 대역에서도 사용 가능하며, 높은 주파수 대역에서도 우수한 주파수 선택도를 확보할 수 있다.
- [0068] 구체적으로, 도 4의 (b)는 본 발명의 발진기에 사용되는 귀환회로부(1220)의 세부 구조를 나타낸 것이다. 도 4의 (b)를 참조하면, 단락 스테브(1020)는 일측(단락 스테브(1020)의 하측)이 선로 상의 제1 노드(1030)와 연결되고 타측(단락 스테브(1020)의 상측)이 접지와 연결되며, 개방 스테브(1010)는 일측(개방 스테브(1010)의 상측)이 제1 노드(1030)와 연결되고 타측(개방 스테브(1010)의 하측)에 버랙터(Varactor) 소자(1221)가 연결될 수 있다. 이때, 단락 스테브(1020)의 타측(단락 스테브(1020)의 상측)에 연결된 접지 대신에 중심 주파수에서 매우 낮은 임피던스를 나타내는 커패시터로 대체함으로써 구성될 수도 있으나, 이에 한정하는 것은 아니다.
- [0069] 또한, 버랙터 소자(1221)는 버랙터 소자(1221)에 인가되는 전압값을 조정하여 버랙터 소자(1221)의 커패시턴스 값을 변경시킴으로써 기설정된 제1 주파수 대역이 제2 주파수 대역으로 변경되도록 하며, 제2 주파수 대역에 대응되는 출력 신호 성분을 입력 신호로서 증폭기(1210)에 재입력 되도록 구현됨으로써 원하는 주파수 대역의 신호 성분을 획득할 수 있다. 이때, 버랙터 소자(1221)로서 버랙터 다이오드 또는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)를 개량한 MOS 버랙터 등이 사용될 수 있으나, 이에 한정되는 것은 아니다.
- [0070] 그리고, 도 4의 (c)는 본 발명의 발진기의 Q-factor 성능을 시뮬레이션한 결과 데이터를 도시한 것이다. 참고

로, 앞서 설명한 바와 같이 주파수 대역폭과 Q-factor 사이에는 반비례 관계가 있으므로, 주파수 대역폭이 좁을수록 Q-factor 성능이 좋다고 판단할 수 있다.

[0071] 즉, 파란색 그래프로 나타내어지는 본 발명의 발진기는 종래의 발진기에 비해 주파수 대역폭이 상대적으로 좁아 주파수 선택도가 높은 것으로 나타나므로 위상 잡음 성능이 개선됨을 확인할 수 있다.

[0072] 도 5는 본 발명의 일 실시예에 따른 병렬 공진 스테르브가 연결된 Reflector의 회로도 및 시뮬레이션 결과 데이터를 개략적으로 도시한 것이다.

[0073] 도 5를 참조하면, (a)는 reflector로서 활용될 수 있는 병렬 공진 스테르브(1010 및 1020)가 주파수 변환 회로부(1330)에 연결된 것을 도시한 것이다. 구체적으로, 병렬 공진 스테르브(1010 및 1020)는 입력 신호가 수신되는 입력 포트(1310)와 주파수 변환 회로부(1330) 사이에 위치한 제1 노드(1030)에 연결될 수 있다. 이때 주파수 변환 회로부(1330)로서 믹서(Mixer), 주파수 채배기(Frequency Multiplier) 등이 사용될 수 있으나, 이에 한정하는 것은 아니다.

[0074] 즉, 입력 포트(1310)를 통해 수신된 입력 신호는 병렬 공진 스테르브(1010 및 1020)와 주파수 변환부(1330)를 통해 제1 주파수 대역에서 제2 주파수 대역으로 변환된 신호가 출력 포트(1320)로 출력될 수 있다.

[0075] 그리고, 도 5의 (b)는 빨간색 점선 그래프로 나타내어지는 종래의 90-degree의 전기적 길이를 가지는 단락 스테르브가 주파수 변환 회로부(1330)에 연결된 경우와 파란색 그래프로 나타내어지는 본 발명의 병렬 공진 스테르브(1010 및 1020)가 주파수 변환 회로부(1330)에 연결된 경우 각각에 따른 시뮬레이션 결과 데이터를 나타낸 것이다.

[0076] 일 예로, 1GHz의 중심 주파수를 가지는 입력 신호를 2GHz의 중심 주파수를 가지는 출력 신호로 변환하는 경우, (i) 종래의 90-degree의 전기적 길이를 가지는 단락 스테르브는 본 발명의 병렬 공진 스테르브(1010 및 1020)와 동일한 전기적 특성을 가지도록 특성 임피던스를 낮추는 방법을 사용하나, 낮아진 특성 임피던스로 인해 그만큼 선로의 폭을 증가시키게 되며, 이로 인해 변경된 제2 주파수 대역의 폭이 줄어들게 되는 반면에, (ii) 본 발명의 병렬 공진 스테르브(1010 및 1020)는 종래의 90-degree의 전기적 길이를 가지는 단락 스테르브와 동일한 전기적 특성을 가지는 상태에서 선로의 폭이 상대적으로 좁으므로 제2 주파수 대역폭이 상대적으로 큰 것을 확인할 수 있다.

[0077] 한편, 본 발명의 병렬 공진 스테르브(1010 및 1020)는 병렬 공진 스테르브(1010 및 1020)에 포함된 단락 스테르브(1020)를 복수개의 스테르브를 포함하는 모듈로 구현함으로써 고조파 억제 필터로서 사용될 수도 있는데, 이와 관련하여 도 6을 참조하여 설명하도록 하겠다.

[0078] 도 6은 본 발명의 다른 실시예에 따른 병렬 공진 스테르브 모듈 및 시뮬레이션 결과 데이터를 개략적으로 도시한 것이다.

[0079] 도 6을 참조하면, (a)는 본 발명의 병렬 공진 스테르브 모듈이 입력 포트(2040)와 출력 포트(2050) 사이에 위치한 특정 노드로서의 제1 노드(2030_1_1)에 연결된 것을 도시한 것으로, 병렬 공진 스테르브 모듈은 개방 스테르브(2010)와 단락 스테르브 모듈(2020)로 구성되어 있다.

[0080] 구체적으로, 개방 스테르브(2010)는 일측(개방 스테르브(2010)의 상측)이 특정 회로의 제1_1 노드(2030_1_1)와 연결되고 타측(개방 스테르브(2010)의 하측)이 개방되어 있으며, 단락 스테르브 모듈(2020)은 일측(단락 스테르브 모듈(2020)의 하측)이 특정 회로의 제1_1 노드(2030_1_1)와 연결되고 타측(단락 스테르브 모듈(2020)의 상측)이 접지와 연결되어 있는 상태일 수 있다.

[0081] 이때, 단락 스테르브 모듈(2020)은, 제1_1 서브 개방 스테르브(2021), 제1_2 서브 개방 스테르브(2022)와 서브 단락 스테르브(2023)로 구성되어 있는데, 제1_1 서브 개방 스테르브는 일측(제1_1 서브 개방 스테르브(2021)의 하측)이 제1_1 노드(2030_1_1)와 연결되고 타측(제1_1 서브 개방 스테르브(2021)의 상측)이 단락 스테르브 모듈(2020) 내부의 제1_2 노드(2030_1_2)와 연결되며, 제1_2 서브 개방 스테르브(2022)는 일측(제1_2 서브 개방 스테르브(2022)의 우측)이 제1_2 노드(2030_1_2)와 연결되고 타측(제1_2 서브 개방 스테르브(2022)의 좌측)이 개방되며, 서브 단락 스테르브(2023)는 일측(서브 단락 스테르브(2023)의 좌측)이 제1_2 노드(2030_1_2)와 연결되고 타측(서브 단락 스테르브(2023)의 우측)이 접지와 연결되어 있는 상태일 수 있다.

[0082] 그리고, 단락 스테르브 모듈(2020)은 제1_2 서브 개방 스테르브(2022)와 제2 서브 단락 스테르브(2023)가 제1_2 노드(2030_1_2)를 기준으로 병렬 형태로 연결된 상태일 수 있다.

- [0083] 이러한 본 발명의 병렬 공진 스텔브 모듈(2010 및 2020)은 1GHz의 중심 주파수 및 중심 주파수의 3차 고조파에서 발생하는 공진 현상을 이용함으로써 고조파의 발생을 억제하기 위한 필터로서 사용될 수 있다.
- [0084] 일 예로, 1GHz의 중심 주파수 조건에서, 개방 스텔브(2010)는 45-degree의 전기적 길이를 가지며, 단락 스텔브 모듈(2020)은 제1_2 서브 개방 스텔브(2022) 및 서브 단락 스텔브(2023)가 15-degree의 전기적 길이를 가지고, 제1_1 서브 개방 스텔브(2021)가 30-degree의 전기적 길이를 가지도록 구현된 상태일 때, 제1_2 서브 개방 스텔브(2022)의 임피던스는 서브 단락 스텔브(2023)에 비해 매우 크고, 제1_2 서브 개방 스텔브(2022)와 서브 단락 스텔브(2023)가 제1_2 노드(2030_1_2)를 기준으로 병렬 형태로 연결되어 있으므로, 제1_2 노드(2030_1_2)에서의 입력 임피던스는 서브 단락 스텔브(2023)의 임피던스와 비슷하게 수렴될 수 있다.
- [0085] 또한, 제1_1 서브 개방 스텔브(2021)와 제1_2 노드(2030_1_2)에서 바라보는 입력 임피던스는 직렬 연결된 것으로 간주할 수 있어, 중심 주파수인 1GHz 대역에서 제1_1 노드(2030_1_1)를 바라볼 때의 입력 임피던스는 45-degree의 단락 스텔브의 임피던스와 유사한 것으로 볼 수 있으므로, 병렬 공진 스텔브 모듈(2010 및 2020)은 중심 주파수에서 45-degree의 단락 스텔브 모듈(2020)과 개방 스텔브(2010)가 제1_1 노드(2030_1_1)를 기준으로 병렬 형태로 연결된 상태와 동일하여 대역통과특성을 가질 수 있다.
- [0086] 그리고, 2차 고조파(즉, 중심 주파수의 2배임) 조건에서, 개방 스텔브(2010)가 90-degree의 전기적 길이를 가지는 것과 동일하므로, 병렬 공진 스텔브 모듈(2010 및 2020)을 통해 2차 고조파 성분들이 제거될 수 있다.
- [0087] 또한, 3차 고조파(즉, 중심 주파수의 3배임) 조건에서, 제1_2 서브 개방 스텔브(2022)와 서브 단락 스텔브(2023)가 45-degree의 전기적 길이를 가지는 것과 동일하며, 제1_1 서브 개방 스텔브(2021)가 90-degree의 전기적 길이를 가지는 것과 동일하므로, 제1_1 노드(2030_1_1)를 바라볼 때의 입력 임피던스가 무한대이므로 병렬 공진 스텔브 모듈(2010 및 2020)을 통해 3차 고조파 성분들이 제거될 수 있다.
- [0088] 그리고, 도 6의 (b)는 고조파 억제 특성을 가지는 병렬 공진 스텔브 모듈(2010 및 2020)에 대한 S-parameter 시뮬레이션 결과 데이터를 도시한 것이다.
- [0089] 도 6의 (b)를 참조하면, 중심 주파수인 1GHz 대역에서 빨간색 그래프인 반사계수(S_{11})는 -40dB로 수렴하여 입력 포트에서 반사되지 않으며, 파란색 그래프인 투과계수(S_{21})는 0dB에 수렴하므로 대역통과특성을 가지는 것을 알 수 있다.
- [0090] 또한, 2차 고조파인 2GHz 대역에서 빨간색 그래프인 반사계수(S_{11})는 0dB로 수렴하여 입력 포트에서 반사되어 신호가 입력되지 않고 있으며, 파란색으로 그래프인 투과계수(S_{21})는 -40dB에 수렴하여 2차 고조파 신호가 제거되는 것을 알 수 있고, 3차 고조파인 3GHz 대역에서도 2차 고조파와 마찬가지로 3차 고조파 신호가 제거될 수 있음을 알 수 있다.
- [0091] 한편, 공진 주파수에서 단락 스텔브 모듈(2020)의 임피던스가 기설정된 임계 임피던스(가령, 접지에 근사한 수준) 이하를 유지하면, 단락 스텔브 모듈(2020)과 단락 스텔브 모듈(2020)의 타측에 연결된 접지를 단락 스텔브 모듈(2020)과 동일한 리액턴스 성분을 가지는 커패시터로 대체함으로써 구현할 수도 있다.
- [0092] 이렇게, 고조파 억제 필터로서 사용될 수 있는 병렬 공진 스텔브 모듈(2010 및 2020)은 전력 분배기 회로에 연결되어 활용될 수도 있는데, 도 7을 참조하여 설명하도록 하겠다.
- [0093] 도 7은 본 발명의 다른 실시예에 따른 병렬 공진 스텔브 모듈이 연결된 전력 분배기의 회로도 및 시뮬레이션 결과 데이터를 개략적으로 도시한 것이다.
- [0094] 도 7을 참조하면, (a)는 전력 분배기에 병렬 공진 스텔브 모듈(2000_1 및 2000_2)이 연결된 상태를 도시한 것이다. 참고로, 전력 분배기는 병렬 공진 스텔브 모듈(2000_1 및 2000_2)과 병렬 공진 스텔브 모듈(2000_1 및 2000_2) 사이의 전기적 간섭을 방지하기 위한 격리 회로부(2140_1)를 제외한 부분을 의미한다. 즉, 병렬 공진 스텔브 모듈(2000_1 및 2000_2)과 격리 회로부(2140_1)가 포함되기 전의 종래의 전력 분배기는 입력 신호가 수신되는 입력 포트(2110), 입력 포트(2110)를 통해 수신된 입력 신호가 분기 노드(2111)를 통해 제1 신호 및 제2 신호로 분배되고, 제1 신호 및 제2 신호가 출력되도록 하는 제1 출력 포트(2120_1) 및 제2 출력 포트(2120_2), 입력 포트(2110)와 제1 출력 포트(2120_1) 사이에 배치된 제1 전송 선로(2130_1) 내지 입력 포트(2110)와 상기 제2 출력 포트(2120_2) 사이에 배치된 제2 전송 선로(2130_2)를 포함할 수 있다. 도 7에서는 출력 포트(2120_1 및 2120_2)가 두 개인 것으로 상정하였지만 n 개로 일반화할 수 있음은 물론이라 할 것이다.
- [0095] 여기서, 병렬 공진 스텔브 모듈(2000_1 및 2000_2)과 격리 회로부(2140_1)가 전력 분배기에 연결된 상태를 설명

하면, 제1 전송 선로(2130_1)와 제1 출력 포트(2120_1) 사이의 노드를 제1_1 노드(2030_1_1)라고 하고 제2 전송 선로(2130_2)와 제2 출력 포트(2120_2) 사이의 노드를 제2_1 노드(2030_2_1)라고 할 때, 제1_1 노드(2030_1_1)에 연결되는 제1 병렬 공진 스테르브 모듈(2000_1) 및 제2_1 노드(2030_2_1)에 연결되는 제2 병렬 공진 스테르브 모듈(2000_2)을 포함할 수 있다.

[0096] 그리고, 본 발명의 전력 분배기는 제1 병렬 공진 스테르브 모듈(2000_1) 및 제2 병렬 공진 스테르브 모듈(2000_2) 사이의 전기적 간섭을 방지하기 위한 제1 격리 회로부(2140_1)가 더 포함하며, 격리 회로부(2140_1)는 저항, 인덕터, 커패시터 중 적어도 일부의 수동 소자를 활용함으로써 제1 병렬 공진 스테르브 모듈(2000_1)의 제1 개방 스테르브(2010_1)와 제2 병렬 공진 스테르브 모듈(2000_2)의 제2 개방 스테르브(2010_2) 사이에 연결될 수 있다.

[0097] 다만, 도 7에서는 하나의 입력 신호가 제1 신호 및 제2 신호로 분배되고, 제1 신호 및 제2 신호 각각이 소정의 신호 처리가 된 후에 제1 출력 포트(2120_1) 및 제2 출력 포트(2120_2) 각각을 통해 출력되는 것으로만 도시되어 있으나, 제1 출력 포트(2120_1) 및 제2 출력 포트(2120_2) 각각을 새로운 입력 포트하여 추가적인 전력 분배기가 연결되어 제1 출력 포트(2120_1) 및 제2 출력 포트(2120_2)에서 출력된 출력 신호가 재분배되도록 구현될 수도 있으나, 이에 한정하는 것은 아니다.

[0098] 그리고, 도 7의 (b)는 본 발명의 전력 분배기에 1GHz의 중심 주파수를 가지는 입력 신호가 입력됨에 따라 획득되는 S-parameter 시뮬레이션 결과 데이터를 나타낸 것이다.

[0099] 구체적으로, 본 발명의 전력 분배기는 중심 주파수인 1GHz 대역에서는 도 3에서의 전력 분배기와 유사하게 동작하고 있으며, 병렬 공진 스테르브 모듈(2000_1 및 2000_2)의 고조파 억제 특성이 추가 되었으므로, 2차 고조파인 2GHz 대역, 3차 고조파인 3GHz 대역 각각에서 파란색 그래프인 투과계수(S_{21})가 -40dB에 수렴하여 2차 고조파 신호 및 3차 고조파 신호가 제거되는 것을 확인할 수 있고, 제1 출력 포트(2120_1) 및 제2 출력 포트(2120_2) 사이의 전기적 격리 특성을 나타내는 S_{23} 을 확인하면, 3차 고조파 신호까지 제1 병렬 공진 스테르브 모듈(2000_1) 및 제2 병렬 공진 스테르브 모듈(2000_2) 사이의 전기적 간섭이 효과적으로 방지되고 있다고 판단할 수 있다.

[0100] 또한, 중심 주파수인 1GHz 대역에서 대역폭을 늘리고자 하는 경우에는 병렬 공진 스테르브 모듈(2000_1 및 2000_2)의 특성 임피던스를 증가 시킴으로써 해결할 수 있다.

[0101] 한편, 본 발명의 병렬 공진 스테르브 모듈(2000_1 및 2000_2)을 일부 변형함으로써 DC 전원 공급 회로에 연결되어 사용될 수도 있는데, 이를 도 8을 참조하여 설명하겠다.

[0102] 도 8은 본 발명의 또 다른 실시예에 따른 병렬 공진 스테르브 모듈이 연결된 DC 전원 공급 회로도를 개략적으로 도시한 것이다.

[0103] 도 8을 참조하면, 능동 소자인 증폭기(3110_1 및 3110_2)에 DC 전원을 공급하기 위해, 능동 소자에 병렬 공진 스테르브 모듈(3000_1 및 3000_2)이 연결된 것을 도시한 것이다. 참고로, 종래의 DC 전원 공급 회로는 증폭기(3110_1 및 3110_2), 90-degree의 전기적 길이를 가지는 전송 선로에 shunt capacitor를 추가하여 90-degree의 전기적 길이를 가지는 단락 스테르브로 동작하도록 구현하였는데, 이로 인해 회로의 크기가 매우 커질 수 있고, 회로 레이아웃 상에서 증폭기(3110_1 및 3110_2) 각각이 가깝게 배치되어 인접한 전송 선로 사이에 커플링이 발생하는 등의 문제가 존재하였다.

[0104] 따라서, 이와 같은 문제를 해결하기 위한 본 발명의 DC 전력 공급 회로는 90-degree의 전기적 길이를 가지는 단락 스테르브 대신에 병렬 공진 스테르브 모듈(3000_1 및 3000_2)이 연결되도록 구현하였다.

[0105] 구체적으로, 제1 증폭기(3110_1) 및 제2 증폭기(3110_2) 각각에 소정 DC bias를 인가하기 위해, 제1 병렬 공진 스테르브 모듈(3000_1) 및 제2 병렬 공진 스테르브 모듈(3000_2) 각각이 제1 증폭기(3110_2) 및 제2 증폭기(3110_2) 각각으로부터 출력되는 출력 신호가 전송되는 선로 상의 제1_1 노드(3030_1_1) 및 제2_1 노드(3030_2_1) 각각에 연결되는 것을 확인할 수 있다.

[0106] 이때, 제1 병렬 공진 스테르브 모듈(3000_1)은 제1 개방 스테르브(3010_1)와, 제1 서브 개방 스테르브(3021_1), 제1 커패시터(3022_1) 및 제1 DC 전원(3023_1)으로 구성되는 제1 단락 스테르브 모듈(3020_1)을 포함하고, 제2 병렬 공진 스테르브 모듈(3000_2)은 제2 개방 스테르브(3010_2)와, 제2 서브 개방 스테르브(3021_2), 제2 커패시터(3022_2) 및 제2 DC 전원(3023_2)으로 구성되는 제2 단락 스테르브 모듈(3020_2)을 포함할 수 있다.

[0107] 구체적으로, 제1 개방 스테르브(3010_1)는 일측(제1 개방 스테르브(3010_1)의 하측)이 개방되고 타측(제1 개방 스테르브(3010_1)의 상측)이 제1_1 노드(3030_1_1)에 연결되며, 제1 서브 개방 스테르브(3021_1)는 일측(제1 서브 개방

스터브(3021_1)의 하측)이 제1_1 노드(3030_1_1)와 연결되고 타측(제1 서브 개방 스테르브(3021_1)의 상측)이 제1_2 노드(3030_1_2)에 연결되며, 제1 커패시터(3022_1)는 일측(제1 커패시터(3022_1)의 좌측)이 제1_2 노드(3030_1_2)와 연결되고 타측(제1 커패시터(3022_1)의 우측)이 접지와 연결되며, 제1 DC 전원(3023_1)은 일측(제1 DC 전원(3023_1)의 우측)이 제1_2 노드(3030_1_2)와 연결되고 타측(제1 DC 전원(3023_1)의 좌측)이 접지와 연결되며, 제1 커패시터(3022_1) 및 제1 DC 전원(3023_1)이 제1_2 노드(3030_1_2)를 기준으로 병렬 형태로 연결된 상태일 수 있다.

[0108] 또한, 제2 개방 스테르브(3010_2)는 일측(제2 개방 스테르브(3010_1)의 상측)이 개방되고 타측(제2 개방 스테르브(3010_2)의 하측)이 제2_1 노드(3030_2_1)에 연결되며, 제2 서브 개방 스테르브(3021_2)는 일측(제2 서브 개방 스테르브(3021_2)의 상측)이 제2_1 노드(3030_2_1)와 연결되고 타측(제2 서브 개방 스테르브(3021_2)의 하측)이 제2_2 노드(3030_2_2)에 연결되며, 제2 커패시터(3022_2)는 일측(제2 커패시터(3022_2)의 좌측)이 제2_2 노드(3030_2_2)와 연결되고 타측(제2 커패시터(3022_2)의 우측)이 접지와 연결되며, 제2 DC 전원(3023_2)은 일측(제2 DC 전원(3023_2)의 우측)이 제2_2 노드(3030_2_2)와 연결되고 타측(제2 DC 전원(3023_2)의 좌측)이 접지와 연결되며, 제2 커패시터(3022_2) 및 제2 DC 전원(3023_2)이 제2_2 노드(3030_2_2)를 기준으로 병렬 형태로 연결된 상태일 수 있다.

[0109] 일 예로, 제1 개방 스테르브(3010_1) 및 제1 서브 개방 스테르브(3021_1) 및 제2 개방 스테르브(3010_2) 및 제2 서브 개방 스테르브(3021_2) 각각은 45-degree의 전기적 길이를 가지도록 구현된 상태일 수 있다.

[0110] 또한, 제1 증폭기(3110_1) 및 제2 증폭기(3110_2) 각각으로부터 출력되는 출력 신호가 전송되는 선로 상의 제1_1 노드(3030_1_1) 및 제2_1 노드(3030_2_1) 각각에 제1 병렬 공진 스테르브 모듈(3000_1) 및 제2 병렬 공진 스테르브 모듈(3000_2) 각각이 연결되도록 하였으며, 제1 증폭기(3110_1)와 제2 증폭기(3110_2) 각각이 개별적인 회로로서 동작하도록 구현할 수 있다.

[0111] 그리고, 제1 병렬 공진 스테르브 모듈(3000_1) 및 제2 병렬 공진 스테르브 모듈(3000_2) 사이에는 DC 신호만 전송되도록 하는 DC 전송 선로(3120)를 더 포함할 수 있다. 도 8에서는 증폭기(3110_1 및 3110_2)가 두 개인 것으로 상정하였지만 n 개로 일반화할 수 있음은 물론이라 할 것이다.

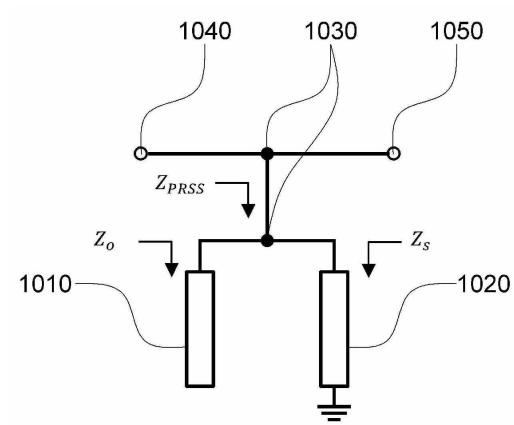
[0112] 또한, 제1 병렬 공진 스테르브 모듈(3000_1)과 제2 병렬 공진 스테르브 모듈(3000_2) 각각을 연결하고자 할 때에는, 제1 증폭기(3110_1) 및 제2 증폭기(3110_2) 각각으로부터 출력되는 출력 신호의 위상을 비교하여, (i) 출력 신호가 서로 동위상인 Even mode의 경우, DC 전송 선로(3120)가 virtual open이 되어 제1 개방 스테르브(3010_1) 및 제2 개방 스테르브(3010_2) 사이의 결합이 가능하도록 하고, (ii) 출력 신호가 서로 역위상인 Odd mode의 경우, DC 전송 선로(3120)가 virtual ground가 되어 제1 단락 스테르브 모듈(3020_1) 및 제2 단락 스테르브 모듈(3020_2) 사이에 전기적으로 연결이 가능하도록 할 수 있다.

[0113] 이상에서 본 발명이 구체적인 구성요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나, 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명이 상기 실시예들에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형을 꾀할 수 있다.

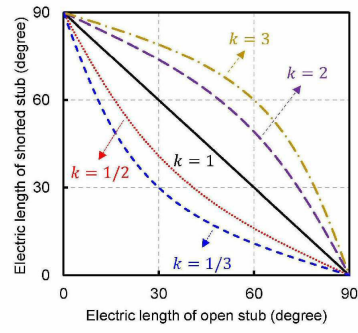
[0114] 따라서, 본 발명의 사상은 상기 설명된 실시예에 국한되어 정해져서는 아니 되며, 후술하는 특허청구범위뿐만 아니라 이 특허청구범위와 균등하게 또는 등가적으로 변형된 모든 것들은 본 발명의 사상의 범주에 속한다고 할 것이다.

도면

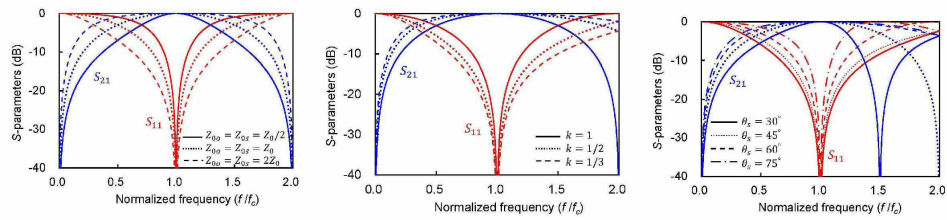
도면1



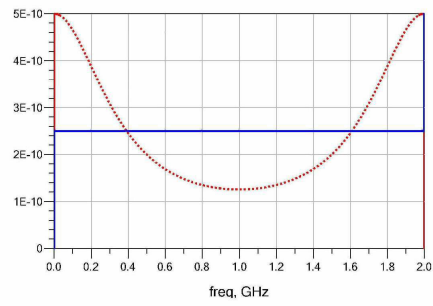
도면2



(a)

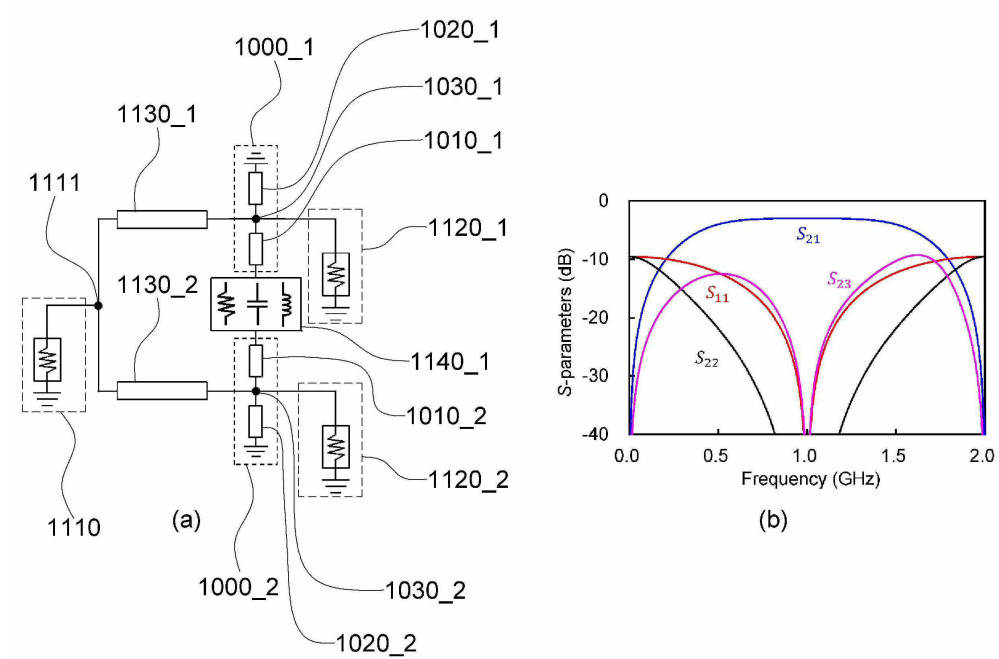


(b)

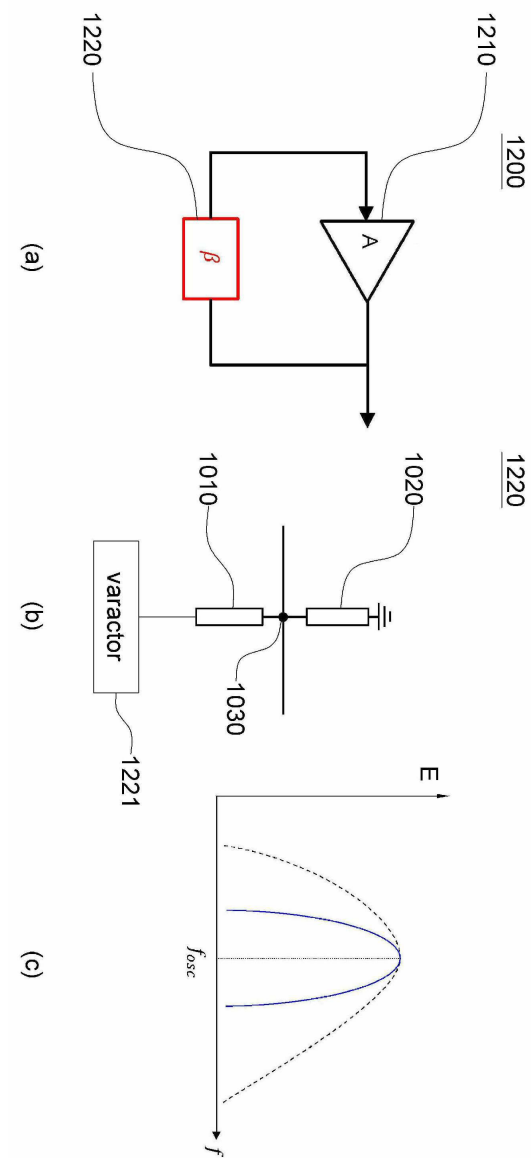


(c)

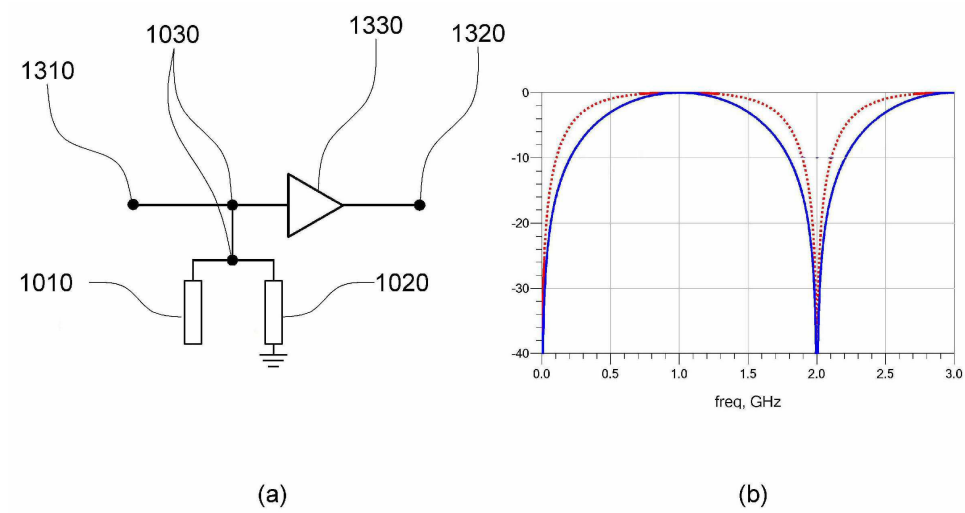
도면3



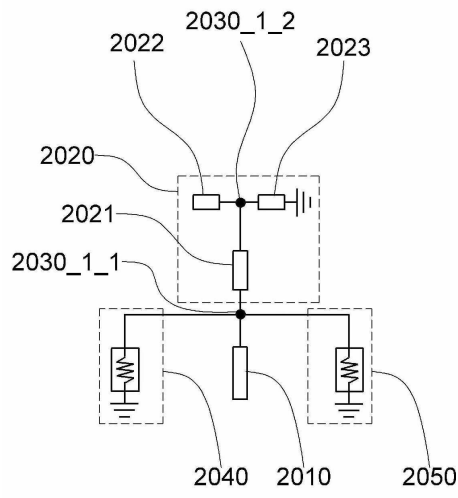
도면4



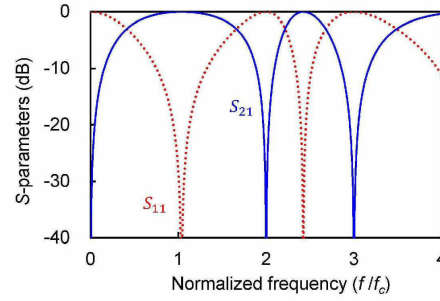
도면5



도면6

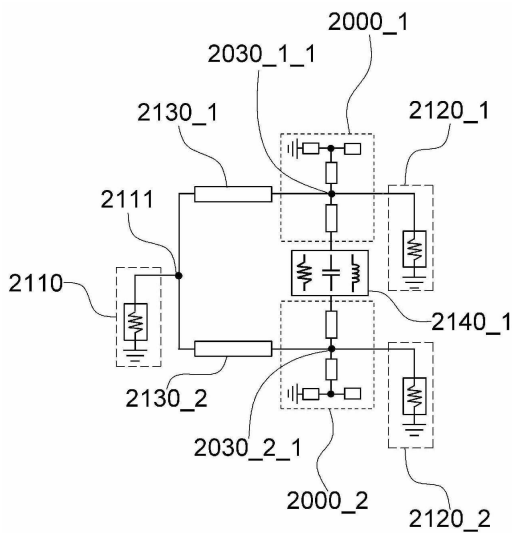


(a)

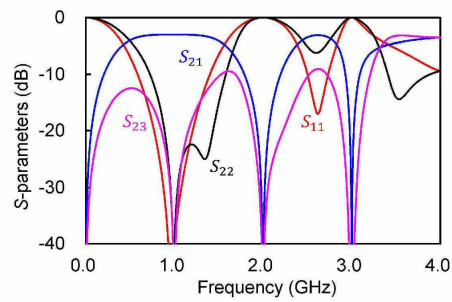


(b)

도면7



(a)



(b)

도면8

