

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年10月26日(26.10.2017)



(10) 国際公開番号

WO 2017/183393 A1

(51) 国際特許分類:
H02M 7/06 (2006.01)

(21) 国際出願番号: PCT/JP2017/012281

(22) 国際出願日: 2017年3月27日(27.03.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2016-084317 2016年4月20日(20.04.2016) JP

(71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
JP]; 〒6178555 京都府長岡京市東神足 1
丁目 1 0 番 1 号 Kyoto (JP).

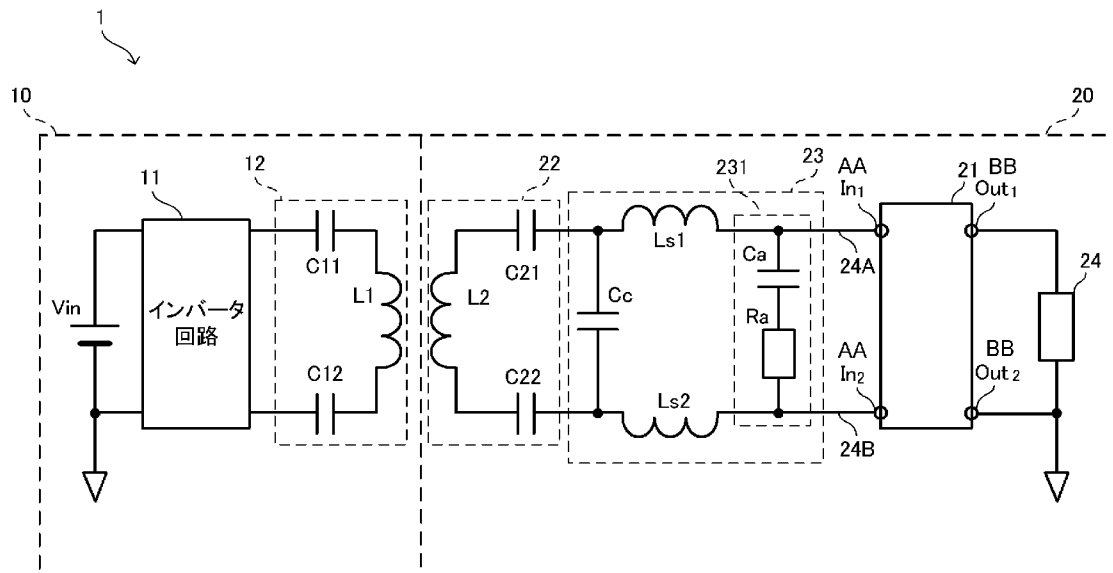
(72) 発明者: 市川 敬一 (ICHIKAWA Keiichi);
〒6178555 京都府長岡京市東神足 1 丁目 1 0 番
1 号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 特許業務法人 楓国際特許事務所
(KAEDE PATENT ATTORNEYS' OFFICE);
〒5400011 大阪府大阪市中央区農人橋 1
丁目 4 番 3 4 号 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,

(54) Title: POWER RECEPTION DEVICE

(54) 発明の名称: 受電装置



11 Inverter circuit
AA In
BB Out

(57) Abstract: This invention is provided with: a coil (L2) coupled with a coil (L1) of a power supply device (10); a rectification smoothing circuit (21) having input parts (In1, In2) connected to the coil (L2) and output parts (Out1, Out2) connected to a load circuit (24); and a filter circuit (23) connected to the input parts (In1, In2) of the rectification smoothing circuit (21). The filter circuit (23) has a serial circuit (231) of a capacitor (Ca) and a resistor (Ra), connected in parallel to the rectification smoothing circuit (21) as viewed from the coil (L2).

NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: 給電装置 (10) のコイル (L1) と結合するコイル (L2) と、コイル (L2) に接続される入力部 (In1, In2)、及び負荷回路 (24) に接続される出力部 (Out1, Out2) を有する整流平滑回路 (21) と、整流平滑回路 (21) の入力部 (In1, In2) に接続されているフィルタ回路 (23) とを備える。フィルタ回路 (23) は、コイル (L2) から見て、整流平滑回路 (21) に対して並列に接続されている、キャパシタ (Ca) と抵抗 (Ra) との直列回路 (231) を有する。

明 細 書

発明の名称 : 受電装置

技術分野

[0001] 本発明は、給電装置から電力を受電する受電装置に関する。

背景技術

[0002] 特許文献 1 には、磁界、電界、又は双方の共鳴結合を利用して電力供給を行う電力供給システムが開示されている。このシステムは、給電装置と受電装置との双方に LC 共振回路に設けている。そして、2つの LC 共振回路を共鳴させることで、送電コイルと受電コイルとを共鳴結合させて、給電装置から受電装置への電力供給を行っている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2014／57959号

発明の概要

発明が解決しようとする課題

[0004] 特許文献 1 の受電装置は、給電装置から供給される電力を整流する整流回路を備えている。この整流回路からは、整流素子によるノイズが発生する場合がある。そして、特許文献 1 の受電装置では、受電コイルがノイズの放射アンテナとして作用し、整流回路で生じたノイズが受電コイルを介して外部に放射される場合がある。

[0005] そこで、本発明の目的は、放射ノイズを抑制する受電装置を提供することにある。

課題を解決するための手段

[0006] 本発明に係る受電装置は、給電装置の給電結合部と結合する受電結合部と、前記受電結合部に接続される入力部、及び負荷に接続される出力部を有する整流回路と、前記整流回路の前記入力部に接続されているノイズフィルタ回路と、を備え、前記ノイズフィルタ回路は、前記受電結合部から見て、前

記整流回路の前記入力部に対して並列に接続されている、第1キャパシタと抵抗との第1直列回路を有することを特徴とする。

[0007] この構成では、整流回路の入力側に設けられる第1キャパシタと抵抗との第1直列回路により、整流回路で発生する高周波ノイズ電圧が減衰する。このため、高周波ノイズ成分が受電結合部に流れ込み、受電結合部からノイズが放射されることを抑制できる。

[0008] 前記ノイズフィルタ回路は、前記第1直列回路及び前記整流回路の第1並列回路に対して、前記受電結合部から見て、直列接続されているインダクタと、前記第1並列回路と前記インダクタとの第2直列回路に対して、並列に接続されている第2キャパシタと、を有してもよい。

[0009] この構成では、インダクタと第2キャパシタとでローパスフィルタが構成される。このローパスフィルタにより、第1直列回路から漏れ出たノイズ成分をさらに減衰できる。このため、受電結合部からの放射ノイズをさらに抑制できる。

[0010] 前記第1キャパシタのキャパシタンスを C_{out} 、前記第2キャパシタのキャパシタンスを C_{in} で表すと、 $C_{in} \geq C_{out}$ であることが好ましい。

[0011] この構成では、ノイズフィルタ回路を設けても、給電装置から供給され、整流回路へ搬送される電力（搬送波の周波数帯）への影響を軽減できる。

[0012] 前記第2キャパシタは、直列接続された複数のキャパシタを有し、前記第2キャパシタの前記複数のキャパシタの接続点は、基準電位に接続されていてもよい。

[0013] この構成では、受電結合部に重畳する高周波ノイズ成分（コモンモードノイズ）を低減できる。

[0014] 前記受電結合部と前記整流回路の入力部とは、第1線路と第2線路とで構成される差動線路で接続され、前記ノイズフィルタ回路は前記差動線路に設けられ、前記インダクタは、前記第1線路に設けられる第1インダクタ、及び前記第2線路に設けられる第2インダクタを有し、前記第1インダクタ及び前記第2インダクタは、複合インダクタで構成されてもよい。

[0015] この構成では、2つのインダクタを複合インダクタで構成することで、部品点数を削減でき、小型化を実現できる。

[0016] 前記第1インダクタ及び前記第2インダクタの結合係数は、絶対値で0.9以下に設定されていることが好ましい。

[0017] この構成では、2つのインダクタを複合インダクタで構成することで、部品点数を削減でき、小型化を実現できる。

[0018] 前記インダクタは、フェライト多層基板内部に構成されていてもよい。

[0019] この構成では、多層基板とすることで、インダクタの小型化を実現できる。

[0020] 前記受電装置は、前記第1直列回路、及び前記整流回路の入力部を遮蔽する遮蔽導体、を備えてもよい。

[0021] この構成では、ノイズ生成部となる整流回路から周囲へのノイズ輻射を遮蔽することができる。

発明の効果

[0022] 本発明によれば、整流回路で発生する高周波ノイズ成分を減衰させ、受電結合部からの放射ノイズを抑制できる。

図面の簡単な説明

[0023] [図1]図1は、本実施形態に係る電力供給システムの回路図である。

[図2]図2（A）は、フィルタ回路を設けない場合の、コイルの端部の電位の周波数成分を示す図、図2（B）は、フィルタ回路を設ける場合の、コイルの端部の電位の周波数成分を示す図である。

[図3]図3は、実施形態2に係る受電装置の回路図である。

[図4]図4（A）は、キャパシタの接続点を基準電位に接続しない場合の、コイルの端部の電位の周波数成分を示す図、図4（B）は、キャパシタの接続点を基準電位に接続する場合の、コイルの端部の電位の周波数成分を示す図である。

[図5]図5（A）は、実施形態3に係る受電装置の回路図、図5（B）は、受電装置の側面図である。

[図6]図 6 は、実施形態 4 に係る受電装置の回路図である。

[図7]図 7 は、複合インダクタを示す断面図である。

[図8]図 8 は図 1 に示した受電装置 20 の変形例である。

[図9]図 9 (A)、図 9 (B) は、図 1 等にした直列回路 231 の変形例である。

[図10]図 10 は図 1 に示した受電装置 20 の変形例である。

[図11]図 11 (A)、図 11 (B) は図 1 に示した受電装置 20 の変形例である。

発明を実施するための形態

[0024] (実施形態 1)

図 1 は、本実施形態に係る電力供給システム 1 の回路図である。

[0025] 電力供給システム 1 は、給電装置 10 と受電装置 20 とを備えている。電力供給システム 1 では、給電装置 10 と受電装置 20 とが磁界結合し、給電装置 10 から受電装置 20 へ電力が磁界結合（電磁誘導）によりワイヤレスで供給される。また、電力供給システム 1 では、給電装置 10 と受電装置 20 それぞれにおいて、共振することで伝送効率を高めている。

[0026] 給電装置 10 は、インバータ回路 11 及び共振回路 12 を備えている。インバータ回路 11 は、直流電源 V_{in} から入力される直流電圧を交流電圧に変換して出力する。共振回路 12 は、キャパシタ C_{11} 、 C_{12} 及びコイル L_1 から構成されている。共振回路 12 の共振周波数は、駆動周波数（例えば、6.78 MHz）に設定されている。共振回路 12 は、インバータ回路 11 の出力側に接続され、インバータ回路 11 から出力される交流電圧（差動電圧）が印加される。

[0027] 受電装置 20 は、整流平滑回路 21、共振回路 22、フィルタ回路 23 及び負荷回路 24 を備えている。

[0028] 共振回路 22 は、キャパシタ C_{21} 、 C_{22} 及びコイル L_2 から構成されている。このコイル L_2 と、給電装置 10 のコイル L_1 とが磁界結合することで、給電装置 10 から受電装置 20 へ電力が供給される。コイル L_1 は本

発明の「送電結合部」の一例である。コイル L_2 は本発明の「受電結合部」の一例である。共振回路22の共振周波数は、給電装置10の共振回路12の共振周波数と同じに設定されている。これにより、効率良く電力供給を行うことができる。

[0029] 整流平滑回路21は、入力部 I_{n1} , I_{n2} と出力部 O_{ut1} , O_{ut2} とを有している。入力部 I_{n1} , I_{n2} は、後述のフィルタ回路23を介して共振回路22に接続されている。出力部 O_{ut1} , O_{ut2} は負荷回路24に接続されている。整流平滑回路21は、共振回路22のコイル L_2 に誘起された電圧に起因した電圧及び電流を整流及び平滑し、負荷回路24へ供給する。負荷回路24は、例えば、充電回路及び二次電池等である。整流平滑回路21は、本発明に係る「整流回路」の一例である。整流平滑回路21は、ダイオードブリッジ回路であってもよいし、同期整流回路であってもよい。また、全波整流回路であってもよいし、半波整流回路であってもよい。整流平滑回路21は、ダイオード、又はFET等のスイッチ素子で構成される。

[0030] 整流平滑回路21の入力部 I_{n1} , I_{n2} と共振回路22とを接続する線路は差動線路である。以下では、入力部 I_{n1} に接続される線路を差動線路24A、入力部 I_{n2} に接続される線路を差動線路24Bとする。差動線路24Aは、本発明に係る「第1線路」の一例である。差動線路24Bは、本発明に係る「第2線路」の一例である。

[0031] フィルタ回路23は、共振回路22と整流平滑回路21との間に接続されている。フィルタ回路23は、キャパシタ C_c 、インダクタ L_{s1} , L_{s2} 、及び、キャパシタ C_a と抵抗 R_a との直列回路231を有している。直列回路231は、本発明に係る「第1直列回路」の一例である。フィルタ回路23は、本発明に係る「ノイズフィルタ回路」の一例である。キャパシタ C_a は、本発明に係る「第1キャパシタ」の一例である。

[0032] 直列回路231は、差動線路24A, 24B間に接続されている。直列回路231は、フィルタ回路23が有する他の素子よりも、整流平滑回路21の入力部 I_{n1} , I_{n2} の直近に設けられる。これにより、直列回路231と

整流平滑回路 2 1 とは並列接続される構成となる。換言すれば、直列回路 2 3 1 は、コイル L 2 から見て、整流平滑回路 2 1 の入力部 l_{n1} 、 l_{n2} に対して並列に接続されている。なお、直列回路 2 3 1 は、整流平滑回路 2 1 により近づけて設けることが好ましい。直列回路 2 3 1 と整流平滑回路 2 1 との並列回路は、本発明に係る「第 1 並列回路」の一例である。

[0033] インダクタ L_{s1} は差動線路 2 4 A 上に設けられる。つまり、インダクタ L_{s1} は差動線路 2 4 A に直列接続されている。インダクタ L_{s2} は差動線路 2 4 B 上に設けられる。つまり、インダクタ L_{s2} は差動線路 2 4 B に直列接続されている。インダクタ L_{s1} 、 L_{s2} は、直列回路 2 3 1 よりも、共振回路 2 2 側に設けられる。これにより、インダクタ L_{s1} 、 L_{s2} は、直列回路 2 3 1 と整流平滑回路 2 1 との並列回路に対し、コイル L 2 側から見て、直列接続される構成となる。インダクタ L_{s1} 、 L_{s2} は、例えばフェライトコアに巻線したコイルであってもよいし、空芯コイルやフェライトビーズであってもよい。この並列回路と、インダクタ L_{s1} 、 L_{s2} との直列回路は、本発明に係る「第 2 直列回路」の一例である。

[0034] キャパシタ C_c は、インダクタ L_{s1} 、 L_{s2} よりも共振回路 2 2 側の位置で、差動線路 2 4 A、2 4 B 間に接続されている。これにより、キャパシタ C_c は、共振回路 2 2 に対して、並列に接続される構成となる。

[0035] 後述するが、差動線路 2 4 A、2 4 B には、整流平滑回路 2 1 で発生する高周波ノイズ成分が流れる。インダクタ L_{s1} とキャパシタ C_c とは、差動線路 2 4 A 上を流れる高周波ノイズ成分を減衰するローパスフィルタを構成している。同様に、インダクタ L_{s2} とキャパシタ C_c とは、差動線路 2 4 B 上を流れる高周波ノイズ成分を減衰するローパスフィルタを構成している。ローパスフィルタは例えば 30 MHz 以上の周波数帯域のノイズ成分を低減するように設定する。

[0036] 次に、フィルタ回路 2 3 の機能について説明する。

[0037] 整流平滑回路 2 1 では、給電装置 10 のスイッチングに起因する電圧の過渡応答（高周波ノイズ成分）が発生する。具体的には、整流平滑回路 2 1 の

入力部に印加される交流電圧の極性が反転した際に起こる整流回路のリカバリ特性により交流電圧が歪む。また、整流平滑後の直流電圧で入力部に印加される交流電圧がクリップされ、その波形は台形状になる。この交流電圧のひずみ波形が高周波ノイズ成分を有している。整流平滑回路 21 で発生する高周波ノイズ成分は、入力部 $1n_1$, $1n_2$ から差動線路 24A, 24B を流れ、共振回路 22 から放射される。差動線路 24A, 24B 間に接続される直列回路 231 は、高周波ノイズ成分を減衰させる。

[0038] 直列回路 231 により減衰されたノイズ成分は、インダクタ L_{s1} , L_{s2} とキャパシタ C_c とのローパスフィルタで、さらに減衰される。これにより、差動線路 24A, 24B を流れるノイズ成分がコイル L_2 へ流入することを防止できる。その結果、コイル L_2 からのノイズ放射を防止でき、放射ノイズの少ない電力給電システムを実現できる。

[0039] このフィルタ回路 23 において、キャパシタ C_c のキャパシタンスを C_{in} 、キャパシタ C_a のキャパシタンスを C_{out} で表すと、以下の理由により、 $C_{in} \geq C_{out}$ の関係となることが好ましい。

[0040] インダクタ L_{s1} , L_{s2} は、スイッチングに起因する高周波ノイズ成分（例えば 70MHz 以上）に対してインピーダンスが高く、駆動周波数でのインピーダンスが低い。駆動周波数において、インダクタ L_{s1} , L_{s2} のインピーダンスは低く、簡単のためインダクタ L_{s1} , L_{s2} のインピーダンスを無視すると、キャパシタ C_c , C_a は並列接続されている。そして、給電装置 10 からの給電（例えば、駆動周波数 6.78MHz）を考慮すると、並列接続されるキャパシタ C_c , C_a の合成キャパシタンスは小さい方が、負荷回路 24 への給電効率への影響が小さい。一方、整流平滑回路 21 から出力されるノイズ成分を減衰させるフィルタとしては、並列接続されるキャパシタ C_c , C_a の合成キャパシタンスは大きい方がよい。したがって、キャパシタ C_c , C_a の合成キャパシタンス ($C_c + C_a$) には制限が設けられる。

[0041] また、キャパシタ C_a のキャパシタンス C_{out} を大きくすると共振回路 22

から整流平滑回路 21 への給電電力が、抵抗 R_a により消費される。このため、キャパシタ C_a のキャパシタンス C_{out} は小さい方が好ましい。さらに、ローパスフィルタで高周波成分をさらに減衰する必要があるため、キャパシタ C_c のキャパシタンス C_{in} は大きい方が好ましい。以上の理由により、 $C_{in} \geq C_{out}$ の関係となることが好ましい。

[0042] 図 2 (A) は、フィルタ回路 23 を設けない場合の、コイル L_2 の端部の電位の周波数成分を示す図、図 2 (B) は、フィルタ回路 23 を設ける場合の、コイル L_2 の端部の電位の周波数成分を示す図である。図 2 (A) と図 2 (B) とを比較すると、特に約 400 MHz 付近 (図中の円内) でのノイズレベルが下がっていることが読み取れる。

[0043] (実施形態 2)

実施形態 2 では、受電装置が備えるフィルタ回路の構成が、実施形態 1 と相違する。

[0044] 図 3 は、実施形態 2 に係る受電装置 20A の回路図である。

[0045] フィルタ回路 23A は、直列回路 231、インダクタ L_{s1} 、 L_{s2} 、及びキャパシタ C_{c1} 、 C_{c2} を有している。直列回路 231、及びインダクタ L_{s1} 、 L_{s2} は、実施形態 1 と同じである。キャパシタ C_{c1} 、 C_{c2} は直列に接続されている。

[0046] キャパシタ C_{c1} 、 C_{c2} は、インダクタ L_{s1} 、 L_{s2} よりも共振回路 22 側の位置で、差動線路 24A、24B 間に接続されている。キャパシタ C_{c1} 、 C_{c2} の接続点は、受電装置 20A の基準電位に接続されている。ここで、基準電位は、受電装置の回路のグランド電位であり、例えば、受電装置 20A の筐体に含まれる導電部分、シールドケース、回路基板に面状に広がる導体パターン等も基準電位に接続される。キャパシタ C_{c1} 、 C_{c2} は同じキャパシタンスを有している。キャパシタ C_{c2} は、本発明に係る「第 3 キャパシタ」の一例である。

[0047] インダクタ L_{s1} 、 L_{s2} とキャパシタ C_{c1} とは、差動線路 24A、24B 上を流れる高周波ノイズ成分を減衰するローパスフィルタを構成してい

る。

[0048] 前記のように、キャパシタ C_{c1} 、 C_{c2} の midpoint は基準電位に接続されている。これにより、高周波ノイズ成分をコイル L_2 に入力する手前でキャパシタ C_{c1} 、 C_{c2} を経由して受電装置20Aの基準電位に戻すことができる。その結果、コモンモード信号（ノイズ）がコイル L_2 から外部へ放射されることを低減できる。

[0049] 図4（A）は、キャパシタ C_{c1} 、 C_{c2} の接続点を基準電位に接続しない場合の、コイル L_2 の端部の電位の周波数成分を示す図、図4（B）は、キャパシタ C_{c1} 、 C_{c2} の接続点を基準電位に接続する場合の、コイル L_2 の端部の電位の周波数成分を示す図である。図4（A）と図4（B）とを比較すると、特に約100MHz以上の帯域（図中の円内）でのノイズレベルが約5dB以上減衰している。

[0050] （実施形態3）

実施形態3に係る受電装置は、シールド導体を備える点で、実施形態2と相違する。

[0051] 図5（A）は、実施形態3に係る受電装置20Bの回路図、図5（B）は、受電装置20Bの側面図である。

[0052] 受電装置20Bの回路構成は、実施形態2に係る受電装置20Aと同じであり、受電装置20Bは、図3に示す受電装置20Aにシールド導体30を設けた構成である。受電装置20Bは基板100を備えている。基板100の一方主面には、コイル L_2 、キャパシタ C_{21} 、 C_{22} 等の各素子が実装されている。基板100の他方主面には、基準電位となるグランド導体101が形成されている。キャパシタ C_{c1} 、 C_{c2} の接続点は、このグランド導体101に接続されている。

[0053] シールド導体30は、少なくとも高周波ノイズ電圧が重畳する部分、例えば、整流平滑回路21、直列回路231、及びインダクタ L_{s1} 、 L_{s2} を囲うように、基板100の一方主面に設けられている。シールド導体30は、グランド導体101（整流平滑回路21の出力部Out2）に接続されて

いる。

[0054] シールド導体30は、高周波電圧が重畳するインダクタ L_{s1} 、 L_{s2} の周辺の電圧変動に起因するノイズ電流が周囲に漏れないようにすればよく、図5(B)に示すようにインダクタ L_{s1} 、 L_{s2} を全て覆わなくてもよいし、全て覆っていてもよい。なお、インダクタ L_{s1} 、 L_{s2} の磁路が開磁型の場合、インダクタ L_{s1} 、 L_{s2} の周囲に磁界が漏れるので、インダクタ L_{s1} 、 L_{s2} の電気特性（インダクタンス、レジスタンス）はシールド導体30の影響を受ける場合がある。その場合には、シールド導体30をインダクタ L_{s1} 、 L_{s2} から遠ざけるとよい。シールド導体30とインダクタ L_{s1} 、 L_{s2} を物理的に離すことによって、シールド導体30における漏れ磁界の強度を低減し、インダクタ L_{s1} 、 L_{s2} の電気特性への影響を軽減できるからである。

[0055] この構成では、高周波ノイズ電圧が重畳する部分からノイズ成分が輻射されても、シールド導体30（グラウンド導体101）により遮蔽し、ノイズ電流を基準電位に短い経路で戻すことができる。これにより、周囲の導体（例えば、筐体内の金属部、他の回路基板のグラウンド、バッテリーの外装などの導体）への不要な電磁界結合を軽減することができ、コモンモードノイズを低減することができ、EMI（Electro Magnetic Interference）を抑制できる。

[0056] なお、シールド導体30は、受電装置20Bを構成する全ての素子を覆うように基板100の一方主面に設けられてもよい。

[0057] （実施形態4）

実施形態4に係る受電装置は、実施形態1に係る受電装置、又は、実施形態2、3に係る受電装置と同じ回路構成である。この回路構成において、インダクタ L_{s1} 、 L_{s2} （例えば、図1参照）を、複合インダクタで構成したものをを用いている。

[0058] 図6は、実施形態4に係る受電装置20Cの回路図である。

[0059] 受電装置20Cの回路構成は、実施形態2に係る受電装置20Aと同じで

ある。本実施形態では、インダクタ L_{s1} 、 L_{s2} は、一つの複合インダクタ40で構成されている。

[0060] 図7は、複合インダクタ40を示す断面図である。

[0061] 複合インダクタ40は積層体41を備えている。積層体41は、複数のフェライトシートが積層され、焼結されてなる絶縁体である。積層体41は、本発明に係る「フェライト多層基板」の一例である。

[0062] 積層体41は、磁性体層42、非磁性体層43、磁性体層44、非磁性体層45、磁性体層46の順に積層されている。非磁性体層43、45は、磁性体層42、44、46に比べて低透磁率を有している。

[0063] 非磁性体層43、45には、巻回軸が一致するように、インダクタ L_{s1} 、 L_{s2} が形成されている。詳しくは、インダクタ L_{s1} は、非磁性体層43の各層に形成される、開ループ状の導体パターンが不図示のビア導体で接続されて形成される。同様に、インダクタ L_{s2} は、非磁性体層45の各層に形成される、開ループ状の導体パターンが不図示のビア導体で接続されて形成される。

[0064] インダクタ L_{s1} 、 L_{s2} を低透磁率の非磁性体層43内に形成することで、インダクタ L_{s1} 、 L_{s2} の磁気飽和を防止できる。このため、インダクタ L_{s1} 、 L_{s2} のインダクタンスの低下を防止できる。

[0065] また、インダクタ L_{s1} 、 L_{s2} が形成される非磁性体層43、45を挟むようにして、磁性体層42、44、46が積層されている。インダクタ L_{s1} 、 L_{s2} の間に磁性体層44が設けられることにより、インダクタ L_{s1} 、 L_{s2} の結合度を弱くできる。このインダクタ L_{s1} 、 L_{s2} の結合係数は、絶対値で0以上0.9以下に設定されていることが好ましい。

[0066] インダクタ L_{s1} 、 L_{s2} の結合度を弱くすることで、複合インダクタ40を用いても、インダクタ L_{s1} 、 L_{s2} は、コモンモード信号（ノイズ）及び差動モード信号（ノイズ）の何れに対しても、インダクタンスを持つようになる。このため、インダクタ L_{s1} 、 L_{s2} それぞれに巻線コイル等を用いる場合と比べて、部品点数を削減することができ、また、小型化できる

。

[0067] 積層体 4 1 の主面（磁性体層 4 6 の主面）には、インダクタ L_{21} 、 L_{s2} が接続される実装電極 4 7 A、4 7 D 以外に、複数のダミー電極 4 7 B、4 7 C が設けられる。このダミー電極 4 7 B、4 7 C を基板に実装することで、複合インダクタ 4 0 の発熱を実装基板に放熱することができる。

[0068] 上述の実施形態では、磁界結合を利用した磁界型の非接触電力伝送システムについて説明し、送電結合部及び受電結合部が磁束を放射しやすい、又は集めやすいコイルである場合について説明した。しかし、電力供給システムは磁界型の非接触電力伝送システムに限らず、電界結合を利用した電界結合型の非接触電力伝送システムにも適応することができる。この場合、送電結合部及び受電結合部は面状導体となる。この場合であっても、上述の実施形態のフィルタ回路を受電装置内に組み込むことにより、受電結合部である面状導体からノイズが放射されることを抑制できる。なお、電界及び磁界の両方を利用した電磁界結合型の非接触電力伝送システムにも適応できる。

[0069] また、上述の実施形態では、主に受電装置内の整流平滑回路に起因するノイズがコイル（受電結合部）から放射されるのを抑制するためのフィルタ回路について説明した。しかし、受電装置内で負荷に供給する電力を変換する DC-DC コンバータ等、受電結合部に接続される他のノイズ発生源起因のノイズに対しても、前記のフィルタ回路を適用して、受電結合部からのノイズの発生を抑制できる。

[0070] （他の実施形態）

図 1 に示した共振回路 1 2 は、コイル L_1 の両端にキャパシタ C_{11} 、 C_{12} を直列接続した直列共振回路を構成しているが、共振回路 1 2 はこの構成に限らない。例えば並列共振回路であってもよいし、コイル L_1 の一方端にキャパシタを接続した直列共振回路であってもよい。

[0071] また、図 1、図 3、図 5（A）、図 6 に示した共振回路 2 2 は、コイル L_2 の両端にキャパシタ C_{21} 、 C_{22} を直列接続した直列共振回路を構成しているが、共振回路 2 2 はこの構成に限らない。例えば、図 8 は図 1 に示し

た受電装置 20 の変形例である。この図 8 に示すように、コイル L_2 の一方の端にキャパシタ C_{21} を接続した直列共振回路で共振回路 22 A を構成してもよい。また、並列共振回路であってもよい。

[0072] また、以上に示した各実施形態では、「第 1 直列回路」の例として、単一のキャパシタ C_a と単一の抵抗 R_a との直列回路 231 を示したが、この直列回路 231 はこの構成に限らない。例えば図 9 (A) に示すように、複数の抵抗 R_a とキャパシタ C_a との組み合わせで直列回路 231 A を構成してもよいし、図 9 (B) に示すように、複数のキャパシタ C_a と抵抗 R_a との組み合わせで直列回路 231 B を構成してもよい。

[0073] また、図 1、図 3、図 5 (A)、図 6 に示したフィルタ回路 23, 23 A は、差動線路に挿入されたインダクタ L_{s1} , L_{s2} を備えているが、フィルタ回路 23, 23 A はこの構成に限らない。例えば、図 10 は図 1 に示した受電装置 20 の変形例である。図 10 に示す例では、インダクタ L_{s1} , L_{s2} にキャパシタ C_{b1} , C_{b2} をそれぞれ並列接続した並列共振回路を有するフィルタ回路 23 B を構成している。これら並列共振回路は、その共振周波数を、除去すべき特定高周波ノイズの周波数帯に合わせる。この構成により、並列共振回路は、その共振周波数でインピーダンスが高くなって、特定高周波ノイズが効果的に除去される。

[0074] また、図 1、図 3、図 5 (A)、図 6 に示したフィルタ回路 23, 23 A は、差動線路に挿入されたインダクタ L_{s1} , L_{s2} を備えているが、フィルタ回路 23, 23 A はこの構成に限らない。例えば、図 11 (A) (B) はいずれも図 1 に示した受電装置 20 の変形例である。図 11 (A) (B) において、フィルタ回路 23 C は、一方の線路にのみ素子を接続した不平衡回路を構成している。特に、図 11 (B) に示す例では、共振回路 22 A についても、コイル L_2 の一方の端にキャパシタ C_{21} を接続した直列共振回路を構成している。このように、受電装置を不平衡回路で構成してもよい。

[0075] なお、フィルタ回路は、図 1 に示したフィルタ回路 23 において、インダクタ L_{s2} を残し、インダクタ L_{s1} を無くしてもよい。また、共振回路は

、図 1 に示した共振回路 2 2 において、キャパシタ C 2 2 を残し、キャパシタ C 2 1 を無くしてもよい。

[0076] これらの構成によれば、素子数が削減され、小型化、低コスト化が図れる。

符号の説明

[0077] C 1 1, C 1 2…キャパシタ
C 2 1, C 2 2…キャパシタ
C a…キャパシタ (第 1 キャパシタ)
C c…キャパシタ (第 2 キャパシタ)
C c 1…キャパシタ (第 2 キャパシタ)
C c 2…キャパシタ (第 3 キャパシタ)
C in…キャパシタンス
C out…キャパシタンス
I n 1, I n 2…入力部
L 1…コイル (給電結合部)
L 2…コイル (受電結合部)
L s 1…インダクタ (第 1 インダクタ)
L s 2…インダクタ (第 2 インダクタ)
O u t 1, O u t 2…出力部
R a…抵抗
V i n…直流電源
1…電力供給システム
1 0…給電装置
1 1…インバータ回路
1 2…共振回路
2 0, 2 0 A, 2 0 B, 2 0 C…受電装置
2 1…整流平滑回路 (整流回路)
2 2, 2 2 A…共振回路

2 3, 2 3 A, 2 3 B, 2 3 C…フィルタ回路（ノイズフィルタ回路）

2 4…負荷回路

2 4 A…差動線路（第 1 線路）

2 4 B…差動線路（第 2 線路）

3 0…シールド導体（遮蔽導体）

4 0…複合インダクタ

4 1…積層体

4 2, 4 4, 4 6…磁性体層

4 3…非磁性体層

4 3, 4 5…非磁性体層

4 7 A, 4 7 D…実装電極

4 7 B, 4 7 C…ダミー電極

1 0 0…基板

1 0 1…グラウンド導体

2 3 1, 2 3 1 A, 2 3 1 B…直列回路（第 1 直列回路）

請求の範囲

- [請求項1] 給電装置の給電結合部と結合する受電結合部と、
前記受電結合部に接続される入力部、及び負荷に接続される出力部を有する整流回路と、
前記整流回路の前記入力部に接続されているノイズフィルタ回路と、
、
を備え、
前記ノイズフィルタ回路は、前記受電結合部から見て、前記整流回路の前記入力部に対して並列に接続されている、第1キャパシタと抵抗との第1直列回路を有する、
受電装置。
- [請求項2] 前記ノイズフィルタ回路は、
前記第1直列回路及び前記整流回路の第1並列回路に対して、前記受電結合部から見て、直列接続されているインダクタと、
前記第1並列回路と前記インダクタとの第2直列回路に対して、並列に接続されている第2キャパシタと、
を有する、請求項1に記載の受電装置。
- [請求項3] 前記第1キャパシタのキャパシタンスを C_{out} 、前記第2キャパシタのキャパシタンスを C_{in} で表すと、 $C_{in} \geq C_{out}$ である、
請求項2に記載の受電装置。
- [請求項4] 前記第2キャパシタは、直列接続された複数のキャパシタを有し、
前記第2キャパシタの前記複数のキャパシタの接続点は、基準電位に接続されている、
請求項2又は請求項3に記載の受電装置。
- [請求項5] 前記受電結合部と前記整流回路の入力部とは、第1線路と第2線路とで構成される差動線路で接続され、
前記ノイズフィルタ回路は前記差動線路に設けられ、
前記インダクタは、前記第1線路に設けられる第1インダクタ、及

び前記第2線路に設けられる第2インダクタを有し、

前記第1インダクタ及び前記第2インダクタは、複合インダクタで構成される、

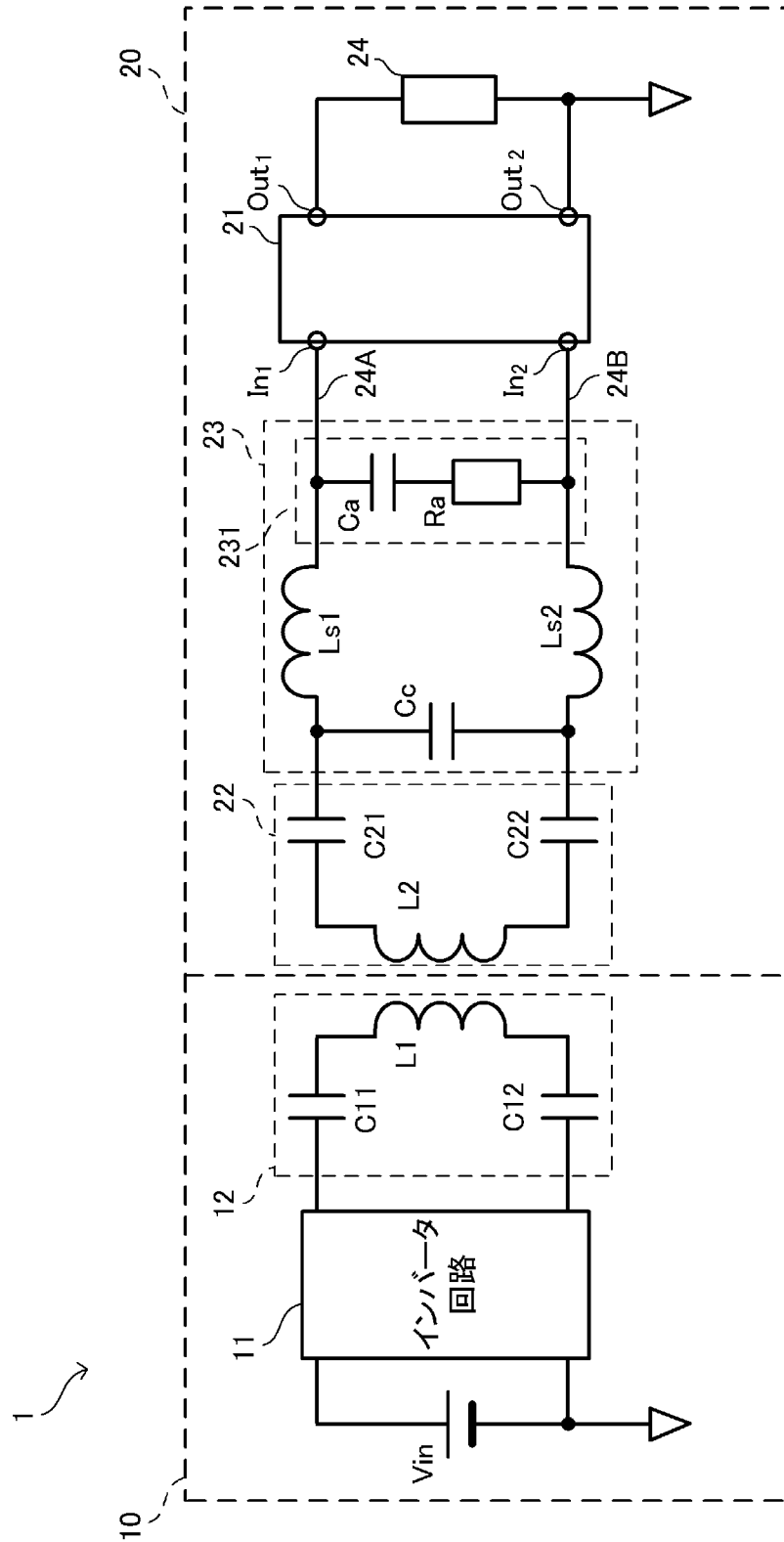
請求項2から請求項4の何れかに記載の受電装置。

[請求項6] 前記第1インダクタ及び前記第2インダクタの結合係数は、絶対値で0.9以下に設定されている請求項5に記載の受電装置。

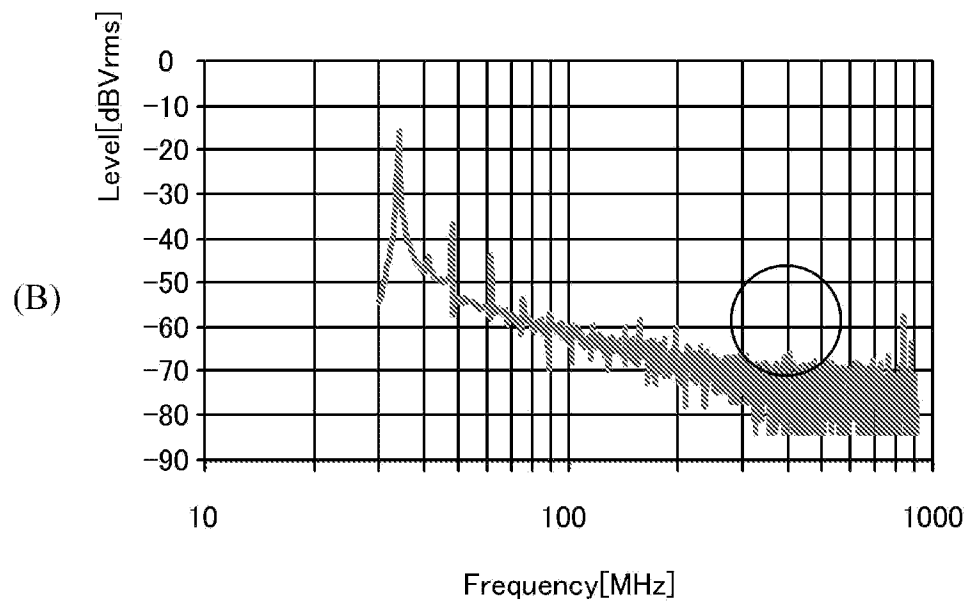
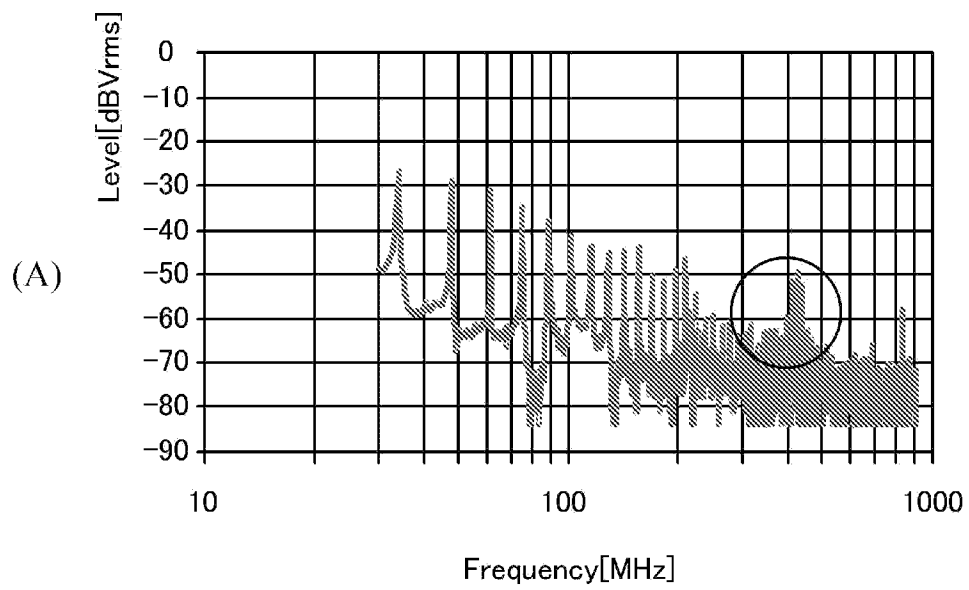
[請求項7] 前記インダクタは、フェライト多層基板内部に構成されている、請求項2から請求項6の何れかに記載の受電装置。

[請求項8] 前記第1直列回路、及び前記整流回路の入力部を遮蔽する遮蔽導体、
を備える、請求項1から請求項7の何れかに記載の受電装置。

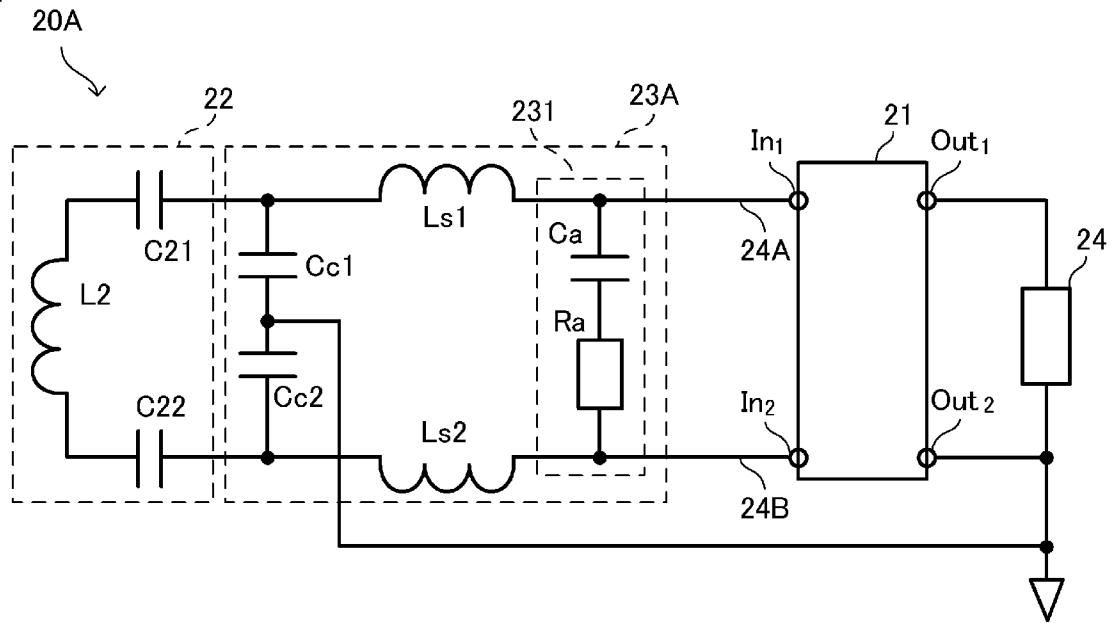
[図1]



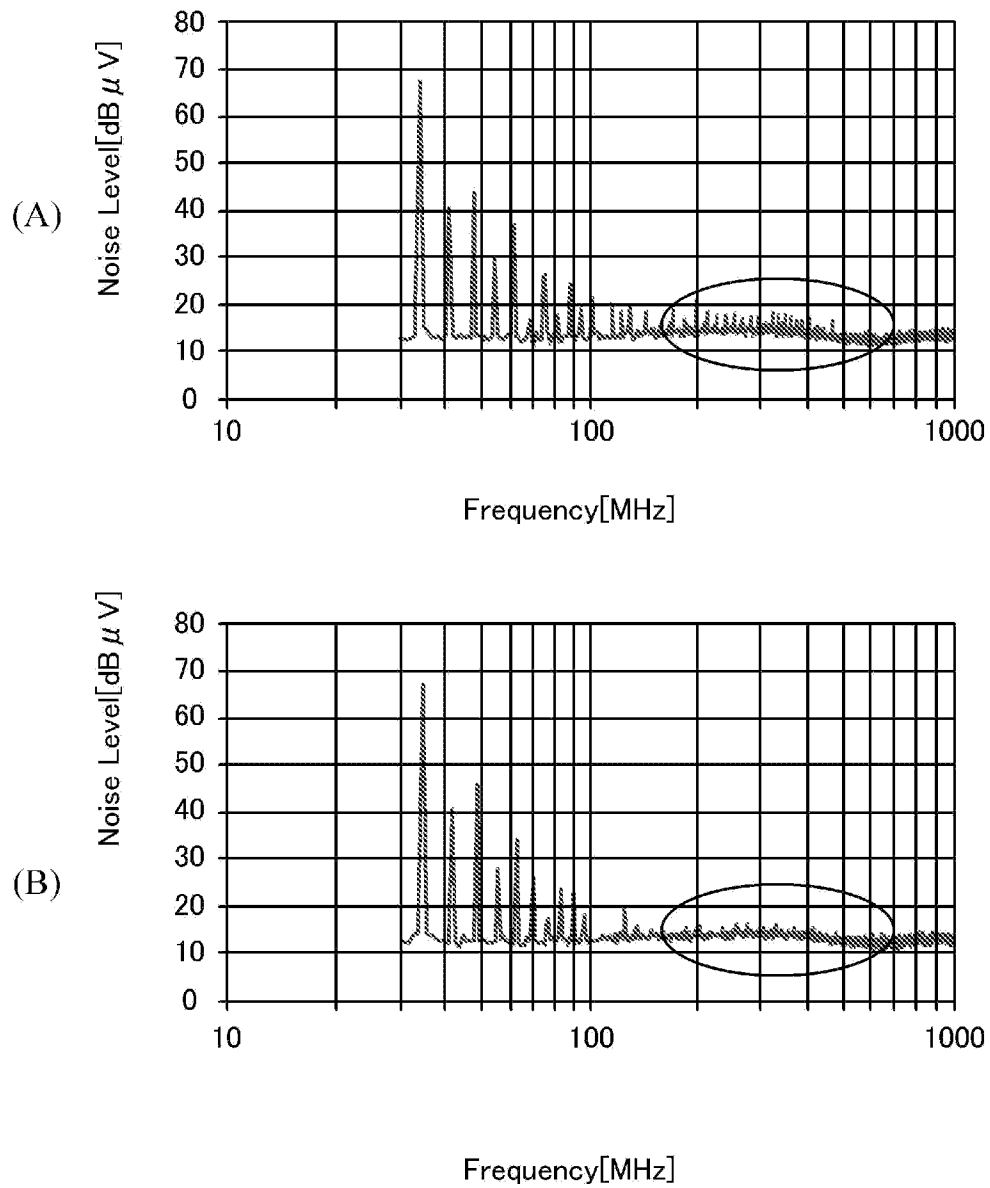
[図2]



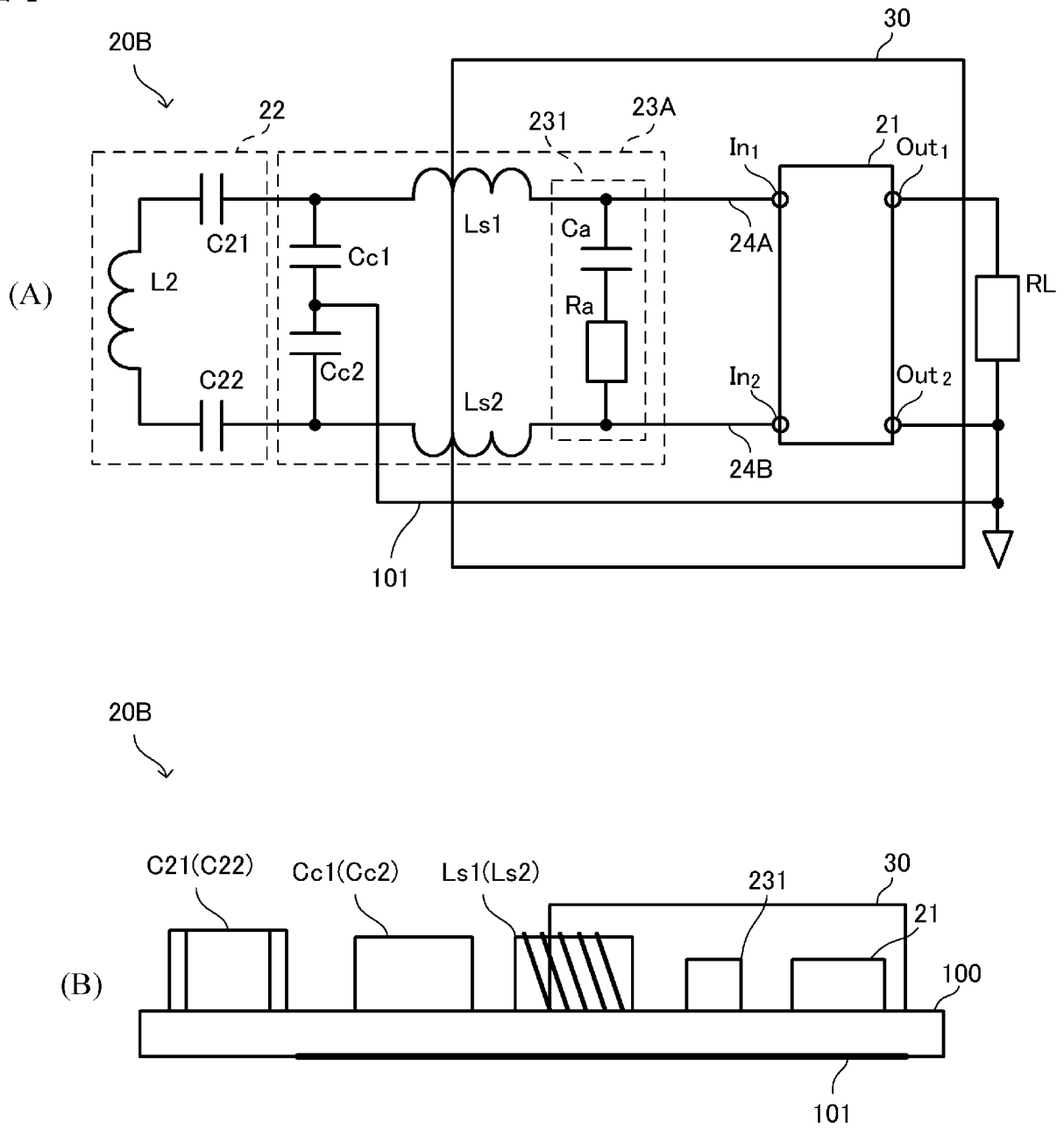
[図3]



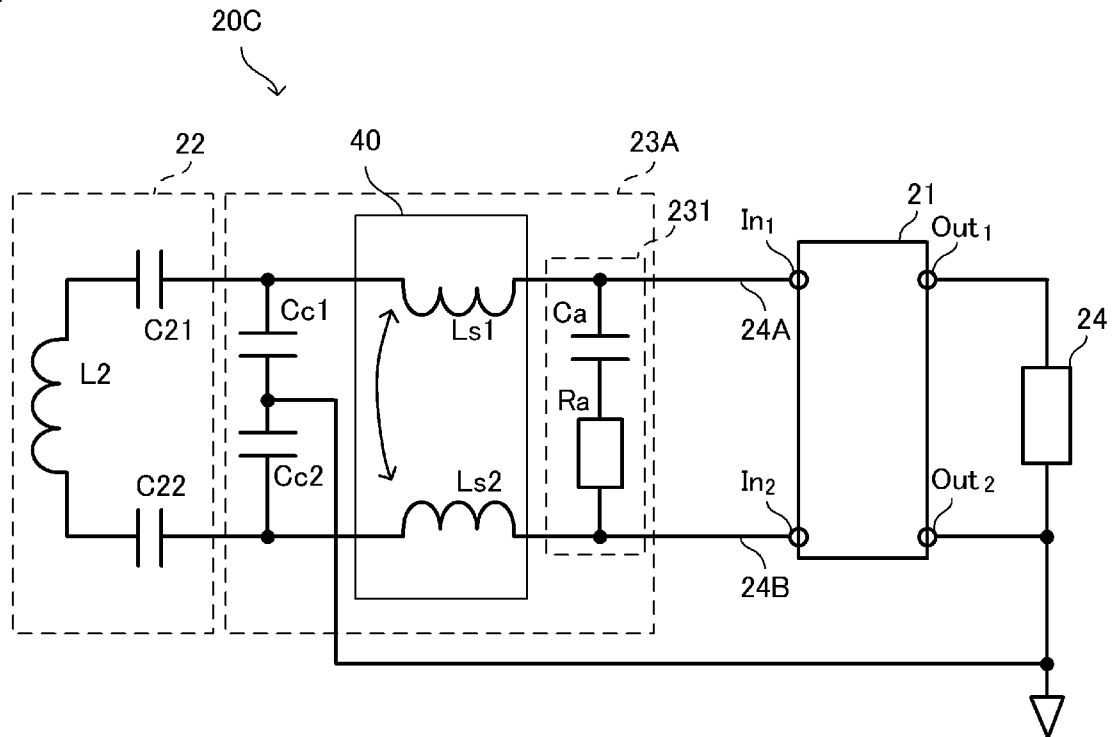
[図4]



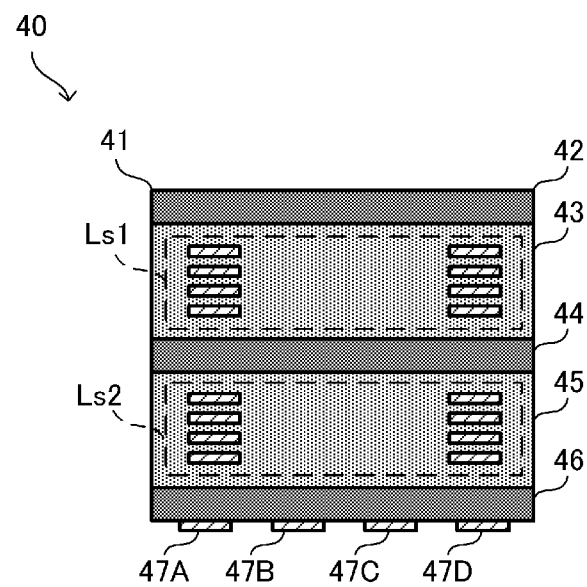
[図5]



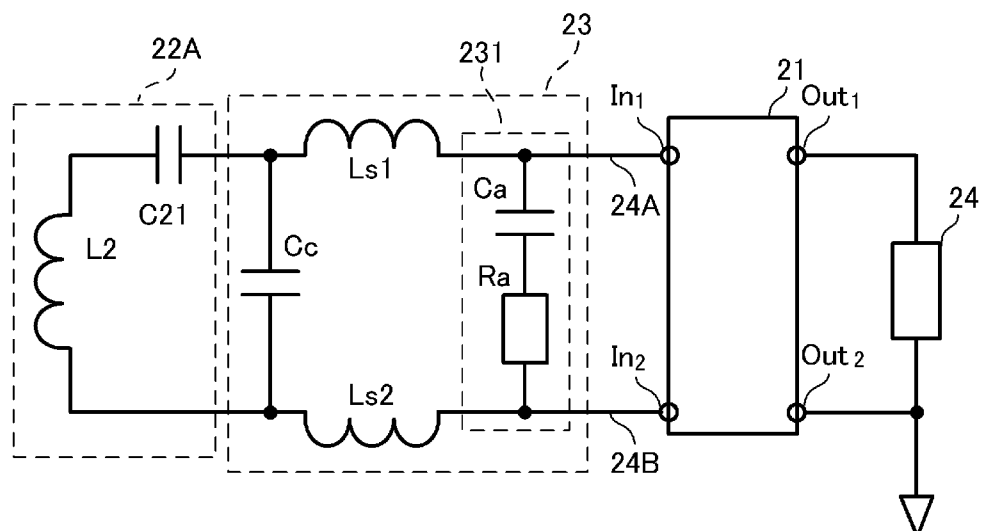
[図6]



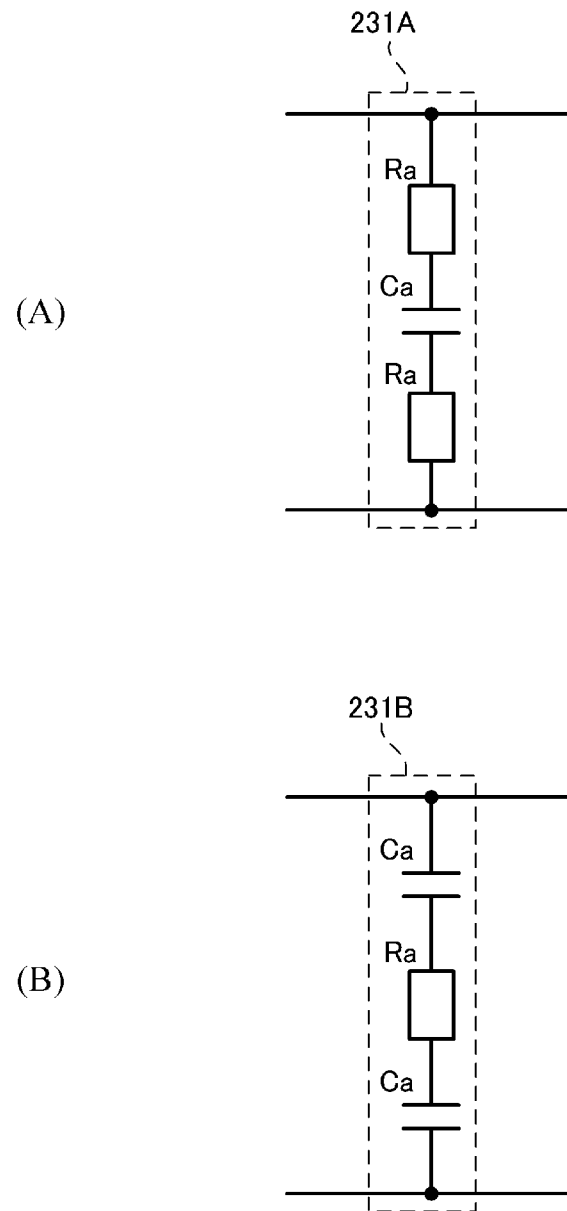
[図7]



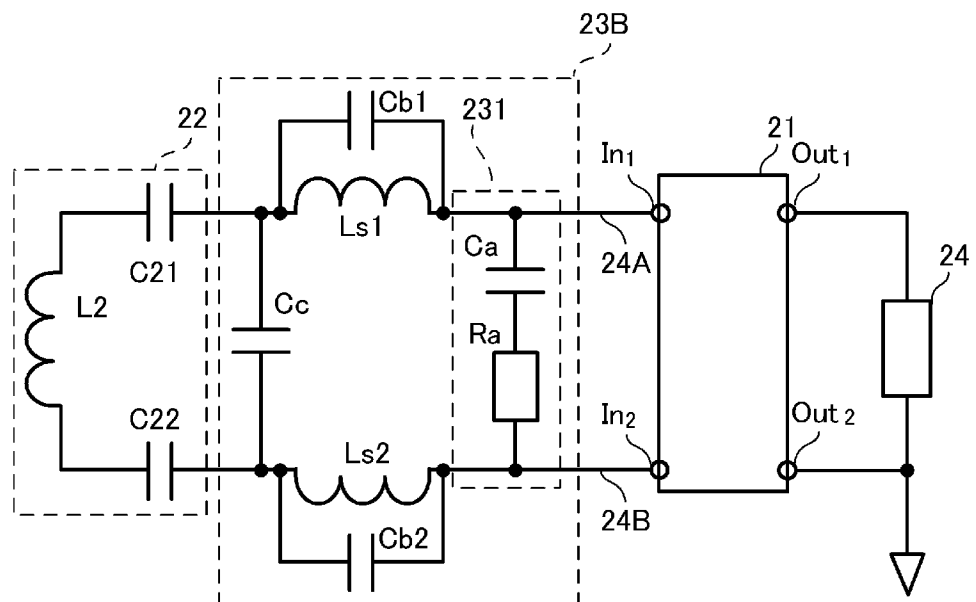
[図8]



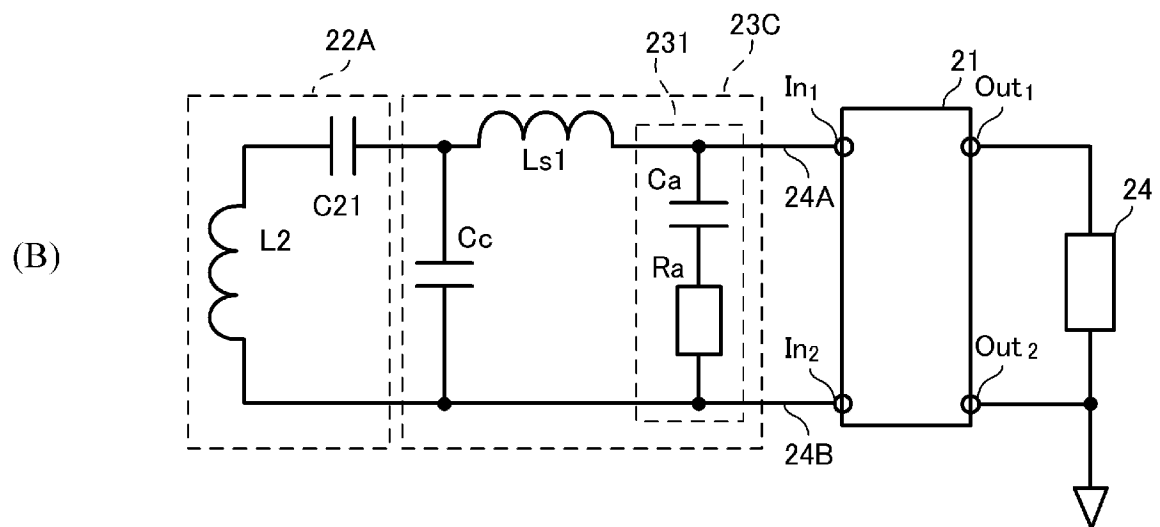
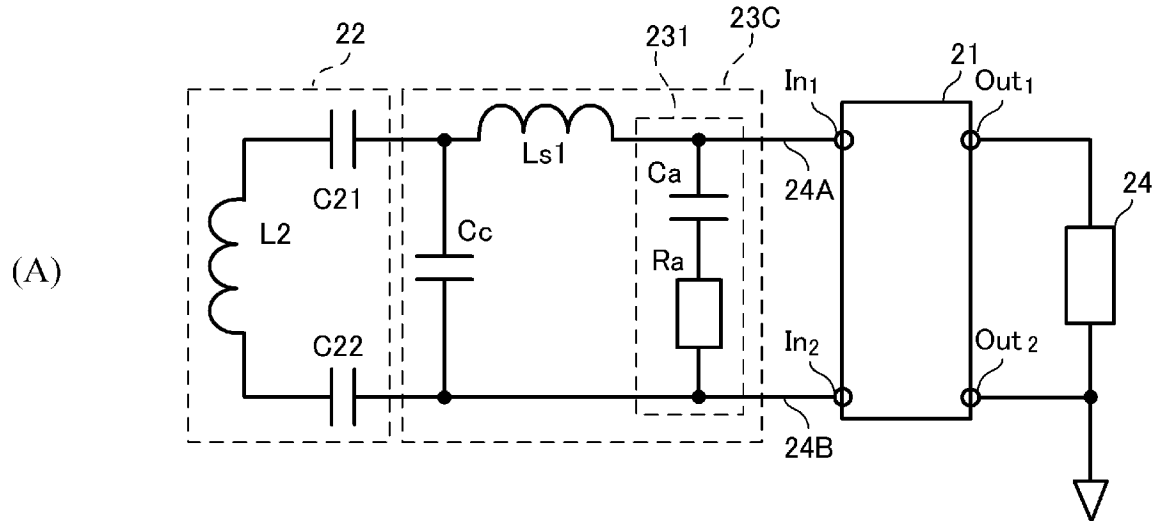
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/012281

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/06(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 07-322614 A (Matsushita Electric Works, Ltd.), 08 December 1995 (08.12.1995), 2nd example; fig. 4 (Family: none)	1-8
Y	JP 2013-520768 A (General Electric Co.), 06 June 2013 (06.06.2013), paragraph [0030]; fig. 7 & WO 2011/106069 A2 page 12; fig. 7 & US 2013/0241415 A1 & TW 201144687 A & EP 2539634 A2 & CN 102762921 A & CA 2790136 A1	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 June 2017 (05.06.17)

Date of mailing of the international search report
13 June 2017 (13.06.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/012281

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-143250 A (Densei-Lambda Kabushiki Kaisha), 02 June 2005 (02.06.2005), paragraph [0044]; fig. 1 (Family: none)	4-8
Y	JP 2013-143869 A (Ricoh Co., Ltd.), 22 July 2013 (22.07.2013), paragraph [0035]; fig. 7 (Family: none)	5-8
Y	WO 2015/033788 A1 (Murata Mfg. Co., Ltd.), 12 March 2015 (12.03.2015), paragraph [0002] (Family: none)	7-8
Y	JP 11-69774 A (Hitachi, Ltd.), 09 March 1999 (09.03.1999), abstract (Family: none)	8
A	JP 2009-159654 A (Panasonic Electric Works Co., Ltd.), 16 July 2009 (16.07.2009), paragraph [0057]; fig. 1 (Family: none)	1-8
A	JP 2014-17970 A (Denso Corp.), 30 January 2014 (30.01.2014), paragraph [0048] & US 2014/0009971 A1 paragraphs [0162] to [0165]	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M7/06 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M7/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 07-322614 A (松下電工株式会社) 1995. 12. 08, 第2実施例、第4図 (ファミリーなし)	1-8
Y	JP 2013-520768 A (ゼネラル・エレクトリック・カンパニー) 2013. 06. 06, 第30段落、第7図 & WO 2011/106069 A2, Page 12 Fig. 7 & US 2013/0241415 A1 & TW 201144687 A & EP 2539634 A2 & CN 102762921 A & CA 2790136 A1	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05. 06. 2017

国際調査報告の発送日

13. 06. 2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小原 正信

5G

3803

電話番号 03-3581-1101 内線 3526

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-143250 A (デンセイ・ラムダ株式会社) 2005.06.02, 第44段落、第1図 (ファミリーなし)	4-8
Y	JP 2013-143869 A (株式会社リコー) 2013.07.22, 第35段落、第7図 (ファミリーなし)	5-8
Y	WO 2015/033788 A1 (株式会社村田製作所) 2015.03.12, 第2段落 (ファミリーなし)	7-8
Y	JP 11-69774 A (株式会社日立製作所) 1999.03.09, 要約 (ファミリーなし)	8
A	JP 2009-159654 A (パナソニック電気株式会社) 2009.07.16, 第57段落、第1図 (ファミリーなし)	1-8
A	JP 2014-17970 A (株式会社デンソー) 2014.01.30, 第48段落 & US 2014/0009971 A1, 第162-165段落	1-8