

ITALIAN PATENT OFFICE

Document No.

102010901863250A1

Publication Date

20120202

Applicant

SELEX SISTEMI INTEGRATI S.P.A.

Title

TRANSISTORI AD ALTA MOBILITA' ELETTRONICA CON Elettrodo di
FIELD PLATE

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:

"TRANSISTORI AD ALTA MOBILITA' ELETTRONICA CON ELETTRODO DI FIELD PLATE"

di SELEX SISTEMI INTEGRATI S.P.A.

di nazionalità italiana

con sede: VIA TIBURTINA, 1231

ROMA (RM)

Inventori: PERONI Marco, ROMANINI Paolo

SETTORE TECNICO DELL'INVENZIONE

La presente invenzione è relativa in generale a transistori ad effetto di campo metallo-semiconduttore ("Metal-Semiconductor Field Effect Transistors" - MESFET), ed in particolare a transistori ad alta mobilità elettronica ("High Electron Mobility Transistors" - HEMT) con elettrodo di field plate.

STATO DELL'ARTE

Com'è noto, i MESFET sono una particolare tipologia di transistori ad effetto di campo in cui la giunzione di controllo ("gate junction") è costituita da una giunzione metallo-semiconduttore, nota anche come giunzione Schottky, a differenza dei transistori ad effetto di campo a giunzione ("junction field effect transistors" - JFET), in cui la giunzione di controllo è costituita da una giunzione

a semiconduttore p-n, od i transistori metallo-ossido-semiconduttore ad effetto di campo ("metal-oxide-semiconductor field effect transistors" - MOSFET), in cui tra l'elettrodo di controllo ed il semiconduttore è interposto uno strato dielettrico (generalmente di ossido di silicio). I MESFET sono normalmente fabbricati con semiconduttori composti quali GaAs, InP o SiC e sono più veloci dei JFET o dei MOSFET realizzati in silicio grazie alla superiore mobilità che gli elettroni hanno in tali materiali, benché i primi siano più costosi degli ultimi. I MESFET possono operare fino a frequenze di circa 45 GHz e sono pertanto componenti spesso utilizzati per la costruzione di circuiti integrati a microonde.

È altresì noto che i circuiti integrati a microonde monolitici ("Monolithic Microwave Integrated Circuits" - MMIC) utilizzati in applicazioni di alta potenza e/o alta frequenza sono chiamati a svolgere diverse funzionalità a radio frequenza (RF), quali la commutazione, l'amplificazione a basso rumore, e l'amplificazione di potenza, come ad esempio richiesto ai front-end dei moduli di trasmissione e ricezione operanti nella banda di frequenza che va dalle microonde alle onde millimetriche, sia a banda stretta che larga.

Fra le caratteristiche che hanno maggiore incidenza sulle prestazioni dei MESFET, rivestono senza dubbio un

ruolo di primaria importanza le caratteristiche elettriche del materiale semiconduttore con cui i MESFET sono realizzati. Perciò, la crescente richiesta del mercato per MMIC con caratteristiche prestazionali sempre più spinte ha portato l'industria elettronica verso MESFET ad eterostruttura ed alta mobilità elettronica, comunemente chiamati HEMT, le cui caratteristiche elettriche sono tali da permettere a tale crescente richiesta di essere soddisfatta. Tuttavia, le diverse funzionalità RF richieste ai MMIC comportano esigenze implementative che possono essere anche molto differenti fra loro, il soddisfacimento delle quali richiede l'impiego di HEMT con prestazioni altrettanto differenti.

Pertanto, le diverse funzionalità RF che i circuiti integrati possono essere chiamati a svolgere, così come lo sviluppo di nuove funzionalità RF, comportano inevitabilmente l'utilizzo di strati di materiale semiconduttore con differenti caratteristiche di spessore, composizione e drogaggio, realizzate in modo tale da ottenere le caratteristiche elettriche degli HEMT volute. Visto che il processo di fabbricazione degli HEMT è legato alle caratteristiche del materiale semiconduttore di partenza, le differenti caratteristiche sopra menzionate comportano conseguentemente l'adozione o lo sviluppo di differenti processi di fabbricazione degli HEMT.

Inoltre, alcune applicazioni possono richiedere che uno stesso MMIC implementi differenti funzionalità RF. In queste applicazioni, gli HEMT necessari per le funzionalità richieste al circuito integrato RF sono tutti realizzati su uno stesso substrato, le cui caratteristiche elettriche non possono quindi che essere il frutto di un compromesso fra le diverse richieste prestazionali degli HEMT, il quale può dare, e frequentemente dà, origine a criticità sulle prestazioni globali del MMIC.

Tali criticità sono acute quando si debbono realizzare gli HEMT presenti nei circuiti amplificatori MMIC operanti nello spettro di frequenza più alta delle microonde fino alle onde millimetriche, ed in particolare quando si richiede uno spettro di funzionamento particolarmente largo (quali i circuiti integrati amplificatori multi-banda). In tal caso, si richiede un aumento delle frequenze di taglio degli HEMT, intese come la frequenza associata al guadagno unitario in corrente (f_T) e quella associata al guadagno unitario in potenza (f_{MAX}), che comporta una diminuzione della lunghezza dell'elettrodo di controllo per diminuirne la capacità parassita. Sebbene la variazione geometrica della giunzione dell'elettrodo di controllo consenta di raggiungere tale vantaggio, essa può essere associata alla variazione di altri parametri caratteristici degli HEMT, che hanno un'influenza negativa allo stesso aumento delle

frequenze di taglio f_T ed f_{MAX} . Una variazione è legata alla diminuzione dell'area della sezione della metallizzazione dell'elettrodo di controllo, che comporta un aumento della resistenza parassita dell'elettrodo di controllo, che va a discapito dell'aumento della frequenza di taglio f_{MAX} .

Tale problema viene parzialmente superato dalla realizzazione di una geometria a "T", "Γ" o "Y" della sezione della metallizzazione dell'elettrodo di controllo, che consente di realizzare una giunzione (piede dell'elettrodo di controllo) con lunghezza di contatto di piccole dimensioni, unita, verso la sua parte superiore, ad un'estensione della stessa metallizzazione (testa dell'elettrodo di controllo), di dimensioni maggiori e sollevata rispetto al piede. La differenza fra le dimensioni laterali della testa e del piede dell'elettrodo di controllo, così come l'altezza della testa rispetto alla base del piede, non possono però superare certi limiti senza aumentare sensibilmente la fragilità meccanica della metallizzazione stessa, con conseguenze negative sulla resa di fabbricazione dei dispositivi HEMT stessi, limitando così di fatto la diminuzione della lunghezza della giunzione dell'elettrodo di controllo per una fissata area della sezione e capacità parassita associata all'estensione della testa. L'area della sezione della metallizzazione dell'elettrodo di controllo per un fissato requisito sulla

sua resistenza parassita, è poi funzionale alle diverse dimensioni degli HEMT, dovendo essere maggiore quanto più è estesa la larghezza, come tipicamente realizzato per dispositivi dalle dimensioni maggiori, in particolare quando è richiesto il suo utilizzo per le applicazioni di potenza, mentre può essere minore per dispositivi più piccoli, come generalmente implementato nei dispositivi utilizzati nei circuiti amplificatori a basso rumore.

La diminuzione della lunghezza della giunzione dell'elettrodo di controllo comporta inoltre generalmente un calo della transconduttanza dell'HEMT, frequentemente descritto come "effetto di canale corto", effetto che anch'esso ha conseguenze negative sull'aumento della frequenze di taglio f_T ed f_{MAX} . Tale effetto è più marcato quando si polarizza l'HEMT per basse correnti ed alte tensioni di pozzo, condizioni tipicamente raggiunte nelle applicazioni ad elevata potenza. Anche questo risvolto comporta una maggiore criticità per la riduzione della lunghezza dell'elettrodo di controllo quando bisogna realizzare HEMT ottimizzati per applicazioni di amplificatori ad elevata potenza rispetto a quelli a basso rumore, dove per migliorare le prestazioni di rumore RF si tende ad ottimizzare le caratteristiche dell'HEMT affinché la sua polarizzazione ottima sia per tensioni di polarizzazione dell'elettrodo di pozzo più basse possibili.

Altre soluzioni tecniche, tipo quella descritta da R. Vetury, J.B. Shealy, D. S. Green, J. McKenna, J. D. Brown, K. Leverich, P. M. Garber e M. J. Poulton nell'articolo ("conference paper") *"Performance and RF Reliability of GaN-on-SiC HEMTs using Dual-Gate Architectures"*, presentato alla riunione del simposio internazionale di microelettronica del 2006 ("submitted to the Proceedings of the 2006 International Microelectronics Symposium") e pubblicato ("appearing") in Microwave Symposium Digest, 2006, IEEE MTT-S International, 11-16 Giugno 2006, pagine 714-717, sono generalmente utilizzate per proteggere l'HEMT da elevati campi elettrici, ma possono andare a discapito di alcune prestazioni, e pertanto vanno ottimizzate a seconda della funzionalità prescelta. Ciò viene frequentemente realizzato, in particolare nella fabbricazione dei GaN HEMT, come nell'esempio descritto nel riferimento bibliografico precedentemente citato, con l'introduzione di ulteriori metallizzazioni sopra il canale dell'HEMT, tra l'elettrodo di controllo e quello di pozzo, generalmente chiamate Field Plate, sia singole che multiple, connesse ad un potenziale elettrico di massa, che realizzano una giunzione Schottky o Metallo Isolante Semiconduttore (MIS) con gli elettroni del canale tra l'elettrodo di controllo e l'elettrodo di pozzo, il cui effetto è di ridurre la massima intensità del picco del

campo elettrico all'interno del materiale semiconduttore, per una fissata polarizzazione del dispositivo, con conseguenti benefici sull'aumento della robustezza del dispositivo alle elevate tensioni di polarizzazione e sulla mitigazione degli effetti di canale corto.

Alla presenza di tali metallizzazioni, sono però associate delle capacità parassite che hanno l'effetto di ridurre il guadagno ad alta frequenza e/o la loro ampiezza di banda. Inoltre, l'uso di una doppia giunzione Schottky, connessa direttamente ad un potenziale elettrico di massa, se da una parte permette di ridurre drasticamente il campo elettrico, ha anche l'effetto negativo di limitare la corrente di elettrodo di pozzo quando la tensione dell'elettrodo di controllo assume valori positivi, riducendo così la dinamica dell'ampiezza del segnale d'uscita e quindi la linearità e la massima potenza del segnale RF amplificato.

C'è da considerare inoltre che, riducendo il campo elettrico nel canale, a parità della tensione di pozzo, aumenta corrispondentemente anche la tensione di ginocchio V_{DS}^K , ovvero la tensione per cui le caratteristiche della corrente di pozzo I_D in funzione della tensione fra elettrodo di pozzo ed elettrodo di Sorgente ("Drain-Source voltage") arrivano ad un valore di saturazione. Tale aumento della tensione di ginocchio V_{DS}^K , rende necessario

l'uso di tensioni più alte, e quindi dissipazioni maggiori che generalmente non vanno a beneficio delle prestazioni di basso rumore ad alta frequenza. Pertanto tali soluzioni "Field Plate", specie quando introdotte negli HEMT ad alta frequenza, mentre sono preferibili per applicazioni di alta potenza, potrebbero essere controproducenti per l'amplificazione a basso rumore.

OGGETTO E RIASSUNTO DELL'INVENZIONE

Scopo della presente invenzione è pertanto quello di mettere a disposizione un HEMT che consenta di superare gli inconvenienti sopra descritti, in particolare che consenta l'ottimizzazione delle prestazioni degli HEMT per diverse funzionalità RF senza che sia necessario dover modificare le caratteristiche, in termini di composizione e/o drogaggio, del materiale semiconduttore con cui sono fabbricati e, conseguentemente, i processi di fabbricazione degli stessi.

Tale scopo è raggiunto dalla presente invenzione, la quale è relativa ad un HEMT come definito nelle rivendicazioni allegate.

BREVE DESCRIZIONE DEI DISEGNI

- le Figure 1-3 sono viste schematiche in sezione di un HEMT con elettrodo di field plate secondo una preferita forma di realizzazione dell'invenzione;
- la Figura 4 è una vista in pianta dell'HEMT di

Figura 3;

- la Figura 5 è una vista schematica in sezione di un HEMT a singolo elettrodo di controllo e con giunzione Schottky; e

- la Figura 6 è una vista schematica in sezione di un HEMT con elettrodo di controllo Metallo-Isolante-Semiconduttore.

DESCRIZIONE DETTAGLIATA DI PREFERITE FORME DI REALIZZAZIONE DELL'INVENZIONE

La presente invenzione verrà ora descritta in dettaglio con riferimento alle figure allegate per permettere ad una persona esperta di realizzarla ed utilizzarla. Varie modifiche alle forme di realizzazione descritte saranno immediatamente evidenti alle persone esperte ed i generici principi descritti possono essere applicati ad altre forme di realizzazione ed applicazioni senza per questo uscire dall'ambito protettivo della presente invenzione, come definito nelle rivendicazioni allegate. Pertanto, la presente invenzione non deve essere considerata limitata alle forme di realizzazione descritte ed illustrate, ma gli si deve accordare il più ampio ambito protettivo conforme i principi e le caratteristiche qui descritte e rivendicate.

Le Figure 1-3 illustrano schematicamente in sezione un HEMT secondo una preferita forma di realizzazione della presente invenzione e durante differenti fasi del suo

processo di fabbricazione.

In particolare, nella Figura 3 è indicato nel suo insieme con 1 un HEMT comprendente:

- un substrato epitassiale comprendente:
 - un substrato semi-isolante 2, generalmente di materiale semiconduttore, ad esempio di Silicio (Si), Carburo di Silicio (SiC), Nitruro di Gallio (GaN) o Zaffiro (Al_2O_3);
 - uno strato buffer 3, preferibilmente comprendente Nitruro di un elemento del III gruppo quale Nitruro di Gallio o Gallio Alluminio e/o Indio (GaN/AlGaN/InGaN/AlInGaN), convenientemente Nitruro di Gallio (GaN), formato sul substrato semi-isolante 2, eventualmente tramite l'interposizione di altri strati; ed
 - uno strato barriera 4, preferibilmente comprendente anch'esso un Nitruro di un elemento del III gruppo, in particolare Nitruro di Gallio, Indio e Alluminio (InAlGaN), formato sullo strato buffer 3, eventualmente a sua volta formato da strati con variazione nella composizione e drogaggio; e
 - uno strato di protezione meccanica e/o di passivazione 5, preferibilmente di materiale dielettrico quale Nitruro di Silicio (SiN),

Biossido di Silicio (SiO_2) o formato da più strati sovrapposti da essi composti, formato sullo strato barriera 4 ed in cui sono lasciate esposte porzioni dello strato barriera 4 definenti una prima ed una seconda regione di contatto ohmico;

- un elettrodo di sorgente 6 ed un elettrodo di pozzo 7 formati rispettivamente su, ed in contatto ohmico con, le porzioni esposte dello strato barriera 4, nelle prima e, rispettivamente, nella seconda regione di contatto ohmico;

- un elettrodo di controllo ("control gate") 13 formato su, ed in contatto Schottky con, lo strato barriera 4, fra gli elettrodi di sorgente 6 e di pozzo 7, dai quali è lateralmente separato; ed

- un elettrodo di field plate 13' formato su, ed in contatto Schottky con, lo strato barriera 4, fra gli elettrodi di controllo 13 e di pozzo 7, dai quali è lateralmente separato.

L'elettrodo di controllo 13 è utilizzato per modulare il segnale di ingresso ed è realizzato prossimo all'elettrodo di sorgente 6, mentre l'elettrodo di field plate 13' svolge la funzione di lamina modulatrice (field plate) per mitigare il campo elettrico all'interno dell'HEMT 1, aumentandone l'affidabilità e la robustezza, e ridurre gli effetti di canale corto a vantaggio del guadagno RF dell'HEMT 1, ed è generalmente realizzato

anch'esso fra gli elettrodi di sorgente 6 e di pozzo 7, ma localizzato in posizione più prossima all'elettrodo di pozzo 7 rispetto all'elettrodo di controllo 13 e separato da esso.

Sullo strato di protezione meccanica e/o di passivazione 5 e sui contatti ohmici 6 e 7 possono poi essere depositati uno o più ulteriori strati di passivazione, preferibilmente composti da SiN e/o SiO₂.

Gli elettrodi di sorgente 6 e di pozzo 7 sono convenientemente realizzati formando, al di sopra dello strato di protezione meccanica e/o di passivazione 5, una maschera formata convenientemente da uno strato di resist fotolitografico che viene modellato ("patterned") in maniera tale da formare una prima ed una seconda finestra in corrispondenza della prima e della seconda regione di contatto ohmico. Lo strato di protezione meccanica e/o di passivazione 5 viene quindi attaccato chimicamente ("etching") in corrispondenza della prima e della seconda finestra fino all'interfaccia con lo strato barriera 4 e viene quindi effettuata una deposizione metallica in corrispondenza delle porzioni esposte dello strato barriera 4, la quale porta alla formazione degli elettrodi di sorgente 6 e di pozzo 7. Si sottopone quindi l'HEMT 1 ad un ciclo termico di lega degli elettrodi di sorgente 6 e di pozzo 7 con lo strato barriera 4 sottostante, in modo da

formare un contatto non rettificante (ohmico) tra metallo ed elettroni presenti nel canale.

In una forma di realizzazione alternativa, gli elettrodi di sorgente 6 e di pozzo 7 possono essere formati sullo strato barriera 4 prima dello strato di protezione meccanica e/o di passivazione 5, e quest'ultimo essere poi successivamente depositato fra gli elettrodi di sorgente 6 e di pozzo 7.

Gli elettrodi di sorgente 6 e di pozzo 7 possono essere convenientemente formati in maniera tale da risultare più piccoli delle rispettive finestre nello strato di protezione meccanica e/o di passivazione 5, così da risultare distanziati da quest'ultimo. Preferibilmente, questa differenza tra le dimensioni delle finestre nello strato di protezione meccanica e/o di passivazione 5 e quelle degli elettrodi di sorgente 6 e di pozzo 7, viene ottenuta utilizzando un attacco chimico isotropico, o parzialmente tale, per la rimozione dello strato di protezione meccanica e/o passivazione 5, dopo aver applicato la maschera per la definizione degli elettrodi di sorgente 6 e di pozzo 7, e prima della deposizione del metallo. Preferibilmente, quando lo strato di protezione meccanica e/o passivazione 5 è realizzato mediante strati di Nitruro di Silicio (SiN) e/o Biossido di Silicio (SiO_2), l'attacco chimico isotropico può essere ottenuto mediante

immersione in una soluzione liquida basata sulla miscela di NH_4F , HF ed H_2O .

Per definire le aree di semiconduttore elettricamente conduttive della superficie dell'MMIC dove vengono realizzati i dispositivi attivi, rispetto alle aree di semiconduttore elettricamente non conduttive, dove vengono generalmente realizzati i componenti passivi, si rende lo strato barriera 4 elettricamente isolato all'esterno dell'area attiva dell'HEMT 1. Ciò si può realizzare avendo protetto prima la superficie che si desidera lasciare elettricamente conduttiva con una maschera formata convenientemente da uno strato di resist fotolitografico opportunamente modellato, e successivamente rendendo elettricamente non conduttiva l'area non coperta da tale maschera tramite un processo di bombardamento della superficie, ad esempio mediante impiantazione di ioni Fluoro ad energia compresa fra 50KeV e 300KeV e dose compresa fra $5 \times 10^{13} \text{ cm}^{-2}$ e $2 \times 10^{14} \text{ cm}^{-2}$, od in alternativa rimuovendo le parti conduttive del materiale semiconduttore presenti all'esterno della maschera, operando un attacco chimico-fisico del materiale non protetto da essa fino ad eliminare completamente lo strato barriera 4 all'esterno ed esporre lo stato buffer 3 sottostante. Per entrambe le procedure, il processo di isolamento viene realizzato precedentemente alla definizione dell'elettrodo di

controllo 13 e dell'elettrodo di field plate 13', come descritto di seguito.

L'elettrodo di controllo 13 e l'elettrodo di field plate 13' vengono realizzati contemporaneamente nel modo qui di seguito descritto con riferimento alle Figure 1 e 2. Come illustrato, sullo strato di protezione meccanica e/o di passivazione 5 e sul primo e secondo contatto ohmico 6, 7 (e su eventuali ulteriori strati di passivazione su di questi depositi) viene formato uno strato di mascheratura 8 (Figura 1) provvisto di due aperture 9 e 9' passanti che espongono rispettive porzioni dello strato di protezione meccanica e/o di passivazione 5 fra i contatti ohmici 6 e 7. Preferibilmente, lo strato di mascheratura 8 è uno strato di resist fotolitografico, il quale viene fotolitograficamente modellato ("patterned") per formare le aperture 9 e 9', le quali possono convenientemente avere dimensioni minime dell'ordine di alcune decine di nm.

Due finestre 10 e 10' passanti vengono quindi formate nello strato di protezione meccanica e/o di passivazione 5, in corrispondenza delle aperture 9 e 9' nello strato di mascheratura 8, in maniera tale da esporre rispettive superfici dello strato barriera 4 definenti rispettive regioni di contatto Schottky nelle quali verranno successivamente realizzati l'elettrodo di controllo 13 e l'elettrodo di field plate 13'. In particolare, le finestre

10 e 10' vengono realizzate mediante un attacco chimico selettivo a basso danneggiamento ("low damage") che erode lo strato di protezione meccanica e/o di passivazione 5 fino all'interfaccia con lo strato barriera 4.

Porzioni inferiori 11 e 11' dell'elettrodo di controllo 13 e, rispettivamente, dell'elettrodo di field plate 13', nel seguito indicate con il termine "piedi" ("gate foots"), vengono quindi formate contemporaneamente sulle porzioni esposte dello strato barriera 4, nelle finestre 10 e 10', ad esempio per deposizione di Nichel (Ni) o Platino (Pt) oppure di un metallo refrattario quale molibdeno (Mo) o tungsteno (W), ovvero una deposizione di molteplici strati composti da metalli con tali caratteristiche. In particolare, i piedi 11 vengono formati in maniera tale da estendersi attraverso lo strato di protezione meccanica e/o di passivazione 5 per un'altezza non superiore, convenientemente inferiore, a quella dello spessore complessivo dello strato di protezione meccanica e/o di passivazione 5 e di eventuali ulteriori strati di passivazione, così da non fuoriuscire dalle finestre 10 e 10'. Ciò consente di facilitare la separazione fisica fra il metallo deposto sullo strato barriera 4 e quello deposto sopra lo strato di mascheratura 8, e quindi la successiva rimozione di quest'ultimo metallo, utilizzando l'esposizione in solventi (come ad esempio acetone o N-

Methyl-2-pyrrolidone/NMP) dello strato di mascheratura nel caso esso sia composto da resist fotolitografico, come nella forma di realizzazione precedentemente descritta.

Opzionalmente, prima della deposizione della metallizzazione dei piedi 11 e 11' dell'elettrodo di controllo 13 e dell'elettrodo di field plate 13' potrebbe essere realizzato un attacco chimico dello strato barriera 4 in corrispondenza delle finestre 10 e 10' in maniera tale da realizzare recessi nello strato barriera 4, illustrati in Figura 3 con linea tratteggiata, facendo così sì che le metallizzazioni dei piedi 11 e 11' dell'elettrodo di controllo 13 e dell'elettrodo di field plate 13' penetrino parzialmente nello strato barriera 4. In una variante non illustrata, utilizzando mascherature differenti, potrebbe essere realizzato anche uno solo dei due recessi, convenientemente solo quello in corrispondenza del piede 11 dell'elettrodo di controllo 13, configurazione, quest'ultima, che permette di limitare l'effetto di strozzamento causato dalla presenza dell'elettrodo di field plate 13'.

L'HEMT 1 viene quindi sottoposto ad un trattamento termico di stabilizzazione e ricottura al fine di rimuovere il danneggiamento al reticolo cristallino della superficie del semiconduttore introdotto dai passi di processo precedenti, quali gli attacchi chimici effettuati sullo

strato di protezione meccanica e/o passivazione 5 ed eventualmente sullo strato barriera 4, la deposizione di strati metallici e/o dielettrici ed altri eventuali, e stabilizzare l'interfaccia metallo-semiconduttore della giunzione Schottky. Per una rimozione efficace del danneggiamento in un Nitruro di un elemento del III gruppo, è generalmente conveniente utilizzare cicli termici successivi alla deposizione della metallizzazione che forma la barriera Schottky col semiconduttore, in cui le temperature raggiunte superano 450°C, e quindi possono essere superiori a quelle di diffusione dell'Oro (Au) p e/o dell'Alluminio (Al) nei metalli precedentemente citati, e che formano la barriera Schottky durante la definizione dei piedi 11.

Con riferimento nuovamente alla Figura 3, una porzione superiore 12 del solo elettrodo di controllo 13, nel seguito indicata con il termine "testa" ("gate head"), viene quindi formata sul piede 11, ad esempio per deposizione di un metallo a bassa resistività quale oro (Au) o alluminio (Al) con elevato spessore, eventualmente tramite l'interposizione di altri strati metallici di barriera quali nichel (Ni) o titanio (Ti) al fine di limitare la possibilità di una reazione chimica con la metallizzazione del piede 11.

In particolare, la testa 12 viene formata in maniera

tale da fuoriuscire dalla finestra 10 e da presentare, preferibilmente, una prima porzione 12a che si estende lateralmente sulla superficie dello strato di protezione meccanica e/o di passivazione 5, all'esterno della finestra 10, in maniera tale da appoggiarsi su e risultare meccanicamente supportata da quest'ultimo, migliorando così l'aderenza meccanica dell'elettrodo di controllo 13 alle porzioni con cui risulta a contatto, ma senza aumentare significativamente la capacità parassita globale dell'elettrodo di controllo 13. In altri termini, la testa 12 è modellata in maniera tale da definire in sezione, congiuntamente al piede 11, un profilo a gradino ("stair-step profile") in corrispondenza della prima porzione 12a.

La testa 12 viene inoltre formata in maniera tale da presentare una seconda porzione 12b verticalmente distanziata dalla ed estendentisi lateralmente da uno o da entrambi i lati della prima porzione 12a, così da fornire alla testa 12 una sezione a profilo ottimizzato, ad esempio la cui geometria assuma un aspetto assimilabile a quella delle lettere "T", "Y" o "I", per minimizzare la resistenza e capacità parassite dell'elettrodo di controllo 13, consentendo di utilizzare metalli che non sono necessariamente compatibili con cicli termici ad alta temperatura utilizzati nella prima fase di formazione del piede 11.

Nella sua forma di realizzazione preferita, per ottenere la geometria a "T" "Y" o "Γ" della testa 12, ci si avvale di un processo che utilizza la litografia a fascio elettronico il quale, impressionando strati multipli di resist, depositi con diversi spessori e sensibilità sulla superficie del wafer, le aree dove deve essere realizzata la maschera formata da tali resist, consentano di ottenere delle aperture, dopo la successiva fase di sviluppo, il cui profilo sia ottimizzato per fornire alla metallizzazione della testa la geometria voluta, oltre che facilitare la separazione fisica fra il metallo depositato in coincidenza di quello del piede e quello depositato sopra la maschera del multistrato di resist.

In una forma di realizzazione alternativa, l'elettrodo di controllo 13 potrebbe essere realizzato in un sol pezzo durante una singola fase di deposizione di metallo, eventualmente dopo aver realizzato un recesso sullo strato barriera 4 mediante un attacco chimico, a sua volta realizzato dopo aver praticato l'attacco dello strato di protezione meccanica e/o passivazione (5). Per far ciò, l'elettrodo di controllo 13 e l'elettrodo di field plate 13' non vengono realizzati contemporaneamente, bensì vengono realizzati in fasi temporalmente successive ed utilizzando due differenti maschere, con la prima delle quali viene dapprima formato il piede 11' dell'elettrodo di

field plate 13', mentre con la seconda delle quali viene successivamente formato l'intero elettrodo di controllo 13 con la conformazione sopra descritta. In questa forma di realizzazione alternativa, inoltre, l'attacco chimico selettivo dello strato di protezione meccanica e/o di passivazione 5 mediante il quale viene formata la finestra 10' in cui viene realizzato il solo piede 11' dell'elettrodo di field plate 13' può essere alternativamente o prolungato oltre l'interfaccia con lo strato barriera 4, in maniera tale da formare un recesso nello strato barriera 4 e depositarci successivamente la metallizzazione piede 11' dell'elettrodo di field plate 13', oppure interrotto prima di raggiungere l'interfaccia con lo strato barriera 4, in modo tale da lasciare una sottile porzione residuale dello strato di protezione meccanica e/o di passivazione 5 al di sotto del piede 11' dell'elettrodo di field plate 13', fra questo e lo strato barriera 4. Nel caso in cui una sottile porzione residuale dello strato di protezione meccanica e/o di passivazione 5 venga lasciata fra lo strato barriera 4 ed il piede 11' dell'elettrodo di field plate 13', quest'ultimo non risulta più in contatto Schottky con lo strato barriera 4. In entrambe le alternative, inoltre, al di sopra del piede 11' dell'elettrodo di field plate 13' potrebbe poi essere depositato un ulteriore strato di protezione meccanica e/o

di passivazione.

L'elettrodo di field plate 13' è connesso ad un potenziale elettrico di massa, o più in generale ad un potenziale elettrico di riferimento che potrebbe anche essere differente dal potenziale elettrico di massa, attraverso un collegamento esterno alla regione di canale dell'HEMT 1. Il motivo di tale soluzione consiste nel fatto che l'elettrodo di field plate 13' ha la funzione di diminuire il campo elettrico nel canale grazie alla modulazione degli elettroni del canale fornito dalla giunzione di field plate, e di migliorare così l'affidabilità e mitigare l'effetto di canale corto dell'HEMT 1 rispetto ad un dispositivo analogo ma dove sia assente l'elettrodo di field plate 13'. Siccome l'elettrodo di field plate 13' non deve trasportare un segnale RF ma applicare un campo elettrico statico, non è necessario ridurre la sua resistenza sovrapponendoci una metallizzazione di testa come nell'elettrodo di controllo 13, e così la realizzazione di un elettrodo di field plate con la sola metallizzazione del piede 11' facilita la sua collocazione in prossimità dell'elettrodo di controllo 13, in modo tale da modulare la caduta di tensione nel canale dell'HEMT 1, nel volume di semiconduttore presso l'elettrodo di controllo 13 dal lato verso l'elettrodo di pozzo 7, permettendo così di controllare il campo elettrico

in tale zona, dove tipicamente si trova il suo valore di picco, diminuendone la sua intensità e mitigando conseguentemente gli associati rischi per l'affidabilità dell'HEMT 1, quale la piezoelettricità inversa o la generazione di carica per ionizzazione da impatto.

L'elettrodo di field plate 13', specie quando realizzato con una giunzione Schottky, ha anche l'ulteriore funzione protettiva di limitare sia la corrente che fluisce attraverso l'elettrodo di controllo 13, schermando e raccogliendo la carica in eccesso generata dai fenomeni di ionizzazione da impatto, sia limitando la massima corrente di pozzo nel caso l'elettrodo di controllo 13 superi la tensione di accensione del diodo Schottky. Infatti, l'elettrodo di field plate 13', quando esso è realizzato con una giunzione Schottky connessa ad una tensione fissata, può limitare la corrente del canale in quanto tale giunzione polarizzata ha l'effetto di svuotare gli elettroni presenti sotto tale giunzione, limitando così la corrente che fluisce nel canale a seconda del suo potenziale elettrico. Per evitare però che tale potenziale elettrico abbia un effetto di limitazione eccessiva sulla massima corrente di pozzo, comprimendo perciò la dinamica dell'ampiezza del segnale RF in ai capi dell'elettrodo di pozzo, la connessione elettrica dell'elettrodo di field plate 13' si può realizzare attraverso un'appropriata

circuitazione elettrica comprendente un contatto rettificante ed eventualmente una resistenza elettrica aggiuntiva in serie al contatto rettificante, in modo tale che, nelle condizioni di polarizzazione elettriche operative dell'HEMT 1, l'elettrodo di field plate 13' si autopolarizzi, portando il proprio potenziale elettrico a valori positivi prossimi alla tensione di accensione di una giunzione Schottky. Ciò è realizzabile, ad esempio, contattando il secondo elettrodo di field plate 13' con l'anodo di un diodo, il quale a sua volta ha il catodo collegato a massa attraverso un elemento resistivo, così come raffigurato schematicamente in Figura 3.

Grazie ad una siffatta connessione, l'elettrodo di field plate 13' si autopolarizza alla tensione di ginocchio di un diodo (tipicamente +1 V, se si realizza il diodo con un contatto Schottky con gli elettroni nel GaN), evitando in tal modo che il canale dell'HEMT 1 possa rimanere strozzato dall'elettrodo di field plate 13' quando il segnale RF applicato all'elettrodo di controllo 13 raggiunge valori di tensione positivi. Inoltre, la presenza di una rete resistiva tra l'elettrodo di field plate 13' e la massa consente di limitare le perdite del segnale RF in uscita, poiché la capacità parassita dell'elettrodo di field plate 13' così non è connessa direttamente a massa attraverso un corto-circuito, ma attraverso un filtro RC

serie.

La connessione ad un potenziale elettrico di massa dell'elettrodo di field plate 13' con le caratteristiche sopra descritte può essere convenientemente realizzata in modo tale da essere integrata nello stesso MMIC, come illustrato schematicamente nella Figura 4. In particolare, durante la fase di isolamento elettrico dell'area, indicata in Figura 6 con 4', dello strato barriera 4 all'esterno dell'area attiva dell'HEMT 1, formando in quest'area, attraverso una opportuna modellizzazione della maschera di protezione, una linea resistiva 14 di materiale semiconduttore, avente una prima estremità elettricamente connessa all'elettrodo di field plate 13', formando così con quest'ultimo una giunzione Schottky, ed una seconda estremità elettricamente connessa a massa mediante un contatto ohmico.

Nell'esempio illustrato nella Figura 4, il collegamento della striscia resistiva 14 ad un potenziale elettrico di massa viene preferibilmente realizzato sovrapponendo la seconda estremità della linea resistiva 14 all'elettrodo di sorgente 6, che generalmente è collegato a massa. La sovrapposizione di un'estremità della linea resistiva 14 con l'elettrodo di field plate 13' realizza il contatto rettificante con le caratteristiche volute sopra descritte, la cui capacità è controllabile in base all'area della

sovrapposizione fra la linea resistiva 14 e l'elettrodo di field plate 13'. Inoltre, tale sovrapposizione permette di realizzare, in combinazione con la geometria della linea resistiva 14, che regola la sua resistenza R , la combinazione dei valori di resistenza e capacità (RC) serie per ottenere l'isolamento RF voluto dell'elettrodo di field plate 13'.

Gli stessi vantaggi che la forma di realizzazione precedentemente descritta ed illustrata nella Figura 4 potrebbero essere ottenuti omettendo il contatto rettificante e collegando, attraverso una resistenza elettrica, l'elettrodo di field plate 13' ad un potenziale elettrico di riferimento positivo prossimo alla tensione di accensione di una giunzione Schottky, così da non causare lo strozzamento del canale dell'HEMT 1.

La formazione in due fasi dell'elettrodo di controllo 13, con trattamento termico dopo la formazione del piede 11, consente invece di superare i limiti fisici imposti alla temperatura di rinvenimento in presenza delle metallizzazioni a bassa resistività (Au o Al) della testa 12: queste ultime, infatti, se sottoposte a temperature prossime a quelle di fusione (660°C per l'Al e 1064°C per l'Au), o di lega con la metallizzazione del piede 11, possono deformarsi non mantenendo la geometria originaria ottenuta dopo la deposizione, possono ridurre la

resistività complessiva della metallizzazione dell'elettrodo di controllo 13, essendo le leghe di tali metalli più resistive, ed anche possono diffondere nello strato barriera 4, peggiorando le caratteristiche rettificanti del contatto Schottky. Tali limitazioni possono essere invece superate utilizzando il trattamento termico di annealing dopo la deposizione della metallizzazione del piede 11 in assenza di quella della testa 12, consentendo così di utilizzare metalli che non sono necessariamente compatibili con cicli termici ad alta temperatura utilizzati nella fase di formazione del piede 11.

Un altro vantaggio della formazione in due fasi dell'elettrodo di controllo 13 consiste nella possibilità di utilizzare, nelle fasi litografiche, uno strato di resist fotolitografico più sottile per la deposizione del piede 11, che rende meno critica la realizzazione di giunzioni di qualche decina di nanometri, di quello per la deposizione della testa 12, dove le esigenze di deposizione di elevati spessori metallici (centinaia di nm) per abbattere la resistenza parassita dell'elettrodo di controllo 13 rendono necessario l'utilizzo di uno spessore di resist più elevato.

Inoltre, il processo costruttivo in due fasi dell'elettrodo di controllo 13 consente di variare le proprietà di quest'ultimo affinché le caratteristiche

elettriche degli HEMT nel MMIC abbiano caratteristiche ottimizzate per ogni funzionalità RF, ad esempio adattando differenti dimensioni del piede 11 a seconda della applicazione richiesta, a partire dallo stesso materiale semiconduttore, rispetto a quelle disponibili da una singola tipologia di transistor che assolve alle diverse funzionalità RF. Ciò porta ad una tecnologia modulare adatta a diverse applicazioni, senza che sia necessario cambiare le caratteristiche del materiale semiconduttore con cui l'HEMT 1 è realizzato, evitando così di modificare conseguentemente i processi di fabbricazione richiesti per lo sviluppo di nuove funzioni. Diventa inoltre accessibile anche realizzare in un unico MMIC transistori ottimizzati per molteplici funzioni RF, con vantaggi economici, soprattutto in fase di assemblaggio, rispetto alla attuale realizzazione di moduli in cui siano presenti molteplici MMIC, ognuno ottimizzato per ogni funzionalità RF. Inoltre, un MMIC multifunzionale basato sul processo costruttivo oggetto dell'invenzione consente di ottimizzare le caratteristiche di ciascun HEMT utilizzato nel MMIC, migliorando le sue prestazioni globali rispetto ad un MMIC in cui le caratteristiche elettriche degli HEMT fossero comuni a tutte le funzionalità RF.

L'approccio costruttivo in due fasi sopra descritto consente inoltre di realizzare sia HEMT a singolo elettrodo

di controllo, cioè senza elettrodo di field plate, e con giunzione Schottky, che sono più appropriati alla funzione di amplificazione a basso rumore, che HEMT in cui all'elettrodo di controllo 13 è abbinato un elettrodo di field plate 13', che hanno vantaggi nella funzione di amplificazione di potenza, con un unico processo costruttivo, con potenzialità di realizzare sullo stesso circuito monolitico dispositivi integrati a semiconduttore con caratteristiche ottimizzate per funzioni diverse, specialmente per quelle destinate ad applicazioni ad alta frequenza. Un HEMT a singolo elettrodo di controllo e con giunzione Schottky è illustrato a titolo di esempio nella Figura 5 ed indicato con 1', in cui numeri di riferimento corrispondenti a quelli utilizzati nell'HEMT 1 illustrato nelle Figure 1-3 identificato parti corrispondenti.

Un altro potenziale vantaggio dell'approccio costruttivo in due fasi dell'elettrodo di controllo 13 consiste nella possibilità di depositare la metallizzazione della testa 12 anche senza aver realizzato precedentemente la metallizzazione del piede 11. In tal modo, è possibile realizzare dispositivi elettronici integrati comprendenti, oltre a HEMT a singolo elettrodo di controllo e/o a HEMT con elettrodo di controllo ed elettrodo di field plate, anche HEMT con giunzione di controllo ("gate junction") del tipo Metallo-Isolante-Semiconduttore (MIS), come mostrato a

titolo di esempio nella Figura 6 ed indicato con 1'', i quali offrono vantaggi nelle applicazioni di commutazione ("switching") grazie alla loro minore perdita d'inserzione ("insertion loss") e maggiore robustezza a largo segnale nello stato chiuso ("on"), oltre che maggiore isolamento e robustezza alle alte tensioni quando operanti nello stato aperto ("off"). In una forma di realizzazione preferita, la realizzazione di HEMT con giunzione di controllo di tipo MIS per applicazioni di commutazione con ulteriori vantaggi di prestazioni RF, si ottiene realizzando una o più giunzioni MIS, che si appoggiano sopra lo strato di protezione meccanica e/o passivazione 5 tra gli elettrodi di sorgente 6 e di pozzo 7, e dove ciascuna metallizzazione della giunzione MIS è connessa all'elettrodo di controllo 13 attraverso degli elementi resistivi che, come è noto, hanno la funzione di diminuire le perdite del segnale RF verso l'esterno del dispositivo. Nella sua forma preferenziale, la realizzazione di tali elementi resistivi possono convenientemente venire realizzati in forma integrata all'interno dell'MMIC definendo delle aree di semiconduttore elettricamente conduttive esterne al canale dell'HEMT, durante la fase di isolamento elettrico, così come descritto in precedenza per la realizzazione dell'elemento resistivo per la connessione a massa dell'elettrodo di field plate 13'.

La scelta delle dimensioni della giunzione di controllo può essere fatta in base alla funzione di ciascun dispositivo del MMIC, al fine di trovare per ciascuno di essi il compromesso ottimale fra guadagno RF, controllo della modulazione, robustezza, ecc.

Risulta infine chiaro che all'HEMT descritto ed illustrato possono essere apportate modifiche e varianti senza per questo uscire dall'ambito protettivo della presente invenzione, come definito nelle rivendicazioni allegate.

In particolare, è possibile impiantare ioni di impurezze accettrici in modo allineato all'elettrodo di controllo 13, ad esempio Carbonio(C) o Ferro (Fe), al di sotto del o sovrapposte alla regione di canale che si forma al di sotto dell'elettrodo di controllo 13, fra lo strato buffer 3 e lo strato barriera 4, in prossimità della giunzione di controllo, per migliorare l'effetto canale corto. Lo scopo di tale impiantazione ionica è quello di favorire l'aumento del guadagno dell'HEMT 1 in condizioni di polarizzazione con bassa corrente di controllo e/o alta tensione di pozzo, da applicare soprattutto nel caso in cui la lunghezza dell'elettrodo di controllo sia troppo piccola per controllare i fenomeni di canale corto. Infatti, l'impiantazione selettiva sotto il canale in corrispondenza dell'elettrodo di controllo 13, consente di confinare gli

elettroni del canale poiché il drogaggio con impurezze impiantate agisce come barriera alla diffusione degli elettroni del canale. Questa impiantazione ha anche l'effetto di ridurre i campi elettrici in prossimità della giunzione, contribuendo a limitare la corrente parassita di controllo a parità di polarizzazione. Rispetto ad altre soluzioni in cui tale drogaggio è realizzato uniformemente sulla superficie del wafer in fase di crescita epitassiale, l'impiantazione fornisce lo stesso effetto senza diminuire la carica del canale ovunque, consentendo di non aumentare le resistenze parassite di accesso al dispositivo intrinseco, con le limitazioni nelle prestazioni degli HEMT dello stato dell'arte, quali quelle descritte nella parte introduttiva ed originate dall'uso di materiale semiconduttore il cui buffer è drogato ovunque con impurezze accettrici.

In una forma di realizzazione preferita, l'impiantazione ionica di impurezze accettrici può essere effettuata attraverso lo strato dielettrico precedentemente alla realizzazione del piede 11, affinché la presenza di tale strato dielettrico utilizzato possa fungere come incapsulante durante il ciclo termico di annealing dopo l'impiantazione ionica stessa, necessario per rimuovere il danno al reticolo cristallino conseguente all'impatto degli ioni impiantati. Tale ciclo termico di annealing, potrebbe

essere accorpato a quello di lega degli elettrodi di sorgente 6 e di pozzo 7, e/o durante il ciclo termico realizzato dopo la deposizione della metallizzazione del piede 11.

L'impiantazione ionica di impurezze accettrici può essere quindi effettuata mediante una maschera applicata precedentemente alla definizione del piede 11, oppure utilizzando lo stesso strato di mascheratura 8 utilizzato per la definizione del piede 11. Quest'ultimo caso consente di avere due ulteriori vantaggi:

- il primo vantaggio riguarda le prestazioni dell'HEMT, perché le impurezze accettrici impiantate risultano confinate in un'area molto stretta sotto la giunzione Schottky, limitando l'aumento delle resistenze d'accesso, anche aumentando la compensazione della carica fino ad annullare la concentrazione del gas elettronico bidimensionale ("two dimensional electron gas" 2DEG) con elettrodo di controllo polarizzato a 0 V (HEMT enhanced);

- il secondo vantaggio riguarda la semplicità di realizzazione, perché l'impiantazione ionica di impurezze accettrici è auto-allineata all'elettrodo di controllo 13, annullando la criticità dell'allineamento con la formazione del piede 11, e non è necessario effettuare altri passaggi tecnologici per la mascheratura ed il rinvenimento per l'impiantazione.

Realizzando l'impiantazione ionica selettiva di impurezze accettrici, in particolare per i dispositivi di potenza, facendo sì che il loro drogaggio sia realizzato in prossimità dell'elettrodo di controllo 13 con una maggiore estensione verso l'elettrodo di pozzo 7, attraverso un'opportuna apertura della maschera per l'impiantazione se realizzata in precedenza alla definizione del piede 11, si ottiene l'effetto di diminuire la concentrazione di elettroni nel canale sul lato rivolto verso l'elettrodo di pozzo 7 rispetto all'elettrodo di controllo 13, consentendo così di realizzare un profilo di drogaggio analogo a quello implementato nei dispositivi di potenza MOSFET a basso drogaggio di pozzo ("Low Doping Drain" - LDD) realizzati in silicio (Si), ottenendo benefici analoghi a quelli descritti nella parte introduttiva con riferimento allo stato dell'arte. Una simile distribuzione di impurezze accettrici, ottenuta mediante l'impiantazione ionica selettiva, può essere realizzata anche al di sotto dell'elettrodo di field plate 13'.

RIVENDICAZIONI

1. Transistore ad alta mobilità elettronica (1) comprendente:

- un substrato epitassiale comprendente un substrato semi-isolante (2), uno strato buffer (3) ed uno strato barriera (4) sequenzialmente impilati;

- un primo ed un secondo elettrodo di conduzione di corrente (6, 7) formati sul, ed in contatto ohmico con, lo strato barriera (4); ed

- un elettrodo di controllo (13) ed un elettrodo di field plate (13') formati sullo strato barriera (4) o sullo strato di protezione meccanica e/o passivazione (5), fra il primo ed il secondo elettrodo di conduzione di corrente (6, 7);

caratterizzato dal fatto di comprendere inoltre:

- un circuito elettrico comprendente un contatto rettificante e/o una resistenza elettrica e formato per collegare elettricamente l'elettrodo di field plate (13') ad un potenziale elettrico di riferimento.

2. Transistore ad alta mobilità elettronica (1) secondo la rivendicazione 1, in cui il circuito elettrico comprende:

- un'area elettricamente non conduttiva (4') formata nello strato barriera (4), all'esterno dell'area elettricamente conduttiva dove è realizzato il transistore ad alta mobilità elettronica (1);

- una striscia elettricamente conduttiva (14) di materiale semiconduttore formata nell'area elettricamente non conduttiva (4') ed avente una resistenza elettrica dipendente dalle dimensioni geometriche e dalla resistività del materiale semiconduttore; la striscia elettricamente conduttiva (14) avendo una prima estremità elettricamente collegata all'elettrodo di field plate (13'), formando così con questo una giunzione Schottky ed ottenendo così detto contatto rettificante, ed una seconda estremità elettricamente collegata ad un potenziale elettrico di riferimento attraverso un contatto ohmico.

3. Transistore ad alta mobilità elettronica (1) secondo la rivendicazione 1, in cui il circuito elettrico è costituito unicamente da una resistenza elettrica formata per collegare elettricamente l'elettrodo di field plate (13') ad un potenziale elettrico positivo prossimo alla tensione di accensione di una giunzione Schottky.

4. Transistore ad alta mobilità elettronica (1) secondo una qualsiasi delle rivendicazioni precedenti, in cui il primo ed il secondo elettrodo di conduzione di corrente (6, 7) sono destinati ad operare come elettrodi di sorgente e, rispettivamente, di pozzo, ed in cui l'elettrodo di controllo (13) è formato adiacente all'elettrodo di sorgente (6) ed è destinato a ricevere un segnale di ingresso ad alta frequenza, mentre l'elettrodo di field

plate (13') è formato adiacente all'elettrodo di pozzo (7) ed è polarizzato ad un potenziale elettrico di riferimento.

5. Transistore ad alta mobilità elettronica (1) secondo una qualsiasi delle rivendicazioni precedenti, comprendente inoltre:

- uno strato di protezione meccanica e/o di passivazione (5) formato sullo strato barriera (4), fra il primo ed il secondo elettrodo di conduzione di corrente (6, 7);

ed in cui l'elettrodo di controllo (13) comprende:

- una porzione superiore (12) formata in maniera tale da estendersi all'esterno dello strato di protezione meccanica e/o di passivazione (5) e comprendente:

- una prima porzione (12a) formata in modo da estendersi lateralmente sullo strato di protezione meccanica e/o di passivazione (5), così da appoggiarsi su e risultare meccanicamente supportate da quest'ultimo; e
- una seconda porzione (12b) formata in modo da essere verticalmente distanziata dalla ed estendersi lateralmente da uno o entrambi i lati della prima porzione (12a).

6. Transistore ad alta mobilità elettronica (1) secondo la rivendicazione 5, comprendente inoltre:

- una prima (10) ed una seconda (10') finestra formate

nello strato di protezione meccanica e/o di passivazione (5), in maniera tale da esporre rispettive superfici dello strato barriera (4);

ed in cui l'elettrodo di controllo (13) comprende inoltre:

- una porzione inferiore (11) formata su una delle superfici esposte dello strato barriera (4) in maniera tale da formare una giunzione Schottky con essa, e di spessore tale da non fuoriuscire dallo strato di protezione meccanica e/o passivazione (5); la porzione superiore (12) dell'elettrodo di controllo (13) essendo formata sul, ed in contatto elettrico con, la porzione inferiore (11), in maniera tale da fuoriuscire dallo strato di protezione meccanica e/o passivazione (5);

ed in cui l'elettrodo di field plate (13') comprende:

- solo una porzione inferiore (11') formata sull'altra delle superfici esposte dello strato barriera (4) contemporaneamente alla porzione inferiore (11) dell'elettrodo di controllo (13), in maniera tale da formare anch'essa una giunzione Schottky e tale da non fuoriuscire dallo strato di protezione meccanica e/o passivazione (5).

7. Transistore ad alta mobilità elettronica (1) secondo la rivendicazione 5, comprendente inoltre:

- una prima (10) ed una seconda (10') finestra formate

nello strato di protezione meccanica e/o di passivazione (5), in maniera tale da esporre rispettive superfici dello strato barriera (4);

ed in cui l'elettrodo di controllo (13) comprende inoltre:

- una porzione inferiore (11) formata su una delle superfici esposte dello strato barriera (4) in maniera tale da formare una giunzione Schottky con essa, e di spessore tale da non fuoriuscire dallo strato di protezione meccanica e/o passivazione (5); la porzione superiore (12) dell'elettrodo di controllo (13) essendo formata contemporaneamente alla porzione inferiore (11), in maniera tale da fuoriuscire dallo strato di protezione meccanica e/o passivazione (5);

ed in cui l'elettrodo di field plate (13') comprende:

- solo una porzione inferiore (11') formata sull'altra delle superfici esposte dello strato barriera (4) in maniera tale da formare anch'essa una barriera Schottky, od, alternativamente, formata sulle superfici esposte dello stato di protezione meccanica e/o passivazione (5), e di spessore tale da non fuoriuscire comunque da detto strato di protezione meccanica e/o passivazione (5).

8. Transistore ad alta mobilità elettronica (1) secondo una qualsiasi delle rivendicazioni precedenti, comprendente inoltre:

- impurezze accettrici impiantate ionicamente al di sotto dell'elettrodo di controllo (13), in corrispondenza della regione di canale del transistor ad alta mobilità elettronica (1).

9. Dispositivo integrato a semiconduttore comprendente un transistor ad alta mobilità elettronica (1) realizzato secondo una qualsiasi delle rivendicazioni precedenti, ed uno o più transistori ad alta mobilità elettronica (1') a singolo elettrodo di controllo, con giunzione Schottky e senza elettrodo di field plate, oppure uno o più transistori ad alta mobilità elettronica (1'') con giunzione di controllo Metallo-Isolante-Semiconduttore.

p.i.: SELEX SISTEMI INTEGRATI S.P.A.

Mirko BERGADANO

CLAIMS

1. High electron mobility transistor (1) comprising:

- an epitaxial substrate comprising a semi-insulating substrate (2), a buffer layer (3) and a barrier layer (4) sequentially stacked;

- first and second current conducting electrodes (6, 7) formed on, and in ohmic contact with, the barrier layer (4); and

- a gate electrode (13) and a field plate electrode (13') formed over the barrier layer (4) between the first and second current conducting electrodes (6, 7);

characterized in that it further comprises:

- an electric circuit comprising a rectifying contact and/or an electric resistor formed to electrically connect the field plate electrode (13') to a reference electric potential.

2. The high electron mobility transistor (1) of claim 1, wherein the electric circuit comprises:

- an electrically non-conductive area (4') formed in the barrier layer (4), outside the electrically conductive area where the high electron mobility transistor (1) is made;

- an electrically conducting strip (14) of semiconductor material formed in the electrically non-conductive area (4') and having an electric resistance

depending on the geometric dimensions and resistivity of the semiconductor material; the electrically conducting strip (14) having a first end electrically connected to the field plate electrode (13'), thus forming said rectifying contact therewith, and a second end electrically connected to a reference electric potential by means of an ohmic contact.

3. The high electron mobility transistor (1) of claim 1, wherein the electric circuit is made up only of an electric resistor formed to electrically connect the field plate electrode (13') to a positive electric potential close to the trigger voltage of a Schottky junction.

4. The high electron mobility transistor (1) according to any preceding claim, wherein the first and second current conducting electrodes (6, 7) are intended to be operated as source and drain electrodes, respectively, and wherein the gate electrode (13) is formed adjacent to the source electrode (6) and is intended to receive a high-frequency input signal, while the field plate electrode (13') is formed adjacent to the drain electrode (7) and is polarized to a reference electric potential.

5. The high electron mobility transistor (1) according to any preceding claim, further comprising:

- a mechanical protection and/or passivation layer (5) formed on the barrier layer (4) between the first and

second current conducting electrodes (6, 7);

and wherein the gate electrode (13) comprises:

- an upper portion (12) formed so as to extend outside the mechanical protection and/or passivation layer (5) and comprising:

- a first portion (12a), formed so as to extend laterally on the mechanical protection and/or passivation layer (5) so as to rest on, and be mechanically supported by, the latter; and
- a second portion (12b) formed so as to be vertically spaced apart from, and laterally extending from either one or both of the sides of, the first portion (12a).

6. The high electron mobility transistor (1) of claim 5, further comprising:

- a first (10) window and a second window (10') formed in the mechanical protection and/or passivation layer (5) so as to expose respective surfaces of the barrier layer (4);

and wherein the gate electrode (13) further comprises:

- a lower portion (11) formed over one of the exposed surfaces of the barrier layer (4) so as to form a Schottky junction therewith, and of thickness such that not to leak from the mechanical protection and/or passivation layer (5); the upper portion (12) of the gate electrode (13)

being formed on, and in electric contact with, the lower portion (11), so as to leak from the mechanical protection and/or passivation layer (5);

and wherein the field plate electrode (13') comprises:

- only one lower portion (11') formed on the other of the exposed surfaces of the barrier layer (4) at the same time as the lower portion (11) of the gate electrode (13), so as to also form a Schottky junction and so as not to leak from the mechanical protection and/or passivation layer (5).

7. The high electron mobility transistor (1) of claim 5, further comprising:

- a first window (10) and a second window (10') formed in the mechanical protection and/or passivation layer (5) so as to expose respective surfaces of the barrier layer (4);

and wherein the gate electrode (13) further comprises:

- a lower portion (11) formed over one of the exposed surfaces of the barrier layer (4) so as to form a Schottky junction therewith, and of thickness such that not to leak from the mechanical protection and/or passivation layer (5); the upper portion (12) of the gate electrode (13) being formed on, and in electric contact with, the lower portion (11), so as to leak from the mechanical protection and/or passivation layer (5);

and wherein the field plate electrode (13') comprises:

- only one lower portion (11') formed on the other of the exposed surfaces of the barrier layer (4) so as to also form a Schottky barrier therewith, or alternatively formed on the exposed surfaces of the mechanical protection and/or passivation layer (5), and of thickness such that not to leak, in all cases, from said mechanical protection and/or passivation layer (5).

8. The high electron mobility transistor (1) according to any preceding claim, further comprising:

- accepting impurities ionically implanted underneath the gate electrode (13), at the channel region of the high electronic mobility transistor (1).

9. Integrated semiconductor device comprising a high electron mobility transistor (1) according to any preceding claim, and one or more high electronic mobility transistors (1') with single gate electrode, with Schottky junction and without field plate electrode, or with one or more high electron mobility transistors (1'') with Metal-insulator-Semiconductor gate junction.

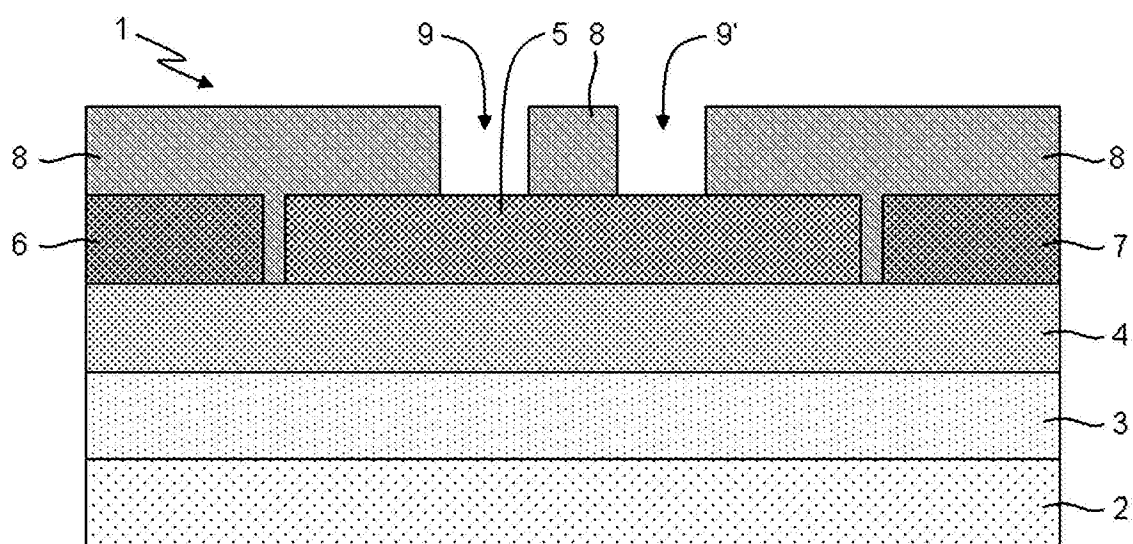


Fig. 1

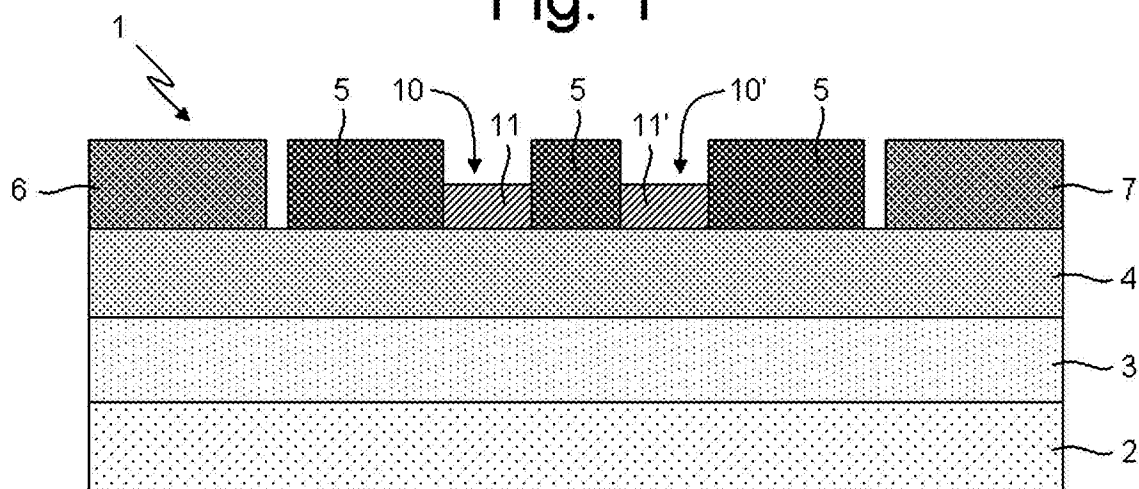


Fig. 2

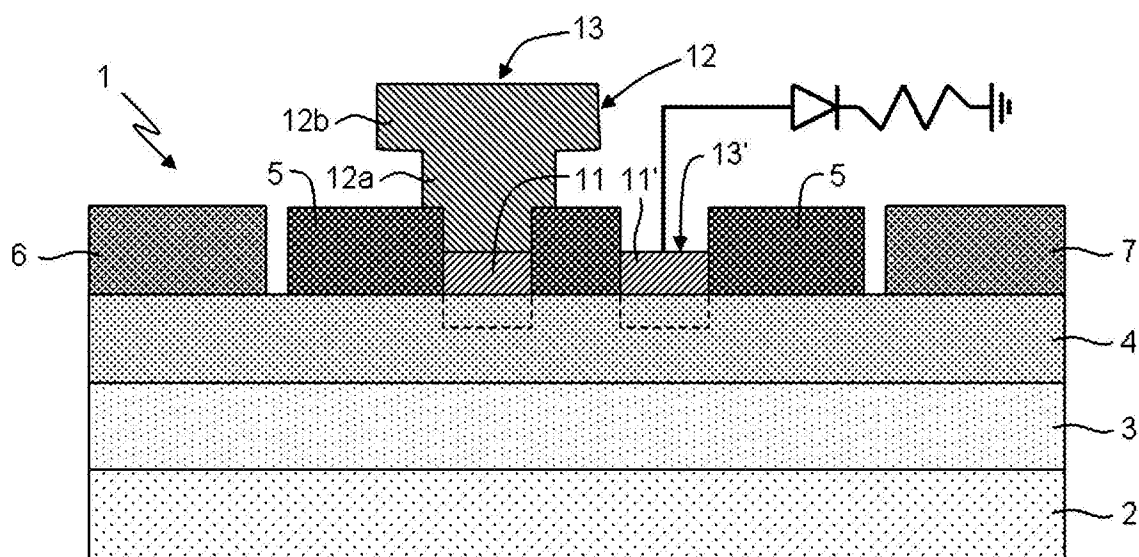


Fig. 3

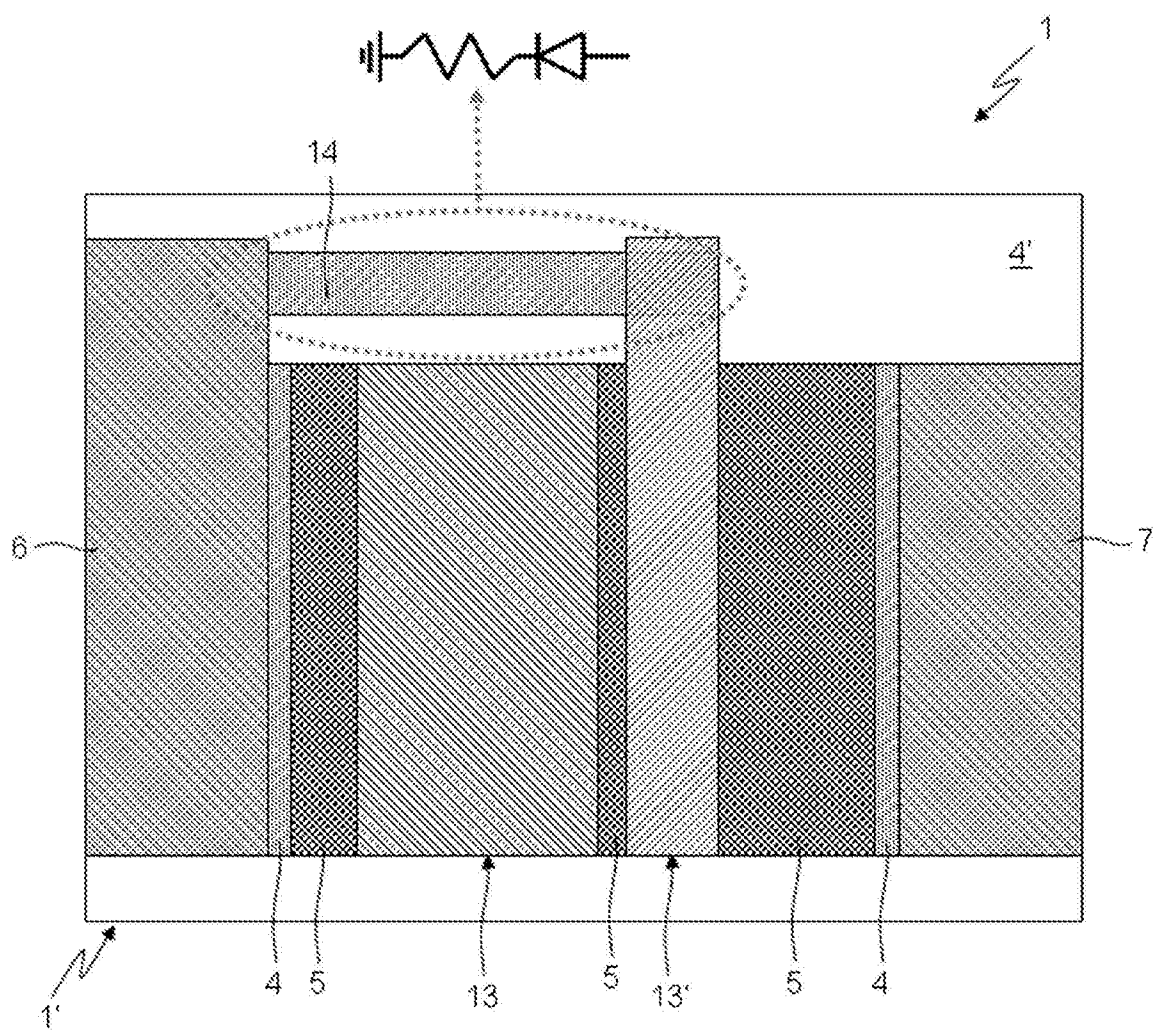


Fig. 4

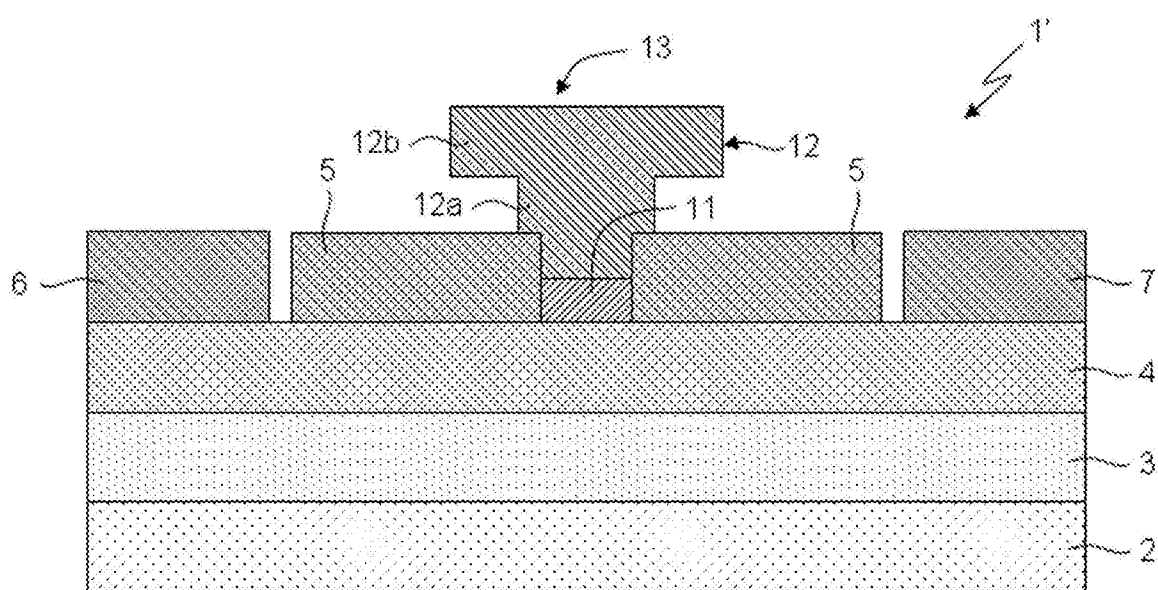


Fig. 5

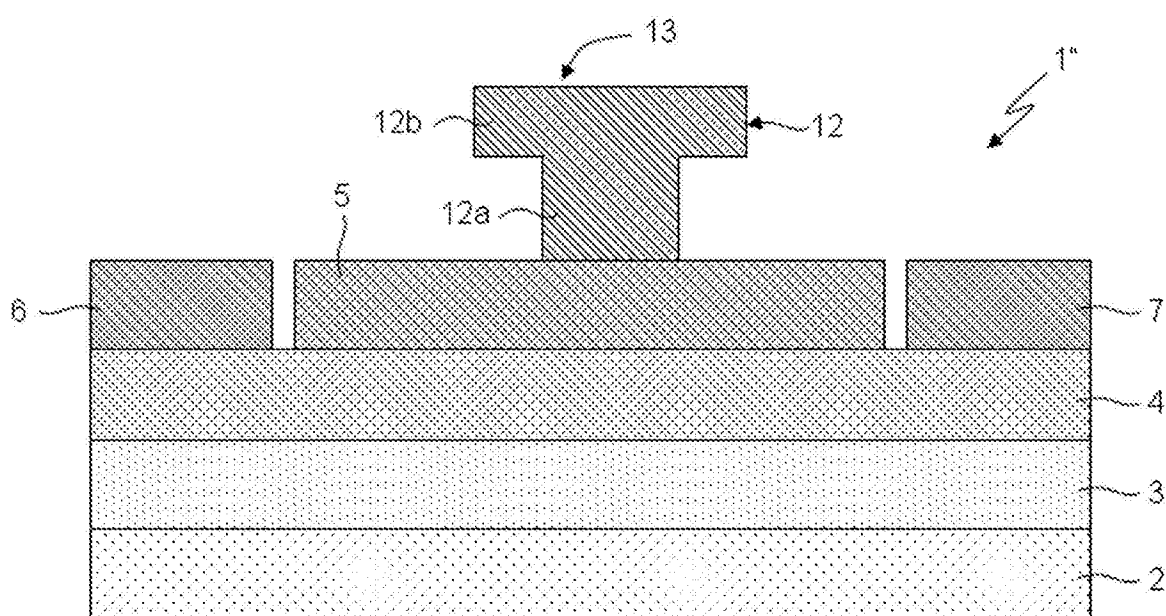


Fig. 6