

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-505845

(P2006-505845A)

(43) 公表日 平成18年2月16日(2006.2.16)

(51) Int. Cl. F I テーマコード (参考)
G06F 12/06 (2006.01) G06F 12/06 570J 5B060

審査請求 未請求 予備審査請求 未請求 (全 14 頁)

(21) 出願番号 特願2004-549403 (P2004-549403)
 (86) (22) 出願日 平成15年10月8日 (2003.10.8)
 (85) 翻訳文提出日 平成17年5月6日 (2005.5.6)
 (86) 国際出願番号 PCT/IB2003/004427
 (87) 国際公開番号 W02004/042591
 (87) 国際公開日 平成16年5月21日 (2004.5.21)
 (31) 優先権主張番号 02079612.4
 (32) 優先日 平成14年11月5日 (2002.11.5)
 (33) 優先権主張国 欧州特許庁 (EP)

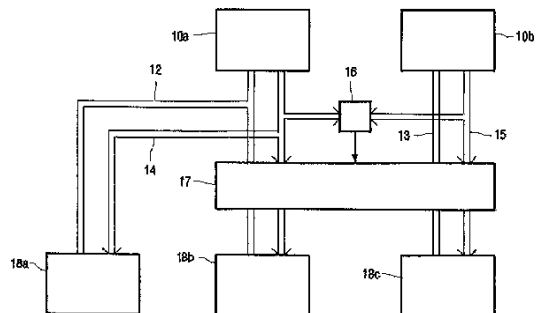
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N. V.
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橘谷 英俊

最終頁に続く

(54) 【発明の名称】 周期的アドレスパターンにตอบสนองしてアドレスをリダイレクトするデータ処理装置

(57) 【要約】

処理システムは、複数台の処理ユニットのうちの少なくとも1台から出力されるアクセスアドレスパターンの周期の繰り返しを検出する検出ユニットを具備する。インタフェースは、処理ユニットのデータ入力および/または出力と複数台のメモリユニットのうちの選択可能なメモリユニットのデータ入力および/または出力との間で選択可能なコネクションを切り替える。その結果として、複数台の処理ユニットのうちの少なくとも1台からの同じアドレスは、前記繰り返しの検出に応じて異なるメモリユニット内のアドレスを交互にアドレス指定する。好ましくは、検出ユニットは、第1のデータ処理ユニットのアドレス出力からのアドレスがメモリユニットに関連付けられた一つ以上のアドレスの範囲内に収まるかどうかを検出するため配置されたアドレスコンパレータを収容する。検出器は、第1のデータ処理ユニットのアドレス出力からのアドレスの一つが前記範囲に収まるアドレスをある特定の回数だけ出力するたびに、新しい繰り返しを示す検出信号を発生する。



【特許請求の範囲】

【請求項 1】

それぞれがアドレス出力およびデータ入出力を有する複数台のデータ処理ユニットと、それぞれがアドレス入力およびデータ入出力を有する複数台のメモリユニットと、スイッチングユニットと、

を具備し、

前記スイッチングユニットが、

前記処理ユニットの前記データ入出力と、前記メモリユニットの前記データ入出力より選択可能なデータ入出力との間にある第 1 の選択可能なコネクションと、

前記処理ユニットの前記アドレス出力から、前記メモリユニットより選択可能なメモリユニットの前記アドレス入力への第 2 の選択可能なコネクションと、 10

前記処理ユニットの前記アドレス出力に結合され、少なくとも 1 台の前記処理ユニットによって出力されたアドレスパターンの周期の繰り返しを検出するため配置された検出ユニットと、

新しい 1 回の繰り返しの検出に応答して前記第 1 および第 2 の選択可能なコネクションを切り替えるため、前記検出ユニットに結合された入力を有し、前記第 1 および第 2 の選択可能なコネクションを制御する状態保持エレメントと、

を具備し、これにより、前記データ処理ユニットからの同一のアドレスが連続的な繰り返しの間に前記メモリユニットのうちの異なるメモリユニットへ交互にマッピングされる、データ処理装置。 20

【請求項 2】

前記新しい一つの繰り返しの検出する規準が当該装置によって実行されるプログラムの制御下でプログラム可能である、請求項 1 に記載のデータ処理装置。

【請求項 3】

前記検出ユニットは、第 1 のデータ処理ユニットの前記アドレス出力からのアドレスが前記メモリユニットに関連付けられた一つ以上のアドレスの範囲に収まるかどうかを検出し、前記第 1 のデータ処理ユニットの前記アドレス出力からの前記アドレスのうちの一つが前記範囲に収まるアドレスをある特定の回数だけ出力するたびに前記新しい 1 回の繰り返しの示す検出信号を発生するアドレスコンパレータを具備する、請求項 1 に記載のデータ処理装置。 30

【請求項 4】

前記ある特定の回数が 1 回であり、前記範囲が前記メモリユニットに関連付けられた一つ以上のアドレスのサブセットである、請求項 3 に記載のデータ処理装置。

【請求項 5】

前記ある特定の回数が 2 回以上であり、

少なくとも前記ある特定の回数まで前記範囲内で前記第 1 のデータ処理ユニットの前記アドレス出力からのアドレスのカウント回数をカウントするカウンタを具備する、請求項 3 に記載のデータ処理装置。

【請求項 6】

前記検出ユニットが前記少なくとも 1 台のデータ処理ユニットのためのアクセスメモリを具備し、 40

前記アクセスメモリが前記第 1 のデータ処理ユニットによってアドレス指定可能である前記メモリユニット内のロケーションをアドレス指定する複数個のアドレスに対するロケーションを具備し、

前記アクセスメモリが前記メモリユニット内の前記ロケーションへのアクセスを記録し、

前記検出ユニットは、前記アクセスメモリが前記第 1 の処理ユニットによって供給されたアドレスが繰り返し中に先に供給されたことを示すかどうかに応じて、前記新しい繰り返しの示す検出信号を生成する、請求項 1 に記載のデータ処理装置。 50

【請求項 7】

前記少なくとも 1 台のデータ処理ユニットがアドレスを出力し、前記アクセスメモリが前記新しい繰り返しの先行する検出後にそのアドレスに対するアクセスを先に記録しているときに、前記検出ユニットが前記検出信号を生成する、請求項 6 に記載のデータ処理装置。

【請求項 8】

前記少なくとも 1 台のデータ処理ユニットがある特定の個数よりも多数のアドレスを実行し、そのアドレスに対して前記アクセスメモリが前記アドレスは前記繰り返し中に先に供給されていなかったことを示すときに、前記検出ユニットは前記検出信号を発生する、請求項 6 に記載のデータ処理装置。

10

【請求項 9】

前記複数台のメモリユニットが 3 台以上のメモリユニットを含み、前記状態保持エレメントが前記第 1 および第 2 の選択可能な接続のスイッチングを制御し、それにより、前記データ処理ユニットからの同じアドレスが連続的な繰り返しの間に前記 3 台以上のメモリユニットのうちの異なるメモリユニットへ循環的にマッピングされる、請求項 1 に記載のデータ処理ユニット。

【請求項 10】

前記検出ユニットが少なくとも 1 台の前記処理ユニットからの読み出しおよび/または書き込み制御信号の繰り返しを含む繰り返しの検出を実行する、請求項 1 に記載のデータ処理ユニット。

20

【請求項 11】

複数台の処理ユニットのうちの少なくとも 1 台の処理ユニットから出力されたアクセスアドレスパターンの周期の繰り返しを検出し、

前記処理ユニットのデータ入出力と複数台のメモリユニットのうちの選択可能なメモリユニットのデータ入出力との間で選択可能な接続を切り替え、これにより、少なくとも 1 台の前記処理ユニットからの同じアドレスが前記繰り返しの検出に応じて前記メモリユニットのうちの異なるメモリユニット内のロケーションを交互にアドレス指定する、

データ処理方法。

【発明の詳細な説明】

30

【技術分野】**【0001】**

本発明はデータ処理装置およびデータ処理方法に関する。

【背景技術】**【0002】**

米国特許第 4,956,768 号から、プロセッサと複数個のアウトレットとの間で転送されるデータをダブルバッファリングするデータ処理装置が知られている。各アウトレットにはメモリのペアが設けられる。プロセッサは、第 1 のメモリと第 2 のメモリへ交互に書き込む。プロセッサが一方のメモリへ書き込むとき、もう一方のメモリはアウトレットに接続される。このようにして、プロセッサからの書き込みとアウトレットへの出力は並列に処理することができる。

40

【0003】

アウトレットに関連付けられたプロセッサは、どのメモリがプロセッサに接続されるか、並びに、どのメモリがアウトレットに接続されるかを制御する。米国特許第 4,956,768 号は、メモリ内のロケーションがどのようにしてアドレス指定されるか、並びに、どのような条件でメモリの役割が切り替えられるかについては開示していない。

【0004】

従来、ダブルバッファリングはデータを生成する装置とデータストリームからのデータを使用する装置とを切り離すため使用されている。書き込み装置は、データのブロックを書き込むため一つのメモリともう一つのメモリを交互にアドレス指定する。読み出し装置

50

は書き込みのためアドレス指定されていないメモリをアドレス指定することによりブロックを読み出す。通常、さらに、書き込み装置が一つのブロックからもう一つのブロックへ切り替わるときを示すため、ある形式のシグナリングが装置間で必要とされる。

【発明の開示】

【発明が解決しようとする課題】

【0005】

特に、本発明の目的は、ダブルバッファリングがデータ処理ユニットから見てトランスペアレントにサポートされる種々のデータ処理ユニット間のダブルバッファリング通信の一形式を提供することである。

【課題を解決するための手段】

【0006】

本発明は請求項1に従ったデータ処理装置を提供する。本発明によれば、独立スイッチングユニットは、どのメモリにユニットがどのデータ処理ユニットへ接続されるかを制御する。データ処理ユニットからのアドレスはスイッチングユニットによって選択されたメモリユニット内のロケーションをアドレス指定するため使用されるので、所定のアドレスは、スイッチングユニットによる選択に応じて、同じプログラムの実行中に様々な時点で様々なメモリユニットのロケーションをアドレス指定してもよい。独立スイッチングユニットは、少なくとも1台のデータ処理ユニットによって供給されたアドレスのパターンの繰り返しを検出するため、そのデータ処理ユニットによって供給されたアドレスを監視する。繰り返しを検出すると、スイッチングユニットはデータ処理ユニットへ接続されるメモリユニットの選択を切り替える。

【0007】

好ましくは、繰り返しを検出する規準はプログラム可能であり、たとえば、プログラム可能な範囲内のアドレスの繰り返しの検出を使用し、或いは、プログラム可能な繰り返しの回数を使用し、或いは、様々な処理ユニットからのアドレスの繰り返しのプログラム可能な組み合わせを使用する（たとえば、両方の処理ユニットからの繰り返しの検出後に交替し、或いは、特定の処理ユニット毎にその特定の処理ユニットのアドレスパターン中に繰り返しが検出されたときに交替し、特定の処理ユニットからのアドレスマッピングの先行する交替後に別の処理ユニットによる繰り返しの検出を条件とすることも任意である。）。

【0008】

処理ユニットから受信されたアドレスの繰り返しの検出後、または、ある範囲内のある回数のアクセスオペレーションの検出、または、ある範囲内のすべてのアドレスの使用後の検出などの種々の繰り返し検出方法が使用される。

【0009】

一般に、データ処理装置は、スイッチングユニットによって接続の切り替えが行われない別のメモリユニットを収容する。したがって、データ処理ユニットは、スイッチングユニットを介して接続されたメモリユニット内のメモリアドレスロケーションをアドレス指定するため、アドレスのサブセットだけを使用する。そのサブセット内のアドレスは種々のメモリユニットへ交互にマッピングされるが、残りのアドレスは一般に同じメモリユニットへマッピングされる。スイッチングユニットは、好ましくは、スイッチングユニットを介してデータ処理ユニットに接続されたメモリユニット内のロケーションをアドレス指定するアドレスのサブセット内のアドレスの繰り返しだけを監視する。かくして、様々なメモリユニット間の交替は、スイッチングユニットを介して接続されたメモリユニットの外側をアドレス指定するパターンには直接的に依存しない。

【0010】

少なくとも2台のデータ処理ユニットおよび少なくとも2台のメモリユニットがスイッチングユニットを介して接続されてもよい。しかし、本発明は容易に拡張可能である。本発明の範囲から逸脱することなく、2台よりも多数のデータ処理ユニットおよび/またはメモリユニットを接続し、データ処理ユニットからのアドレスが3台以上のメモリユニッ

10

20

30

40

50

トのいずれか1台にマッピングされるようにすることが可能である。この場合に、スイッチングユニットは、ラウンドロビン方式で3台以上のメモリユニットをデータ処理ユニットへ交互に接続してもよい。或いは、スイッチングユニットは、メモリユニットのどのサブセットが特定のデータ処理ユニットへ交互に接続されるかを選択するためにプログラム可能でもよい。このように、データ処理装置は、3台以上のデータ処理ユニットの間で2本以上のデータストリームのフレキシブルな多重バッファ方式通信を実現することができる。

【発明を実施するための最良の形態】

【0011】

本発明によるデータ処理装置の上記およびその他の目的と効果は添付図面を参照して説明される。

10

【0012】

図1はデータ処理装置を表す。この装置は、処理ユニット10a、10b、複数台のメモリユニット18a-18c、スイッチングユニット17、および、スイッチング制御ユニット16を具備する。各データ処理ユニット10a、10bは、それぞれのアドレス/制御バス14、15およびそれぞれのデータバス12、13への接続を有する。第1の処理ユニット10aのアドレスバス12およびデータバス14は、スイッチングユニット17の第1のポートおよび第1のメモリユニット18aに結合される。第2の処理ユニット10aのアドレス/制御バス13およびデータバス15はスイッチングユニット17の第2のポートに結合される。さらに、第1および第2の処理ユニット10a、10bのアドレス/制御バス14、15は、スイッチング制御ユニット16に結合される。スイッチング制御ユニット16はスイッチングユニット17に結合された制御出力を有する。スイッチングユニット17は、メモリユニット18a-18cのうちの2番目および3番目のメモリユニットのそれぞれへのアドレス/制御およびデータバスラインのための接続を備えた第3および第4のポートを有する。

20

【0013】

動作中に、処理ユニット10a、10bは、メモリロケーションに対するデータの読み出しおよび/または書き込みを行う命令を含むプログラムを実行する。これらの命令は関連したメモリロケーションのアドレスを規定する。命令に回答して、処理ユニット10a、10bは、アドレス/制御バス14、15によってこれらのアドレスをメモリユニット18a-18cへ供給する。命令が読み出し命令であるか、または、書き込み命令であるかに応じて、処理ユニット10a、10bは、さらに、それぞれにデータバス12、13を介してデータを読み出し、または、データバス12、13を介してデータを書き込む。そのアドレスによってアドレス指定されたロケーションを収容するメモリユニット18a-18cは、アドレス指定されたロケーションからデータバス12、13へデータを返し、または、これらのデータバス12、13からのデータをアドレス指定されたロケーションに格納する。

30

【0014】

第1および第2のメモリユニット18b、18cは同じアドレスによってアドレス指定されたロケーションを収容する。スイッチング制御ユニット16からの制御信号に応じて、スイッチングユニット17はこれらのアドレスを選択的に第1または第2のメモリユニット18b、18cのいずれかへ渡す。同様に、これらのアドレスに対応するデータが、選択されたメモリユニット18b、18cへ渡される。このように、スイッチング制御ユニット16の状態に応じて、処理ユニット10a、10bからのアドレスは、第1のメモリユニット18b内のロケーションまたは第2のメモリユニット18c内のロケーションのいずれかをアドレス指定する。第1の処理ユニット10aからのアドレスが第1および第2のメモリユニット18b、18c内のロケーションをアドレス指定するアドレスの範囲外であるとき、そのアドレスは、第3のメモリユニット18aを直接的に、すなわち、スイッチングユニット17を経由せずにアドレス指定してもよい。

40

【0015】

50

直接的にアドレス指定できる1台の第3のメモリユニット18aしか図示されていないが、実際には複数台のこのような直接的に接続されたメモリユニットが存在してもよく、一部が第1の処理ユニット10aのアドレス/制御バス14およびデータバス12に結合され、その他が第2の処理ユニット10bのアドレス/制御バス15およびデータバス13に結合される。

【0016】

スイッチング制御ユニット16は状態レジスタのような状態保持回路(図示せず)を含み、状態保持回路は、どちらのメモリユニット18b, 18cがどちらの処理ユニット10a, 10bのアドレス/制御バス14, 15およびデータバス12, 13に接続されるかを決定する状態情報を保持する。スイッチング制御ユニット16は、アドレス/制御バス14, 15を介して処理ユニット10a, 10bから受信されたアドレスに応じてこの状態情報を更新する。スイッチング制御ユニット16は、アドレスの周期的なパターンの様々な周期の先頭を検出するためこれらのアドレスを使用する。スイッチング制御ユニット16は周期の先頭を検出するときにいつも状態情報を更新するので、アドレスはその後、種々のメモリユニット18b, 18cへ供給される。周期の先頭を検出する様々な方法が使用され得る。

10

【0017】

図2はスイッチング制御ユニット16の第1の実施形態を最も簡単な形で表し、ここでは、スイッチングユニット17を制御する唯一の信号が発生される。本実施形態において、スイッチング制御ユニット16は、アドレス/制御バス14に結合されたアドレスコンパレータ20aを含む。コンパレータ20aは状態レジスタ22aに結合された出力を有し、次に状態レジスタはスイッチングユニット17(図示せず)の制御入力に結合された出力を有する。動作中に、コンパレータ20aは、アドレス/制御バス14からのアドレスを設定アドレスと比較する。設定アドレスが検出されたとき、コンパレータ20aは状態レジスタ22aの内容をトグルさせ、状態レジスタは次にスイッチングユニット17に、第1および第2の処理ユニット10a, 10bにそれぞれ結合されたメモリユニット18b, 18cをスワップさせる。

20

【0018】

スイッチング制御ユニット16の別の実施形態は図2に示されたものと同じ構造を有するが、本実施形態では、コンパレータ20aは、(2回の比較を行い、上限アドレスよりも小さいアドレスと下限アドレスよりも大きいアドレスを調べることにより、または、アドレスのより重要な部分だけを使用することにより)アドレスが第1または第2のメモリユニット18b, 18c内のロケーションをアドレス指定するアドレス範囲内に含まれるときを通知する。本実施形態において、ユニット22aは範囲内のアドレスがアドレス指定された回数をカウントし、一定の個数のアドレスがカウントされたときに新しい周期の先頭でスイッチングユニット17によって構成された接続を制御する状態レジスタをリセットし、更新するカウンタである。このようなある特定の個数は、あらかじめ定められた個数、または、処理ユニット18b, 18cのうち的一方によって実行されるプログラムによって設定されるプログラム可能な個数である。本実施形態では、メモリユニット18b, 18cのためのメモリユニットイネーブル信号(各メモリユニット18b, 18cがメモリチップで構成される場合にはチップイネーブル)を発生する回路はコンパレータ20aとして使用され、コンパレータは、本例では、選択されたメモリユニットに応じて、メモリユニット18b, 18cのいずれかがメモリユニットイネーブル信号を供給するため使用されてもよい。

30

40

【0019】

図3はスイッチング制御ユニット16のさらなる実施形態を表す。本実施形態において、スイッチング制御ユニット16は、リードモディファイライトメモリ30、検出器32およびトグルフリップフロップ34を含む。アドレス/制御バス14はリードモディファイライトメモリのアドレス入力に結合され、リードモディファイライトメモリ30のデータ出力は検出器32の入力に結合される。検出器32の出力はトグルフリップフロップ3

50

4の入力に結合され、次にトグルフリップフロップはスイッチング制御ユニット16の出力に結合された出力を有する。この検出器32の出力はさらにリードモディファイライトメモリ30のリセット入力に結合される。リードモディファイライトメモリ30は第1および第2のメモリ18b, 18cにおいてアドレス指定するため使用され得るアドレス値毎にそれぞれのロケーションを有する。

【0020】

動作中に、本実施形態のスイッチング制御ユニット16は、第1または第2のメモリユニット18a, 18bにおけるいずれかのアドレスの繰り返しアドレス指定をチェックすることによりアドレッシングの新しい周期の先頭を検出する。リードモディファイライトメモリ30は、アドレス値毎に、そのアドレス値が現在の周期で使用されたかどうかを示す情報を保持する。第1または第2のメモリ18b, 18c内のロケーションをアドレス指定するアドレスは、同様にリードモディファイライトメモリ30内のロケーションをアドレス指定する。最初に、周期の先頭で検出器32はリードモディファイライトメモリ30の内容をリセットする。このようなアドレスが受信されるときにはいつも、リードモディファイライトメモリ30内の対応したロケーションの内容がセットされる。リードモディファイライトメモリ30内のロケーションに先に記憶されていたデータは検出器によってテストされる。このデータがセットされた場合に、検出器32は周期の繰り返しを通知し、トグルフリップフロップ34内のデータ内容をトグルさせ、リードモディファイライトメモリ30の内容をリセットさせる。トグルフリップフロップ34のデータ内容はスイッチングユニット17によって作られたコネクションを制御する。本実施形態は、たとえば、ある種のアドレスがある一定の周期中に使用されないときを無視する、より洗練された周期検出の形式を提供することが可能である。

【0021】

さらなる実施形態において、検出器32は、リードモディファイライトメモリ30から読み出されたデータが周期中に最初にアドレスが使用されたことを示した回数をカウントするカウンタによって置き換えられる。本実施形態において、このカウンタは、あるカウントを超えると、新しい周期を通知する(スイッチングユニット17によるスイッチング、リードモディファイライトメモリ30のリセット、および、カウンティングプロセスの新しい周期を引き起こす)。このようにして、スイッチング制御ユニットは、十分な量の異なるロケーション(ある特定の個数よりも多数)がアドレス指定されたときに新しい周期を通知する。ある特定の個数は、あらかじめ定められてもよく、または、たとえば、少なくとも1台の処理ユニットに結合され、カウンタの初期値をセットするレジスタを用いて、処理ユニット10a, 10bによりプログラム可能な形でもよい。本実施形態は、たとえば、同じアドレスを用い繰り返されるアクセスオペレーションを無視する、より洗練された周期検出の実現を可能にさせる。

【0022】

ここまでに図2および3を参照して説明した実施形態は、1本のアドレス/制御バス14のアドレスからの周期検出を表しているが、任意のアドレス/制御バス14, 15を使用可能であり、或いは、たとえば、処理ユニット10a, 10bのいずれか一つ若しくはそれぞれにおいて新しい周期の先頭が検出されたときに切り替えることにより、これらのバスの組み合わせからのアドレスが使用可能であることが理解されるべきである。スイッチングユニット17が(たとえば、時間インターリーブ方式で、または、調停要求に基づいて)2台以上の処理ユニット10a, 10bを同じメモリユニットへ同時に接続することを許容するとき、スイッチング制御ユニット16は、2台のメモリユニット18b, 18cの間で互いに独立に処理ユニット10a, 10bのバスコネクションを切り替えてもよい。この目的のため、スイッチング制御ユニット16は、2台の検出回路を具備してもよく、各検出回路は、図2または3との関連で説明したタイプのうちの一つであり、それぞれのデータおよびアドレスバスに結合され、アドレスデータバスがメモリユニット18b, 18cのどちらに接続されるかを制御する。

【0023】

図3 aは、バスの組み合わせからのアドレスが使用されるスイッチング制御ユニット16の一実施形態を表す。本実施形態は、第1および第2の繰り返し検出ユニット300 a, 300 bと、状態コンパレータ302と、制御レジスタ304とを含む。繰り返し検出ユニット300 a, 300 bのそれぞれは、図2および3に示されるように、アドレスコンパレータ、または、検出器を備えたリードモディファイライトメモリを含んでもよい。繰り返し検出ユニット300 a, 300 bの出力は状態コンパレータ302に結合され、次に状態コンパレータは制御レジスタ304に結合された更新出力を有する。制御レジスタ304はスイッチングユニット17(図示せず)に結合された制御出力を有する。

【0024】

動作中に、繰り返し検出ユニット300 a, 300 bは、たとえば、図2および3に関連して説明したように、対応した処理ユニットからのアドレッシングのパターンの繰り返しを検出する。繰り返しを検出すると、繰り返し検出ユニット300 a, 300 bは状態コンパレータ302へ信号を送信する。簡単な実施形態では、状態コンパレータ302は、対応した繰り返しがセットされるときにセットされた状態ビットを維持し、状態コンパレータは、両方の状態ビットがセットされているならば制御レジスタ304をトグルさせ、状態ビットをクリアする。本実施形態では、特定の処理ユニットからのアクセスオペレーションは、その処理ユニットに対する状態ビットがセットされているならば、好ましくは、一時的に中断される。

10

【0025】

別の実施形態では、状態コンパレータ302は、すべての処理ユニットに対する状態ビットがセットされるまで制御レジスタ304の更新を遅延させないが、たとえば、繰り返し特定の処理ユニットからのアドレスパターンに発生したとき、対象としている処理ユニットの最後のマッピングの交替後に別の処理ユニットからのアドレスのマッピングの交替が起こらない限り、特定の処理ユニットのそれぞれからのアドレスのマッピングを交替させるため更新を発生させる。

20

【0026】

スイッチングを制御するためのアドレスの使用だけが簡単な設計を実現するために説明されているが、より複雑な設計では、アドレス/制御バス14, 15からのその他の制御信号が同様に使用されることが認められるべきである。たとえば、スイッチング制御ユニット16は、読み出しのため使用されるときに限り、または、書き込みのため使用されるときに限り、アドレスを使用するように設計される。これは、たとえば、読み出しオペレーションを無視する、より洗練された周期検出の実現を可能にさせる。

30

【0027】

さらに、図2および3に示された簡単なスイッチング制御ユニットは、固定アドレス範囲または固定アドレス、における繰り返しを検出することが前提とされているが、代わりに、たとえば、コンパレータ20 a内で検出範囲を定める1台以上のプログラム可能なレジスタを使用することにより、プログラム可能な範囲またはプログラム可能なアドレスが使用され制御され、レジスタが少なくとも1台の処理ユニットに結合されるので、この処理ユニットはプログラム制御下でこれらのレジスタに値を書き込むことが可能である。同様に、アドレス範囲検出器が図3の検出器に付加され、アドレス毎にそのアドレスがプログラムされた範囲内に入るかどうかを検出する。アドレスの繰り返しは、アドレスがプログラムされた範囲内に入る場合に限り通知される。このように、アドレスパターンの繰り返しの検出のための規準はプログラム制御下で使用されるプログラムに応じて調整することができる。同様に、処理ユニット10 a, 10 bの組み合わせからの繰り返し検出のための規準はプログラム制御方式でもよい。

40

【0028】

好ましくは、図2および3を参照して説明された実施形態における繰り返しの検出のため使用されたすべてのアドレスは、メモリユニット18 b, 18 c内のメモリロケーションをアドレス指定するアドレス範囲内のアドレスに限られる。しかし、さらなる実施形態

50

では、その範囲の外側のアドレスが使用されてもよい。かくして、スイッチングユニット 17 を介して接続されたメモリユニット 18 b, 18 c 内のアドレスを含むアクセスパターンの大きい変化を許容することが可能であると共に、これらのメモリユニット 18 b, 18 c 内のアドレスの範囲の外側のアドレスを使用して、繰り返しの検出が依然として可能である。

【0029】

図 4 はスイッチングユニット 17 の一実施形態を表す。本実施形態は、選択可能なアドレス/データバスドライバ 40 a, 40 b, 42 a, 42 b を含む。第 1 のアドレス/データバスドライバ 40 a は、一方で第 1 の処理ユニット 10 a (図示せず) のアドレス/制御バス 14 とデータバス 12 との間に接続され、他方で第 1 のメモリユニット 18 a (図示せず) のためのデータ/アドレスコネクッションに接続される。第 2 のアドレス/データバスドライバ 40 b は、一方で第 1 の処理ユニット 10 a (図示せず) のアドレス/制御バス 14 とデータバス 12 との間に接続され、他方で第 2 のメモリユニット 18 b (図示せず) のためのデータ/アドレスコネクッションに接続される。第 3 のアドレス/データバスドライバ 42 a は、一方で第 2 の処理ユニット 10 b (図示せず) のアドレス/制御バス 15 とデータバス 13 との間に接続され、他方で第 1 のメモリユニット 18 a (図示せず) のためのデータ/アドレスコネクッションに接続される。第 4 のアドレス/データバスドライバ 42 b は、一方で第 2 の処理ユニット 10 b (図示せず) のアドレス/制御バス 15 とデータバス 13 との間に接続され、他方で第 2 のメモリユニット 18 b (図示せず) のためのデータ/アドレスコネクッションに接続される。

10

20

【0030】

スイッチングユニット 17 は、アドレス/データバスドライバ 40 a, 40 b, 42 a, 42 b の入力を有効にするため結合された制御信号のための入力 44 を有するので、スイッチ制御ユニット 16 (図示せず) からの制御信号に応じて、第 1 および第 4 のアドレス/データバスドライバ 40 a, 42 b が同時にイネーブルにされるか、または、第 2 および第 3 のアドレス/データバスドライバ 40 b, 42 a が同時にイネーブルにされる。イネーブルにされると、アドレス/データバスドライバ 40 a, 40 b, 42 a, 42 b はデータ信号およびアドレス信号を送る。

【0031】

メモリユニット 18 a, 18 b への共有アクセスを可能にさせるある種の共有機構 (たとえば、タイムスロット多重化機構、優先度機構、または、アービトレーション機構) が設けられるならば、本発明の範囲から逸脱することなく、より複雑な制御信号、たとえば、第 1 および第 2 のアドレス/データバスドライバ 40 a, 40 b を第 3 および第 4 のアドレス/データバスドライバ 42 a, 42 b とは独立に制御することができる信号が使用されてもよい。

30

【0032】

スイッチングユニット 17 は、非常に多数の処理ユニットまたはメモリユニットをサポートするように拡張することが容易である。より多くの処理ユニットがより多くのアドレス/データバスドライバを追加することによりサポートされ、より多くのメモリユニットがより多くのアドレス/データバスドライバを一体的に接続することによりサポートされる。3 台以上のメモリユニットが、たとえば、処理ユニット 10 a, 10 b からのアドレスをラウンドロビン方式で様々なメモリへマッピングするため使用されてもよい。この目的のため、図 2 および 3 に示されたトグルフリップフロップの代わりに、巡回カウンタが処理ユニット 10 a, 10 b のそれぞれに使用されてもよく、メモリユニット 18 a, 18 b のうちのどちらが処理ユニット 10 a, 10 b のそれぞれによってアドレス指定されるかを選択する。これは、繰り返しが検出されると、メモリ競合を生じさせることなく、個別の処理ユニット 10 a, 10 b からのアドレスのマッピングの切り替えを容易に可能にさせる。プログラム制御下で、メモリユニット 18 a, 18 b の異なるサイクルが選択されてもよく、たとえば、第 1 のメモリユニットのペアの間で一部のアドレスのアドレス指定を交互に行い、第 2 のメモリユニットのペアの間で他のアドレスのアドレス指定を交

40

50

互に行い、または、3台のメモリユニットの中でアドレスのマッピングを循環させる。

【0033】

この装置は、処理ユニット10a, 10bがそれぞれのメモリユニット18a, 18bにおけるロケーションを同じアドレスを用いてアドレス指定できるようにすることが理解されるであろう。ロケーションがアドレス指定されるメモリユニットの制御は、処理ユニットの外部にあり、周期的パターン of 繰り返しの先頭の検出に応じて切り替えるよう選択するスイッチング制御ユニットによって行われる。いずれかの処理ユニット10a, 10bからの同じアドレスは、スイッチング制御ユニット16の状態に応じて、異なるメモリユニット18a, 18b内のロケーションをアドレス指定するが、メモリユニット18a, 18b内のロケーションが、異なる処理ユニット10a, 10bからの同じアドレスによってアドレス指定されることは厳密には必要でない。(メモリユニット18a, 18b内でアドレスを区別するために必要ではないアドレスのより上位部分(significant part)の削除(suppression)だけであるとしても)ある種のアドレス変換機構が処理ユニット10a, 10bとメモリユニット18a, 18bとの間に組み込まれてもよく、異なるアドレスが、そのアドレスを供給する方の処理ユニットに応じて、同じロケーションをアドレス指定する。

10

【図面の簡単な説明】

【0034】

【図1】データ処理装置を表す図である。

【図2】スイッチング制御ユニットの一実施形態を表す図である。

20

【図3】スイッチング制御ユニットのさらなる実施形態を表す図である。

【図3a】スイッチング制御ユニットの別の実施形態を表す図である。

【図4】スイッチングユニットを表す図である。

【図1】

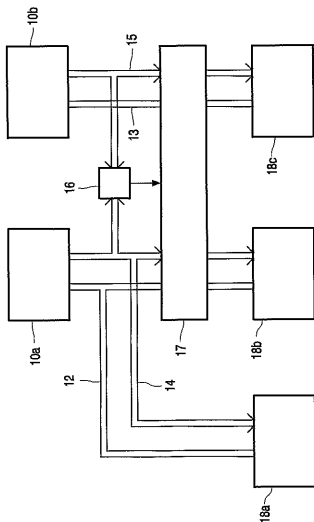


FIG. 1

【図2】

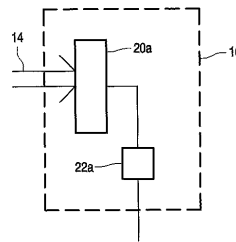


FIG. 2

【図3】

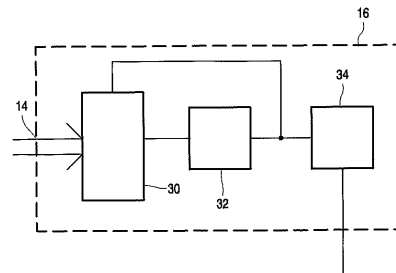


FIG. 3

【 図 4 】

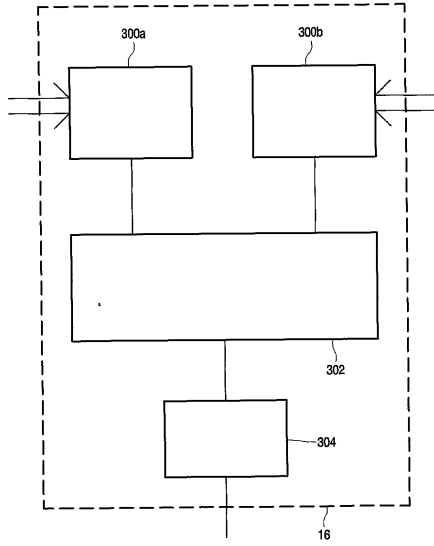


FIG. 3a

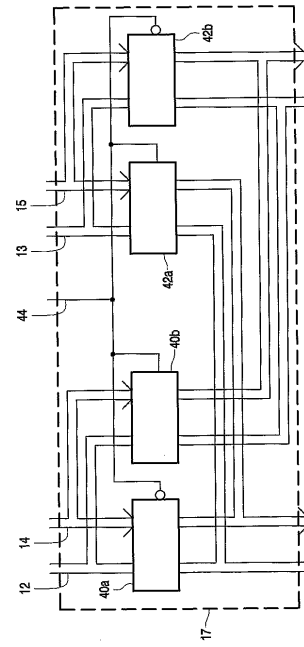


FIG. 4

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		Internat PCT/IB 03/04427	lication No
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G06F15/167 G06F15/173 G06F5/06 G06F13/40			
According to International Patent Classification (IPC) or to both national classification and IPC			
B. FIELDS SEARCHED			
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G06F			
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched			
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal			
C. DOCUMENTS CONSIDERED TO BE RELEVANT			
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	
A	US 5 968 153 A (WHEELER WILLIAM R ET AL) 19 October 1999 (1999-10-19) column 7, line 40 -column 8, line 37; figures 2,5,6	1-11	
A	EP 0 483 970 A (IBM) 6 May 1992 (1992-05-06) column 2, line 37 -column 3, line 35	1-11	
A	US 6 018 620 A (CULLEY PAUL R ET AL) 25 January 2000 (2000-01-25) column 2, line 12 -column 3, line 28	1-11	
<input type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.	
* Special categories of cited documents :			
A document defining the general state of the art which is not considered to be of particular relevance		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
E earlier document but published on or after the international filing date		*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
L document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)		*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.	
O document referring to an oral disclosure, use, exhibition or other means		*&* document member of the same patent family	
P document published prior to the international filing date but later than the priority date claimed			
Date of the actual completion of the international search 16 December 2003		Date of mailing of the international search report 02/01/2004	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2260 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Thibaudeau, J	

INTERNATIONAL SEARCH REPORT

International No
PCT/IB 03/04427

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5968153	A	19-10-1999	US 5884050 A	16-03-1999
EP 0483970	A	06-05-1992	CZ 9300787 A3	17-07-2002
			WO 9208192 A1	14-05-1992
			EP 0483970 A1	06-05-1992
			HU 65534 A2	28-06-1994
			IL 99744 A	26-05-1995
			JP 3203701 B2	27-08-2001
			JP 4289955 A	14-10-1992
			PL 166975 B1	31-07-1995
			SK 41393 A3	07-07-1993
			US 5539896 A	23-07-1996
			ZA 9108427 A	26-08-1992
US 6018620	A	25-01-2000	US 5519839 A	21-05-1996
			US 5870568 A	09-02-1999
			AT 180071 T	15-05-1999
			AU 5402594 A	26-04-1994
			CA 2146138 A1	14-04-1994
			DE 69324926 D1	17-06-1999
			DE 69324926 T2	16-09-1999
			EP 0664030 A1	26-07-1995
			WO 9408296 A1	14-04-1994

フロントページの続き

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100082991
弁理士 佐藤 泰和

(74) 代理人 100096921
弁理士 吉元 弘

(74) 代理人 100103263
弁理士 川崎 康

(74) 代理人 100118876
弁理士 岡澤 順生

(72) 発明者 ビジヨ、トーマス
オランダ国 5 6 5 6、アーアー、アインドーフエン、ケアオブ、プロフ・ホルストラーン、6
Fターム(参考) 5B060 BB05