

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710300799.6

[51] Int. Cl.

H01L 29/786 (2006.01)

H01L 29/22 (2006.01)

H01L 27/12 (2006.01)

H01L 21/336 (2006.01)

H01L 21/84 (2006.01)

[43] 公开日 2008 年 7 月 23 日

[11] 公开号 CN 101226963A

[22] 申请日 2007. 10. 22

[21] 申请号 200710300799.6

[30] 优先权

[32] 2006. 10. 20 [33] KR [31] 102464/06

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 宋利宪 朴永洙 姜东勋 金昌桢
林 赫

[74] 专利代理机构 北京市柳沈律师事务所
代理人 陶凤波

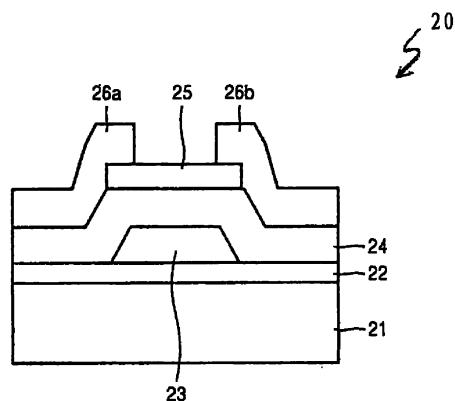
权利要求书 2 页 说明书 8 页 附图 5 页

[54] 发明名称

用于交叉点存储器的薄膜晶体管及其制造方法

[57] 摘要

提供一种用于交叉点存储器的用作选择晶体管的薄膜晶体管和该薄膜晶体管的制造方法。该薄膜晶体管包括衬底、栅极、栅极绝缘层、沟道、源极和漏极。可在部分衬底上形成该栅极。可在该衬底和该栅极上形成栅极绝缘层。该沟道包括 ZnO，并且可形成在该栅极之上的该栅极绝缘层上。该源极和漏极接触该沟道的侧面。



1、一种薄膜晶体管，包括：

在部分衬底上的栅极；

在该衬底和栅极上的栅极绝缘层；

在该栅极之上的该栅极绝缘层上的包括氧化锌（ZnO）的沟道；

接触该沟道相对侧面的源极和漏极；

其中该薄膜晶体管被用作选择晶体管用于交叉点存储器。

2、根据权利要求1的薄膜晶体管，其中该沟道由包括 ZnO 和从镓（Ga）、铟（In）、锡（Sn）、铝（Al）及其组合构成的组中选择的至少一种的化合物形成。

3、根据权利要求2的薄膜晶体管，其中该化合物由氧化镓（Ga₂O₃）、氧化铟（In₂O₃）和 ZnO 形成。

4、根据权利要求1的薄膜晶体管，其中该源极由金属或导电氧化物形成。

5、根据权利要求4的薄膜晶体管，其中该金属是从钼（Mo）、铝（Al）、钨（W）、铜（Cu）及其组合构成的组中选择的至少一种，以及

该导电氧化物是从氧化铟锌（InZnO）、氧化铝锌（AlZnO）及其组合构成的组中选择的至少一种。

6、根据权利要求1的薄膜晶体管，其中该漏极由金属或导电氧化物形成。

7、根据权利要求6的薄膜晶体管，其中该金属是从钼（Mo）、铝（Al）、钨（W）、铜（Cu）及其组合构成的组中选择的至少一种，以及

该导电氧化物是从氧化铟锌（InZnO）、氧化铝锌（AlZnO）及其组合构成的组中选择的至少一种。

8、根据权利要求1的薄膜晶体管，其中该沟道具有 20nm 至 200nm 的厚度。

9、一种薄膜晶体管的制造方法，包括：

通过在部分衬底上沉积导电材料并图形化该沉积的导电材料形成栅极；

在该衬底和该栅极上沉积栅极绝缘层；

通过在该栅极绝缘层上沉积包括氧化锌（ZnO）的沟道材料并图形化该

沉积的沟道材料,在该栅极之上的部分该栅极绝缘层上形成沟道;和

通过在该沟道和该栅极绝缘层上沉积导电材料并图形化该导电材料,形成接触该沟道相对侧面的源极和漏极,

其中该薄膜晶体管用作选择晶体管用于交叉点存储器。

10、根据权利要求9的方法,其中该沟道通过使用包括ZnO和从镓(Ga)、铟(In)、锡(Sn)、铝(Al)及其组合构成的组中选择的至少一种的化合物靶溅射形成。

11、根据权利要求10的方法,其中该化合物靶包括氧化镓(Ga_2O_3)、氧化铟(In_2O_3)和ZnO。

12、根据权利要求9的方法,其中该沟道通过使用ZnO和从镓(Ga)、铟(In)、锡(Sn)、铝(Al)及其组合构成的组中选择的至少一种作为靶的共溅射形成。

13、根据权利要求9的方法,其中该源极是金属或导电氧化物。

14、根据权利要求13的薄膜晶体管,其中该金属是从钼(Mo)、铝(Al)、钨(W)、铜(Cu)及其组合构成的组中选择的至少一种,以及

该导电氧化物是从氧化铟锌(InZnO)、氧化铝锌(AlZnO)及其组合构成的组中选择的至少一种。

15、根据权利要求9的薄膜晶体管,其中该漏极由金属或导电氧化物形成。

16、根据权利要求15的薄膜晶体管,其中该金属是从钼(Mo)、铝(Al)、钨(W)、铜(Cu)及其组合构成的组中选择的至少一种,以及

该导电氧化物是从氧化铟锌(InZnO)、氧化铝锌(AlZnO)及其组合构成的组中选择的至少一种。

17、根据权利要求10的方法,其中该沟道具有20nm至200nm的厚度。

用于交叉点存储器的薄膜晶体管及其制造方法

技术领域

实施例涉及用于交叉点存储器的薄膜晶体管。另一实施例涉及用于交叉点存储器的用作选择晶体管的氧化锌 (ZnO) 薄膜晶体管以及该 ZnO 薄膜晶体管的制造方法。

背景技术

正如高密度存储器近来的发展, 单元结构 (即单胞结构) 已经发展为三维结构。由于已经达到对于 NAND 闪存的物理平面缩放比例限制, 所以加大了关于制造三维高密度存储器的方法的研究。

近来, 已经积极的研究高密度存储器 (即具有交叉点存储器阵列结构的存储器)。为了驱动高密度存储阵列, 用于选择具体的单胞的选择晶体管是必要的。如现在参考图 1A 和 1B 具体说明, 在堆叠结构存储阵列中传统的硅 (Si) 互补金属氧化物半导体 (CMOS) 晶体管很难用作选择晶体管。

图 1A 是显示传统的交叉点存储器堆叠结构的示意透视图的图表。

参考图 1A, 单胞包括顺序堆叠的下电极 11、二极管结构 12 和存储节点 13。可在存储节点 13 上形成上电极 14。在传统的交叉点存储器阵列结构中, 下电极 11 和上电极 14 彼此交叉。可在交叉点处形成存储节点 13。该存储节点 13 可以由电阻材料形成。图 1A 所示的该结构具有 1 二极管-1 阻抗 (1D-1R) 结构。

在图 1A 所示的交叉点存储器阵列结构中, 下电极 11 和/或上电极 14 可以与选择晶体管 15 连接。为了从单胞读取信息或将信息写入单胞, 选择晶体管 15 选择具体的单胞。选择晶体管 15 的数量可以等于连接至单元阵列行的字线数量。

图 1B 是显示应用在存储阵列中的传统选择晶体管堆叠结构的截面图的图表。

参考图 1B, 在硅衬底 101 中可以形成源极 102a 和漏极 102b。在源极 102a 和漏极 102b 之间可以形成栅极结构。该栅极结构包括栅极绝缘层 103

和栅电极层 104。通过外延生长,生长连接层 105a 和 105b 来形成与图 1A 中所示的多层交叉点存储器阵列结构的每层对应的选择晶体管阵列可能是困难的。如果通过通孔将下层与上层连接以制造多层选择晶体管阵列,周边电路区域会增加几倍,降低多层结构的高密度效果。

发明内容

实施例涉及用于交叉点存储器的薄膜晶体管。另一实施例涉及用于交叉点存储器的用作选择晶体管的 ZnO 薄膜晶体管以及该 ZnO 薄膜晶体管的制造方法。

实施例涉及适合多层结构和存储器集成的用于交叉点存储器的薄膜晶体管 and 该薄膜晶体管的制造方法。

根据实施例,提供用于交叉点存储器的用作选择晶体管的薄膜晶体管。该薄膜晶体管可以包括衬底、形成在部分衬底上的栅极、形成在衬底和栅极上的栅极绝缘层、包括 ZnO 并形成在与栅极对应(或在之上)的栅极绝缘层上的沟道以及接触沟道的侧面(例如相对侧面)的源极和漏极。

沟道可由包括 ZnO 和选自镓(Ga)、铟(In)、锡(Sn)、铝(Al)及其组合构成的组中的至少一种的化合物形成。该沟道可以具有 20nm 到 200nm 的厚度。

源极或漏极可由金属或导电氧化物形成。导电氧化物可由钼(Mo)、氧化铟锌(IZO 或 InZnO)及其组合形成。

根据实施例,提供一种用于交叉点存储器的用作选择晶体管的薄膜晶体管的制造方法。该方法可包括通过在部分衬底上沉积导电材料和图形化该沉积的导电材料而形成栅极,在衬底和栅极上沉积(或形成)栅极绝缘层,通过在该栅极绝缘层上沉积包括 ZnO 的沟道材料、图形化沉积的沟道材料从而在与栅极相对应的部分栅极绝缘层上形成沟道,通过在该沟道和该栅极绝缘层上沉积导电材料并图形化该导电材料从而形成接触沟道侧面(例如相对的面)的源极和漏极。

该沟道可通过使用包括 ZnO 和选自 Ga、In、Sn、Al 及其组合构成的组中的至少一种的化合物靶的溅射而形成。

该沟道可通过使用 ZnO 和选自 Ga、In、Sn、Al 及其组合构成的组中的至少一种作为靶共溅射而形成。

附图说明

通过结合附随的附图的以下详细描述，可以更清楚地理解本发明的实施例。图 1-5 表示在此描述的非限定的实施例。

图 1A 是显示传统交叉点存储器堆叠结构的示意透视图的图表；

图 1B 是显示传统选择晶体管堆叠结构的截面图的图表；

图 2 是显示根据实施例的用于交叉点存储器的薄膜晶体管的截面图图表；

图 3A 至 3E 是显示根据实施例的用于交叉点存储器的薄膜晶体管的制造方法的示意图图表；

图 4 是对于不同源 - 漏电压，栅极电压 (V_g) 与漏电流 (I_d) 的关系曲线图，从而显示根据实施例的交叉点存储器的薄膜晶体的性能测试结果；和

图 5 是根据实施例的用于交叉点存储器的薄膜晶体管的漏电压与漏电流的关系曲线图。

具体实施方式

现在参考在其中示出实施例的附图更加充分地描述不同的实施例。附图中，为了清楚可以放大层和区域的厚度。

在此公开具体的说明性实施例。然而，在此详细公开的结构和功能的细节仅代表描述实施例的用途。然而，本发明可以很多变形实现，并且不能解释为仅仅限定在在此提出的实施例。

因此，虽然实施例能够有多种修改和替代形式，但是其实施例通过附图中的例子显示并且在此详细描述。然而应该理解，不旨在将实施例限定在所公开的特定形式，而是恰恰相反，实施例覆盖落入本发明范围的所有修改、等效、和替代。整个附图描述中同样的数字指代同样的元件。

理解到，尽管术语第一、第二等可以用于描述不同的元件，这些元件不限制于这些术语。这些术语仅用于区分一个元件与另一个元件。例如，不脱离实施例的范围，第一元件能称作第二元件，以及类似地，第二元件能称作第一元件。这里使用的，术语“和/或”包括一个或多个相关列举的项目中的任何一个或其所有组合。

理解到, 当一个元件称为与另一个元件“连接”或“耦合”时, 它可以直接地与另一个元件连接或耦合或者可以存在中间元件。相反, 当一个元件称为与另一个元件“直接连接”或“直接耦合”时, 则没有中间元件存在。用于描述元件之间关系的其它词汇以类似的方式解释(例如, “之间”与“直接之间”、“相邻”与“直接相邻”等等)。

此处使用的技术仅是为了描述特定的实施例, 不能解释为对实施例的限定。这里使用的, 单数形式旨在也包括复数形式, 除了文中另有清楚地指示。进一步的理解, 术语“包括 (comprises)”、“包括 (comprising)”、“包括 (includes)”和/或“包括 (including)”, 当这里使用时, 确定规定的特征、整体、步骤、操作、元件和/或组分的存在, 但不排除一个或多个其它特征、整体、步骤、操作、元件、组分和/或其组的存在。

理解到, 尽管在此可以使用术语第一、第二、第三等描述不同的元件、组件、区域、层和/或部分, 但是这些元件、组件、区域、层和/或部分不受这些术语限制。这些术语仅用于区分一个元件、组件、区域、层或部分与另一个区域、层或部分。因此, 在不脱离本发明的范围的情况下, 下面讨论的第一元件、组件、区域、层或部分可以称为第二元件、组件、区域、层或部分。

为了便于描述图中所示的一个元件或一种特征和另一个元件或特征之间的关系, 在此可以使用空间相对术语, 例如“下面”、“下方”、“下”、“上方”、“上”及类似术语。理解到, 空间相对术语包括除图中描述的方向之外的在使用或运行中器件的不同方向。例如, 如果翻转图中的器件, 描述为其它元件或特征“下方”或“下面”的元件则取向为其它元件或特征的“上方”。因此, 例如, 术语“下方”可包括上方和下方两个方向。器件可以是其它的取向(旋转 90 度或在其它方向观察或参考), 和因而应相应地解释这里使用的空间相对描述。

这里参考横截面视图描述实施例, 该横截面视图是理想实施例(和中间结构)的示意视图。照此, 例如由于制造工艺和/或公差引起的视图形状变化是可预期的。因此, 实施例不应解释为对在此描述的区域特殊形状的限定, 但可以包括由例如制造产生的形状偏差。例如, 显示为矩形的注入区域可以具有倒圆或曲线的特征和/或在它边缘的梯度(即注入浓度)而不是从注入区域到非注入区域的突变。同样地, 通过注入形成的掩埋区可导致在位于该掩

埋区和通过其可以发生注入的表面之间的区域中的一些注入。因此，图中显示的区域实际上是示意的，它们的形状不必显示器件区域的实际形状，并且不限制范围。

也应该注意到，在一些替代执行中，记载的功能/作用可能不以图中记载的顺序发生。例如，根据涉及的功能/作用，连续显示的两个图事实上可以是基本同时进行的或者有时以相反的顺序进行。

除非另有定义，这里使用的所有术语（包括技术和科学术语）具有实施例属于的领域的普通技术人员共同理解的相同的意思。可以进一步的明白，例如在共同使用的辞典中定义的这些术语，应该解释为具有一种与在相关领域的内容中的它们的意思一致的意思，不应解释为理想化或过度正式的意义，除非在此明确的定义。

为了更具体的描述实施例，将参考所附附图详细描述各个方面。然而，本发明不受限于所描述的实施例。

实施例涉及用于交叉点存储器的薄膜晶体管。另一实施例涉及用于交叉点存储器的用作选择晶体管的氧化锌（ZnO）薄膜晶体管以及该 ZnO 薄膜晶体管的制造方法。

图 2 是显示根据实施例的用于交叉点存储器的薄膜晶体管的截面图图表。在图 2 中显示底栅薄膜晶体管 20。然而，实施例不受限于此。

参考图 2，底栅薄膜晶体管 20 包括衬底 21、栅极 23 和栅极绝缘层 24。可在衬底 21 上形成绝缘层 22。可在部分衬底 21 上形成栅极 23。在衬底 21 和栅极 23 上可形成该栅极绝缘层 24。可在与栅极 23 对应的栅极绝缘层 24 上形成沟道 25。在沟道 25 和栅极绝缘层 24 的侧面（例如，相对面）上形成源极 26a 和漏极 26b。可在沟道 25 和栅极绝缘层 24 的部分侧面（例如，相对面）上形成源极 26a 和漏极 26b。

衬底 21 可以是硅（Si）衬底。在衬底 21 上形成的绝缘层 22 可是热氧化层。该热氧化层可通过热氧化该 Si 衬底形成。绝缘层 22 的厚度可小于 100nm。可使用本领域公知的绝缘材料形成栅极绝缘层 24。高 k 介电材料（例如氮化硅（ Si_3N_4 ））可用于该栅极绝缘层 24。高 k 介电材料的介电常数可以高于氧化硅（ SiO_2 ）的介电常数。栅极绝缘层 24 的厚度可小于 200nm。可使用化合物薄膜形成沟道 25。可通过向 ZnO 中加入不同金属（例如 Ga、In、Sn、Al 或其组合）形成化合物薄膜。沟道 25 的厚度可为 20nm 到 200nm。

可使用金属(例如 Mo、Al、W、Cu 或其组合)或导电氧化物(例如 IZO(InZnO)、AZO(AlZnO) 或其组合)形成源极 26a 和漏极 26b。源极 26a 和漏极 26b 的厚度小于 100nm。

根据实施例的图 2 中示出的薄膜晶体管可用于图 1 中所示的交叉点存储器的选择晶体管。这样,对应交叉点存储器的每个字线可以形成薄膜晶体管。

现在参考根据实施例的图 3A 至 3E 详细描述用于交叉点存储器的薄膜晶体管的制造方法。

参考图 3A,在衬底 21 上可以形成绝缘层(未示出)。可使用溅射或类似工艺在衬底 21 上沉积导电材料 23a(例如 Mo)。

参考图 3B,可通过图形化该导电材料 23a 形成栅极 23。

参考图 3C,可通过在栅极 23 上沉积绝缘材料(例如 SiO_2 或 Si_3N_4)并且图形化沉积的绝缘材料形成栅极绝缘层 24。可使用沉积方法(例如等离子增强化学气相沉积(PECVD))沉积绝缘材料。

参考图 3D,可通过在栅极绝缘层 24 上沉积沟道材料形成沟道 25。沟道材料可以是如上所述通过向 ZnO 中加入金属(例如 Ga、In、Sn、Al 或其组合)形成的化合物。例如,可使用化合物 Ga_2O_3 、 In_2O_3 和 ZnO。

在使用溅射的沉积工艺中,包括锌(Zn)和至少一个选自由 Ga、In、Sn、Al 及其组合构成的组中的金属化合物可作为单靶使用。共溅射可以使用 ZnO 和至少一个选自由 Ga、In、Sn、Al 及其组合构成的组中。例如,如果将单靶用于溅射工艺,包括 Ga_2O_3 、 In_2O_3 和 ZnO 的化合物可用作该单靶。 Ga_2O_3 、 In_2O_3 和 ZnO 可以 2: 2: 1 的比例存在。

参考图 3E,可通过在沟道 25 和衬底 21 上沉积导电材料并图形化该导电材料形成源极 26a 和漏极 26b。源极 26a 和漏极 26b 的每一个可在沟道 25 的两侧与沟道 25 重叠。

包括沟道 25 及接触沟道 25 侧面的源极 26a 和漏极 26b 的所得堆叠结构可以在 400℃以下(例如 300℃)的温度下进行热处理。该热处理可以利用炉子、快速热退火(RTA)装置、激光器、热板等在氮气(N_2)中完成。在沟道 25 和源极 26a 之间以及沟道 25 和漏极 26b 之间的接触表面可以通过该热处理达到稳定。

为了制造多层选择晶体管阵列,可重复上述操作。也就是,在包括沟道 25、源极 26a、和漏极 26b 的堆叠结构上可以形成绝缘材料。可实行在图 3A-3E

中显示的栅电极工艺。

与传统的 Si CMOS 晶体管的制造方法不同, 根据实施例的薄膜晶体管的制造方法不需要用于 Si 外延生长的连接层。因为不必要注入杂质来形成源极 26a 和漏极 26b, 所以用于活化源极 26a 和漏极 26b 的高温热处理是不必要的。这样, 由于低温 (400℃ 以下) 热处理, 存储器件的存储器件稳定性得到提高。

图 4 是对于不同源-漏电压, 栅极电压 (V_g) 与漏电流 (I_d) 的关系图, 来显示根据实施例的交叉点存储器的薄膜晶体的性能测试结果。为了图 4 的性能测试, 使用 200nm 钼栅极和 70nm 沟道, 该 70nm 沟道使用包括 Ga_2O_3 、 In_2O_3 、和 ZnO (2: 2: 1) 的靶溅射形成。

参考图 4, 开启 (on-state) 电流是 $10^{-4}A$, 截止 (off-state) 电流低于 $10^{-12}A$ 。开启与截止的电流比值大于 10^8 。该开/关电流比值高。截止电流低。沟道迁移率是 $10cm^2/Vs$ 。该栅极摆动电压是 0.23V/dec。不发生滞后。如此, 根据实施例的薄膜晶体管用于交叉点存储器的选择晶体管。

图 5 是根据实施例的交叉点存储器薄膜晶体管在不同栅极电压下的漏电流与漏电压的曲线图。

参考图 5, 如果施加栅极电压为 0.1V, 不管漏电压, 漏电流是常数。如果栅极电压高于 5V, 那么漏电流与漏电压成比例 (或相关) 的逐渐增加。

根据实施例, 包括用作沟道的 ZnO 的化合物薄膜不需要实质上的高温工艺。因为杂质注入工艺不必用于形成源极和漏极, 所以高温热处理不必用于活化源极和漏极。如此, 可以容易地制造薄膜晶体管而没有任何性质变化。

在根据实施例的用于交叉点存储器的薄膜晶体的制造方法中, Si 外延生长不需要连接层, 以及在下薄膜晶体管的源极和漏极上沉积绝缘材料后, 可以在下薄膜晶体管上形成上薄膜晶体管, 与传统的 Si CMOS 晶体管制造方法不同。这样, 可以容易地制造选择晶体管阵列。

因为用于交叉点存储器的薄膜晶体管具有期望的迁移率和开/关电流特性而没有滞后现象, 该晶体管可更适于用作选择晶体管。

因为具有 1D-1R 三维结构的交叉点存储器可由存储器的每层独立驱动, 周边电路结构不复杂, 并且可以较容易获得高密度结构。

上面所述是实施例的说明并且不解释为对它的限制。尽管已经描述了几个实施例, 本领域技术人员容易理解, 在非实质上脱离新的教导和优点的情

况下，在实施例中许多修改是可能的。由此，所有这样的修改都包括在如权利要求定义的本发明的范围内。在权利要求中，方法加功能的句子旨在覆盖在此描述的实现所引用的功能的结构，并且不仅结构上等效还是等效的结构。因此，可以理解，前面所述是不同实施例的说明，并且不解释为对公开的具体实施例的限制，对所公开的实施例以及其它实施例的修改包括在所附权利要求的范围内。

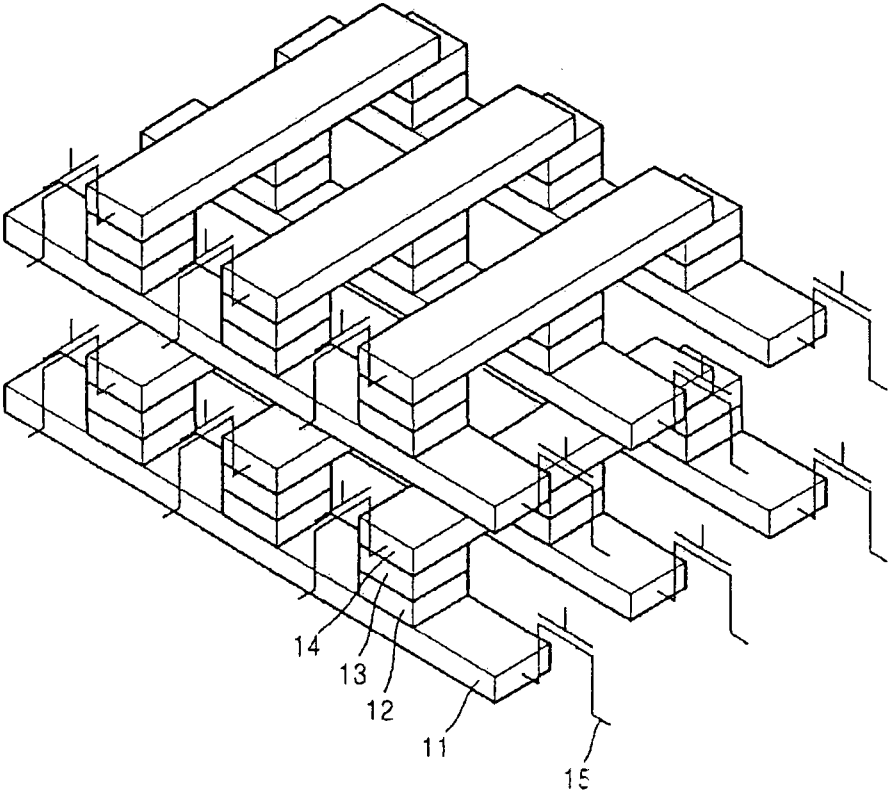


图 1A

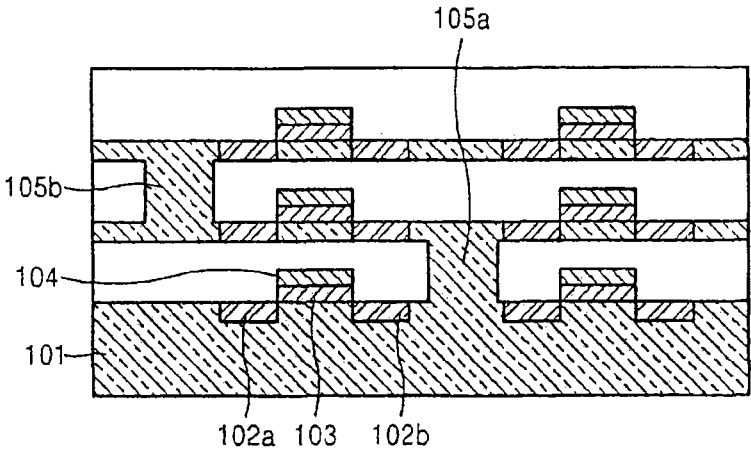


图 1B

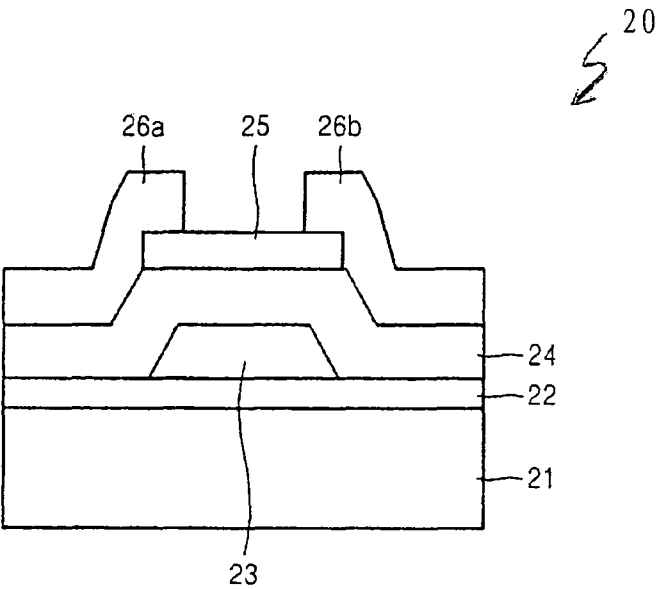


图 2

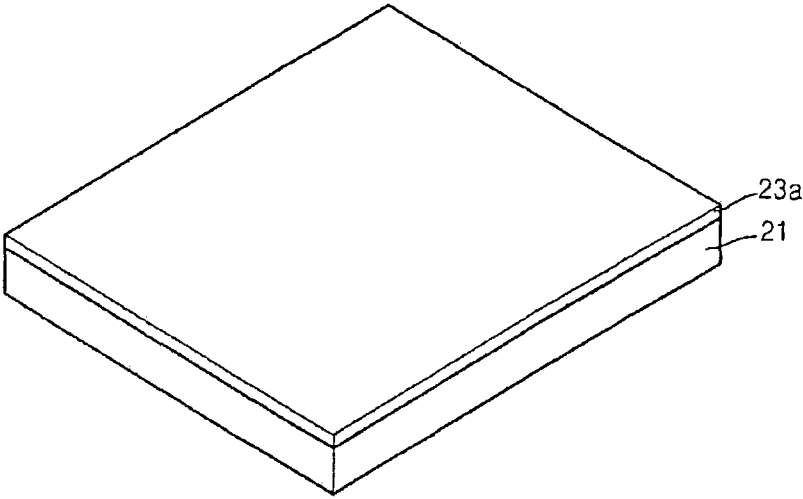


图 3A

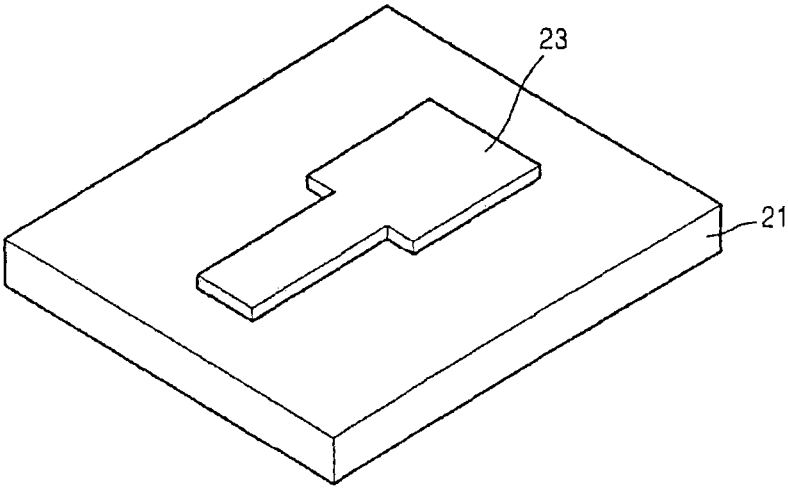


图 3B

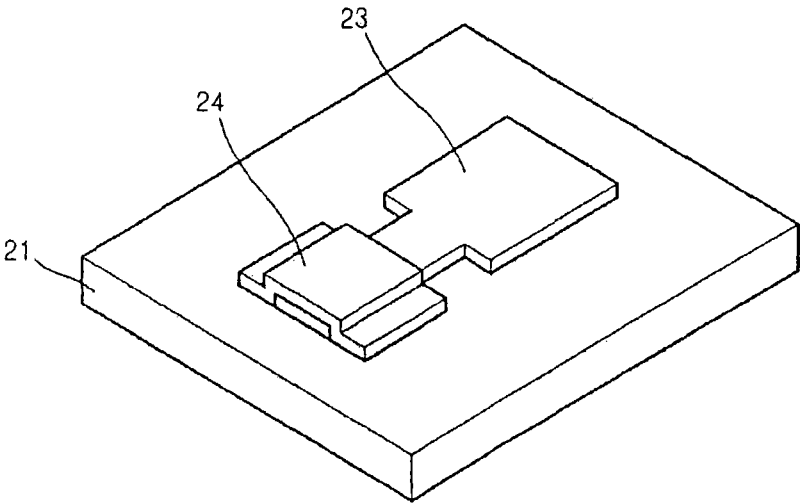


图 3C

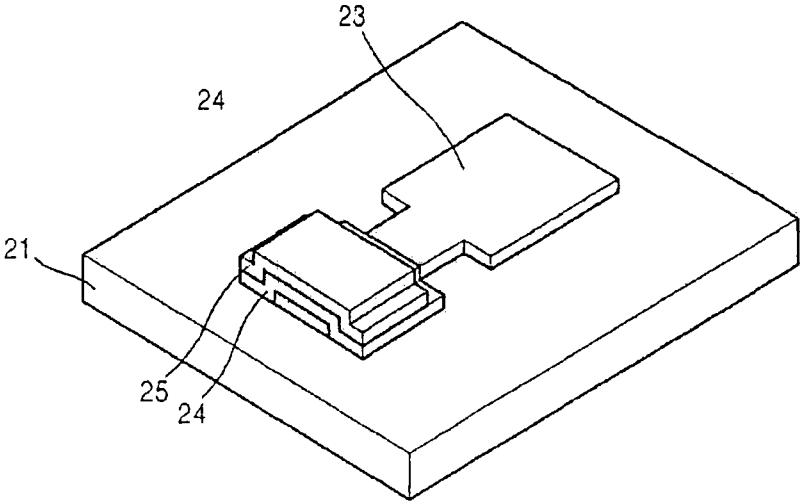


图 3D

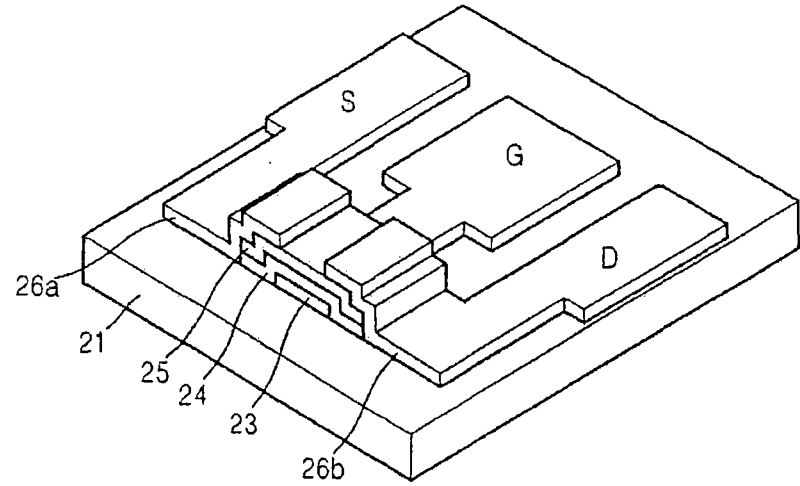


图 3E

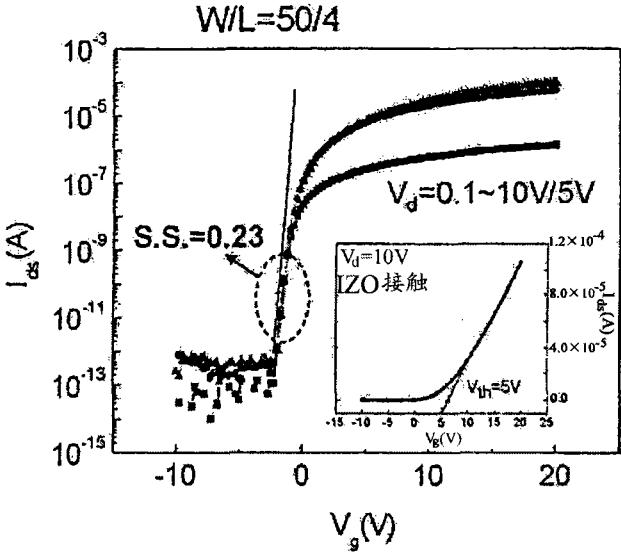


图 4

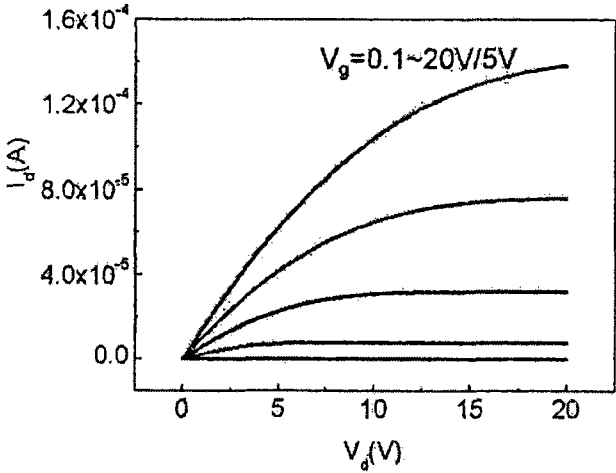


图 5