



ÚŘAD PRO VYNÁLEZY
A OBJEVY

(22) Přihlášeno 10 03 86
(21) PV 1611-86.K

(40) Zveřejněno 16 07 87
(45) Vydáno 15 12 88

(51) Int. Cl.⁴
G 05 B 19/403

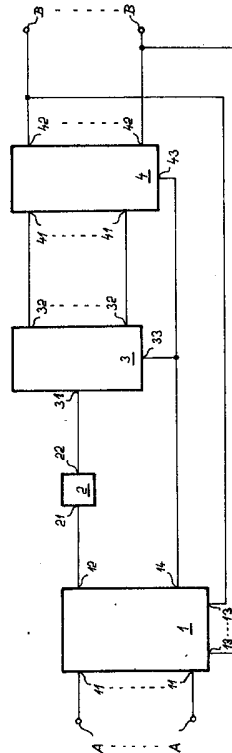
(75)

Autor vynálezu

BRADÁČ VLADIMÍR ing., BRNO

(54) Zapojení obvodu rozběhového registru

Řešení se týká zapojení obvodu rozběhového registru, opatřeného číslicovou pamětí, jejíž bitové výstupy, tvořící výstupní slovo této paměti, jsou současně výstupy rozběhového registru. Struktura výstupního slova se mění podle časové posloupnosti po krocích a podle předem vloženého programu. Děj této změny je rozčleněn zpětnými vazbami, přivádějícími signál z vybraného bitového výstupu na vstupní logický obvod rozběhového registru. Logických úrovní signálů na bitových výstupech paměti je využito k postupnému spínání elektrických zařízení připojených k rozběhovému registru.



Vynález se týká zapojení obvodu rozběhového registru opatřeného číslicovou pamětí, jejíž bitové výstupy, tvořící výstupní slovo, jsou současně výstupy rozběhového registru a logický stav těchto výstupů slouží ke spínání následně připojených elektrických zařízení. Obsah výstupního slova se mění po krocích dle předem vloženého programu a tento děj je řízen časovacím obvodem rozběhového registru, například nestabilním klopným obvodem, a je podřízen externím signálům, přivedeným do logického obvodu rozběhového registru, které jej člení do dílčích posloupností.

U zařízení, jejichž výsledný účinek je dán součinností několika jednotek, je potřeba pro zdárný nájezd, odstavení anebo provoz celého zařízení zajistit dle pracovních požadavků časovou posloupnost spínání těchto dílčích jednotek. Tento požadavek bývá nejčastěji řešen soustavami relé se zpožděným přitahem anebo odpadem, nebo klopnými obvody, vázanými zpožďovacími členy. Nevýhoda těchto zařízení spočívá v tom, že neumožňují snadnou změnu časových posloupností spínání v dílčích pracovních cyklech, přičemž v cyklu odstavení celého zařízení bývá toto většinou prováděno pouze v obráceném smyslu posloupnosti spouštěcí. Mimoto mají reléové soustavy značnou spotřebu, bývají poruchové a zaujímají značný prostor.

Výše uvedené nedostatky jsou odstraněny zapojením podle vynálezu, jehož podstata spočívá v tom, že logický obvod na vstupu je opatřen zpětnovazebními vstupy o počtu jedna až y , které jsou jednotlivě připojeny na jim příslušné bitové výstupy paměti, přičemž počet jedna až y zpětnovazebních vstupů logického obvodu je nejvýše roven počtu jedna až x bitových výstupů paměti.

Řešením podle vynálezu se odstraní jednoúčelovost zařízení vytvářejících časové spínací posloupnosti a snadnou změnou programu paměti se docílí jejich univerzálnosti s možností snadného vytvoření různých variant časových spínacích posloupností v dílčích pracovních cyklech celého zařízení.

Na připojeném výkrese je znázorněn příklad provedení obvodu rozběhového registru podle vynálezu, na němž je vyznačeno obecné blokové schéma zapojení.

Obvod rozběhového registru podle vynálezu je opatřen vstupy A o počtu jedna až n , které jsou jednotlivě připojeny na jim příslušné vstupy 11 o počtu jedna až n vstupního logického obvodu 1, jehož první výstup 12 je připojen k blokovacímu vstupu 21 zdroje 2 časových impulsů, jehož výstup 22 je připojen na hodinový vstup 31 čítače 3, jehož výstupy 32 o počtu jedna až m jsou jednotlivě připojeny na jim příslušné adresové vstupy 41 o počtu jedna až m paměti 4, jejíž bitové výstupy 42 o počtu jedna až x jsou jednotlivě připojeny na jim příslušné výstupy B obvodu rozběhového registru a která je opatřena výběrovým vstupem 43, který je spolu s nulovacím vstupem 33 čítače 3 připojen na druhý výstup 14 vstupního logického obvodu 1, který je opatřen zpětnovazebními vstupy 13 o počtu jedna až y , které jsou jednotlivě připojeny na jim příslušné bitové výstupy 42 paměti 4, přičemž počet y zpětnovazebních vstupů 13 vstupního logického obvodu 1 je roven anebo menší počtu x bitových výstupů 42 paměti 4.

Princip činnosti obvodu rozběhového registru v zapojení podle vynálezu je následující.

V klidovém stavu je signálem z prvního výstupu 12 logického obvodu 1 zablokován zdroj 2 časových impulsů a signálem z druhého výstupu 14 logického obvodu 1 jsou uvedeny do výchozího stavu čítač 3, jemuž je tento signál přiveden na jeho nulovací vstup 33, a paměť 4, jíž je tento signál přiveden z druhého výstupu 14 logického obvodu 1 na výběrový vstup 43.

Prvnímu až n -tému vstupu A rozběhového registru je jednoznačně určeno přivedení signálů pro příslušný dílčí pracovní cyklus, například pro cyklus spouštěcí-START, nebo vypínací-STOP.

V okamžiku, kdy na vybraný vstup A určený například pro start se objeví startovací signál, změní se logický stav prvního výstupu 12 logického obvodu 1 a signál odpovídající této změně je z něj veden na blokovací vstup 21 zdroje 2 časových impulsů, který se odblokuje

a na jeho výstupu 22 se objeví impulsní signál, který je veden na hodinový vstup 31 čítače 3, který je současně odblokován signálem, přivedeným na jeho nulovací vstup 33 z druhého výstupu 14 logického obvodu 1, na němž došlo v okamžiku startu ke zmíněné změně logického stavu. Na prvním až m-tém výstupu 32 čítače 3 dochází po krocích ve sledu přiváděných impulsů k postupné změně logických stavů, a signály, odpovídající těmto změnám, jsou z výstupů 32 čítače 3 vedeny na jim odpovídající první až m-tý adresový vstup 41 paměti 4, která je rovněž v okamžiku startu odblokována signálem přivedeným z druhého výstupu 14 logického obvodu 1 na její výběrový vstup 43 a na jejím prvním až x-tém bitovém výstupu 42 se ve sledu krokové změny na jejích adresových vstupech 41 a dle předem vloženého programu mění logický stav.

Signály, odpovídající této změně logických stavů jsou vedeny na jim příslušný první až x-tý výstup B rozběhového registru, kde je jich využito ke spínání k těmto výstupům B připojených elektrických zařízení. Tento děj v tomto cyklu START probíhá až do doby, kdy na vybraném bitovém výstupu 42 paměti 4 dojde ke změně logického stavu. Signál odpovídající změně logického stavu je z tohoto výstupu 42 paměti 4 veden na vybraný zpětnovazební vstup 13 logického obvodu 1, na jehož prvním výstupu 12 dojde v důsledku toho ke změně logické úrovně signálu, který je veden na blokovací vstup 21 zdroje 2 časových impulsů, který se zablokuje a na jeho výstupu 22 se od tohoto okamžiku již další impulsy neobjevují, nejsou tedy ani přiváděny na hodinový vstup 31 čítače 3, na jehož prvním až m-tém výstupu 32 zůstane od tohoto okamžiku logický stav, z posledního kroku.

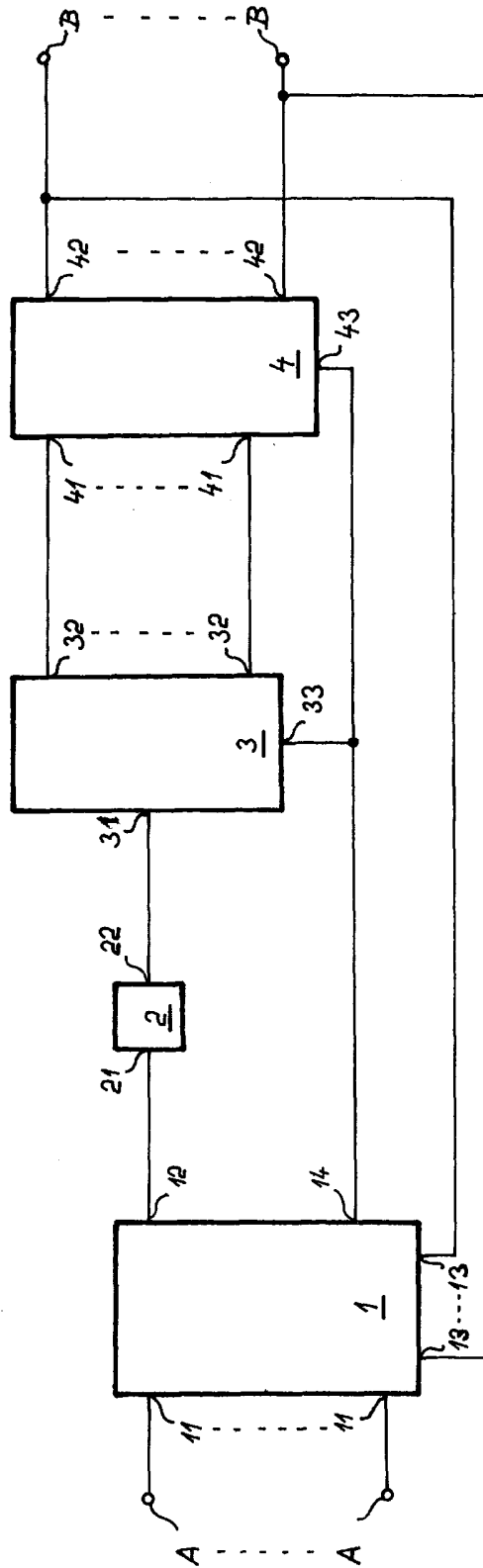
Signály z výstupů 32 čítače 3 jsou nadále beze změny logických úrovní vedeny na adresové vstupy 41 paměti 4, na jejíž bitových výstupech 42 setrvává v důsledku neměnného stavu na adresových vstupech 41 nezměněný logický stav. V důsledku toho zůstane nezměněn logický stav na výstupech B rozběhového registru.

K dalšímu dílčímu pracovnímu cyklu dojde v okamžiku, kdy na vybraném vstupu A, určeném například pro STOP, se objeví signál. Tento je přiveden na jemu příslušný vstup 11 logického obvodu 1, na jehož výstupu 12 dojde ke změně logické úrovně signálu, tento je veden na blokovací vstup 21 zdroje 2 časových impulsů a dílčí pracovní cyklus STOP pokračuje způsobem, jako dříve popsany dílčí pracovní cyklus START. V případě, že se jedná o poslední dílčí pracovní cyklus, dojde při jeho skončení ke změně logického stavu na vybraném bitovém výstupu 42 paměti 4, z kterého je signál odpovídající této změně veden na příslušný zpětnovazební vstup 13 logického obvodu 1, což vyvolá změnu logického stavu na jeho druhém výstupu 14, z kterého je signál odpovídající této změně veden na nulovací vstup 33 čítače 3, který se vynuluje, a na výběrový vstup 43 paměti 4, která se nastaví do výchozího stavu.

P R E D M Ě T V Y N Á L E Z U

Zapojení obvodu rozběhového registru, opatřeného vstupním logickým obvodem, jehož vstupy o počtu jedna až n tvoří vstupy obvodu rozběhového registru, přičemž první výstup logického obvodu je připojen na vstup zdroje časových impulsů, jehož výstup je připojen na hodinový vstup čítače, jehož výstupy o počtu jedna až m jsou jednotlivě připojeny na jim příslušné adresové vstupy paměti, jejíž bitové výstupy o počtu jedna až x jsou jednotlivě připojeny na jim příslušné vstupy obvodu rozběhového registru a jejíž výběrový vstup je připojen spolu s nulovacím vstupem čítače na druhý výstup logického obvodu, vyznačující se tím, že logický obvod (1) je opatřen zpětnovazebními vstupy (13), které jsou jednotlivě připojeny na jim příslušné bitové výstupy (42) paměti (4), přičemž počet zpětnovazebních vstupů (13) logického obvodu (1) je nejvýše roven počtu bitových výstupů (42) paměti (4).

255487



Severografia, n. p., MOST

Cena 2,40 Kčs