

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0034716
H01L 21/60 (2006.01) (43) 공개일자 2006년04월24일

(21) 출원번호	10-2006-7001547
(22) 출원일자	2006년01월23일
번역문 제출일자	2006년01월23일
(86) 국제출원번호	PCT/US2004/022949
국제출원일자	2004년07월16일
	(87) 국제공개번호 WO 2005/013339
	국제공개일자 2005년02월10일

(30) 우선권주장	60/490,340 2003년07월25일 미국(US)
	60/507,587 2003년10월01일 미국(US)

(71) 출원인 유나이티브 인터내셔널 리미티드
 네덜란드 쿠라카오 카라카스바이베그 201

(72) 발명자 미스 다니엘 제이.
 미국 노쓰캐롤라이나 27513 캐리 노쓰 레일 드라이브 204
 젠더 딘
 미국 노쓰캐롤라이나 27278 힐스버로우 올드 포레스트 드라이브 2121

(74) 대리인 리엔목특허법인

심사청구 : 없음

(54) 티타늄-텅스텐 베이스층을 포함하는 도전 구조를 형성하는방법 및 관련 구조

요약

기판, 상기 기판 위의 도전 패드 및 상기 도전 패드의 일부를 노출시키는 비아홀을 그 안에 갖는 상기 기판 위의 절연층을 포함하는 전자 소자를 형성하는 방법이 제공될 수 있다. 특히, 상기 도전 구조는 상기 절연층과 상기 도전 패드의 상기 노출된 일부분 위에 있을 수 있다. 상기 도전 구조는 티타늄-텅스텐(TiW)의 베이스층 및 알루미늄 및/또는 구리 중 적어도 어느 하나의 도전층을 포함할 수 있다. 더욱이, 상기 도전 구조의 상기 베이스층은 상기 도전층과 상기 절연층 사이에 있을 수 있다. 관련된 소자들이 또한 논의된다.

대표도

도 9

명세서

기술분야

본 발명은 집적회로 분야에 관련되며, 더욱 상세하게는 집적회로 소자를 위한 도전 구조를 형성하는 방법 및 관련 구조들에 관한 것이다.

배경기술

본 출원은 2003년 7월 25일에 제출된 미국 임시 특허 출원 제 60/490,340호 및 2003년 10월 1일 제출된 미국 임시 특허 출원 제 60/507,587호의 이익을 주장한다. 상기 언급된 임시 출원들의 각각의 개시 내용은 이 문서에서의 참조에 의하여 그 전부가 여기에 포함되어 있다.

고성능 마이크로전자 소자는 다른 마이크로전자 소자에 전기적인 연결을 위하여 종종 솔더볼 또는 솔더범프를 사용한다. 예를 들면, 초고집적(VLSI:very large scale integration) 칩은 솔더볼이나 솔더범프를 사용하여 회로 기판 또는 다음 레벨의 패키지 기판에 전기적으로 연결될 수 있다. 이 연결 기술은 또한 "붕괴 제어용 칩 연결(Controlled Collapse Chip Connection -C4)" 또는 "플립-칩" 기술이라고 불리며, 여기서는 솔더범프라고 기술될 것이다.

IBM에 의하여 전개된 솔더범프 기술에 따르면, 솔더범프는 집적회로 웨이퍼에 고정된(clamp) 새도우 마스크의 개구부를 통한 증발(evaporation)에 의하여 형성된다. 예를 들면, "끓을 수 있는 금속 본딩 방법(Debondable Metallic Bonding Method)"이라는 명칭의 Katz 등의 미국 특허 제 5,234,149호는 칩 와이어링 전극(chip wiring terminals)과 금속화층(metallization layers)을 갖는 전자 소자를 개시한다. 와이어링 전극들은 통상 실질적으로 알루미늄이고, 금속화층들은 티타늄 또는 크로뮴 국부 접착층(localized adhesive layers), 공동 증착된 국부 크로뮴 구리 층, 국부 가용성(wettable) 구리 층 및 국부 금 또는 주석 캐핑층을 포함할 수 있다.

전기도금 방법에 기초한 솔더범프 기술이 또한 적극적으로 추구되고 있다. 전기도금 방법은 더 큰 기판과 더 작은 범프에 대하여 특히 유용하다. 이 방법에서는 "범프 아래 금속(UBM : under bump metallurgy)" 층이 그 위에 콘택 패드를 갖는 마이크로전자 기판 위에, 통상 증발 또는 스퍼터링에 의하여 증착된다. 솔더 플레이팅 동안 전류 흐름을 허용하기 위하여 연속적인 UBM 층이 패드 위와 상기 패드 사이의 기판 위에 통상 제공된다.

UBM 층을 갖는 전기도금 방법의 일례가 Yung에게 허여되고 본 출원의 양수인에게 양수된 "솔더 범프 제조 방법(Solder Bump Fabrication Method)"이라는 제목의 미국 특허 제 5,162,257호에서 논의되고 있다. 이 특허에서는 UBM 층이 기판과 패드에 인접한 크로뮴층, 솔더가능한 금속으로 작용하는 위쪽 구리 층, 크로뮴과 구리층 사이의 상변화되는 크로뮴/구리 층을 포함한다. 솔더범프의 베이스는 솔더범프와 콘택 패드 사이의 UBM 층을 솔더와 UBM 층의 솔더가능한 요소의 인터메탈릭으로 변환함에 의하여 보존된다.

재배선 라우팅 도전체의 일례가 Rinne 등에게 허여되고 본 출원의 양수인에게 양수된 "집적된 재배선 라우팅 도전체와 솔더범프를 형성하는 방법(Method For Forming Integrated Redistribution Routing Conductors And Solder Bumps)"라는 제목의 미국 특허 제 6,389,691호에서 논의되고 있다. 이 특허에서는 재배선 라우팅 도전체가 관련된 솔더범프와 함께 전체적으로(integrally) 형성될 수 있다.

상기에서 논의된 방법에도 불구하고, 향상된 배선 구조를 위한 기술이 요구되고 있다.

발명의 상세한 설명

본 발명의 실시예들에 따르면, 기판, 상기 기판 위의 도전 패드, 및 상기 도전 패드의 일부를 노출시키는 비아홀을 그 안에 갖는 상기 기판 위의 절연층을 포함하는 전자 소자를 형성하는 방법에 제공될 수 있다. 더욱 상세하게는, 도전 구조가 상기 절연층 위와 상기 도전 패드의 노출된 일부분 위에 형성될 수 있다. 상기 도전 구조는 티타늄-텅스텐(TiW)을 포함하여 구성되는 베이스층 및 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 도전층을 포함할 수 있다. 더욱이, 상기 도전 구조의 상기 베이스층은 상기 도전층과 상기 절연층 사이에 있다.

덧붙여, 상기 절연층 위에 상기 도전 구조를 형성하는 단계는 상기 절연층 위와 상기 도전 패드의 상기 노출된 일부분 위에 티타늄-텅스텐층을 형성하는 단계; 상기 티타늄-텅스텐층의 일부가 노출되도록 상기 티타늄-텅스텐층 위에 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 상기 도전층을 형성하는 단계를 포함할 수 있다. 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 상기 도전층을 형성한 후에, 상기 도전층에 의하여 노출되는 티타늄-텅스텐 층의 일부를 제거할 수 있다. 더욱 상세하게는, 상기 티타늄-텅스텐층의 일부를 제거하는 것은 과산화수소를 사용하여 상기 티타늄-텅스텐층을 식각하는 것을 포함할 수 있다. 다르게는, 상기 티타늄-텅스텐층의 일부를 제거하는 것은 과산화수소, 황산 칼륨, 벤조트리아졸, 및 설포-살리실릭산을 포함하는 혼합물을 사용하여 상기 티타늄-텅스텐층을 식각하는 것을 포함할 수 있다.

상기 도전 구조의 상기 베이스층은 상기 도전 구조의 상기 도전층 바깥으로 확장되는 가장자리를 포함할 수 있고, 상기 도전 패드는 알루미늄 및/또는 구리의 적어도 어느 하나를 포함할 수 있다. 상기 도전 구조 위와 상기 제1 절연층 위에 제2 절연층을 형성하되, 상기 도전 구조가 상기 제1 절연층 및 상기 제2 절연층 사이에 있고, 상기 제2 절연층 안의 제2 비아홀이 상기 도전 구조의 일부를 노출시키도록 제2 절연층을 형성할 수 있다. 더욱이, 상기 제1 비아홀과 상기 제2 비아홀이 떨어져 있을 수 있다. (솔더 범프와 같은) 연결 구조(interconnection structure)가 상기 도전 구조의 상기 노출된 일부분 위에 형성될 수 있고, 하부 범프 금속층이 상기 연결 구조와 상기 도전 구조의 상기 노출된 일부분 사이에 형성될 수 있다.

상기 도전 구조의 상기 도전층은 알루미늄층을 포함할 수 있고, 상기 도전층은 상기 알루미늄층과 상기 도전 구조의 상기 베이스층 사이에 티타늄층을 더 포함할 수 있다. 상기 도전 패드의 일부가 상기 절연층과 상기 도전 구조 사이에 노출될 수 있다. 더욱이, 상기 절연층은 벤조사이클로부텐, 폴리이미드, 실리콘 옥사이드, 실리콘 나이트라이드, 및/또는 실리콘 옥시나이트라이드의 적어도 어느 하나를 포함할 수 있다.

본 발명의 부가적인 실시예들에 의하면, 기판, 상기 기판 위의 절연층을 포함하는 전자 소자를 형성하는 방법이 제공될 수 있다. 더욱 상세하게는, 도전 구조가 상기 절연층 위에 형성될 수 있고, 상기 도전 구조는 티타늄-텅스텐(TiW)을 포함하여 구성되는 베이스층 및 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 도전층을 포함할 수 있다. 더욱이, 상기 도전 구조의 상기 베이스층은 상기 도전층과 상기 절연층 사이에 있을 수 있고, 상기 도전 구조의 상기 베이스층은 상기 도전 구조의 상기 도전층 바깥으로 확장되는 가장자리를 포함할 수 있다.

상기 절연층 위에 상기 도전 구조를 형성하는 단계는 상기 절연층 위에 티타늄-텅스텐층을 형성하는 단계; 상기 티타늄-텅스텐층을 형성한 후에, 상기 티타늄-텅스텐층의 일부가 노출되도록 상기 티타늄-텅스텐층 위에 상기 도전층을 형성할 수 있다. 상기 도전층을 형성한 후에, 상기 도전층에 의하여 노출되는 상기 티타늄-텅스텐층의 일부가 제거될 수 있다. 더욱이, 상기 티타늄-텅스텐층의 일부를 제거하는 단계는 과산화수소를 사용하여 상기 티타늄-텅스텐층을 식각하는 것을 포함할 수 있다. 다르게는, 상기 티타늄-텅스텐층의 일부를 제거하는 단계는 과산화수소, 황산 칼륨, 벤조트리아졸, 및 설포-실리실리콘을 포함하는 혼합물을 사용하여 상기 티타늄-텅스텐층을 식각하는 것을 포함할 수 있다.

상기 전자 소자는 상기 기판 위에 도전 패드를 포함하고, 상기 절연층은 그 안에 상기 도전 패드의 일부를 노출하는 비아홀을 갖고, 상기 도전 구조를 형성하는 것은 상기 절연층 위와 상기 도전 패드의 노출된 일부분 위에 상기 도전 구조를 형성하는 것을 포함할 수 있다. 더욱 상세하게는, 상기 도전 패드는 알루미늄 및/또는 구리의 적어도 어느 하나를 포함할 수 있다. 덧붙여, 상기 도전 패드의 일부가 상기 절연층과 상기 도전 구조 사이에 노출될 수 있다.

상기 도전 구조 위와 상기 제1 절연층 위에 제2 절연층을 형성하되, 상기 도전 구조가 상기 제1 절연층 및 상기 제2 절연층 사이에 있도록 제2 절연층을 형성할 수 있다. 덧붙여, 상기 제2 절연층 안에 상기 도전 구조의 일부를 노출시키는 제2 비아홀을 형성할 수 있다. 더욱이, 상기 도전 구조의 상기 노출된 일부분 위에 (솔더 범프와 같은) 연결 구조를 형성하는 단계를 더 포함할 수 있고, 상기 연결 구조와 상기 도전 구조의 상기 노출된 일부분 사이에 하부 범프 금속층을 형성할 수 있다.

상기 도전 구조의 상기 도전층은 알루미늄층을 포함할 수 있고, 상기 도전 구조의 상기 도전층은 또한 상기 알루미늄층과 상기 도전 구조의 상기 베이스층 사이에 티타늄층을 더 포함할 수 있다. 덧붙여, 상기 절연층은 벤조사이클로부텐, 폴리이미드, 실리콘 옥사이드, 실리콘 나이트라이드, 및/또는 실리콘 옥시나이트라이드의 적어도 어느 하나를 포함할 수 있다.

본 발명의 또 다른 부가적인 실시예들에 따르면, 전자 소자는 기판, 도전 패드, 절연층, 상기 절연층 위의 도전 구조를 포함할 수 있다. 상기 절연층은 상기 기판 위에 있을 수 있고, 상기 절연층은 상기 기판과 상기 도전 패드 위에 있을 수 있다. 덧붙여, 상기 절연층은 그 안에 상기 도전 패드의 일부를 노출시키는 비아홀을 갖을 수 있다. 상기 도전 구조는 상기 절연층과 상기 도전 패드의 상기 노출된 일부분 위에 있을 수 있다. 더욱 상세하게는, 상기 도전 구조는 티타늄-텅스텐(TiW)을 포함하여 구성되는 베이스층 및 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 도전층을 포함할 수 있다. 더욱이, 상기 도전 구조의 상기 베이스층은 상기 도전층과 상기 절연층 사이에 있을 수 있다. 상기 도전 구조의 상기 베이스층은 상기 도전 구조의 상기 도전층 바깥으로 확장되는 가장자리를 포함할 수 있고, 상기 도전 패드는 알루미늄 및/또는 구리의 적어도 어느 하나를 포함할 수 있다.

덧붙여, 제2 절연층이, 상기 도전 구조가 상기 제1 절연층 및 상기 제2 절연층 사이에 있도록, 상기 도전 구조 위와 상기 제1 절연층 위에 제공될 수 있다. 더욱이, 상기 제2 절연층은, 상기 제1 비아홀과 제2 비아홀이 떨어져 있도록, 그 안에 상기 도전 구조의 일부를 노출시키는 상기 제2 비아홀을 가질 수 있다. 상기 도전 구조의 상기 노출된 일부분 위에 (솔더 범프와 같은) 연결 구조를 형성하는 단계를 더 포함할 수 있고, 상기 연결 구조와 상기 도전 구조의 상기 노출된 일부분 사이에 하부 범프 금속층을 형성할 수 있다.

상기 도전 구조의 상기 도전층은 알루미늄층을 포함할 수 있고, 상기 도전층은 상기 알루미늄층과 상기 도전 구조의 상기 베이스층 사이에 티타늄층을 더 포함할 수 있다. 상기 도전 패드의 일부가 상기 절연층과 상기 도전 구조 사이에 노출될 수 있고, 상기 절연층은 벤조사이클로부텐, 폴리이미드, 실리콘 옥사이드, 실리콘 나이트라이드, 및/또는 실리콘 옥시나이트라이드의 적어도 어느 하나를 포함할 수 있다.

본 발명의 또 다른 실시예에 따르면, 전자 소자는 기판, 상기 기판 위의 절연층, 및 상기 절연층 위의 도전 구조를 가질 수 있다. 상기 도전 구조는 티타늄-텅스텐(TiW)을 포함하여 구성되는 베이스층 및 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 도전층을 포함할 수 있다. 더욱이, 상기 도전 구조의 상기 베이스층은 상기 도전층과 상기 절연층 사이에 있을 수 있고, 상기 도전 구조의 상기 베이스층은 상기 도전 구조의 상기 도전층 바깥으로 확장되는 가장자리를 포함할 수 있다.

상기 전자 소자는 상기 기판 위에 도전 패드를 더 포함하고, 상기 절연층은 그 안에 상기 도전 패드의 일부를 노출하는 비아홀을 갖을 수 있다. 덧붙여, 상기 도전 구조의 일부는 상기 도전 패드의 상기 노출된 일부분 위에 있을 수 있다. 상기 도전 패드는 알루미늄 및/또는 구리의 적어도 어느 하나를 포함할 수 있고, 상기 도전 패드의 일부가 상기 절연층과 상기 도전 구조 사이에 노출될 수 있다.

덧붙여, 제2 절연층이, 상기 도전 구조가 상기 제1 절연층 및 상기 제2 절연층 사이에 있도록, 상기 도전 구조 위와 상기 제1 절연층 위에 제공될 수 있고, 상기 제2 절연층은 그 안에 상기 도전 구조의 일부를 노출시키는 상기 제2 비아홀을 가질 수 있다. 덧붙여, 상기 도전 구조의 상기 노출된 일부분 위에 (솔더 범프와 같은) 연결 구조를 형성하는 단계를 더 포함할 수 있고, 상기 연결 구조와 상기 도전 구조의 상기 노출된 일부분 사이에 하부 범프 금속층을 형성할 수 있다.

더욱이, 상기 도전 구조의 상기 도전층은 알루미늄층일 수 있고, 상기 도전층은 상기 알루미늄층과 상기 도전 구조의 상기 베이스층 사이에 티타늄층을 더 포함할 수 있다. 상기 도전 패드의 일부가 상기 절연층과 상기 도전 구조 사이에 노출될 수 있다. 덧붙여, 상기 절연층은 벤조사이클로부텐, 폴리이미드, 실리콘 옥사이드, 실리콘 나이트라이드, 및/또는 실리콘 옥시나이트라이드의 적어도 어느 하나를 포함할 수 있다.

도면의 간단한 설명

도 1, 2A-B, 3 및 4는 본 발명의 실시예에 따른 도전 구조를 형성하는 단계 및 결과적인 도전 구조를 보여주는 단면도들이다.

도 5 내지 9는 본 발명의 다른 실시예에 따른 도전 구조를 형성하는 단계 및 결과적인 도전 구조를 보여주는 단면도들이다.

도 10 내지 13은 본 발명의 또 다른 실시예에 따른 도전 구조를 보여주는 사진들이다.

실시예

본 발명은 본 발명의 바람직한 실시예가 보여지는 관련 도면을 참조하여 여기에서 더욱 상세하게 기술될 것이다. 이 발명은 그러나 많은 다른 형태로 구체화될 수 있으며, 여기에 설명된 실시예들로만 한정되는 것으로 해석되서는 안된다; 오히려, 이러한 실시예들은 이 개시가 철저하고 완전하며 당업자에게 발명의 범위를 완전히 전달하기 위하여 제공된다. 도면에서, 층의 두께와 영역은 명확성을 위하여 과장된 것이다. 동일한 숫자는 끝까지 동일한 요소를 참조한다.

한 요소가 층, 영역 또는 기판이 다른 요소 "위"에 존재하는 것으로 기술되는 경우, 그 요소는 다른 요소의 직접 위에 있을 수 있고, 또는 중간의 요소가 존재할 수도 있다. 반면에, 하나의 요소가 다른 요소 "바로 위"에 있다고 언급되는 경우, 다른 중간 요소는 존재하지 않는다. 또한, 하나의 요소가 다른 요소에 "결합"된다고 기술되는 경우, 그 요소는 다른 요소에 직접 결합될 수 있고, 또는 중간 요소가 존재할 수도 있다. 반면에, 하나의 요소가 다른 요소에 "직접 결합"된다고 언급되는 경우에는 다른 중간 요소가 존재하지 않는다. 또한 하나의 요소가 다른 요소에 "연결"되거나 "짝지어"지는 경우, 그 요소는 다른 요소에 직접 연결되거나 짹지어질 수 있고 또는 중간 요소가 존재할 수 있다. 마지막으로, "직접"이라는 용어는 다른 중간 요소가 존재하지 않는 것을 의미한다.

본 발명의 실시예들에 따르면, 알루미늄 및/또는 구리 층을 포함하는 도전 구조가 유기 및/또는 무기 절연 패시베이션 층에 제공될 수 있다. 도전 구조는 예를 들면, 기판 위의 입력/출력 패드와 상기 입력/출력 패드로부터 떨어진 (솔더 범프와 같은) 연결 구조 사이에 전기적 연결을 제공하는 재배선 라우팅 라인으로 사용될 수 있다. 본 발명의 실시예들에 따른 도전

라인과 솔더 범프는 예를 들면 플립 칩 공정을 위한 구조를 제공하는데 사용될 수 있다. 다른게는 본 발명의 실시예들에 따른 도전 라인은 두 도전성 입력/출력 패드 사이, 도전성 입력/출력 패드와 다른 도전 라인 사이, 및/또는 두 인터커넥션 구조 사이의 연결을 제공할 수 있다.

본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 단면도를 참조하여 여기에서 기술된다. 그 자체로, 예를 들면 제조 기술 및/또는 한계의 결과로서의 실시예의 형태로부터의 변형이 예상될 수 있다. 따라서, 본 발명의 실시예들은 여기서 도시된 특정 모양의 영역으로 제한되는 것으로 해석되어서는 안되며, 예를 들면 제조로부터 기인하는 형태의 일탈을 포함해야 할 것이다. 예를 들면, 직사각형으로 도해된 도전층은 통상 둑글거나 곡선이 있는 구조를 가질 수 있다. 따라서 도면에 도시된 영역들은 사실상 개략적이고 그들의 모양은 소자의 영역의 정확한 모양을 도시하기 위해 의도되지 않으며 본 발명의 범위를 제한하려고 의도되지 않는다.

본 발명의 실시예들에 따른 전자 구조가 도 4에 도시되어 있다. 도 4에 도시된 바와 같이, 전자 기판(21)은 실리콘(Si), 갈륨 아세나이드(GaAs), 실리콘 저마늄(SiGe), 및/또는 사파이어와 같은 반도체 물질을 포함할 수 있다. 더욱 상세하게는 전자 기판(21)은 트랜지스터, 다이오드, 저항, 커패시터, 및/또는 인덕터와 같이 규정된 기능을 제공하는 복수의 전자 소자들을 포함할 수 있다. 덧붙여, (구리 및/또는 알루미늄 패드와 같은) 도전성 입력/출력 패드(27)는 기판(21)의 전기적인 회로를 위하여 전기적인 연결을 제공할 수 있다. 절연 패시베이션층(24)은 (실리콘 옥사이드, 실리콘 나이트라이드, 및/또는 실리콘 옥시나이트라이드 층과 같은) 무기층(23) 및 (벤조아이클로부텐 BCB 및/또는 폴리이미드 층과 같은) 유기층(25)을 포함할 수 있다. 다른게는, 절연 패시베이션층(24)은 오직 하나의 무기층 또는 유기층을 포함할 수 있다.

도 4에 더 나타난 바와 같이, 절연 패시베이션층(24)의 비아홀은 도전성 입력/출력 패드(27)의 일부를 노출시킬 수 있고, 도전 라인(30)이 절연 패시베이션층(24) 위에 제공될 수 있다. 더욱 상세하게는 도전 라인(30)은 티타늄-텅스텐(TiW)을 포함하는 베이스층(29) 및 알루미늄 및/또는 구리를 포함하는 도전층(33)을 포함할 수 있다. 본 발명의 특정한 실시예에 의하면, 도전층(33)은 티타늄 위의 알루미늄(Ti/Al), 티타늄-텅스텐 위의 티타늄 위의 알루미늄(TiW/Ti/Al), 티타늄 위의 구리(Ti/Cu), 티타늄-텅스텐 위의 구리(TiW/Cu), 티타늄 나이트라이드 위의 티타늄-텅스텐 위의 알루미늄(TiN/TiW/Al), 및/는 티타늄 나이트라이드 위의 티타늄-텅스텐 위의 구리(TiN/TiW/Cu)의 적층을 포함할 수 있다. 티타늄 위의 알루미늄의 적층을 포함하는 도전층(33)은 티타늄-텅스텐 베이스층으로부터 산소를 제거할 수 있다.

도전 라인(30) 위와 제1 절연 패시베이션층(24) 위의 제2 절연 패시베이션층(35)은 도전성 입력/출력 패드(27)로부터 멀어진 도전 라인(30)의 일부를 노출시키는 비아홀을 그안에 포함한다. 더욱이 노출된 도전 라인(30)의 일부분 위에 UBM 층(37)과 (솔더 범프와 같은) 연결 구조(39)가 제공될 수 있다. 따라서, 도전 라인(30)은 각각의 도전성 입력/출력 패드(27)로부터 연결 구조(interconnection structure)(39)를 재배치할 수 있고, 연결 구조(39)는 다음 레벨의 패키지에 대한 전기적 및/또는 기계적인 연결을 제공할 수 있다.

도 4에 도시되지는 않았으나, 도전 라인(30)의 베이스층(29)은 도전층(33) 바깥으로 확장되는 가장자리(lip)를 포함할 수 있다. 덧붙여 또는 다른게는, 도전성 입력/출력 패드(27)는 절연 패시베이션층(24)과 도전 라인(30) 사이에서 노출될 수 있다. 다른게 말하면, 도전 라인(30)의 폭이 절연 패시베이션층(24)의 비아홀을 통하여 노출되는 도전성 입력/출력 패드(27)의 폭보다 더 작을 수 있다.

본 발명의 실시예들에 따라 도 4에 도시된 구조를 형성하는 방법이 도 1 내지 도 4에 도시되어 있다. 도 1에 나타난 바와 같이, (실리콘 옥사이드, 실리콘 나이트라이드, 및/또는 실리콘 옥시나이트라이드 층과 같은) 무기층(23) 및/또는 (벤조아이클로부텐 및/또는 폴리이미드 층과 같은) 유기층(25) 절연 패시베이션층(24)이 기판(21) 위에 형성될 수 있다. 더욱 상세하게는, 무기층(23)이 기판(21) 위에 형성될 수 있고, 유기층(25)이 무기층(23) 위, 기판(21)의 반대편에 형성될 수 있다. 기판(21)은 실리콘(Si), 갈륨 아세나이드(GaAs), 실리콘 저마늄(SiGe), 및/또는 사파이어와 같은 물질을 포함할 수 있고, 상기 전자 기판은 트랜지스터, 다이오드, 저항, 커패시터, 및/또는 인덕터와 같은 전자 소자들을 포함할 수 있다.

덧붙여, (알루미늄 및/또는 구리 패드와 같은) 도전성 입력/출력 패드(27)가 기판(21) 위에 포함될 수 있고, 도전성 입력/출력 패드(27)는 기판(21)의 회로를 위하여 전기적인 연결을 제공할 수 있다. 더욱이, 절연 패시베이션층(24) 안의 비아홀은 도전성 패드(27)의 적어도 일부를 노출시킬 수 있다. 도 1에 더 나타난 바와 같이, 티타늄-텅스텐의 블랭킷 층(29')이 절연 패시베이션층(24) 위와 절연 패시베이션층(24) 안의 비아홀을 통하여 노출된 도전성 입력/출력 패드(27)의 일부 위에 형성될 수 있다. 티타늄-텅스텐의 블랭킷 층(29')을 형성하기 전에, 도전성 입력/출력 패드(27)의 노출된 표면에 그 표면의 산화물을 줄이고, 도전성 입력/출력 패드(27)와 그 위에 형성되는 티타늄-텅스텐 사이의 콘택 저항을 줄이기 위하여 습식 및/또는 건식 전처리가 행해질 수 있다. 예를 들면, 도전성 입력/출력 패드(27)의 노출된 표면은 스퍼터 세정될 수 있고, 티타늄-텅스텐의 블랭킷 층(29')이 스퍼터링에 의하여 형성될 수 있다. 더욱이, 스퍼터 세정과 스퍼터 증착은 그 이상의 산화

및/또는 오염을 줄이기 위하여 동일한 공정 챔버에서 수행될 수 있다. 다르게는, 도전성 입력/출력 패드(27)의 노출된 표면은 티타늄-텅스텐의 블랭킷 층을 형성하기 전에 습식 식각/세정, 건식 식각/세정, 및/또는 플라즈마 식각/세정되고, 티타늄-텅스텐의 블랭킷 층(29')이 증발(evaporation)에 의하여 형성될 수 있다.

더욱 상세하게는, 티타늄-텅스텐의 블랭킷 층(29')이 약 100Å의 두께로 형성될 수 있다. 티타늄의 블랭킷 층은 약 10%의 티타늄 및 90%의 텅스텐의 조성을 가질 수 있다.

알루미늄 도전성 입력/출력 패드(27)의 경우, 티타늄-텅스텐의 블랭킷 층(29')은 절연 패시베이션층(24) 안의 비아홀을 통하여 노출된 알루미늄 도전성 입력/출력 패드(27)의 일부분에 대한 패시베이션을 제공할 수 있다. 티타늄-텅스텐의 블랭킷 층(29')은 또한 티타늄-텅스텐의 블랭킷 층(29')의 표면으로부터 산소를 제거할 수 있다.

도 2A에 나타난 바와 같이, 도전층(33)은 리프트-오프(lift-off) 기술을 사용하여 형성될 수 있다. 더욱 상세하게는, 레지스트층(31)이 형성되고 패터닝되어 티타늄-텅스텐의 블랭킷 층(29')의 일부를 노출시키는 개구부를 갖는 리프트-오프 스텐실을 제공할 수 있다. 금속층(33)이 그리고나서 레지스트층(31) 위와 노출된 티타늄-텅스텐의 블랭킷 층(29')의 일부분에 형성된다. 금속층(33)은 알루미늄 및/또는 구리를 포함할 수 있고, 금속층(33)은 증발에 의하여 형성될 수 있다. 금속층(33)은 티타늄 위의 알루미늄(Ti/Al), 티타늄-텅스텐 위의 티타늄 위의 알루미늄(TiW/Ti/Al), 티타늄 위의 구리(Ti/Cu), 티타늄-텅스텐 위의 구리(TiW/Cu), 티타늄 나이트라이드 위의 티타늄-텅스텐 위의 알루미늄(TiN/TiW/Al), 및/또는 티타늄 나이트라이드 위의 티타늄-텅스텐 위의 구리(TiN/TiW/Cu)의 적층을 포함할 수 있다. 예를 들면, 도전층은 티타늄-텅스텐의 블랭킷 층(29') 위의 약 200Å에서 약 1000Å 범위의 두께를 갖는 티타늄층 및 약 2μm 두께를 갖는 알루미늄층을 포함할 수 있다. 티타늄 위의 알루미늄 적층을 포함하는 도전층(33)은 티타늄-텅스텐 베이스층으로부터 산소를 제거할 수 있다.

그리고 나서 레지스트층(31) 및 도전층(33)을 포함하는 구조는 레지스트층(31)이 녹아서 그 위의 금속층(33)의 일부분 떨어져 나가도록 용매 배쓰에 노출될 수 있다. 남은 금속층(33)에 의해 덮히지 않은 티타늄-텅스텐의 블랭킷 층(TiW)(29')의 일부분은 알루미늄 및/또는 구리에 대해 티타늄-텅스텐을 선택적으로 식각하는 식각 화학을 사용하여 제거되어 티타늄-텅스텐 베이스층(29) 및 도전층(33)을 포함하는 도전 라인(30)을 갖는 도 3의 구조를 제공한다. 티타늄 위의 알루미늄 적층을 포함하는 도전층(33)의 경우, 티타늄-텅스텐의 블랭킷 층(29')(10% Ti와 90% W)의 노출된 일부분은 물 안의 과산화수소(H₂O₂)(30% H₂O₂), 및/또는 과산화수소(H₂O₂), 물, 황산 칼륨, 벤조트리아졸, 및 설포-살리실릭산을 포함하는 혼합물과 같은 식각제를 사용하여 식각될 수 있다.

다르게는, 도전층(33)이 예를 들면 도 2B에 도시된 바와 같이 사진/식각 기술을 사용하여 형성될 수 있고, 티타늄-텅스텐의 블랭킷 층(29')의 노출된 일부분은 도 3의 구조를 제공하기 위하여 제거될 수 있다. 더욱 상세하게는, 알루미늄 및/또는 구리를 포함하는 블랭킷 금속층(33)이 티타늄-텅스텐의 블랭킷 층(29') 위에 스퍼터될 수 있다. 블랭킷 금속층(33')은 티타늄 위의 알루미늄(Ti/Al), 티타늄-텅스텐 위의 티타늄 위의 알루미늄(TiW/Ti/Al), 티타늄 위의 구리(Ti/Cu), 티타늄-텅스텐 위의 구리(TiW/Cu), 티타늄 나이트라이드 위의 티타늄-텅스텐 위의 알루미늄(TiN/TiW/Al), 및/또는 티타늄 나이트라이드 위의 티타늄-텅스텐 위의 구리(TiN/TiW/Cu)의 적층일 수 있다. 예를 들면, 금속층(33')은 티타늄-텅스텐의 블랭킷 층(29') 위의 약 200Å에서 약 1000Å 범위의 두께를 갖는 티타늄층 및 약 2μm 두께를 갖는 알루미늄층을 포함할 수 있다.

식각 마스크(31')가 그후 금속층(33') 위에 형성될 수 있다. 예를 들면, 포토레지스트층이 중착, 노광, 및 현상되어 금속층(33') 위에 식각 마스크(31')를 제공할 수 있다. 식각 마스크(31')에 의해 노출된 금속층(33')의 일부가 그후 알루미늄 및/또는 구리를 식각하는데 적절한 습식 및/또는 건식 식각 화학을 사용하여 제거되어 도전층(33)을 제공할 수 있다. 남은 금속층(33)에 의해 덮히지 않은 티타늄-텅스텐의 블랭킷 층(29')의 일부분은 알루미늄 및/또는 구리에 대해 TiW를 선택적으로 식각하는 식각 화학을 사용하여 제거될 수 있다. 티타늄 위의 알루미늄 적층을 포함하는 도전층(33)의 경우, 티타늄-텅스텐의 블랭킷 층(29')(10% Ti와 90% W)의 노출된 일부분은 물 안의 과산화수소(H₂O₂)(30% H₂O₂), 및/또는 과산화수소(H₂O₂), 물, 황산 칼륨, 벤조트리아졸, 및 설포-살리실릭산을 포함하는 혼합물과 같은 식각제를 사용하여 식각될 수 있다.

식각 마스크(31')는 도전층(33)과 베이스층(29)을 패터닝한 후에 제거되어 도전 라인(30)을 포함하는 도 3에 도시된 구조를 제공할 수 있다. 다르게는, 식각 마스크(31')는 금속층(33')을 식각한 후, TiW층(29')을 식각하기 전에 제거될 수 있다.

따라서 도 3의 구조는 도 2A에 관련하여 위에서 논의한 리프트 오프 기술 또는 도 2B에 관련하여 위에서 논의한 포토리소그래피 기술을 사용하여 제공될 수 있다. 각 경우에, 도전층(33) 및 TiW 베이스층(29)을 패터닝한 후 남은 금속을 깨끗이 제거하기 위하여 플라즈마 식각이 사용될 수 있다.

도 3에 도시되지는 않았으나, 식각 마스크로 도전층(33)을 사용하여 티타늄-텅스텐 베이스층(29)을 패터닝한 후 티타늄-텅스텐 베이스층(29)의 가장자리(lip)가 도전층(33) 바깥으로 확장될 수 있다. 더욱 상세하게는 티타늄-텅스텐 베이스층의 가장자리가 도전층(33)에 대하여 자기 정렬되어 도전 라인(30)의 둘레에 도전층(33)으로부터 균일한 거리만큼 확장될 수 있다. 특정 메커니즘에 구속됨 없이, 출원인은 (알루미늄 도전층과 같은) 도전층(33)에 근접한 식각제의 전기화학적 성질이 도전층과 인접한 티타늄-텅스텐에 대한 식각제의 반응성을 감소시킬 수 있다고 이론화한다.

베이스층(29)의 가장자리(lip)를 유지함으로써, 도전층(33)의 언더컷이 감소되거나 제거될 수 있고 도전층의 신뢰도가 증가될 수 있다. 베이스층(29)이 도전층(33)의 언더컷이 허용되는 방식으로 패터닝되면, 그로 인한 언더컷 영역은 잠재적인 부식제 및/또는 오염물을 붙잡는 보이지 않는 구멍(blind cavity)을 제공할 수 있다; 언더컷 영역은 패키지된 소자에 잠재적인 스트레스 집중 포인트를 생성할 수 있다; 그리고/또는 언더컷 영역은 도전 라인(30)과 절연 패시베이션층(24) 사이의 결합력을 감소시킬 수 있다. 언더컷을 감소시키거나 제거함으로써, 부식제 및/또는 오염물이 붙잡히는 것이 감소될 수 있고, 스트레스 집중 포인트의 생성이 감소될 수 있으며, 결합력이 증가될 수 있다.

덧붙여, 도 4에 나타난 바와 같이 도전 라인(30)은 무기 및/또는 유기 절연 패시베이션층(35)으로 보호될 수 있다. 절연 패시베이션층(35)은 벤조사이클로부텐(BCB), 폴리이미드, 실리콘 옥사이드, 실리콘 나이트라이드, 및/또는 실리콘 옥시나이트라이드를 포함할 수 있다. 더욱이, 절연 패시베이션층(35) 안의 비아홀은 도전 라인(30)의 일부를 노출시킬 수 있고, UBM 층(37)이 도전 라인(30)의 노출된 일부분 위에 형성될 수 있으며, (솔더 범프와 같은) 연결 구조(39)가 UBM 층(37) 위에 형성될 수 있다. 연결 구조(39)는 예를 들면, 증발, 전기도금, 비전기도금, 및/또는 스크린 프린팅과 같은 하나 이상의 범핑 공정을 사용하여 형성될 수 있다. UBM 층 및 솔더 범프는 예를 들면, "3중층/2중층 솔더 범프 및 그 제조 방법(Trilayer/bilayer Solder Bumps And Fabrication Methods Therefor)"이라는 제목의 Rinne의 미국 특허 제 6,492,197호; "솔더 범프의 용적을 증가시키기 위한 조절된 모양의 솔더 저장소(Controlled-Shaped Solder Reservoirs For Increasing The Volume Of Solder Bumps)"라는 제목의 Rinne 등의 미국 특허 제 6,392,163호; "집적 재배선 라우팅 도전체 및 솔더 범프를 형성하는 방법(Methods For Forming Integrated Redistribution Routing Conductors And Solder Bumps)"라는 제목의 Rinne 등의 미국 특허 제 6,389,691호; "솔더 범프의 용적을 증가시키기 위한 조절된 모양의 솔더 저장소 및 그에 의해 형성된 구조(Controlled-Shaped Solder Reservoirs For Increasing The Volume Of Solder Bumps, And Structures Fomed Thereby)"라는 제목의 Rinne 등의 미국 특허 제 6,388,203호; "열쇠 모양의 솔더 범프 및 범프 아래 금속(Key-Shaped Solder Bumps And Under Bump Metallurgy)"라는 제목의 Rinne 등의 미국 특허 제 6,329,608호; "원형 가장자리를 포함하는 솔더 범프(Solder Bump Including Circular Lip)"라는 제목의 Yung의 미국 특허 제 5,293,006호에서 논의되고 있다. 상기 언급된 특허들은 참조에 의하여 그들의 전체가 여기에 통합된다. 따라서, 도전 라인(30)은 도전성 입력/출력 패드(27)와 도전성 입력/출력 패드로부터 수평방향으로 떨어진 연결 구조(39) 사이에 전기적인 연결을 제공할 수 있다.

다르게는, 제2 도전라인(미도시)이 절연 패시베이션층(35) 위와 제1 도전 라인(30)의 노출된 일부분 위에 형성될 수 있고, 제3 절연 패시베이션층(미도시)이 제2 도전라인(미도시)과 절연 패시베이션층(35) 위에 제공될 수 있다. 제2 도전 라인의 일부를 노출시키는 비아홀이 제3 절연 패시베이션층 안에 제공될 수 있다. 따라서, 다중 층의 도전 라인이 도전성 입력/출력 패드와 대응되는 연결 구조 사이의 전기적 연결을 제공하는데 사용될 수 있다. 다르게는 또는 덧붙여, 하나 이상의 레벨의 도전 라인이 둘 이상의 도전성 입력/출력 패드 사이의 전기적 연결을 제공하는데 사용될 수 있다.

본 발명의 부가적인 실시예들에 따른 도전 라인들을 형성하는 단계들이 도 5 내지 도 8에 도시되어 있다. 더욱 상세하게는, 도 5 내지 도 8에 관련하여 기술된 티타늄-텅스텐(TiW) 베이스 강화가, 만일 그렇지 않으면 습식각 공정 방법을 사용하여 형성되는 와이어링 아래에 생성될 수 있는 언더컷 영역을 줄일 수 있다. 마이크로전자 구조 아래의 언더컷 영역은 감소된 베이스 면적으로 인해 결합력이 줄어들 수 있으므로 보통 바람직하지 않을 수 있다; 언더컷 영역은 잠재적인 부식제 및/또는 오염물을 붙잡는 보이지 않는 구멍을 제공할 수 있다; 그리고 언더컷 영역은 패키지된 소자에 잠재적인 스트레스 집중 포인트를 생성할 수 있다.

본 발명의 실시예들에 따르면, 도전 라인은 (도전층과 다른) 금속 베이스층 위의 도전층 및 도전층과 절연 패시베이션층 사이의 금속층을 포함하는 도전 라인을 갖는 전자 소자의 절연 패시베이션층 위에 제공될 수 있다. 더욱 상세하게는, 금속 베이스층의 가장자리가 도전 라인의 에지를 밖으로 확장될 수 있다. 예를 들면, 도전층은 알루미늄층일 수 있고, 금속 베이스층은 티타늄-텅스텐(TiW)층일 수 있다. 더욱 상세하게는, 알루미늄 도전층은 약 $2\mu\text{m}$ 두께를 가질 수 있고, TiW 베이스층은 약 1000\AA 의 두께를 가질 수 있다. 덧붙여, 티타늄 베리어층이 알루미늄 와이어링층과 TiW 베이스층 사이에 제공될 수 있고, Ti 베리어층은 약 200\AA 에서 1000\AA 범위의 두께를 가질 수 있다. 본 발명의 실시예들에 따른 금속 베이스층 위에 도전층을 포함하는 도전 라인을 형성하는 방법이 도 5 내지 도 9에 도시되어 있다. 도 5에 보이는 바와 같이, 기판(121)은 도전성 입력/출력 패드(127) 및 그 위의 절연 패시베이션층(124)과 함께 (트렌지스터, 다이오드, 저항, 커패시터, 및/또는

인덕터와 같은) 전자 소자들을 포함할 수 있다. 기판(121)은 예를 들면, 실리콘 기판, 갈륨 아세나이드(GaAs) 기판, 실리콘 저마늄(SiGe) 기판, 및/또는 사파이어 기판일 수 있다. 절연 패시베이션층(124)은 절연 유기층 및/또는 절연 무기층을 포함할 수 있다. 더욱 상세하게는, 절연 패시베이션층(124)은 벤조사이클로부텐(PCB), 폴리이미드, 실리콘 옥사이드, 실리콘 나이트라이드, 및/또는 실리콘 옥시나이트라이드를 포함할 수 있다. 절연 패시베이션층(124)은 또한 그 안에 도전성 입력/출력 패드(127)의 일부를 노출시키는 비아홀을 제공할 수 있다. 도전성 입력/출력 패드(127)는 알루미늄 입력/출력 패드일 수 있다.

금속의 블랭킷 층(129')이 절연 패시베이션층(124) 위와 도전성 입력/출력 패드(127)의 노출된 일부분 위에 형성될 수 있다. 예를 들면, 약 1000Å의 두께를 갖는 티타늄-텅스텐(TiW) 블랭킷 층이 절연 패시베이션층(124) 위와 도전성 입력/출력 패드(127)의 노출된 일부분 위에 형성될 수 있다. 더욱이, 티타늄-텅스텐(TiW) 블랭킷 층이 약 10%의 Ti와 약 90%의 W의 조성비를 갖도록 스퍼터링 및/또는 증발에 의하여 형성될 수 있다. 더욱이, 도전성 입력/출력 패드의 노출된 일부분은 블랭킷 층(129')을 형성하기 전에 습식 및/또는 건식 전처리를 사용하여 전처리될 수 있다. 습식 및/또는 건식 전처리는, 예를 들면, 도전성 입력/출력 패드(127) 위의 표면 산화물을 제거하여 도전성 입력/출력 패드(127)와 블랭킷 층(129')의 금속 사이의 콘택 저항을 감소시키는데 사용될 수 있다. 더욱 상세하게는, 전처리는 도전성 입력/출력 패드(127) 위의 표면 산화물을 감소시키기 위한 스퍼터링을 포함할 수 있다. 덧붙여 또는 다르게는, 절연 패시베이션층(124) 및/또는 도전성 입력/출력 패드(127)의 표면을 깨끗이 하는데 사용될 수 있다.

도 6에 보이는 바와 같이, 그리고 나서 리프트 오프 기술이 패터닝된 도전층을 형성하는데 사용될 수 있다. 예를 들면, 포토레지스트 패턴층(131)이 금속의 블랭킷 층(129')에 포함되지 않는 금속을 포함하는 도전층(133)이 그 위에 제공될 금속의 블랭킷 층(129')의 일부를 노출시킬 수 있다. 예를 들면, 도전층(133)은 티타늄층(Ti)(132) 및 알루미늄층(Al)(134)을 포함할 수 있다. 더욱 상세하게는, 티타늄층(132)은 약 200Å에서 1000Å 범위의 두께를 가질 수 있고, 알루미늄층(134)은 약 2μm의 두께를 가질 수 있다. 다양한 변형에서, 도전층(133)은 티타늄 위의 알루미늄(Ti/Al); 티타늄-텅스텐 위의 티타늄 위의 알루미늄(TiW/Ti/Al); 티타늄 위의 구리(Ti/Cu); 티타늄-텅스텐 위의 구리(TiW/Cu); 티타늄 나이트라이드 위의 티타늄-텅스텐 위의 알루미늄(TiN/TiW/Al); 및/또는 티타늄 나이트라이드 위의 티타늄-텅스텐 위의 구리(TiN/TiW/Cu)의 연속층을 포함할 수 있다. 티타늄 위의 알루미늄 적층을 포함하는 도전층(133)은 티타늄-텅스텐 베이스층으로부터 산소를 제거할 수 있다.

보이는 바와 같이, 또한 도전층의 희생일부분(133')이 포토레지스트(131) 위에 형성될 수 있다. 포토레지스트(131) 및 그 위의 도전층의 희생일부분(133')이 제거되어 블랭킷 층(129') 위의 도전층(133)을 제공할 수 있다. 리프트 오프 기술이 논의된 반면, 도전층(133)은 식각 마스크를 이용하는 습식각을 포함하는 것과 같은 통상의 사진/식각 기술을 이용하여 형성될 수 있다.

도 7에 도시된 바와 같이, 도전층(133)이 아닌 마스크를 사용함 없이 금속의 블랭킷 층(129') 위에 습식각이 수행되어 도전층(133) 바깥으로 확장된 가장자리(119)를 갖는 베이스층(129)가 제공될 수 있다. 본 발명의 특정 실시예들에 따르면, 금속 베이스층(129)은 티타늄-텅스텐(10% Ti와 90% W) 베이스층(129)일 수 있고, 도전층(133)은 알루미늄층(134) 및 티타늄층(132)을 포함할 수 있으며, 습식각이 물 안의 과산화수소(H₂O₂)(30% H₂O₂)를 사용하여 수행될 수 있다. 다르게는, 금속 베이스층(129)은 티타늄-텅스텐(10% Ti와 90% W) 베이스층(129)일 수 있고, 도전층(133)은 알루미늄층(134) 및 티타늄층(132)을 포함할 수 있으며, 습식각이 과산화수소(H₂O₂), 물, 황산 칼륨, 벤조트리아졸, 및 설포-살리실릭산의 혼합물을 사용하여 수행될 수 있다.

본 발명의 실시예들에 따르면, 베이스층(129)의 가장자리(119)는 (도전층(133) 이외의) 요구되는 마스크 없이 도전층(133) 바깥으로 확장되도록 형성될 수 있다. 요구되는 마스크 없이 베이스층(129)을 형성하는 것에 의하여 가장자리(119)는 도전층(133)에 대하여 자기정렬되어 그로부터 균일한 거리만큼 확장될 수 있다. 가장자리(119)는 따라서 도전층(133)의 언더컷을 줄임으로써 그로인한 구조의 신뢰성을 향상시킬 수 있다. 더욱 상세하게는, 가장자리(119)는 절연 패시베이션층(124)과 접촉 면적을 증가시킬 수 있어, 그와의 접착을 향상시킬 수 있다. 언더커팅을 감소시킴으로써, 도전층(133) 안의 크랙의 생성이 감소될 수 있다. 특정 메커니즘에 구속됨 없이, 출원인은 (알루미늄 도전층과 같은) 도전층(133)에 근접한 식각제의 전기화학적 성질이 도전층과 인접한 티타늄-텅스텐에 대한 식각제의 반응성을 감소시킬 수 있다고 이론화한다.

도 8에 보이는 바와 같이, 제2 절연 패시베이션층(135)이 제1 절연 패시베이션층(124) 위, 도전층(133) 위 및 베이스층(129)의 가장자리(119) 위에 형성될 수 있다. 더욱이, 도전층(133)의 일부를 노출시키는 비아홀(123)이 제2 절연 패시베이션층(135)을 관통하여 제공될 수 있다.

도 9에 보이는 바와 같이, (솔더 범프와 같은) 연결 구조(139)가 도전층(133)의 노출된 일부분 위에 형성될 수 있다. 따라서 (도전층(133)과 베이스층(129)을 포함하는) 도전 라인은 도전성 입력/출력 패드(127)로부터 (솔더 범프와 같은) 연결 구조(139)로 재배선을 제공할 수 있다. 더욱이, 제2 절연 패시베이션층(135)은 유기 및/또는 무기 절연물질을 포함할 수 있다. 더욱 상세하게는, 제2 절연 패시베이션층은 벤조사이클로부텐(BCB), 폴리이미드, 실리콘 옥사이드, 실리콘 나이트라이드, 및/또는 실리콘 옥시나이트라이드를 포함할 수 있다. 다르게는, (도전층(133) 및 베이스층(129)을 포함하는) 도전 라인은 도전성 입력/출력 패드(127)와 기판(121) 위의 다른 콘택 패드 사이의 연결을 제공할 수 있다.

본 발명의 실시예들에 따른 TiW 베이스층 및 Al 와이어링층을 포함하는 여러 가지 구조들이 도 10 내지 도 13의 사진에 도시되어 있다. 도 10의 평면도에 보이는 바와 같이, 도전 구조는 절연 패시베이션층(235) 위에 제공될 수 있고, 티타늄-텅스텐 베이스층이 알루미늄 도전층(234)와 절연 패시베이션층(235) 사이에 있도록 도전 구조는 티타늄-텅스텐 베이스층 위의 알루미늄 도전층(234)을 포함할 수 있다. 더욱이, 티타늄-텅스텐 베이스층의 가장자리(219)가 도전 구조의 둘레에서 비교적 균일한 거리만큼 알루미늄 도전층(234) 바깥으로 확장된다. 보이는 바와 같이, 도전 구조는 길어지고 확장된 폭 일부분을 가질 수 있다.

도 11은 본 발명의 실시예들에 따른 절연 패시베이션층(335) 위의 부가적인 도전 구조의 평면도이다. 도 11에 보이는 바와 같이, 티타늄-텅스텐 베이스층의 가장자리(319)가 도전 구조의 둘레에 알루미늄 도전층(334) 바깥으로 확장되도록 알루미늄 도전층(334)이 각 티타늄-텅스텐 베이스층 위에 제공될 수 있다.

도 12는 본 발명의 실시예들에 따른 절연 패시베이션층(435) 위의 또다른 부가적인 도전 구조의 평면도이다. 도 12에 보이는 바와 같이, 티타늄-텅스텐 베이스층의 가장자리(419)가 도전 구조의 둘레에서 비교적 균일한 거리만큼 알루미늄 도전층(434) 바깥으로 확장되도록 알루미늄 도전층(434)이 각 티타늄-텅스텐 베이스층 위에 제공될 수 있다.

도 13은 본 발명의 실시예들에 따른 도전 구조의 단면사진이다. 도 13에 보이는 바와 같이, 도전 구조는 절연 패시베이션층(535) 위에 형성될 수 있고, 도전 구조는 티타늄-텅스텐 베이스층(529) 및 알루미늄 도전층(534)을 포함할 수 있다. 더욱 상세하게는, 티타늄-텅스텐 베이스층(529)은 알루미늄 도전층(534) 바깥으로 확장되는 가장자리(519)를 포함할 수 있다.

도면과 상세한 설명에서, 본 발명의 전형적인 바람직한 실시예들이 개시되었다. 비록 특정 용어가 채용되었더라도, 이들은 일반적이고 설명하기 위한 방식으로만 사용되었으며 다른 청두항들에서 설명되고 있는 발명의 범위를 제한을 위한 목적으로 사용된 것이 아니다.

산업상 이용 가능성

본 발명에 따르면, 베이스층과 도전층을 포함하는 도전 라인에서 도전층 바깥으로 확장되는 베이스층의 가장자리(lip)를 유지함으로써, 도전층의 언더컷을 감소시키거나 제거할 수 있다. 도전층의 언더컷이 감소, 제거에 의하여 언더컷에 부식제 및/또는 오염물이 붙잡혀 도전층의 신뢰도를 떨어뜨리는 것을 방지할 수 있고, 언더컷에 발생하는 스트레스 집중 포인트의 생성을 감소시킬 수 있으며, 절연층과 도전라인과의 결합력을 증가시킬 수 있다.

(57) 청구의 범위

청구항 1.

기판, 상기 기판 위의 도전 패드 및 상기 도전 패드의 일부를 노출시키는 비아홀을 그 안에 갖고 상기 기판 위에 있는 절연층을 포함하는 집적회로 칩의 금속화 방법에 있어서,

상기 절연층 위와 상기 도전 패드의 노출된 일부분 위에 도전 구조를 형성하되, 상기 도전 구조는 티타늄-텅스텐(TiW)을 포함하여 구성되는 베이스층 및 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 도전층을 포함하고, 상기 도전 구조의 상기 베이스층이 상기 도전층과 상기 절연층 사이에 있도록 상기 도전 구조를 형성하는 집적회로 칩의 금속화 방법.

청구항 2.

제 1항에 있어서, 상기 절연층 위에 상기 도전 구조를 형성하는 단계는,

상기 절연층 위와 상기 도전 패드의 상기 노출된 일부분 위에 티타늄-텅스텐층을 형성하는 단계;

상기 티타늄-텅스텐층의 일부가 노출되도록 상기 티타늄-텅스텐층 위에 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 상기 도전층을 형성하는 단계; 및

알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 상기 도전층을 형성한 후에, 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 상기 도전층에 의하여 노출되는 티타늄-텅스텐층의 일부를 제거하는 단계를 포함하는 집적회로 칩의 금속화 방법.

청구항 3.

제 2항에 있어서, 상기 티타늄-텅스텐층의 일부를 제거하는 단계는 과산화수소를 사용하여 상기 티타늄-텅스텐층을 식각하는 단계를 포함하는 집적회로 칩의 금속화 방법.

청구항 4.

제 2항에 있어서, 상기 티타늄-텅스텐층의 일부를 제거하는 단계는 과산화수소, 황산 칼륨, 벤조트리아졸, 및 설포-살리실릭산을 포함하는 혼합물을 사용하여 상기 티타늄-텅스텐층을 식각하는 단계를 포함하는 집적회로 칩의 금속화 방법.

청구항 5.

제 1항에 있어서, 상기 도전 구조의 상기 베이스층은 상기 도전 구조의 상기 도전층 바깥으로 확장되는 가장자리를 포함하는 집적회로 칩의 금속화 방법.

청구항 6.

제 1항에 있어서, 상기 도전 패드는 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하는 집적회로 칩의 금속화 방법.

청구항 7.

제 1항에 있어서, 상기 도전 구조 위와 상기 제1 절연층 위에 제2 절연층을 형성하되, 상기 도전 구조가 상기 제1 절연층 및 상기 제2 절연층 사이에 있도록 상기 제2 절연층을 형성하는 단계; 및

상기 제2 절연층 안에 상기 도전 구조의 일부를 노출시키는 제2 비아홀을 형성하되, 상기 제1 비아홀과 상기 제2 비아홀이 떨어져 있도록 상기 제2 비아홀을 형성하는 단계를 더 포함하는 집적회로 칩의 금속화 방법.

청구항 8.

제 7항에 있어서, 상기 도전 구조의 상기 노출된 일부분 위에 연결 구조를 형성하는 단계를 더 포함하는 집적회로 칩의 금속화 방법.

청구항 9.

제 8항에 있어서, 상기 연결 구조와 상기 도전 구조의 상기 노출된 일부분 사이에 하부 범프 금속층을 형성하는 단계를 더 포함하는 집적회로 칩의 금속화 방법.

청구항 10.

제 8항에 있어서, 상기 연결 구조는 솔더를 포함하는 집적회로 칩의 금속화 방법.

청구항 11.

제 1항에 있어서, 상기 도전 구조의 상기 도전층은 알루미늄층을 포함하는 집적회로 칩의 금속화 방법.

청구항 12.

제 11항에 있어서, 상기 도전 구조의 상기 도전층은 상기 알루미늄층과 상기 도전 구조의 상기 베이스층 사이에 티타늄층을 더 포함하는 집적회로 칩의 금속화 방법.

청구항 13.

제 1항에 있어서, 상기 도전 패드의 일부가 상기 절연층과 상기 도전 구조 사이에 노출되는 집적회로 칩의 금속화 방법.

청구항 14.

제 1항에 있어서, 상기 절연층은 벤조사이클로부텐, 폴리이미드, 실리콘 옥사이드, 실리콘 나이트라이드, 및/또는 실리콘 옥시나이트라이드의 적어도 어느 하나를 포함하는 집적회로 칩의 금속화 방법.

청구항 15.

기판, 상기 기판 위의 절연층을 포함하는 집적회로 칩의 금속화 방법에 있어서, 상기 절연층 위에 도전 구조를 형성하되, 상기 도전 구조는 티타늄-텅스텐(TiW)을 포함하여 구성되는 베이스층 및 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 도전층을 포함하고, 상기 도전 구조의 상기 베이스층은 상기 도전층과 상기 절연층 사이에 있고, 상기 도전 구조의 상기 베이스층은 상기 도전 구조의 상기 도전층 바깥으로 확장되는 가장자리를 포함하도록 상기 도전 구조를 형성하는 집적회로 칩의 금속화 방법.

청구항 16.

제 15항에 있어서, 상기 절연층 위에 상기 도전 구조를 형성하는 단계는,

상기 절연층 위에 티타늄-텅스텐층을 형성하는 단계;

상기 티타늄-텅스텐층을 형성한 후에, 상기 티타늄-텅스텐층의 일부가 노출되도록 상기 티타늄-텅스텐층 위에 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 상기 도전층을 형성하는 단계; 및

알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 상기 도전층을 형성한 후에, 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 상기 도전층에 의하여 노출되는 상기 티타늄-텅스텐층의 일부를 제거하는 단계를 포함하는 집적회로 칩의 금속화 방법.

청구항 17.

제 16항에 있어서, 상기 티타늄-텅스텐층의 일부를 제거하는 단계는 과산화수소를 사용하여 상기 티타늄-텅스텐층을 식각하는 단계를 포함하는 집적회로 칩의 금속화 방법.

청구항 18.

제 16항에 있어서, 상기 티타늄-텅스텐층의 일부를 제거하는 단계는 과산화수소, 황산 칼륨, 벤조트리아졸, 및 설포-살리실릭산을 포함하는 혼합물을 사용하여 상기 티타늄-텅스텐층을 식각하는 단계를 포함하는 집적회로 칩의 금속화 방법.

청구항 19.

제 15항에 있어서, 상기 전자 소자는 상기 기판 위에 도전 패드를 포함하고, 상기 절연층은 그 안에 상기 도전 패드의 일부를 노출하는 비아홀을 갖고, 상기 도전 구조를 형성하는 단계는 상기 절연층 위와 상기 도전 패드의 노출된 일부분 위에 상기 도전 구조를 형성하는 단계를 포함하는 집적회로 칩의 금속화 방법.

청구항 20.

제 19항에 있어서, 상기 도전 패드는 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하는 집적회로 칩의 금속화 방법.

청구항 21.

제 19항에 있어서, 상기 도전 패드의 일부가 상기 절연층과 상기 도전 구조 사이에 노출되는 집적회로 칩의 금속화 방법.

청구항 22.

제 15항에 있어서, 상기 도전 구조 위와 상기 제1 절연층 위에 제2 절연층을 형성하되, 상기 도전 구조가 상기 제1 절연층 및 상기 제2 절연층 사이에 있도록 상기 제2 절연층을 형성하는 단계; 및

상기 제2 절연층 안에 상기 도전 구조의 일부를 노출시키는 제2 비아홀을 형성하는 단계를 더 포함하는 집적회로 칩의 금속화 방법.

청구항 23.

제 22항에 있어서, 상기 도전 구조의 상기 노출된 일부분 위에 연결 구조를 형성하는 단계를 더 포함하는 집적회로 칩의 금속화 방법.

청구항 24.

제 23항에 있어서, 상기 연결 구조와 상기 도전 구조의 상기 노출된 일부분 사이에 하부 범프 금속층을 형성하는 단계를 더 포함하는 접적회로 칩의 금속화 방법.

청구항 25.

제 23항에 있어서, 상기 연결 구조는 솔더를 포함하는 접적회로 칩의 금속화 방법.

청구항 26.

제 15항에 있어서, 상기 도전 구조의 상기 도전층은 알루미늄층을 포함하는 접적회로 칩의 금속화 방법.

청구항 27.

제 26항에 있어서, 상기 도전 구조의 상기 도전층은 상기 알루미늄층과 상기 도전 구조의 상기 베이스층 사이에 티타늄층을 더 포함하는 접적회로 칩의 금속화 방법.

청구항 28.

제 15항에 있어서, 상기 절연층은 벤조사이클로부텐, 폴리이미드, 실리콘 옥사이드, 실리콘 나이트라이드, 및/또는 실리콘 옥시나이트라이드의 적어도 어느 하나를 포함하는 접적회로 칩의 금속화 방법.

청구항 29.

기판;

상기 기판 위의 도전 패드;

상기 기판 위에 있고, 그 안에 상기 도전 패드의 일부를 노출시키는 비아홀을 갖는 절연층; 및

상기 절연층 위와 상기 도전 패드의 상기 노출된 일부분 위의 도전 구조를 포함하되, 상기 도전 구조는 티타늄-텅스텐 (TiW)을 포함하여 구성되는 베이스층 및 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 도전층을 포함하고, 상기 도전 구조의 상기 베이스층이 상기 도전층과 상기 절연층 사이에 있도록 상기 도전 구조를 포함하는 전자 소자.

청구항 30.

제 29항에 있어서, 상기 도전 구조의 상기 베이스층은 상기 도전 구조의 상기 도전층 바깥으로 확장되는 가장자리를 포함하는 전자 소자.

청구항 31.

제 29항에 있어서, 상기 도전 패드는 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하는 전자 소자.

청구항 32.

제 1항에 있어서, 상기 도전 구조 위와 상기 제1 절연층 위의 제2 절연층을 더 포함하되, 상기 도전 구조가 상기 제1 절연층 및 상기 제2 절연층 사이에 있고, 상기 제2 절연층은 그 안에 상기 도전 구조의 일부를 노출시키는 제2 비아홀을 갖고, 상기 제1 비아홀과 상기 제2 비아홀은 떨어져 있도록 상기 제2 절연층을 더 포함하는 전자 소자.

청구항 33.

제 32항에 있어서, 상기 도전 구조의 상기 노출된 일부분 위에 연결 구조를 더 포함하는 전자 소자.

청구항 34.

제 33항에 있어서, 상기 연결 구조와 상기 도전 구조의 상기 노출된 일부분 사이에 하부 범프 금속층을 더 포함하는 전자 소자.

청구항 35.

제 33항에 있어서, 상기 연결 구조는 솔더를 포함하는 전자 소자.

청구항 36.

제 29항에 있어서, 상기 도전 구조의 상기 도전층은 알루미늄층을 포함하는 전자 소자.

청구항 37.

제 36항에 있어서, 상기 도전 구조의 상기 도전층은 상기 알루미늄층과 상기 도전 구조의 상기 베이스층 사이에 티타늄층을 더 포함하는 전자 소자.

청구항 38.

제 29항에 있어서, 상기 도전 패드의 일부가 상기 절연층과 상기 도전 구조 사이에 노출되는 전자 소자.

청구항 39.

제 29항에 있어서, 상기 절연층은 벤조사이클로부텐, 폴리이미드, 실리콘 옥사이드, 실리콘 나이트라이드, 및/또는 실리콘 옥시나이트라이드의 적어도 어느 하나를 포함하는 전자 소자.

청구항 40.

기판;

상기 기판 위의 절연층; 및

상기 절연층 위에 도전 구조를 포함하되, 상기 도전 구조는 티타늄-텅스텐(TiW)을 포함하여 구성되는 베이스층 및 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하여 구성되는 도전층을 포함하고, 상기 도전 구조의 상기 베이스층이 상기 도전층과 상기 절연층 사이에 있으며, 상기 도전 구조의 상기 베이스층은 상기 도전 구조의 상기 도전층 바깥으로 확장되는 가장자리를 포함하도록 상기 도전 구조를 포함하는 전자 소자.

청구항 41.

제 40항에 있어서, 상기 기판 위에 도전 패드를 더 포함하되, 상기 절연층은 그 안에 상기 도전 패드의 일부를 노출하는 비아홀을 갖고, 상기 도전 구조의 일부는 상기 도전 패드의 상기 노출된 일부분 위에 있도록 상기 도전 패드를 더 포함하는 전자 소자.

청구항 42.

제 41항에 있어서, 상기 도전 패드는 알루미늄 및/또는 구리의 적어도 어느 하나를 포함하는 전자 소자.

청구항 43.

제 41항에 있어서, 상기 도전 패드의 일부가 상기 절연층과 상기 도전 구조 사이에 노출되는 전자 소자.

청구항 44.

제 40항에 있어서, 상기 도전 구조 위와 상기 제1 절연층 위에 제2 절연층을 더 포함하되, 상기 도전 구조가 상기 제1 절연층 및 상기 제2 절연층 사이에 있고, 상기 제2 절연층이 상기 도전 구조의 일부를 노출하는 제2 비아홀을 그안에 포함하도록 상기 제2 절연층을 더 포함하는 전자 소자.

청구항 45.

제 44항에 있어서, 상기 도전 구조의 상기 노출된 일부분 위에 연결 구조를 더 포함하는 전자 소자.

청구항 46.

제 45항에 있어서, 상기 연결 구조와 상기 도전 구조의 상기 노출된 일부분 사이에 하부 범프 금속층을 더 포함하는 전자 소자.

청구항 47.

제 45항에 있어서, 상기 연결 구조는 솔더를 포함하는 전자 소자.

청구항 48.

제 40항에 있어서, 상기 도전 구조의 상기 도전층은 알루미늄층을 포함하는 전자 소자.

청구항 49.

제 48항에 있어서, 상기 도전 구조의 상기 도전층은 상기 알루미늄층과 상기 도전 구조의 상기 베이스층 사이에 티타늄층을 더 포함하는 전자 소자.

청구항 50.

제 40항에 있어서, 상기 절연층은 벤조사이클로부텐, 폴리이미드, 실리콘 옥사이드, 실리콘 나이트라이드, 및/또는 실리콘 옥시나이트라이드의 적어도 어느 하나를 포함하는 전자 소자.

청구항 51.

그 위에 도전 패드를 포함하는 기판;

상기 기판 위에 있고 상기 도전 패드의 일부를 노출시키는 비아홀을 그 안에 갖는 패시베이션층; 및

상기 패시베이션층 위와 상기 도전 패드의 상기 노출된 일부분 위의 재배선 와이어링 라인을 포함하되, 상기 재배선 와이어링 라인은 TiW를 포함하는 제1 층 및 알루미늄과 구리의 적어도 어느 하나를 포함하는 제2 층을 포함하도록 상기 재배선 와이어링 라인을 포함하는 전자 구조.

청구항 52.

제 51항에 있어서, 상기 재배선 와이어링 라인 위에 있고 상기 재배선 와이어링 라인의 일부를 노출시키는 제2 비아홀을 그 안에 갖는 제2 패시베이션층;

상기 재배선 와이어링 라인의 상기 노출된 일부분 위의 하부 범프 금속층; 및

상기 하부 범프 금속층 위의 솔더 범프를 더 포함하는 전자 구조.

청구항 53.

그 위에 절연층을 포함하는 기판;

상기 절연층 위의 금속 베이스층이 되, 상기 절연층의 일부는 상기 금속 베이스층이 없는 상기 금속 베이스층; 및

상기 금속 베이스층 위의 금속 와이어링층을 포함하되, 상기 금속 와이어링층은 상기 금속 베이스층에 포함되지 않는 금속을 포함하고, 상기 금속 베이스층은 상기 금속 와이어링층과 상기 절연층 사이에 있으며, 상기 금속 베이스층은 상기 금속 와이어링층 바깥으로 확장되는 가장자리를 포함하도록 상기는 전자 소자.

청구항 54.

제 53항에 있어서, 상기 금속 베이스층은 티타늄-텅스텐을 포함하는 전자 소자.

청구항 55.

제 54항에 있어서, 상기 금속 와이어링층은 알루미늄층을 포함하는 전자 소자.

청구항 56.

제 55항에 있어서, 상기 금속 와이어링층은 상기 알루미늄층과 상기 금속 베이스층 사이에 티타늄층을 포함하는 전자 소자.

청구항 57.

절연층 위에 연속적인 금속 베이스층을 형성하는 단계;

상기 연속적인 금속 베이스층의 일부 위에 금속 와이어링층을 형성하되, 상기 연속적인 금속 베이스층의 일부에는 상기 금속 와이어링층이 없고, 상기 연속적인 금속 베이스층이 상기 금속 와이어링층과 상기 절연층 사이에 있도록 상기 금속 와이어링층을 형성하는 단계; 및

상기 금속 와이어링층이 없는 상기 연속적인 금속 베이스층의 일부를 제거하되, 상기 금속 와이어링층과 상기 절연층 사이에 패터닝된 금속 베이스층을 제공하고, 상기 패터닝된 금속 베이스층이 상기 금속 와이어링층 바깥으로 확장되는 가장자리를 포함하도록 상기 연속적인 금속 베이스층의 일부를 제거하는 단계를 포함하는 전자 소자를 형성하는 집적회로 칩의 금속화 방법.

청구항 58.

제 57항에 있어서, 상기 연속적인 금속 베이스층의 일부를 제거하는 동안 상기 연속적인 금속 베이스층은 상기 금속 와이어링층 이외의 마스크 없이 유지되는 전자 소자를 형성하는 집적회로 칩의 금속화 방법.

청구항 59.

제 57항에 있어서, 상기 연속적인 금속 베이스층은 티타늄-텅스텐을 포함하는 전자 소자를 형성하는 집적회로 칩의 금속화 방법.

청구항 60.

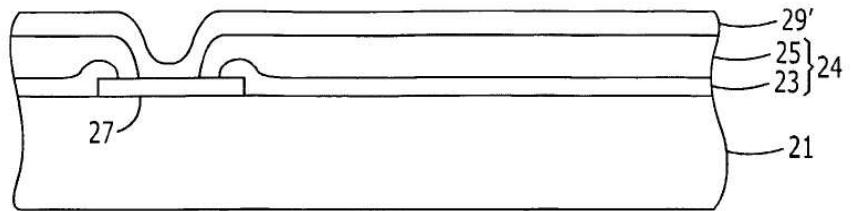
제 59항에 있어서, 상기 금속 와이어링층은 알루미늄층을 포함하는 전자 소자를 형성하는 집적회로 칩의 금속화 방법.

청구항 61.

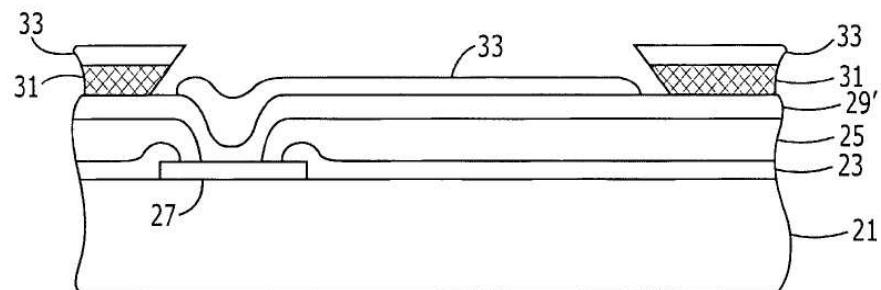
제 60항에 있어서, 상기 금속 와이어링층은 상기 알루미늄층과 상기 금속 베이스층 사이에 티타늄층을 포함하는 전자 소자를 형성하는 집적회로 칩의 금속화 방법.

도면

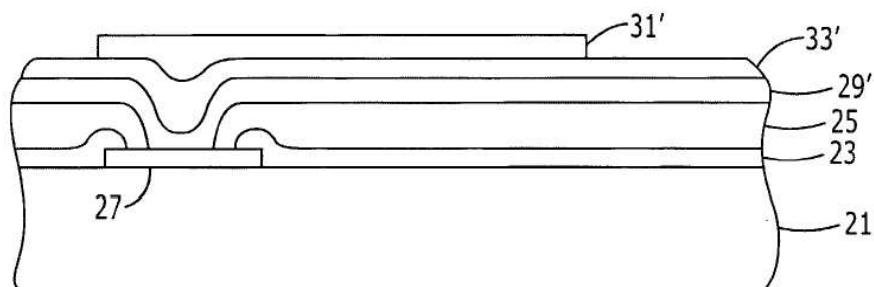
도면1



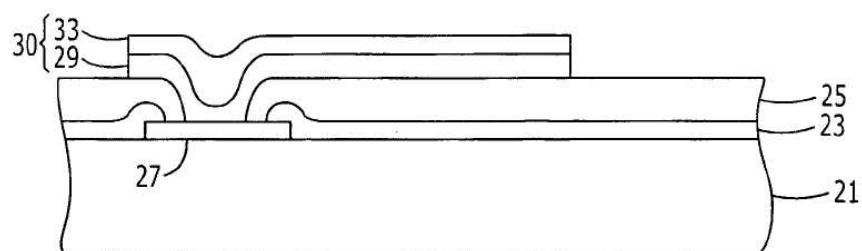
도면2a



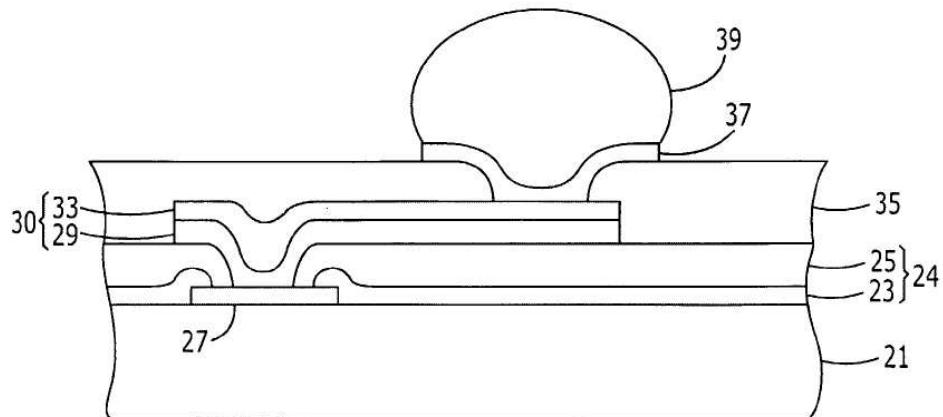
도면2b



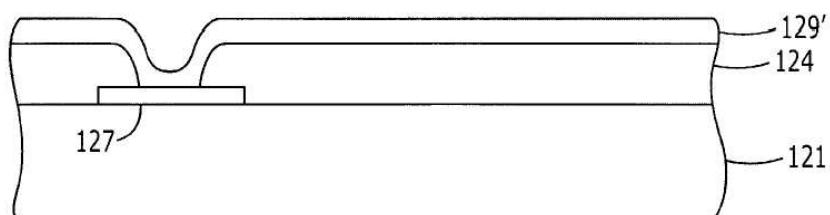
도면3



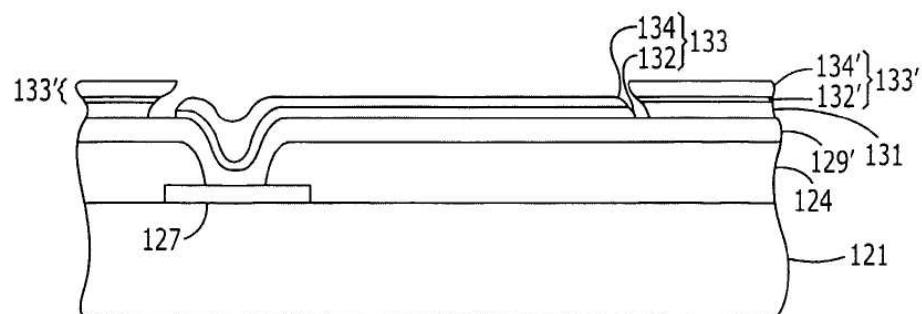
도면4



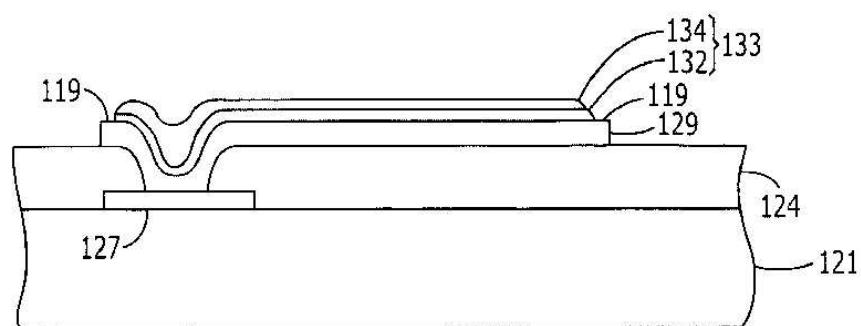
도면5



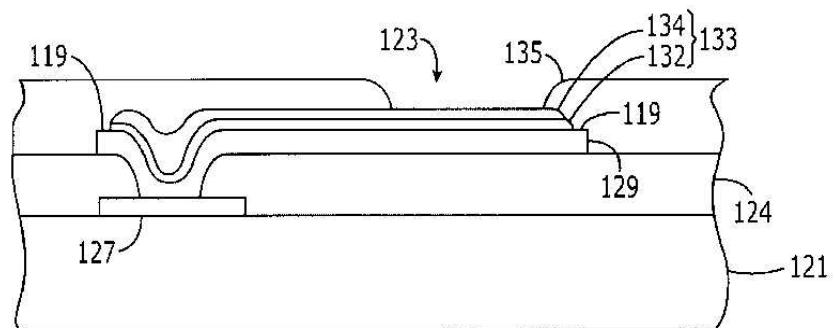
도면6



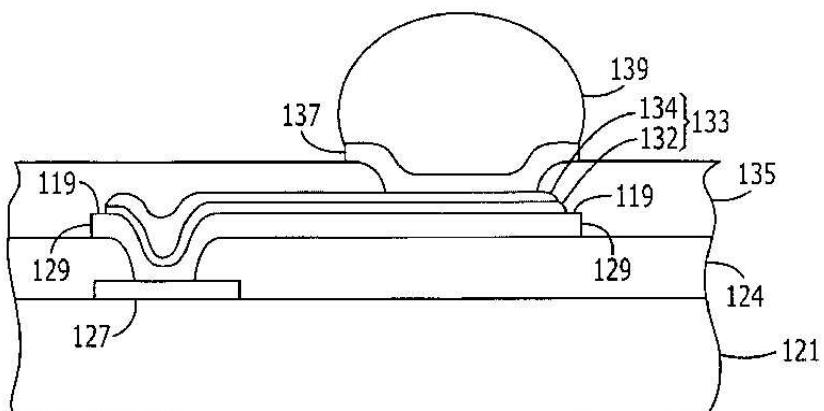
도면7



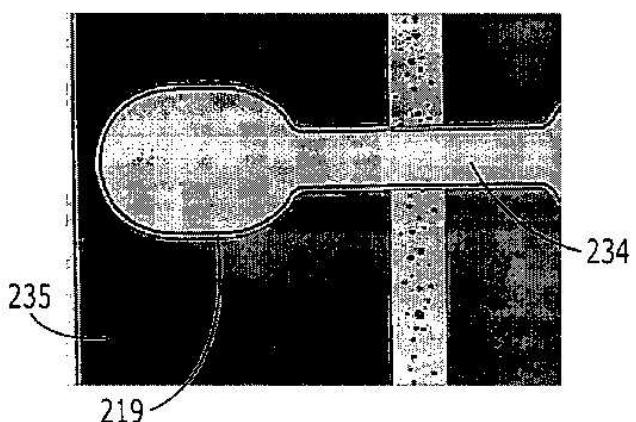
도면8



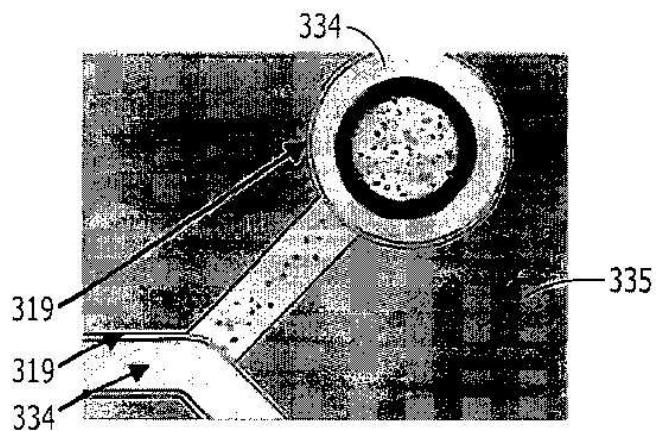
도면9



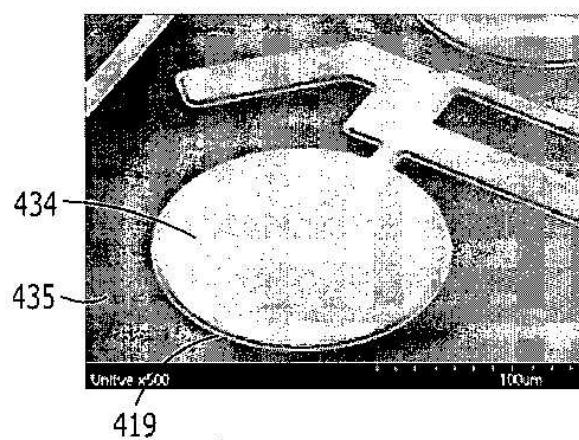
도면10



도면11



도면12



도면13

