

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-150244
(P2007-150244A)

(43) 公開日 平成19年6月14日(2007.6.14)

(51) Int. Cl. F I テーマコード (参考)
 HO 1 L 23/522 (2006.01) HO 1 L 21/90 D 5 F O 3 3
 HO 1 L 21/768 (2006.01)

審査請求 有 請求項の数 21 O L (全 20 頁)

(21) 出願番号	特願2006-203012 (P2006-203012)	(71) 出願人	000005821 松下電器産業株式会社
(22) 出願日	平成18年7月26日 (2006.7.26)		大阪府門真市大字門真1006番地
(31) 優先権主張番号	特願2005-312351 (P2005-312351)	(74) 代理人	100077931 弁理士 前田 弘
(32) 優先日	平成17年10月27日 (2005.10.27)	(74) 代理人	100110939 弁理士 竹内 宏
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100110940 弁理士 嶋田 高久
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実
		(74) 代理人	100115691 弁理士 藤田 篤史

最終頁に続く

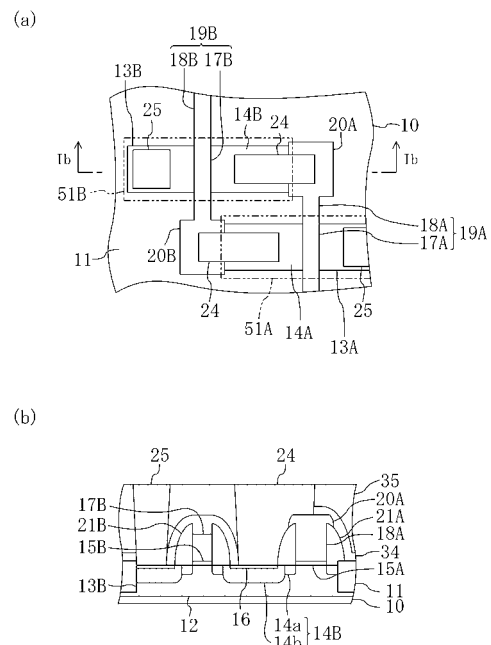
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】ゲート電極における配線抵抗が小さく且つゲート電極とシェードコンタクトプラグとのコンタクト抵抗が小さい半導体装置を実現できるようにする。

【解決手段】半導体装置は、半導体基板10の上に形成された、フルシリサイド化された第1のゲート配線19Aと、第1のゲート配線19Aの側面上に形成された第1のサイドウォール21Aと、活性領域12に形成された不純物拡散層14Bとを備えている。半導体基板10の上に形成された層間絶縁膜35には、第1のゲート配線19A及び不純物拡散層14Bと接続されたシェードコンタクトプラグ24が形成されている。第1のゲート配線19Aは、シェードコンタクトプラグ24と接続された部分において、第1のサイドウォール21Aから突出した突出部20Aを有している。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板に形成された素子分離領域と、
 前記半導体基板における前記素子分離領域に囲まれた領域である活性領域と、
 前記半導体基板の上に形成され、フルシリサイド化された第 1 のゲート配線と、
 前記第 1 のゲート配線の側面上に形成された絶縁性の第 1 のサイドウォールと、
 前記活性領域に形成された不純物拡散層と、
 前記半導体基板の上に形成され、前記第 1 のゲート配線の一部と前記不純物拡散層の一部とに跨る領域を露出する開口部を有する層間絶縁膜と、
 前記開口部内に形成された導電性材料からなり、前記第 1 のゲート配線及び前記不純物
 10 拡散層と接続されたコンタクトプラグとを備え、
 前記第 1 のゲート配線は、前記コンタクトプラグと接続された部分において、前記第 1 のサイドウォールから突出した突出部を有していることを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、
 前記第 1 のゲート配線における突出部は、前記第 1 のサイドウォールの上面の一部を覆っていることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は 2 に記載の半導体装置において、
 前記第 1 のゲート配線は、第 1 のゲート電極と該第 1 のゲート電極と一体に形成された
 20 第 1 の配線とからなり、
 前記コンタクトプラグは、前記第 1 の配線と接続されており、
 前記突出部は、前記第 1 の配線における前記コンタクトプラグと接続された部分に設けられており、
 前記第 1 のゲート電極は、前記第 1 のサイドウォールから突出していないことを特徴とする半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置において、
 前記第 1 のサイドウォールは、前記第 1 の配線における前記突出部が設けられた部分の側面上に形成された部分の高さが、前記第 1 のゲート電極の側面上に形成された部分の高さよりも低いことを特徴とする半導体装置。
 30

【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の半導体装置において、
 前記第 1 のゲート配線は、前記活性領域の上に第 1 のゲート絶縁膜を介して形成されていることを特徴とする半導体装置。

【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載の半導体装置は、
 前記半導体基板の上に前記第 1 のゲート配線と間隔をおいて形成され、フルシリサイド化された第 2 のゲート配線と、
 前記活性領域の上における前記第 2 のゲート配線の下側部分に形成された第 2 のゲート
 40 絶縁膜と、
 前記第 2 のゲート配線の側面上に形成された絶縁性の第 2 のサイドウォールとをさらに備え、
 前記不純物拡散層は、前記活性領域における前記第 2 のゲート配線と前記第 1 のゲート配線との間の領域に形成されたソースドレイン領域であることを特徴とする半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置において、
 前記ソースドレイン領域は、前記活性領域における前記第 2 のゲート配線の側方の領域に形成された第 1 の拡散層と、前記活性領域における前記第 1 の拡散層と比べて前記第 2 のゲート配線から離れた位置で且つ前記第 1 の拡散層よりも深い位置に形成された第 2 の
 50

拡散層とを有し、

前記コンタクトプラグは、前記第2の拡散層と電氣的に接続されていることを特徴とする半導体装置。

【請求項8】

請求項6又は7に記載の半導体装置において、

前記第2のゲート配線は、第2のゲート電極と該第2のゲート電極と一体に形成された第2の配線とからなり、

前記第2のゲート電極は、前記第2のゲート絶縁膜上に形成されており且つ前記第2のサイドウォールから突出していないことを特徴とする半導体装置。

【請求項9】

請求項1～8のいずれか1項に記載の半導体装置において、

前記第1のゲート配線は、ニッケルシリサイドからなることを特徴とする半導体装置。

【請求項10】

請求項1～9のいずれか1項に記載の半導体装置は、

前記層間絶縁膜と前記半導体基板との間に形成された下地保護膜をさらに備えていることを特徴とする半導体装置。

【請求項11】

請求項1～10のいずれか1項に記載の半導体装置において、

前記コンタクトプラグは、シリサイド層を介して前記不純物拡散層と電氣的に接続されていることを特徴とする半導体装置。

【請求項12】

半導体基板に素子分離領域を形成して、前記半導体基板に前記素子分離領域に囲まれた活性領域を形成する工程(a)と、

前記工程(a)よりも後に、前記半導体基板の上に、シリコンを含む半導体材料からなる第1のゲート配線形成膜を形成する工程(b)と、

前記第1のゲート配線形成膜の側面上に絶縁性の第1のサイドウォールを形成する工程(c)と、

前記工程(b)よりも後に、前記活性領域に不純物拡散層を形成する工程(d)と、

前記工程(c)及び前記工程(d)よりも後に、前記第1のゲート配線形成膜をフルシリサイド化して第1のゲート配線を形成する工程(e)と、

前記工程(e)の後に、前記半導体基板上の全面に層間絶縁膜を形成する工程(f)と

、前記層間絶縁膜をエッチングして、前記第1のゲート配線の一部と前記不純物拡散層の一部とに跨る領域に開口部を形成する工程(g)と、

前記開口部に導電性材料を充填することにより、前記第1のゲート配線及び前記不純物拡散層と電氣的に接続するコンタクトプラグを形成する工程(h)とを備え、

前記工程(e)では、前記第1のゲート配線における前記コンタクトプラグと接続される部分に、前記第1のサイドウォールから突出した突出部を形成することを特徴とする半導体装置の製造方法。

【請求項13】

請求項12に記載の半導体装置の製造方法において、

前記工程(e)では、前記第1のゲート配線における突出部を、前記第1のサイドウォールの上面の一部を覆うように形成することを特徴とする半導体装置の製造方法。

【請求項14】

請求項12又は13に記載の半導体装置の製造方法において、

前記工程(e)では、前記第1のゲート配線形成膜から第1のゲート電極及び第1の配線が一体に形成された前記第1のゲート配線が形成され、

前記工程(d)と前記工程(e)との間に、前記第1のゲート配線形成膜における前記第1のゲート電極となる部分をエッチングして、前記第1のゲート配線形成膜における前記第1のゲート電極となる部分の膜厚を、前記ゲート配線形成膜における前記第1の配線

10

20

30

40

50

の前記突出部が形成される部分の膜厚よりも薄くする工程 (i) をさらに備え、

前記工程 (e) では、前記第 1 のゲート電極が、前記第 1 のサイドウォールから突出しないことを特徴とする半導体装置の製造方法。

【請求項 15】

請求項 14 に記載の半導体装置の製造方法において、

前記工程 (i) では、前記第 1 のゲート配線形成膜における前記第 1 の配線の前記突出部となる部分の膜厚を、前記第 1 のサイドウォールの高さの 2 分の 1 以上とすることを特徴とする半導体装置の製造方法。

【請求項 16】

請求項 14 又は 15 に記載の半導体装置の製造方法において、

前記工程 (i) では、前記第 1 のゲート配線形成膜における前記第 1 のゲート電極となる部分の膜厚を、前記第 1 のサイドウォールの高さの 2 分の 1 未満とすることを特徴とする半導体装置の製造方法。

10

【請求項 17】

請求項 14 ~ 16 のいずれか 1 項に記載の半導体装置の製造方法は、

前記工程 (i) と前記工程 (e) との間に、前記第 1 のゲート配線形成膜における前記第 1 の配線の前記突出部となる部分の側面上に形成された前記サイドウォールの高さを、前記第 1 のゲート配線形成膜における前記第 1 のゲート電極となる部分の側面上に形成された前記第 1 のサイドウォールの高さよりも低くする工程 (j) をさらに備えていることを特徴とする半導体装置の製造方法。

20

【請求項 18】

請求項 17 に記載の半導体装置の製造方法において、

前記工程 (j) では、前記突出部を形成する領域において、前記第 1 のサイドウォールの高さを、前記第 1 のゲート配線形成膜の上面の高さよりも低くすることを特徴とする半導体装置の製造方法。

【請求項 19】

請求項 12 ~ 18 のいずれか 1 項に記載の半導体装置の製造方法は、

前記工程 (e) と前記工程 (f) との間に、前記半導体基板上の全面に下地保護膜を形成する工程 (k) をさらに備え、

前記工程 (f) では、前記下地絶縁膜の上に前記層間絶縁膜を形成することを特徴とする半導体装置の製造方法。

30

【請求項 20】

請求項 12 ~ 19 のうちいずれか 1 項に記載の半導体装置の製造方法において、

前記工程 (b) では、前記半導体基板の上に、シリコンを含む半導体材料からなる第 2 のゲート配線形成膜を前記第 1 のゲート配線形成膜と間隔をおいて形成し、

前記工程 (c) では、前記第 2 のゲート配線形成膜の側面上に絶縁性の第 2 のサイドウォールを形成し、

前記工程 (d) では、前記活性領域における前記第 2 のゲート配線形成膜の側方の領域に前記不純物拡散層を形成し、

前記工程 (e) では、前記第 2 のゲート配線形成膜をフルシリサイド化して第 2 のゲート配線を形成することを特徴とする半導体装置の製造方法。

40

【請求項 21】

請求項 20 に記載の半導体装置の製造方法は、

前記工程 (a) と前記工程 (b) との間に、前記活性領域上にゲート絶縁膜を形成する工程 (l) をさらに備え、

前記工程 (b) では、前記活性領域上に前記ゲート絶縁膜を介して前記第 1 のゲート配線形成膜及び前記第 2 のゲート配線形成膜を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明は、半導体装置及びその製造方法に関し、特にゲート配線がフルシリサイド化され且つ局所配線構造を有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、半導体装置の高集積化、高機能化及び高速化に伴って、益々半導体装置の微細化の要求が高まっている。半導体装置の微細化に伴い、ゲート電極のコンタクト抵抗及び配線抵抗が増大する傾向にあり、コンタクト抵抗及び配線抵抗を低減するために、ゲート電極のシリサイド化が行われている。

【0003】

また、半導体装置の内部に形成される、ゲート電極とソースドレイン拡散層とを接続する配線等の構造を局所配線構造とすることにより配線抵抗を低減することが行われている。

【0004】

例えば、ゲート電極とソースドレイン拡散層とを電氣的に接続するシェアードコンタクトプラグは、層間絶縁膜にゲート電極の一部及びソースドレイン拡散層の一部を露出するコンタクトホールを形成し、形成したコンタクトホールに導電性材料を充填することにより形成できる（例えば、特許文献1を参照。）。

【0005】

図8は、従来のシェアードコンタクトプラグを備えた半導体装置の構成を示す断面図である。図8に示すように従来の半導体装置は、シリコン基板101の上にゲート酸化膜102を介して形成されたシリコンからなるゲート電極103を備えている。ゲート電極103の上には、シリサイド層104が形成されており、ゲート電極103及びシリサイド層104の側壁には、側壁酸化膜105が形成されている。また、シリコン基板101におけるゲート電極103の側方下に形成されたソースドレイン領域106を備え、ソースドレイン領域106の上にはシリサイド層107が形成され、ゲート電極103及びソースドレイン領域106を覆うように層間酸化膜108が形成されている。層間酸化膜108には、ゲート電極103の一部及びソースドレイン領域106の一部を露出するようにコンタクトホール109が形成され、コンタクトホール109内にはシェアードコンタクトプラグ110が形成されている。シェアードコンタクトプラグ110は、ゲート電極103及びソースドレイン領域106と電氣的に接続されている。

【0006】

このようなシェアードコンタクトプラグを用いることにより、半導体装置を小型化すると共に、局所配線構造とすることにより配線抵抗を低減し、高速に動作する半導体装置を実現することができる。

【特許文献1】特開平8-181205号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、前記従来のシェアードコンタクトプラグを備えた半導体装置に対して種々の検討を加えた結果、本願発明者らはゲート電極の益々の微細化に伴い、シリコンからなるゲート電極103の上にシリサイド層104を形成した構成では配線抵抗が増大すると共に、ゲート電極103とシェアードコンタクトプラグ110との接触面積が減少するためコンタクト抵抗が増大してしまうという問題があることを見出した。

【0008】

一方、近年、半導体装置を高速化するためにゲート電極のフルシリサイド化が検討されており、ゲート電極をフルシリサイド化することによって配線抵抗の低減を図ることが期待される。しかし、ゲート電極とシェアードコンタクトプラグとの接触面積が減少することによるコンタクト抵抗の増大という問題は依然として生じる。

【0009】

10

20

30

40

50

本発明は、前記従来の問題を解決し、ゲート電極における配線抵抗が小さく且つゲート電極とシェアドコンタクトプラグとのコンタクト抵抗が小さい半導体装置を実現できるようにすることを目的とする。

【課題を解決するための手段】

【0010】

前記の目的を達成するため、本発明は半導体装置を、シェアドコンタクトプラグの形成領域において、ゲート配線がサイドウォールから突出した突出部を有している構成とする。

【0011】

具体的に本発明に係る半導体装置は、半導体基板に形成された素子分離領域と、半導体基板における素子分離領域に囲まれた領域である活性領域と、半導体基板の上に形成され、フルシリサイド化された第1のゲート配線と、第1のゲート配線の側面上に形成された絶縁性の第1のサイドウォールと、活性領域に形成された不純物拡散層と、半導体基板の上に形成され、第1のゲート配線の一部と不純物拡散層の一部とに跨る領域を露出する開口部を有する層間絶縁膜と、開口部内に形成された導電性材料からなり、第1のゲート配線及び不純物拡散層と接続されたコンタクトプラグとを備え、第1のゲート配線は、コンタクトプラグと接続された部分において、第1のサイドウォールから突出した突出部を有していることを特徴とする。

10

【0012】

本発明の半導体装置によれば、第1のゲート配線は、コンタクトプラグと電氣的に接続された部分において、第1のサイドウォールから突出した突出部を有しているため、シェアドコンタクトプラグとゲート配線との接触面積を大きくすることができる。従って、ゲート配線とシェアドコンタクトプラグとのコンタクト抵抗を低減できる。また、ゲート配線がフルシリサイド化されているため、ゲート配線の配線抵抗を小さくすることができる。

20

【0013】

本発明の半導体装置において、第1のゲート配線における突出部は、第1のサイドウォールの上面の一部を覆っていることが好ましい。このような構成とすることにより、シェアドコンタクトプラグ用のコンタクトホールを形成する際にサイドウォールを突出部により保護することができる。従って、コンタクトホールを形成する際にサイドウォールがエッチングされにくくなるので、コンタクトホールの底面に浅い不純物拡散層が露出することを防ぐことができる。その結果、シェアドコンタクトプラグと浅い不純物拡散層とが短絡することがなく、接合耐圧が低下したり、接合リーク電流が増大したりすることのない半導体装置を実現することができる。

30

【0014】

本発明の半導体装置において、第1のゲート配線は、第1のゲート電極と該第1のゲート電極と一体に形成された第1の配線とからなり、コンタクトプラグは、第1の配線と接続されており、突出部は、第1の配線におけるコンタクトプラグと接続された部分に設けられており、第1のゲート電極は、第1のサイドウォールから突出していないことが好ましい。このような構成とすることにより、シェアドコンタクトプラグ以外に、ソースドレイン領域と接続されたコンタクトプラグを形成する場合に、コンタクトプラグとゲート電極とが短絡することを防ぐことができる。

40

【0015】

本発明の半導体装置において、第1のサイドウォールは、第1の配線における突出部が設けられた部分の側面上に形成された部分の高さが、第1のゲート電極の側面上に形成された部分の高さよりも低いことが好ましい。このような構成とすることにより、サイドウォールの上面を覆う突出部の形成が容易となり、サイドウォールの保護を確実に行うことが可能となる。

【0016】

本発明の半導体装置において、第1のゲート配線は、活性領域の上に第1のゲート絶縁

50

膜を介して形成されていることが好ましい。

【0017】

本発明の半導体装置は、半導体基板の上に第1のゲート配線と間隔をおいて形成され、フルシリサイド化された第2のゲート配線と、活性領域の上における第2のゲート配線の下側部分に形成された第2のゲート絶縁膜と、第2のゲート配線の側面上に形成された絶縁性の第2のサイドウォールとをさらに備え、不純物拡散層は、活性領域における第2のゲート配線と第1のゲート配線との間の領域に形成されたソースドレイン領域であることが好ましい。

【0018】

本発明の半導体装置において、ソースドレイン領域は、活性領域における第2のゲート配線の側方の領域に形成された第1の拡散層と、活性領域における第1の拡散層と比べて第2のゲート配線から離れた位置で且つ第1の拡散層よりも深い位置に形成された第2の拡散層とを有し、コンタクトプラグは、第2の拡散層と電氣的に接続されていることが好ましい。

10

【0019】

本発明の半導体装置において、第2のゲート配線は、第2のゲート電極と該第2のゲート電極と一体に形成された第2の配線とからなり、第2のゲート電極は、第2のゲート絶縁膜上に形成されており且つ第2のサイドウォールから突出していないことが好ましい。

【0020】

本発明の半導体装置において、第1のゲート配線は、ニッケルシリサイドからなることが好ましい。

20

【0021】

本発明の半導体装置は、層間絶縁膜と半導体基板との間に形成された下地保護膜をさらに備えていることが好ましい。

【0022】

本発明の半導体装置において、コンタクトプラグは、シリサイド層を介して不純物拡散層と電氣的に接続されていることが好ましい。

【0023】

本発明に係る半導体装置の製造方法は、半導体基板に素子分離領域を形成して、半導体基板に素子分離領域に囲まれた活性領域を形成する工程(a)と、工程(a)よりも後に、半導体基板の上に、シリコンを含む半導体材料からなる第1のゲート配線形成膜を形成する工程(b)と、第1のゲート配線形成膜の側面上に絶縁性の第1のサイドウォールを形成する工程(c)と、工程(b)よりも後に、活性領域に不純物拡散層を形成する工程(d)と、工程(c)及び工程(d)よりも後に、第1のゲート配線形成膜をフルシリサイド化して第1のゲート配線を形成する工程(e)と、工程(e)の後に、半導体基板上の全面に層間絶縁膜を形成する工程(f)と、層間絶縁膜をエッチングして、第1のゲート配線の一部と不純物拡散層の一部とに跨る領域に開口部を形成する工程(g)と、開口部に導電性材料を充填することにより、第1のゲート配線及び不純物拡散層と電氣的に接続するコンタクトプラグを形成する工程(h)とを備え、工程(e)では、第1のゲート配線におけるコンタクトプラグと接続される部分に、第1のサイドウォールから突出した突出部を形成することを特徴とする。

30

40

【0024】

本発明の半導体装置の製造方法によれば、第1のゲート配線におけるコンタクトプラグと接続される部分に、第1のサイドウォールから突出した突出部を形成するため、シェアードコンタクトプラグを形成するための凹部を形成する際に、第1のサイドウォールが突出部により保護されるので、第1のサイドウォールがエッチングされにくくなる。その結果、シェアードコンタクトプラグと浅い不純物拡散層との短絡を防ぎ、接合耐圧が低下したり、接合リーク電流が増大したりすることのない半導体装置を実現することが可能となる。

【0025】

50

本発明の半導体装置の製造方法において、工程(e)では、第1のゲート配線における突出部を、第1のサイドウォールの上面の一部を覆うように形成することが好ましい。

【0026】

本発明の半導体装置の製造方法において、工程(e)では、第1のゲート配線形成膜から第1のゲート電極及び第1の配線が一体に形成された第1のゲート配線が形成され、製造方法は、工程(d)と工程(e)との間に、第1のゲート配線形成膜における第1のゲート電極となる部分をエッチングして、第1のゲート配線形成膜における第1のゲート電極となる部分の膜厚を、ゲート配線形成膜における第1の配線の突出部が形成される部分の膜厚よりも薄くする工程(i)をさらに備え、工程(e)では、第1のゲート電極が、第1のサイドウォールから突出しないことが好ましい。

10

【0027】

本発明の半導体装置の製造方法において、工程(i)では、第1のゲート配線形成膜における第1の配線の突出部となる部分の膜厚を、第1のサイドウォールの高さの2分の1以上とすることが好ましい。このような構成とすることにより、突出部を確実に形成することが可能となる。

【0028】

本発明の半導体装置の製造方法では、半導体装置の製造方法において、工程(i)では、第1のゲート配線形成膜における第1のゲート電極となる部分の膜厚を、第1のサイドウォールの高さの2分の1未満とすることが好ましい。このような構成とすることにより、シェアードコンタクトプラグを形成しない領域においては、サイドウォールから突出していない通常のゲート配線を形成することができる。

20

【0029】

本発明の半導体装置の製造方法は、工程(i)と工程(e)との間に、第1のゲート配線形成膜における第1の配線の突出部となる部分の側面上に形成されたサイドウォールの高さを、第1のゲート配線形成膜における第1のゲート電極となる部分の側面上に形成された第1のサイドウォールの高さよりも低くする工程(j)をさらに備えていることが好ましい。このような構成とすることにより、第1のサイドウォールの上面を覆う突出部の形成が容易となる。

【0030】

本発明の半導体装置の製造方法において、工程(j)では、突出部を形成する領域において、第1のサイドウォールの高さを、第1のゲート配線形成膜の上面の高さよりも低くすることが好ましい。

30

【0031】

本発明の半導体装置の製造方法は、工程(e)と工程(f)との間に、半導体基板上の全面に下地保護膜を形成する工程(k)をさらに備え、工程(f)では、下地絶縁膜の上に層間絶縁膜を形成することが好ましい。

【0032】

本発明の半導体装置の製造方法において、工程(b)では、半導体基板の上に、シリコンを含む半導体材料からなる第2のゲート配線形成膜を第1のゲート配線形成膜と間隔をおいて形成し、工程(c)では、第2のゲート配線形成膜の側面上に絶縁性の第2のサイドウォールを形成し、工程(d)では、活性領域における第2のゲート配線形成膜の側方の領域に不純物拡散層を形成し、工程(e)では、第2のゲート配線形成膜をフルシリサイド化して第2のゲート配線を形成することが好ましい。

40

【0033】

本発明の半導体装置の製造方法は、工程(a)と工程(b)との間に、活性領域上にゲート絶縁膜を形成する工程(l)をさらに備え、工程(b)では、活性領域上にゲート絶縁膜を介して第1のゲート配線形成膜及び第2のゲート配線形成膜を形成することが好ましい。

【発明の効果】

【0034】

50

本発明の半導体装置及びその製造方法によれば、ゲート電極における配線抵抗の低減及びゲート電極とシェアードコンタクトプラグとのコンタクト抵抗の低減が可能となる。

【発明を実施するための最良の形態】

【0035】

(第1の実施形態)

本発明の第1の実施形態について図面を参照して説明する。図1(a)及び(b)は第1の実施形態に係る半導体装置であり、(a)は平面構成を示し、(b)は(a)のIb-Ib線における断面構成を示している。

【0036】

図1(a)には、半導体基板10に形成された素子分離領域11に囲まれた第1の活性領域13Aに形成された第1のトランジスタ51Aと、第2の活性領域13Bに形成された第2のトランジスタ51Bとを示している。第1のトランジスタ51Aは、フルシリサイド化された第1のゲート電極17Aと第1の活性領域13Aに形成されたソースドレイン領域14Aとを有している。また、第2のトランジスタ51Bは、フルシリサイド化された第2のゲート電極17Bと第2の活性領域13Bに形成されたソースドレイン領域14Bとを有している。なお、第1のトランジスタ51A及び第2のトランジスタ51Bは、いずれもP型MISトランジスタである。

10

【0037】

図1(b)に示すように第2のトランジスタ51Bは、半導体基板10の素子分離領域11に囲まれた第2の活性領域13Bの上に形成された第2のゲート絶縁膜15Bと、第2のゲート絶縁膜15Bの上に形成された第2のゲート電極17Bと、第2のゲート電極17Bの側面上に形成された第2のサイドウォール21Bと、第2の活性領域13Bにおける第2のゲート電極17Bの両側方の領域に形成されたP型の不純物拡散層であるソースドレイン領域14Bとを備えている。

20

【0038】

ソースドレイン領域14Bは、第2のゲート電極17Bの側方下に形成された浅いソースドレイン拡散層(エクステンション領域又はLDD領域)14aと第2のサイドウォール21Bの側方下に形成された深いソースドレイン拡散層14bとからなり、深いソースドレイン拡散層14bの上にはシリサイド層16が形成されている。

【0039】

第2の活性領域13Bの上には、第2のゲート絶縁膜15Bと同じ絶縁膜からなる第1のゲート絶縁膜15Aと、第1のゲート絶縁膜15Aの上に形成されたフルシリサイド化された第1の配線18Aと、第1の配線18Aの側面上に形成された第1のサイドウォール21Aとが形成されている。第1の配線18Aは、第1のサイドウォール21Aから突出し、第1のサイドウォール21Aの上面の一部を覆う突出部20Aを有している。第1の配線18Aは、図1(a)に示すように第1のトランジスタ51Aの第1のゲート電極17Aと一体に形成されており、第1のゲート電極17Aと第1の配線18Aとによりフルシリサイド化された第1のゲート配線19Aが形成されている。

30

【0040】

また、第2のゲート電極17Bは、図1(a)に示すようにフルシリサイド化された第2の配線18Bと一体に形成されており、第2のゲート電極17Bと第2の配線18Bとによりフルシリサイド化された第2のゲート配線19Bが形成されている。第2の配線18Bは、素子分離領域11及び第1の活性領域13Aの上に延在しており、ソースドレイン領域14Aとシェアードコンタクトプラグ24により接続されている。第2の配線18Bにおけるシェアードコンタクトプラグ24が形成された領域には突出部20Bが形成されている。突出部20Bが形成されている第2の配線18Bの構成は、図1(b)に示す突出部20Aが形成されている第1の配線18Aの構成と同じである。

40

【0041】

半導体基板10の上には、第2のゲート電極17B、第1の配線18A、第1のサイドウォール21A及び第2のサイドウォール21B等を覆うように、シリコン窒化膜からな

50

る下地保護膜 34 が形成され、下地保護膜 34 の上にはシリコン酸化膜からなる層間絶縁膜 35 が形成されている。

【0042】

第2の活性領域 13Bにおける第2のゲート電極 17Bの両側方に形成された深いソースドレイン拡散層 14bのうち、一方の領域の上には、第1の配線 18Aに跨るように層間絶縁膜 35 及び下地保護膜 34 を貫通して形成されたシェアードコンタクトプラグ 24 が形成されており、他方の領域の上には、層間絶縁膜 35 及び下地保護膜 34 を貫通して形成されたコンタクトプラグ 25 が形成されている。コンタクトプラグ 25 及びシェアードコンタクトプラグ 24 は、コンタクトホールに充填されたタングステン等の導電性材料からなり、それぞれシリサイド層 16 を介して深いソースドレイン拡散層 14b と接続されている。

10

【0043】

本実施形態の半導体装置は、第1の配線 18Aにおけるシェアードコンタクトプラグ 24 と接続された部分に、第1の配線 18A が第1のサイドウォール 21A から突出した突出部 20A を有している。突出部 20A の幅は、第1の配線 18A の幅に比べて広く形成されているため、第1のゲート配線 19A とシェアードコンタクトプラグ 24 との接触面積が増大する。従って、第1のゲート配線 19A とシェアードコンタクトプラグ 24 とのコンタクト抵抗の低減を図ることができる。

【0044】

また、突出部 20A は第1のサイドウォール 21A の上面の一部を覆っているため、層間絶縁膜 35 及び下地保護膜 34 にコンタクトホールを形成する際に、突出部 20A がエッチングマスクとして機能し、第1のサイドウォール 21A がエッチングされることを抑えることが可能となる。これにより、シェアードコンタクトプラグ用のコンタクトホールを形成する際に、浅いソースドレイン拡散層 14a が露出することを防ぐことができる。その結果、シェアードコンタクトプラグ 24 と浅いソースドレイン拡散層 14a とが短絡することによる、トランジスタの接合耐圧の低下及び接合リーク電流の増大を抑えることが可能となる。

20

【0045】

同様に、第2の配線 18Bのシェアードコンタクトプラグ 24 と接続された部分に、第2の配線 18B が第2のサイドウォール 21B から突出した突出部 20B を有し、突出部 20B は第2のサイドウォール 21B の上面の一部を覆っており、第2のゲート配線 19B とシェアードコンタクトプラグ 24 とのコンタクト抵抗も低減される。

30

【0046】

以下に、本実施形態に係る半導体装置の製造方法について図面を参照して説明する。図2～図4は第1の実施形態に係る半導体装置の製造方法について工程順に断面構成を示している。なお、図2～図4は図1(a)のIb-Ib線箇所における断面を示している。

【0047】

まず、図2(a)に示すように、半導体基板 10 の上に、素子を電氣的に分離するための素子分離領域 11 を例えばSTI (shallow trench isolation) 法により形成する。これにより、半導体基板 10 に素子分離領域 11 によって囲まれた第2の活性領域 13B が形成される。続いて、半導体基板 10 にP型不純物であるホウ素をイオン注入してP型のウェル 12 を形成する。

40

【0048】

次に、図2(b)に示すように、第2の活性領域 13B の上に、ドライ酸化法、ウェット酸化法又はラジカル酸素による酸化法等によって、膜厚が2nmの酸化シリコンからなるゲート絶縁膜 15 を形成する。続いて、半導体基板 10 の上に全面に亘って、ゲート電極となる膜厚が80nmのポリシリコン膜 22 を例えばCVD (chemical vapor deposition) 法により堆積した後、ポリシリコン膜 22 の上に、後の工程においてポリシリコン膜 22 の保護膜となる膜厚が60nmのシリコン酸化膜 23 を例えばCVD法により形成する。このとき、シリコン酸化膜 23 の膜厚はポリシリコン膜 22 の膜厚よりも薄くする

50

。

【0049】

次に、図2(c)に示すように、フォトリソグラフィ法及びドライエッチング法により、シリコン酸化膜23をゲート配線形状(ゲート電極と配線が一体化された形状)にパターンニングして第1の保護膜23A及び第2の保護膜23Bを形成する。

【0050】

続いて、パターンニングされた第1の保護膜23A及び第2の保護膜23Bをマスクとして、ポリシリコン膜22及びゲート絶縁膜15をドライエッチングによりエッチングする。これにより、第1のゲート配線形成膜22A及び第1のゲート絶縁膜15Aと、第2のゲート配線形成膜22B及び第2のゲート絶縁膜15Bとが形成される。

10

【0051】

続いて、第1のゲート配線形成膜22A及び第2のゲート配線形成膜22BをマスクとしてP型不純物であるホウ素(B)を第2の活性領域13Bにイオン注入することにより、P型の浅いソースドレイン拡散層14aを形成する。

【0052】

なお、シリコン酸化膜23のエッチングには、フルオロカーボンの主成分とするエッチングガスを用いればよく、ポリシリコン膜22のエッチングには、塩素又は臭素の主成分とするエッチングガスを用いればよい。

【0053】

次に、図2(d)に示すように、半導体基板10上の全面に亘って、例えば、膜厚が50nmのシリコン窒化膜を例えばCVD法により堆積した後、堆積したシリコン窒化膜に対して異方性エッチングを行う。これにより、第1のゲート配線形成膜22A及び第1の保護膜23Aの側面と、第2のゲート配線形成膜22B及び第2の保護膜23Bの側面に形成されている部分を残してシリコン窒化膜を除去する。これにより、第1のゲート配線形成膜22A及び第1の保護膜23Aの両側面を連続的に覆う第1のサイドウォール21Aと、第2のゲート配線形成膜22B及び第2の保護膜23Bの両側面を連続的に覆う第2のサイドウォール21Bが形成される。

20

【0054】

次に、図2(e)に示すように、第1のサイドウォール21A及び第2のサイドウォール21Bをマスクとして第2の活性領域13BにP型不純物であるホウ素をイオン注入法により導入し、第2の活性領域13Bにおける第2のゲート配線形成膜22Bの両側方(第2のサイドウォール21Bの外側)の領域にP型の深いソースドレイン拡散層14bを形成する。これにより、浅いソースドレイン拡散層14aと深いソースドレイン拡散層14bからなるソースドレイン領域14Bが形成される。

30

【0055】

続いて、深いソースドレイン拡散層14bの上面に形成された自然酸化膜を除去した後、半導体基板10の上にスパッタリング法を用いて膜厚が10nmのニッケル膜(図示せず)を堆積する。その後、窒素雰囲気中で半導体基板10に対して例えば温度が320の1回目のRTA(rapid thermal annealing)を行うことにより、半導体基板10を構成するシリコンとニッケル膜とを反応させる。

40

【0056】

次に、例えば、塩酸と過酸化水素水の混酸を用いて、残存する未反応のニッケル膜を除去した後、半導体基板10に対して1回目のRTAよりも高温(例えば550)の2回目のRTAを行う。これにより、深いソースドレイン拡散層14bの上面に低抵抗のシリサイド層16が形成される。

【0057】

次に、図3(a)に示すように、半導体基板10上の全面に、フルシリサイド化する際のマスクとなるシリコン酸化膜からなる保護膜32を形成した後、CMP法により保護膜32の表面を平坦化すると共に、第1の保護膜23A及び第2の保護膜23Bの上面が露出するまで研磨する。

50

【0058】

次に、図3(b)に示すように、窒化シリコン及びポリシリコンに対して酸化シリコンを選択的にエッチングする条件のドライエッチング法又はウェットエッチング法を用いて、第1のゲート配線形成膜22A及び第2のゲート配線形成膜22Bの上面が露出するまで、第1の保護膜23A及び第2の保護膜23B並びに保護膜32の上部をエッチングする。なお、シリコン酸化膜を選択的にエッチングするには、ドライエッチング法の場合には、例えば、 C_5F_8 、 O_2 及びArをそれぞれ15ml/min(標準状態)、18ml/min(標準状態)及び950ml/min(標準状態)の流量で、圧力が6.7Paとなるように供給し、高周波(RF)出力(T/B)を1800W/1500Wとし、基板温度が0の条件で反応性イオンエッチングを行えばよい。

10

【0059】

次に、図3(c)に示すように、第1のゲート配線形成膜22Aのうち、後工程においてシェアードコンタクトプラグ24と接続する部分を覆うレジストマスク41を形成する。ここでは、後工程で突出部20Aを形成する領域にレジストマスク41を形成する。続いて、ドライエッチングによりレジストマスク41に覆われた部分を除いて第1のゲート配線形成膜22A及び第2のゲート配線形成膜22Bをエッチングし、膜厚を40nmとする。なお、図示していないが、第2のゲート配線形成膜22Bについても、突出部20Bを形成する領域にはレジストマスクを形成し、エッチングされないようにする。

【0060】

次に、図3(d)に示すように、レジストマスク41を除去した後、保護膜32の上にスパッタリング法を用いて膜厚が100nmのニッケルからなる金属膜33を堆積する。続いて、窒素雰囲気中で半導体基板10に対して400のRTAを行うことにより、第1のゲート配線形成膜22A及び第2のゲート配線形成膜22Bと、金属膜33とを反応させてフルシリサイド化を行う。なお、金属膜33の膜厚は、第1のゲート配線形成膜22Aにおける突出部20Aを形成する領域の膜厚の1.1倍以上とすることにより、第1のゲート配線形成膜22A及び第2のゲート配線形成膜22Bのフルシリサイド化を確実に行うことが可能となる。

20

【0061】

次に、図3(e)に示すように、未反応の金属膜33を除去することにより、第1のサイドウォール21Aから突出した突出部20Aを有する第1の配線18Aと第1のサイドウォール21Aから突出していない第1のゲート電極17A(図1参照)とからなるフルシリサイド化された第1のゲート配線19A(図1参照)が形成される。同時に、第2のサイドウォール21Bから突出した突出部20B(図1参照)を有する第2の配線18B(図1参照)と第2のサイドウォール21Bから突出していない第2のゲート電極17Bとからなるフルシリサイド化された第2のゲート配線19B(図1参照)が形成される。

30

【0062】

次に、図4(a)に示すように、ドライエッチング法又はウェットエッチング法を用いて保護膜32を除去した後、半導体基板10上の全面に、膜厚が50nmのシリコン窒化膜からなる下地保護膜34を例えばCVD法により堆積する。

【0063】

次に、図4(b)に示すように、下地保護膜34の上にシリコン酸化膜からなる層間絶縁膜35を例えばCVD法により形成した後、CMP法により層間絶縁膜35の表面を平坦化する。その後、層間絶縁膜35の上にレジストマスク(図示せず)を形成した後、レジストマスクを用いて層間絶縁膜35及び下地保護膜34のドライエッチングを行うことにより、一方の深いソースドレイン拡散層14b上のシリサイド層16の一部と、第1のサイドウォール21Aの一部と、第1の配線18Aの突出部20Aの一部とを露出する第1のコンタクトホール35aを形成する。同時に、他方の深いソースドレイン拡散層14b上のシリサイド層16の一部を露出する第2のコンタクトホール35bを形成する。

40

【0064】

次に、図4(c)に示すように、レジストマスクを除去した後、半導体基板10の上に

50

CVD法を用いてバリアメタル層となるチタン(Ti)及び窒化チタン(TiN)をそれぞれ10nm及び5nm堆積する(図示せず)。その後、堆積したバリアメタル層の上にタンゲステン等からなる金属膜を堆積する。

【0065】

続いて、第1のコンタクトホール35a及び第2のコンタクトホール35bの外側に堆積された層間絶縁膜35上の金属膜をCMP又はエッチバックにより除去する。これにより、一方の深いソースドレイン拡散層14b上のシリサイド層16及び第1の配線18Aに接続するシェードコンタクトプラグ24と、他方の深いソースドレイン拡散層14b上のシリサイド層16に接続するコンタクトプラグ25とが形成される。

【0066】

本実施形態の半導体装置の製造方法は、第1のゲート配線形成膜22Aの突出部20Aを形成する部分の膜厚を他の部分よりも厚くして、フルシリサイド化を行っている。これにより、シェードコンタクトプラグ24を形成する領域に突出部20Aを有する、フルシリサイド化された第1のゲート配線19Aを容易に形成することができる。このため、シェードコンタクトプラグ24と第1のゲート電極17Aとのコンタクト抵抗が小さい半導体装置を容易に形成することができる。

【0067】

また、第1のサイドウォール21Aの上面を覆う第1の配線18Aの突出部20Aが第1のコンタクトホール35aを形成する際のエッチングマスクとなり、第1のサイドウォール21Aがエッチングされることを抑えることが可能である。従って、シェードコンタクトプラグ24を形成した場合にも、接合耐圧が低下したり、接合リーク電流が増大したりすることのない半導体装置を製造することが可能となる。

【0068】

第1のサイドウォール21Aの上面を覆う突出部20Aを形成するには、突出部20Aを形成する領域の第1のゲート配線形成膜22Aの膜厚を第1のサイドウォール21Aの高さの2分の1以上とした状態において、第1のゲート配線形成膜22Aをフルシリサイド化すればよい。

【0069】

本実施形態の半導体装置の製造方法においては、第1のサイドウォール21Aの高さは、突出部20Aを形成する領域における第1のゲート配線形成膜22Aの膜厚と第1の保護膜23Aの膜厚との和にほぼ等しい。本実施形態においては第1のゲート配線形成膜22Aの膜厚は80nmであり、第1の保護膜23Aの膜厚は60nmである。従って第1のサイドウォール21Aの高さは140nmとなり、突出部20Aを形成する領域における第1のゲート配線形成膜22Aの膜厚は第1のサイドウォール21Aの高さの2分の1以上となる。

【0070】

また、フルシリサイド化の際に第1のゲート配線形成膜22Aの上に堆積する金属膜33の膜厚は100nmであり、突出部20Aを形成する領域における第1のゲート配線形成膜22Aの膜厚の1.1倍以上としている。このように、シリコンに対してニッケルが多い条件においては、シリサイド化の際にNi₂Si及びNi₃Siが形成される。Ni₂Si及びNi₃Siが形成されることにより、シリサイド化後の膜厚はポリシリコン膜の約2倍に膨張する。

【0071】

シェードコンタクトプラグ24を形成する領域、すなわち突出部20Aを形成する領域においては、第1のゲート配線形成膜22Aの膜厚が80nmであり、第1のサイドウォール21Aの高さが140nmであるため、フルシリサイド化され、第1のゲート配線形成膜22Aの膜厚の約2倍に膨張した第1の配線18Aは第1のサイドウォール21Aから突出する。また、突出した突出部20Aは横方向にも広がるため、第1のサイドウォール21Aの上面を覆う。同様に、第2の配線18Bにおける突出部20Bも第2のサイドウォール21Bから突出し、且つ、第2のサイドウォール21Bの上面を覆う。

10

20

30

40

50

【0072】

一方、シェードコンタクトプラグ24を形成しない領域、すなわち第2のゲート電極17Bを形成する領域においては、第2のゲート配線形成膜22Bの膜厚がエッチングされ膜厚は40nmとなっている。従って、フルシリサイド化された場合にも第2のゲート電極17Bが第2のサイドウォール21Bから突出することはない。同様に、第1のゲート電極17Aも第1のサイドウォール21Aから突出することはない。

【0073】

なお、ポリシリコン膜22、シリコン酸化膜23及び金属膜33の膜厚は、形成する素子のサイズに応じて適宜変更すればよい。また、突出部20Aが第1のサイドウォール21Aの上面を覆う領域は、ポリシリコン膜22とシリコン酸化膜23との膜厚の比率を変更することにより調整することができる。

10

【0074】

本実施形態においては、2個のトランジスタを例に説明を行ったが、半導体基板の上には他のトランジスタが形成されていてもよい。また、トランジスタ以外の素子が形成されていてもよく、シェードコンタクトプラグにより接続される不純物拡散層はソースドレイン拡散層に限らず、例えばダイオードが形成された不純物拡散層であってもよい。

【0075】

本実施形態において、第1のゲート配線19A及び第2のゲート配線19Bをポリシリコン膜22から形成したが、ポリシリコン膜に代えてアモルファスシリコン膜を用いてもよい。またシリコンを含む他の半導体材料を用いてもよい。

20

【0076】

フルシリサイド化のための金属膜33には、ニッケル膜を用いたが白金等の他のフルシリサイド化用の金属膜を用いてもよい。シリサイド層16を形成するための金属としてニッケルを用いたが、これに代えて、例えばコバルト、チタン又はタングステン等のシリサイド化用金属を用いてもよい。また、これらの金属膜の堆積にはスパッタリング法に代えてCVD法等を用いてもよい。

【0077】

また、サイドウォールには、シリコン窒化膜を用いたが、シリコン酸化膜とシリコン窒化膜の積層構造を用いてもよい。

【0078】

また、本実施形態においてはトランジスタを覆う下地保護膜34を形成したが、必ずしも下地保護膜34は形成しなくてもよい。この場合、保護膜32をエッチングせず、保護膜32の上に層間絶縁膜35を堆積すればよい。

30

【0079】

また、保護膜32をエッチングした後、下地保護膜34の堆積を行ったが、保護膜32を堆積する前に、下地保護膜34の堆積を行ってもよい。この場合、CMP法により、保護膜32の表面の平坦化を行いながら、第1の保護膜23A及び第2の保護膜23Bの上端まで研磨する際に、第1の保護膜23A及び第2の保護膜23Bの上に堆積された下地保護膜34も研磨し、除去すればよい。

【0080】

(第2の実施形態)

以下に、本発明の第2の実施形態について図面を参照して説明する。図5(a)及び(b)は第2の実施形態に係る半導体装置であり、(a)は平面構成を示し、(b)は(a)のVb-Vb線における断面構成を示している。図5において図1と同一の構成要素には同一の符号を附すことにより説明を省略する。

40

【0081】

図5(b)に示すように、本実施形態の半導体装置は、第1のサイドウォール21Aのシェードコンタクトプラグ24の形成領域における高さが、第2のサイドウォール21Bの第2のゲート電極17Bの側面上に形成された部分の高さよりも低い。このため、シェードコンタクトプラグ24の形成領域において突出部20Aを容易に形成することが

50

でき、突出部 20 A が第 1 のサイドウォール 21 A の上面を確実に覆うようにすることができる。他の構成については、第 1 の実施形態と同じである。

【0082】

以下に、第 2 の実施形態に係る半導体装置の製造方法について図面を参照して説明する。図 6 及び図 7 は本実施形態に係る半導体装置の製造方法の各工程における断面構成を示している。なお、第 2 のゲート配線形成膜 22 B をエッチングして、第 2 のゲート配線形成膜 22 B の膜厚を第 2 のサイドウォール 21 B の高さの 2 分の 1 未満とする工程までは第 1 の実施形態における図 3 (c) までの工程と同一であるため説明を省略する。

【0083】

図 6 (a) に示すように、半導体基板 10 の上に、ゲート電極を形成する領域を覆い、突出部を形成する領域に開口を有するレジストマスク 42 を形成する。続いて、レジストマスク 42 を用いて、突出部を形成する領域の第 1 のサイドウォール 21 A 及び第 2 のサイドウォール 21 B の露出部分をエッチングして他の領域よりも高さを低くする。すなわち、第 1 のサイドウォール 21 A 及び第 2 のサイドウォール 21 B のシェアドコンタクトプラグ 24 の形成領域における高さは、第 1 のサイドウォール 21 A の第 1 のゲート電極 17 A の側面上に形成された部分及び第 2 のサイドウォール 21 B の第 2 のゲート電極 17 B の側面上に形成された部分の高さよりも低くする。

10

【0084】

次に、図 6 (b) に示すように、レジストマスク 42 を除去した後、保護膜 32 の上にスパッタリング法を用いて膜厚が 100 nm のニッケルからなる金属膜 33 を堆積する。続いて、窒素雰囲気中で半導体基板 10 に対して 400 の RTA を行うことにより、第 1 のゲート配線形成膜 22 A 及び第 2 のゲート配線形成膜 22 B と、金属膜 33 とを反応させてフルシリサイド化を行う。

20

【0085】

次に、図 6 (c) に示すように、未反応の金属膜 33 を除去することにより、第 1 のサイドウォール 21 A から突出した突出部 20 A を有する第 1 の配線 18 A と第 1 のサイドウォール 21 A から突出していない第 1 のゲート電極 17 A (図 5 参照) とからなるフルシリサイド化された第 1 のゲート配線 19 A (図 5 参照) が形成される。同時に、第 2 のサイドウォール 21 B から突出した突出部 20 B (図 5 参照) を有する第 2 の配線 18 B (図 5 参照) と第 2 のサイドウォール 21 B から突出していない第 2 のゲート電極 17 B とからなるフルシリサイド化された第 2 のゲート配線 19 B (図 5 参照) が形成される。次に、図 7 (a) に示すように、ドライエッチング法又はウェットエッチング法を用いて保護膜 32 を除去した後、半導体基板 10 上の全面に、膜厚が 50 nm のシリコン窒化膜からなる下地保護膜 34 を例えば CVD 法により堆積する。

30

【0086】

次に、図 7 (b) に示すように、下地保護膜 34 の上にシリコン酸化膜からなる層間絶縁膜 35 を例えば CVD 法により形成した後、CMP 法により層間絶縁膜 35 の表面を平坦化する。その後、層間絶縁膜 35 の上にレジストマスク (図示せず) を形成した後、レジストマスクを用いて層間絶縁膜 35 及び下地保護膜 34 のドライエッチングを行うことにより、一方の深いソースドレイン拡散層 14 b 上におけるシリサイド層 16 の一部と、第 1 のサイドウォール 21 A の一部と、第 1 の配線 18 A の突出部 20 A の一部とを露出する第 1 のコンタクトホール 35 a を形成する。同時に、他方の深いソースドレイン拡散層 14 b 上におけるシリサイド層 16 の一部を露出する第 2 のコンタクトホール 35 b を形成する。

40

【0087】

次に、図 7 (c) に示すように、第 1 のコンタクトホール 35 a 及び第 2 のコンタクトホール 35 b 内に第 1 の実施形態と同様にしてタングステン等の導電性材料を埋め込む。これにより、一方の深いソースドレイン拡散層 14 b 上のシリサイド層 16 及び第 1 の配線 18 A に接続するシェアドコンタクトプラグ 24 と、他方の深いソースドレイン拡散層 14 b 上のシリサイド層 16 に接続するコンタクトプラグ 25 とが形成される。

50

【 0 0 8 8 】

本実施形態の半導体装置の製造方法においては、第1のサイドウォール21Aのシェアードコンタクトプラグ24を形成する領域における高さを、他の領域における高さよりも低くしている。これにより、突出部20Aを有する第1の配線18Aと突出部がない第1のゲート電極17Aとからなる第1のゲート配線19Aを容易に形成することができる。また、第2のサイドウォール21Bについても同様の構成とすることにより、突出部20Bを有する第2の配線18Bと突出部がない第2のゲート電極17Bとからなる第2のゲート配線19Bを容易に形成できる。

【 0 0 8 9 】

これにより、シェアードコンタクトプラグ24を形成するための第1のコンタクトホール35aを形成する際に、第1のサイドウォール21Aがエッチングされることを抑えることができる。その結果、シェアードコンタクトプラグ24と浅いソースドレイン拡散層14aとの短絡によって生じるリーク電流の発生を抑制することが可能となる。

【 0 0 9 0 】

第1のサイドウォール21Aの突出部20Aを形成する領域のエッチング量は、突出部20Aを形成する領域の第1のゲート配線形成膜22Aの膜厚等を考慮して決めればよい。この場合、突出部20Aを形成する領域において、第1のゲート配線形成膜22Aの上面よりも第1のサイドウォール21Aの上面を低くすることにより、第1のサイドウォール21Aの上面を覆うことが容易となる。なお、エッチング後の第1のサイドウォール21Aの高さは、下地保護膜34の膜厚よりも厚いことが好ましい。

【 0 0 9 1 】

なお、本実施形態において、第2のゲート配線形成膜22Bのエッチングを行った後、第1のサイドウォール21Aのエッチングを行ったが、第1のサイドウォール21Aのエッチングを行った後、第2のゲート配線形成膜22Bのエッチングを行ってもよい。

【 産業上の利用可能性 】

【 0 0 9 2 】

本発明は、ゲート配線がフルシリサイド化され且つ局所配線構造を有する半導体装置及びその製造方法等として有用である。

【 図面の簡単な説明 】

【 0 0 9 3 】

【 図 1 】 (a) 及び (b) は本発明の第1の実施形態に係る半導体装置を示し、(a) は平面図であり、(b) は (a) の I b - I b 線における断面図である。

【 図 2 】 本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【 図 3 】 本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【 図 4 】 本発明の第1の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【 図 5 】 (a) 及び (b) は本発明の第2の実施形態に係る半導体装置を示し、(a) は平面図であり、(b) は (a) の V b - V b 線における断面図である。

【 図 6 】 本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【 図 7 】 本発明の第2の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【 図 8 】 従来例に係る半導体装置を示す断面図である。

【 符号の説明 】

【 0 0 9 4 】

- 1 0 半導体基板
- 1 1 素子分離領域
- 1 2 ウェル

10

20

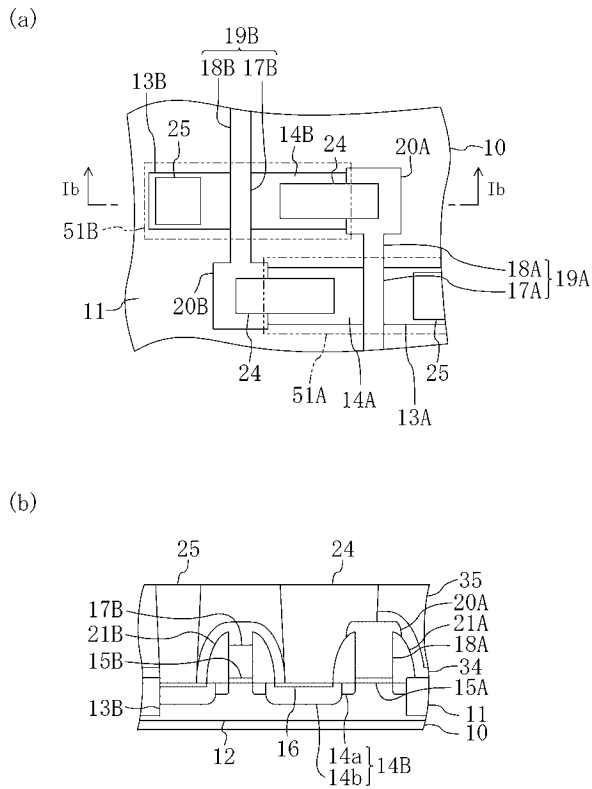
30

40

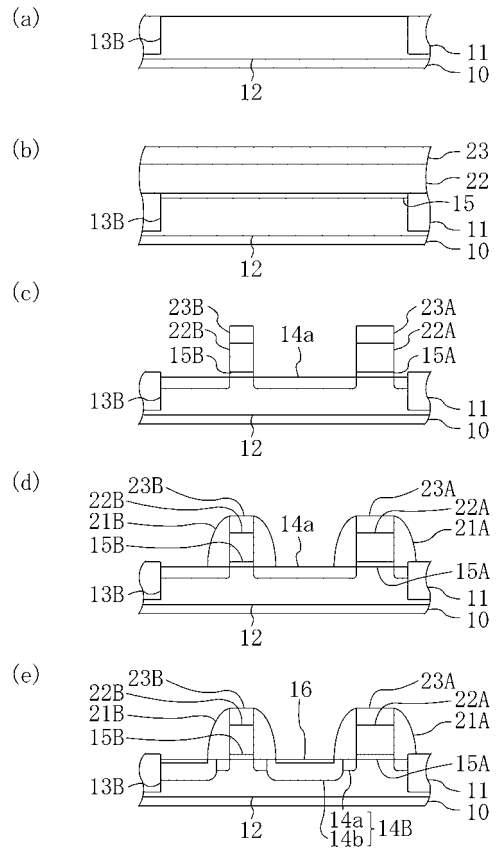
50

1 3 A	第 1 の活性領域	
1 3 B	第 2 の活性領域	
1 4 A	ソースドレイン領域	
1 4 B	ソースドレイン領域	
1 4 a	浅いソースドレイン拡散層	
1 4 b	深いソースドレイン拡散層	
1 5	ゲート絶縁膜	
1 5 A	第 1 のゲート絶縁膜	
1 5 B	第 2 のゲート絶縁膜	
1 6	シリサイド層	10
1 7 A	第 1 のゲート電極	
1 7 B	第 2 のゲート電極	
1 8 A	第 1 の配線	
1 8 B	第 2 の配線	
1 9 A	第 1 のゲート配線	
1 9 B	第 2 のゲート配線	
2 0 A	突出部	
2 0 B	突出部	
2 1 A	第 1 のサイドウォール	
2 1 B	第 2 のサイドウォール	20
2 2	ポリシリコン膜	
2 2 A	第 1 のゲート配線形成膜	
2 2 B	第 2 のゲート配線形成膜	
2 3	シリコン酸化膜	
2 3 A	第 1 の保護膜	
2 3 B	第 2 の保護膜	
2 4	シェアードコンタクトプラグ	
2 5	コンタクトプラグ	
3 2	保護膜	
3 3	金属膜	30
3 4	下地保護膜	
3 5	層間絶縁膜	
3 5 a	第 1 のコンタクトホール	
3 5 b	第 2 のコンタクトホール	
4 1	レジストマスク	
4 2	レジストマスク	
5 1 A	第 1 のトランジスタ	
5 1 B	第 2 のトランジスタ	

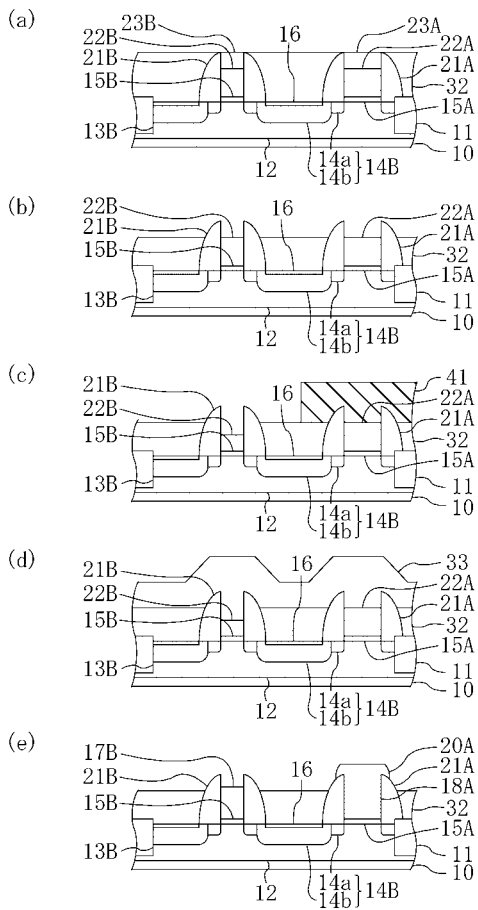
【 図 1 】



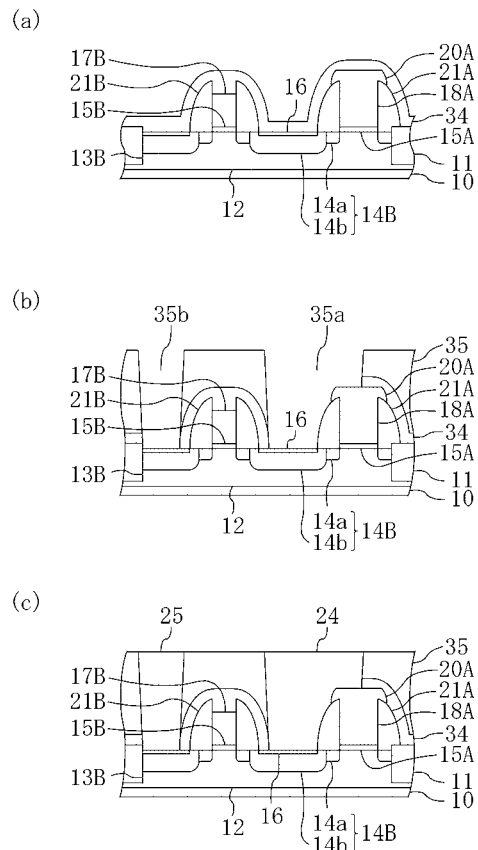
【 図 2 】



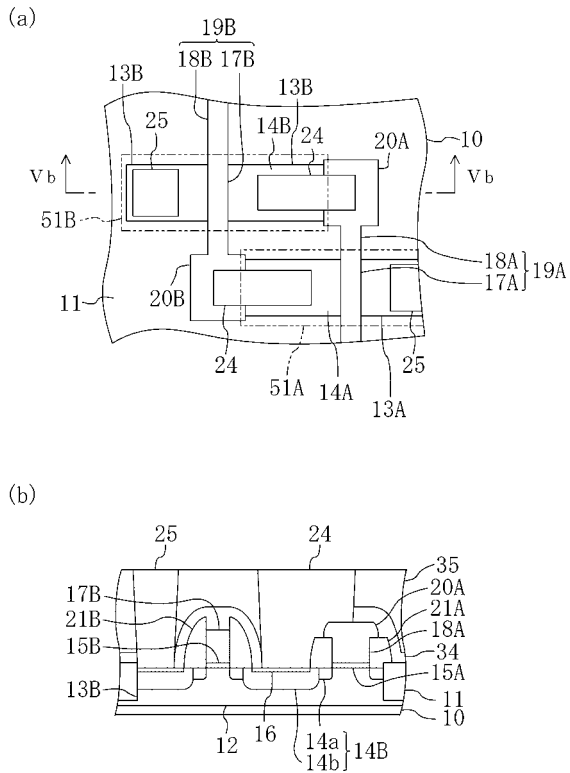
【 図 3 】



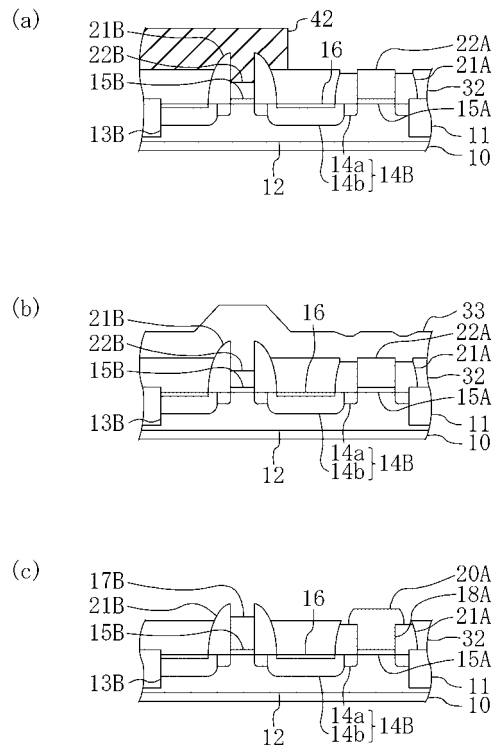
【 図 4 】



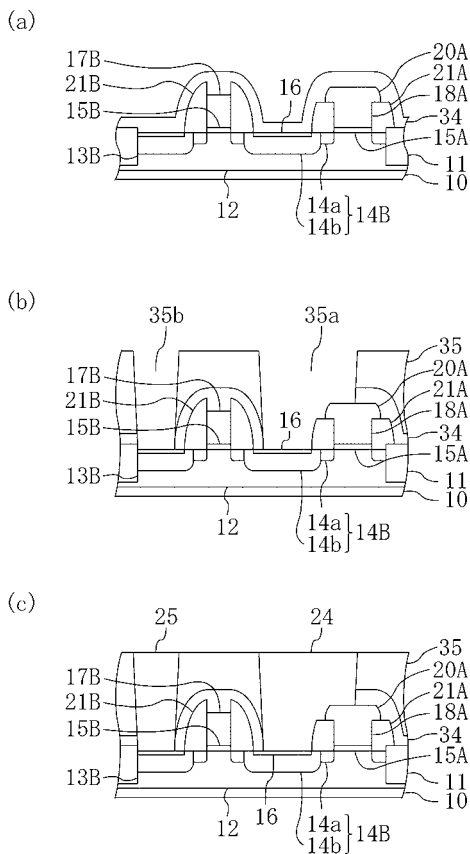
【 図 5 】



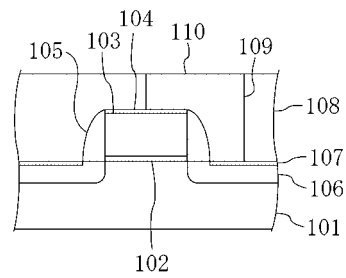
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 佐藤 好弘

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 小川 久

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5F033 HH25 HH27 HH28 JJ18 JJ19 JJ33 KK01 KK25 KK27 KK28
MM18 NN01 NN06 NN07 PP06 PP15 QQ08 QQ09 QQ11 QQ13
QQ19 QQ27 QQ48 QQ70 QQ73 QQ82 RR04 SS11 TT08 VV06
XX01 XX09 XX31