(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0168382
(43) 공개일자 2024년11월29일

(51) 국제특허분류(Int. Cl.)
*H01B 1/22* (2006.01) *H01L 31/0216* (2014.01)
*H01L 31/0224* (2006.01) *H01L 31/068* (2006.01)
*H01L 31/18* (2006.01)
(52) CPC특허분류
*H01B 1/22* (2013.01)
*H01L 31/02167* (2013.01)
(21) 출원번호 10-2024-7035280
(22) 출원일자(국제) 2023년03월27일
심사청구일자 없음
(85) 번역문제출일자 2024년10월23일
(86) 국제출원번호 PCT/JP2023/012085
(87) 국제공개번호 WO 2023/190282
국제공개일자 2023년10월05일
(30) 우선권주장
JP-P-2022-051760 2022년03월28일 일본(JP)
JP-P-2022-178203 2022년11월07일 일본(JP)

(71) 출원인
**나믹스 가부시끼가이샤**
일본국 니가타켄 니가타시 기타쿠 니고리카와 3993반치
(72) 발명자
**곤노, 세이야**
일본 9503131 니가타켄 니가타시 기타쿠 니고리카와 3993반치 나믹스 가부시끼가이샤 내
**다나베, 히데오**
일본 9503131 니가타켄 니가타시 기타쿠 니고리카와 3993반치 나믹스 가부시끼가이샤 내
**사이토, 겐키**
일본 9503131 니가타켄 니가타시 기타쿠 니고리카와 3993반치 나믹스 가부시끼가이샤 내
(74) 대리인
**장수길, 이석재**

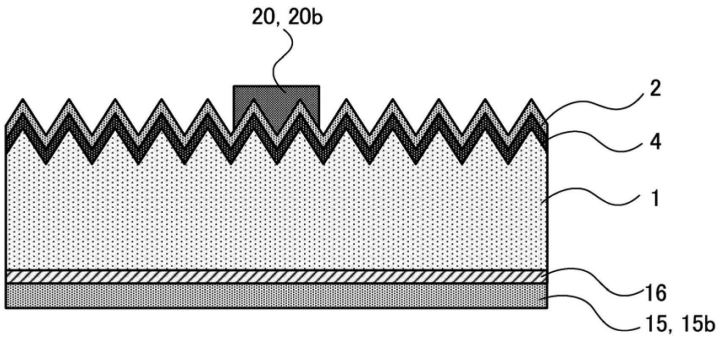
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **도전성 페이스트, 태양 전지 및 태양 전지의 제조 방법**

## (57) 요 약

결정계 실리콘 태양 전지의 제조를 위해서, 레이저 처리 프로세스에 의한 전극의 형성에 적합한 도전성 페이스트를 제공한다. 태양 전지의 전극 형성용의 도전성 페이스트이며, (A) 도전성 입자와, (B) 유기 비히클과, (C) 유리 프릿을 포함하고, 상기 (C) 유리 프릿의 염기도 $B_{GF}$와, 상기 도전성 페이스트 중의 상기 (A) 도전성 입자의 함유량을 100중량부로 했을 때의 상기 도전성 페이스트 중의 중량부를 단위로 한 상기 (C) 유리 프릿의 함유량 G의 곱 $B_{GF} \cdot G$가 0.25 내지 1.45의 범위인, 도전성 페이스트.

## 대 표 도



(52) CPC특허분류
***H01L 31/022425*** (2013.01)
***H01L 31/068*** (2013.01)
***H01L 31/1804*** (2024.01)
*Y02E 10/546* (2020.08)

# 명 세 서

## 청구범위

### 청구항 1

태양 전지의 전극 형성용의 도전성 페이스트이며,

(A) 도전성 입자와,

(B) 유기 비히클과,

(C) 유리 프릿을 포함하고,

상기 (C) 유리 프릿의 염기도 $B_{GF}$와, 상기 도전성 페이스트 중의 상기 (A) 도전성 입자의 함유량을 100중량부로 했을 때의 상기 도전성 페이스트 중의 중량부를 단위로 한 상기 (C) 유리 프릿의 함유량 G의 곱 $B_{GF}$·G가, 0.25 내지 1.45의 범위인, 도전성 페이스트.

### 청구항 2

제1항에 있어서, 상기 (A) 도전성 입자가, 은 입자를 포함하는, 도전성 페이스트.

### 청구항 3

제1항 또는 제2항에 있어서, (B) 유기 비히클이, 에틸셀룰로오스, 로진에스테르, 아크릴 및 유기 용제에서 선택되는 적어도 하나를 포함하는, 도전성 페이스트.

### 청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 (C) 유리 프릿 중의 mol%를 단위로 한 PbO의 함유량 $C_{PbO}$와, 상기 (C) 유리 프릿의 상기 함유량 G의 곱 $C_{PbO}$·G가, 20 내지 139의 범위인, 도전성 페이스트.

### 청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 (C) 유리 프릿의 상기 함유량 G가 0.3 내지 4.0중량부인, 도전성 페이스트.

### 청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 (C) 유리 프릿의 상기 함유량 G가 0.5 내지 1.5중량부인, 도전성 페이스트.

### 청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서, 상기 (C) 유리 프릿의 유리 전이점이 300 내지 600℃인, 도전성 페이스트.

### 청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서, 상기 (C) 유리 프릿이, ZnO, $V_2O_5$, $WO_3$ 및 $Nb_2O_3$에서 선택되는 적어도 하나를 포함하는, 도전성 페이스트.

### 청구항 9

제1항 내지 제8항 중 어느 한 항에 있어서, 도전성 페이스트가 (D) 알루미늄 입자를 더 포함하는, 도전성 페이스트.

### 청구항 10

제9항에 있어서, 상기 도전성 페이스트 중의 상기 (A) 도전성 입자의 함유량을 100중량부로 했을 때의 상기 도전성 페이스트 중의 상기 (D) 알루미늄 입자의 함유량이, 0.1 내지 2.0중량부인, 도전성 페이스트.

**청구항 11**

제1항 내지 제10항 중 어느 한 항에 있어서, 태양 전지의 전극 형성용의 도전성 페이스트이며,

태양 전지가,

제1 도전형의 반도체 기판과,

상기 제1 도전형의 반도체 기판의 한쪽의 표면에 배치된 제2 도전형의 반도체층과,

상기 제1 도전형의 반도체 기판의 다른 쪽의 표면에 대하여 전기적으로 접속하도록 배치된 이면 전극과,

상기 제2 도전형의 반도체층의 표면에 접하여 배치된 패시베이션막과,

상기 패시베이션막의 표면의 적어도 일부에 배치되는 광 입사측 표면 전극

을 포함하고,

상기 광 입사측 표면 전극이, 상기 제2 도전형의 반도체층과, 상기 제1 도전형의 반도체 기판 사이에서 순방향과는 역방향의 전류가 흐르도록, 상기 이면 전극과, 상기 광 입사측 표면 전극 사이에 전압을 인가하면서, 점광원으로부터의 광을 상기 태양 전지의 광 입사측 표면에 조사하는 처리를 한 상기 광 입사측 표면 전극이고,

전기 도전성 페이스트가, 상기 광 입사측 표면 전극을 형성하기 위한 도전성 페이스트인, 도전성 페이스트.

**청구항 12**

제1 도전형의 반도체 기판과,

상기 제1 도전형의 반도체 기판의 한쪽의 표면에 배치된 제2 도전형의 반도체층과,

상기 제1 도전형의 반도체 기판의 다른 쪽의 표면에 대하여 전기적으로 접속하도록 배치된 이면 전극과,

상기 제2 도전형의 반도체층의 표면에 접하여 배치된 패시베이션막과,

상기 패시베이션막의 표면의 적어도 일부에 배치된 광 입사측 표면 전극

을 포함하는 태양 전지이며,

상기 광 입사측 표면 전극이, 상기 제2 도전형의 반도체층과, 상기 제1 도전형의 반도체 기판 사이에서 순방향과는 역방향의 전류가 흐르도록, 상기 이면 전극과, 상기 광 입사측 표면 전극 사이에 전압을 인가하면서, 점광원으로부터의 광을 상기 태양 전지의 광 입사측 표면에 조사하는 처리를 한 상기 광 입사측 표면 전극이고,

상기 광 입사측 표면 전극이, 제1항 내지 제10항 중 어느 한 항에 기재된 도전성 페이스트의 소성체인, 태양 전지.

**청구항 13**

제1 도전형의 결정계 실리콘 기판과,

상기 제1 도전형의 결정계 실리콘 기판의 한쪽의 표면에 배치된 제2 도전형의 실리콘 이미터층과,

상기 제1 도전형의 결정계 실리콘 기판의 다른 쪽의 표면에 대하여 전기적으로 접속하도록 배치된 이면 전극과,

상기 제2 도전형의 실리콘 이미터층의 표면에 접하여 배치된 패시베이션막과,

상기 패시베이션막의 표면의 적어도 일부에 배치된 은을 포함하는 광 입사측 표면 전극

을 포함하는 태양 전지이며,

상기 제2 도전형의 실리콘 이미터층이, 패시베이션막을 통하지 않고 상기 광 입사측 표면 전극과 직접 접하는 국소 도통부를 갖고,

국소 도통부가, 은 및 실리콘의 합금을 포함하고,

상기 광 입사측 표면 전극이, 제1항 내지 제10항 중 어느 한 항에 기재된 도전성 페이스트의 소성체인, 태양 전지.

**청구항 14**

태양 전지의 제조 방법이며,

제1 도전형의 반도체 기판을 준비하는 것과,

상기 제1 도전형의 반도체 기판의 한쪽의 표면에 제2 도전형의 반도체층을 형성하는 것과,

상기 제1 도전형의 반도체 기판의 다른 쪽의 표면에 대하여 전기적으로 접속하도록 이면 전극을 형성하는 것과,

상기 제2 도전형의 반도체층의 표면에 접하도록 패시베이션막을 형성하는 것과,

상기 패시베이션막의 표면의 적어도 일부에 광 입사측 표면 전극을 형성하는 것과,

상기 제2 도전형의 반도체층과, 상기 제1 도전형의 반도체 기판 사이에서 순방향과는 역방향의 전류가 흐르도록, 상기 이면 전극과, 상기 광 입사측 표면 전극 사이에 전압을 인가하면서, 점 광원으로부터의 광을 상기 태양 전지의 광 입사측 표면에 조사하는 것을 포함하고,

상기 광 입사측 표면 전극이, 제1항 내지 제10항 중 어느 한 항에 기재된 도전성 페이스트의 소성체인, 태양 전지의 제조 방법.

**청구항 15**

태양 전지의 전극을 형성하기 위한 제1항 내지 제11항 중 어느 한 항에 기재된, 도전성 페이스트의 사용.

## *발명의 설명*

### *기 술 분 야*

[0001] 본 발명은, 반도체 디바이스 등의 전극 형성에 사용되는 도전성 페이스트에 관한 것이다. 특히, 본 발명은, 태양 전지의 전극 형성용의 도전성 페이스트에 관한 것이다. 또한, 본 발명은, 그 전극 형성용의 도전성 페이스트를 사용하여 제조되는 태양 전지 및 태양 전지의 제조 방법에 관한 것이다.

### *배 경 기 술*

[0002] 단결정 실리콘 또는 다결정 실리콘을 평판상으로 가공한 결정계 실리콘을 기판에 사용한 결정계 실리콘 태양 전지 등의 반도체 디바이스는, 디바이스의 외부와의 전기적 접촉을 위해서, 실리콘 기판 표면에, 전극 형성용의 도전성 페이스트를 사용하여 전극이 형성되는 것이 일반적이다. 그렇게 하여 전극이 형성되는 반도체 디바이스 중에서, 결정계 실리콘 태양 전지는, 근년, 그 생산량이 대폭으로 증가하고 있다. 이들의 태양 전지는, 결정계 실리콘 기판의 한쪽의 표면에, 불순물 확산층, 반사 방지막 및 광 입사측 표면 전극을 갖고, 다른 쪽의 표면에 이면 전극을 갖는다. 광 입사측 표면 전극 및 이면 전극에 의해, 결정계 실리콘 태양 전지에 의해 발전한 전력을 외부에 취출할 수 있다.

[0003] 종래의 결정계 실리콘 태양 전지 전극 형성에는, 도전성 분말, 유리 프릿, 유기 결합제, 용제 및 그 밖의 첨가물을 포함하는 도전성 페이스트가 사용되고 있다. 도전성 분말로서는, 주로 은 입자(은 분말)가 사용되고 있다.

[0004] 특허문헌 1에는, 실리콘 태양 전지의 콘택트 그리드와 이미터층 사이의 오믹 콘택트 거동을 개선하기 위한 방법이 기재되어 있다. 구체적으로는, 특허문헌 1에 기재된 방법은, 다음의 것이 기재되어 있다. 즉, 실리콘 태양 전지(1)에 상기 이미터층, 상기 콘택트 그리드(5) 및 이면 콘택트(3)가 처음에 마련된다. 상기 콘택트 그리드(5)는, 전압원의 한쪽의 극에 전기적으로 접속된다. 상기 전압원의 다른 쪽의 극에 전기적으로 접속된 접촉 디바이스는, 상기 이면 콘택트(3)에 접속된다. 상기 전압원에 의해, 항복 전압보다 낮은 상기 실리콘 태양 전지(1)의 순방향과는 반대 방향의 전압이 인가된다. 이 전압이 인가되는 사이에, 상기 실리콘 태양 전지(1)의 태양에 면하는 측에 걸쳐 점 광원(13)이 유도된다. 태양에 면하는 측의 소 구분이 점 조사되어, 부분적 영역에 흐르는 전류를 유기한다. 이 전류가 상기 소 구분에 1m 초 내지 100m 초간에 걸쳐 작용한다. 상기 전류는, 표준 시험 조건 하에서 측정된 상기 실리콘 태양 전지(1)의 단락 전류의 크기의 10 내지 30배를 상기 소 구분의

면적 대 상기 실리콘 태양 전지(1)의 면적의 비로 삭감한 것에 상당하는 크기이다.

[0005] 특허문헌 2에는, 실리콘 솔라 셀에 있어서의 콘택트 그리드와, 이미터 레이어 사이의 오믹 콘택트 거동을 개선하는 프로세스가 기재되어 있다. 구체적으로는, 특허문헌 2의 프로세스로서, 소정의 전압을, 실리콘 솔라 셀의 순방향에 역방향으로 인가하고, 점 광원을, 실리콘 솔라 셀의 태양면측에 가이드하여, 그것에 의해 상기 태양면측의 서브섹션의 단면에 조사하는 것이 기재되어 있다.

[0006] 특허문헌 3에는, 무기 재료를 포함하는 결정계 실리콘 태양 전지의 전극 형성용 도전성 페이스트를 사용하는 결정계 실리콘 태양 전지의 제조 방법이 기재되어 있다. 특허문헌 3에는, 무기 재료로서, 도전성 입자와 유리 프릿을 포함하는 도전성 페이스트가 기재되어 있다. 특허문헌 3의 도전성 페이스트에 포함되는 유리 프릿이, 유리 프릿 100중량% 중, PbO를 70 내지 90중량% 포함하고, $Al_2O_3$을 포함하지 않는 것이 기재되어 있다.

[0007] 특허문헌 4에는, 은 분말과 PbO를 함유하는 유리 분말과 유기물을 포함하는 비히클을 포함하는 도전성 조성물이 기재되어 있다. 특허문헌 4에는, 도전성 조성물이, 질화규소층을 관통하여 상기 질화규소층 아래에 형성된 n형 반도체층과 도통하는 전극을 형성하기 위한 도전성 조성물인 것이 기재되어 있다. 또한, 특허문헌 4에는, 도전성 조성물에 포함되는 유리 분말의 염기도가 0.6 이상 0.8 이하이며, 유리의 전이점이 300℃ 내지 450℃인 것이 기재되어 있다.

## 선행기술문헌

### 특허문헌

[0008] (특허문헌 0001) 일본 특허 공표 제2019-525471호 공보

(특허문헌 0002) 일본 특허 공표 제2021-513218호 공보

(특허문헌 0003) 일본 특허 공개 제2011-86754호 공보

(특허문헌 0004) 일본 특허 공개 제2009-231826호 공보

## 발명의 내용

### 해결하려는 과제

[0009] 도 5에, 일반적인 결정계 실리콘 태양 전지의 단면 모식도의 일례를 도시한다. 도 5에 도시하는 바와 같이, 결정계 실리콘 태양 전지에서는, 일반적으로, 결정계 실리콘 기판(1)(예를 들어 n형 결정계 실리콘 기판(1))의 광 입사측인 표면(광 입사측 표면)에, 불순물 확산층(4)(예를 들어 p형 불순물을 확산한 p형 불순물 확산층)을 형성한다. 불순물 확산층(4) 상에는, 반사 방지막(2)을 형성한다. 반사 방지막(2)은, 패시베이션막으로서의 기능도 가지므로, 반사 방지막(2)을 패시베이션막(2)이라고 하는 경우가 있다. 또한, 스크린 인쇄법 등에 의해 도전성 페이스트를 사용하여 광 입사측 표면 전극(20)(표면 전극)의 전극 패턴을 반사 방지막(2) 상에 인쇄하고, 도전성 페이스트를 건조시키고, 소정의 온도에서 소성함으로써 광 입사측 표면 전극(20)이 형성된다. 일반적인 결정계 실리콘 태양 전지에서는, 이 소정의 온도에서의 소성 시, 도전성 페이스트가 반사 방지막(2)을 파이어 스루한다. 이 파이어 스루에 의해, 광 입사측 표면 전극(20)을, 불순물 확산층(4)에 접촉하도록 형성할 수 있다. 또한, 파이어 스루란, 절연막인 반사 방지막(2)을 도전성 페이스트에 포함되는 유리 프릿 등으로 에칭하고, 광 입사측 표면 전극(20)과 불순물 확산층(4)을 도통시키는 것이다. 도 5에 도시하는 예에서는, 전극 패턴의 소성 시에, 전극 패턴이 반사 방지막(2)을 파이어 스루함으로써, 반사 방지막(2)이 소실하여, 광 입사측 표면 전극(20)과, 불순물 확산층(4)이 접하고 있다. n형 결정계 실리콘 기판(1)과 불순물 확산층(4)의 계면에는 pn 접합이 형성되어 있다. 결정계 실리콘 태양 전지에 입사한 입사광의 대부분은, 반사 방지막(2) 및 불순물 확산층(4)을 투과하여, n형 결정계 실리콘 기판(1)에 입사한다. 이 과정에서 n형 결정계 실리콘 기판(1)에 있어서 광이 흡수되어, 전자-정공 쌍이 발생한다. 이들의 전자-정공 쌍은, pn 접합에 의한 전계에 의해, 전자는 n형 결정계 실리콘 기판(1)으로부터 이면 전극(15)으로, 정공은 p형 불순물 확산층(4)으로부터 광 입사측 표면 전극(20)으로 분리된다. 전자 및 정공(캐리어)은, 이들의 전극을 개재하여, 전류로서 외부에 취출된다.

[0010] 도 2에, 결정계 실리콘 태양 전지의 광 입사측 표면의 모식도의 일례를 도시한다. 도 2에 도시하는 바와 같이, 결정계 실리콘 태양 전지의 광 입사측 표면에는, 광 입사측 표면 전극(20)으로서, 버스 바 전극(광 입사측 버스

바 전극(20a)) 및 광 입사측 핑거 전극(20b)(단순히, 「핑거 전극(20b)」이라고 하는 경우가 있음)이 배치되어 있다. 도 5 및 도 2에 도시하는 예에서는, 결정계 실리콘 태양 전지에 입사한 입사광에 의해 발생한 전자-정공쌍 가운데 전자는 핑거 전극(20b)에 모아지고, 또한 광 입사측 버스 바 전극(20a)에 모아진다. 광 입사측 버스 바 전극(20a)에는, 땜납에 의해 주위를 덮은 인터커넥트용의 금속 리본이 납땜되어, 이 금속 리본에 의해 전류는 외부에 취출된다.

[0011] 높은 변환 효율의 결정계 태양 전지를 얻기 위해서, 광 입사측 표면 전극(20)과 불순물 확산층(4) 사이의 접촉 저항은, 낮은 것이 요구된다.

[0012] 광 입사측 표면 전극(20)과 불순물 확산층(4) 사이의 낮은 접촉 저항을 얻기 위해서, 레이저 처리 프로세스를 사용한 태양 전지의 제조 방법이 제안되어 있다. 특허문헌 1 및 2에는, 레이저 처리 프로세스의 구체예가 기재되어 있다. 본 명세서에 있어서, 레이저 처리 프로세스란, 광 입사측 표면 전극(20)을 형성한 후, 소정의 전압을, 결정계 실리콘 태양 전지의 순방향과는 역방향의 전류가 흐르도록 인가하고, 점 광원으로부터의 광을, 태양 전지의 광 입사측 표면에 조사함으로써, 낮은 접촉 저항을 얻는 기술을 의미한다. 일반적으로, 레이저 처리 프로세스를 행함으로써, 태양 전지 특성의 특성인 개방 전압(Open Circuit Voltage: Voc)을 저하시키지 않고, 곡선 인자(Fill Factor: FF)를 향상시킬 수 있다. 또한, 레이저 처리 프로세스에서는, 도전성 페이스트의 전극 패턴을 소정의 온도에서 소성할 때에 전극 패턴과 접하는 반사 방지막(2)의 대부분에 있어서, 도전성 페이스트가 반사 방지막(2)을 파이어 스루하지 않는 것이 바람직하다. 도 1에, 결정계 실리콘 태양 전지의 광 입사측 표면에, 레이저 처리 프로세스를 사용하여 광 입사측 표면 전극(20)을 형성한 구조를 도시하는 단면 모식도의 일례를 도시한다. 도 1에 도시하는 바와 같이, 레이저 처리 프로세스를 사용한 경우, 광 입사측 표면 전극(20)과, 불순물 확산층(4) 사이의 대부분에, 반사 방지막(2)이 존재한다. 레이저 처리 프로세스에서는, 상술의 소정의 전압을 pn 접합에 있어서 순방향과는 역방향의 전류가 흐르도록 인가하여, 점 광원으로부터의 광을 조사하여 캐리어(전자 및 정공)를 발생시킴으로써, 광 입사측 표면 전극(20)과 불순물 확산층(4) 사이의 근소한 영역에 전류가 흘러, 국소적으로 가열된다. 국소적인 가열에 의해, 광 입사측 표면 전극(20)과 불순물 확산층(4) 사이에는, 국소적으로 불순물 확산층(4)이 존재하지 않는 미소한 부분을 생긴다. 이 결과, 도 13에 도시하는 바와 같이, 광 입사측 표면 전극(20)에 접하는 불순물 확산층(4)에, 국소적으로 미소한 전기적 도통 부분(국소 도통부)인 AgSi 합금(30)(은 및 실리콘의 합금)이 형성된다고 생각된다. 또한, AgSi 합금(30)은 한정된 부분에 국소적으로 형성되므로, 도 1에서는 도시를 생략하고 있다. 이 국소적으로 형성된 미소한 전기적 도통 부분에 의해, 광 입사측 표면 전극(20)과 불순물 확산층(4) 사이의 양호한 전기적 도통이 가능해진다고 생각된다. 또한, 국소 도통부가 형성된 부분 이외의 광 입사측 표면 전극(20)과 불순물 확산층(4) 사이의 대부분에는, 반사 방지막(2)(패시베이션막)이 존재한다. 이 결과, 태양 전지의 성능으로서, 개방 전압(Voc)을 저하시키지 않고, 곡선 인자(FF)를 향상시킬 수 있다. 따라서, 레이저 처리 프로세스에 의한 광 입사측 표면 전극(20)의 형성에 사용하는 도전성 페이스트는, 종래의 도전성 페이스트(반사 방지막(2)을 파이어 스루할 수 있는 도전성 페이스트)와는 다른 성질을 갖는 것이 필요하다.

[0013] 또한, 종래의 결정계 실리콘 태양 전지의 경우, 광 입사측 표면 전극(20)을 형성할 때에, 도전성 페이스트의 전극 패턴이 소성됨으로써, 반사 방지막(2)을 파이어 스루하여, 불순물 확산층(4)에 접촉한다. 이 파이어 스루시에, 불순물 확산층(4)에 대미지가 발생하고, 결정계 실리콘 태양 전지의 성능이 저하된다는 문제가 있다. 이에 비해, 레이저 처리 프로세스에서는, 광 입사측 표면 전극(20)을 형성할 때에, 반사 방지막(2)을 기본적으로 파이어 스루하지 않는다. 그 때문에, 레이저 처리 프로세스를 사용함으로써, 불순물 확산층(4)에 대미지가 발생하는 것을 억제할 수 있다.

[0014] 그래서, 본 발명은 결정계 실리콘 태양 전지의 제조를 위해서, 레이저 처리 프로세스에 의한 전극의 형성에 적합한 도전성 페이스트를 제공하는 것을 목적으로 한다.

[0015] 또한, 본 발명은 레이저 처리 프로세스에 의한 전극의 형성에 적합한 도전성 페이스트를 사용한, 높은 성능의 결정계 실리콘 태양 전지의 제조 방법을 제공하는 것을 목적으로 한다. 또한, 본 발명은 레이저 처리 프로세스에 의한 전극의 형성을 포함하는 제조 방법으로 제조된, 높은 성능의 결정계 실리콘 태양 전지를 제공하는 것을 목적으로 한다.

## *과제의 해결 수단*

[0016] 상기 과제를 해결하기 위해서, 본 발명은 이하의 구성을 갖는다.

[0017] (구성 1)

[0018] 구성 1은, 태양 전지의 전극 형성용의 도전성 페이스트이며,

[0019] (A) 도전성 입자와,

[0020] (B) 유기 비히클과,

[0021] (C) 유리 프릿을 포함하고,

[0022] 상기 (C) 유리 프릿의 염기도 $B_{GF}$와, 상기 도전성 페이스트 중의 상기 (A) 도전성 입자의 함유량을 100중량부로 했을 때의 상기 도전성 페이스트 중의 중량부를 단위로 한 상기 (C) 유리 프릿의 함유량 G의 곱 $B_{GF}\cdot G$가, 0.25 내지 1.45의 범위인, 도전성 페이스트이다.

[0023] (구성 2)

[0024] 구성 2는, 상기 (A) 도전성 입자가, 은 입자를 포함하는, 구성 1의 도전성 페이스트이다.

[0025] (구성 3)

[0026] 구성 3은, (B) 유기 비히클이, 에틸셀룰로오스, 로진에스테르, 아크릴 및 유기 용제에서 선택되는 적어도 하나를 포함하는, 구성 1 또는 2의 도전성 페이스트이다.

[0027] (구성 4)

[0028] 구성 4는, 상기 (C) 유리 프릿 중의 mol%를 단위로 한 PbO의 함유량 $C_{PbO}$와, 상기 (C) 유리 프릿의 상기 함유량 G의 곱 $C_{PbO}\cdot G$가, 20 내지 139의 범위인, 구성 1 내지 3의 어느 것의 도전성 페이스트이다.

[0029] (구성 5)

[0030] 구성 5는, 상기 (C) 유리 프릿의 상기 함유량 G가 0.3 내지 4.0중량부인, 구성 1 내지 4의 어느 것의 도전성 페이스트이다.

[0031] (구성 6)

[0032] 구성 6은, 상기 (C) 유리 프릿의 상기 함유량 G가 0.5 내지 1.5중량부인, 구성 1 내지 4의 어느 것의 도전성 페이스트이다.

[0033] (구성 7)

[0034] 구성 7은, 상기 (C) 유리 프릿의 유리 전이점이 300 내지 600℃인, 구성 1 내지 6의 어느 것의 도전성 페이스트이다.

[0035] (구성 8)

[0036] 구성 8은, 상기 (C) 유리 프릿이, ZnO, $V_2O_5$, $WO_3$ 및 $Nb_2O_3$에서 선택되는 적어도 하나를 포함하는, 구성 1 내지 7의 어느 것의 도전성 페이스트이다.

[0037] (구성 9)

[0038] 구성 9는, 도전성 페이스트가 (D) 알루미늄 입자를 더 포함하는, 구성 1 내지 8의 어느 것의 도전성 페이스트이다.

[0039] (구성 10)

[0040] 구성 10은, 상기 도전성 페이스트 중의 상기 (A) 도전성 입자의 함유량을 100중량부로 했을 때의 상기 도전성 페이스트 중의 상기 (D) 알루미늄 입자의 함유량이, 0.1 내지 2.0중량부인, 구성 9의 도전성 페이스트이다.

[0041] (구성 11)

[0042] 구성 11은, 태양 전지의 전극 형성용의 도전성 페이스트이며,

[0043] 태양 전지가,

[0044] 제1 도전형의 반도체 기판과,

[0045] 상기 제1 도전형의 반도체 기판의 한쪽의 표면에 배치된 제2 도전형의 반도체층과,

[0046] 상기 제1 도전형의 반도체 기판의 다른 쪽의 표면에 대하여 전기적으로 접속하도록 배치된 이면 전극과,

[0047] 상기 제2 도전형의 반도체층의 표면에 접하여 배치된 패시베이션막과,

[0048] 상기 패시베이션막의 표면의 적어도 일부에 배치되는 광 입사측 표면 전극

[0049] 을 포함하고,

[0050] 상기 광 입사측 표면 전극이, 상기 제2 도전형의 반도체층과, 상기 제1 도전형의 반도체 기판 사이에서 순방향과는 역방향의 전류가 흐르도록, 상기 이면 전극과, 상기 광 입사측 표면 전극 사이에 전압을 인가하면서, 점광원으로부터의 광을 상기 태양 전지의 광 입사측 표면에 조사하는 처리를 한 상기 광 입사측 표면 전극이고,

[0051] 전기 도전성 페이스트가, 상기 광 입사측 표면 전극을 형성하기 위한 도전성 페이스트인, 구성 1 내지 10의 어느 것에 기재된 도전성 페이스트이다.

[0052] (구성 12)

[0053] 구성 12는, 제1 도전형의 반도체 기판과,

[0054] 상기 제1 도전형의 반도체 기판의 한쪽의 표면에 배치된 제2 도전형의 반도체층과,

[0055] 상기 제1 도전형의 반도체 기판의 다른 쪽의 표면에 대하여 전기적으로 접속하도록 배치된 이면 전극과,

[0056] 상기 제2 도전형의 반도체층의 표면에 접하여 배치된 패시베이션막과,

[0057] 상기 패시베이션막의 표면의 적어도 일부에 배치된 광 입사측 표면 전극

[0058] 을 포함하는 태양 전지이며,

[0059] 상기 광 입사측 표면 전극이, 상기 제2 도전형의 반도체층과, 상기 제1 도전형의 반도체 기판 사이에서 순방향과는 역방향의 전류가 흐르도록, 상기 이면 전극과, 상기 광 입사측 표면 전극 사이에 전압을 인가하면서, 점광원으로부터의 광을 상기 태양 전지의 광 입사측 표면에 조사하는 처리를 한 상기 광 입사측 표면 전극이고,

[0060] 상기 광 입사측 표면 전극이, 구성 1 내지 10 중 어느 한 항에 기재된 도전성 페이스트의 소성체인, 태양 전지이다.

[0061] (구성 13)

[0062] 구성 13은,

[0063] 제1 도전형의 결정계 실리콘 기판과,

[0064] 상기 제1 도전형의 결정계 실리콘 기판의 한쪽의 표면에 배치된 제2 도전형의 실리콘 이미터층과,

[0065] 상기 제1 도전형의 결정계 실리콘 기판의 다른 쪽의 표면에 대하여 전기적으로 접속하도록 배치된 이면 전극과,

[0066] 상기 제2 도전형의 실리콘 이미터층의 표면에 접하여 배치된 패시베이션막과,

[0067] 상기 패시베이션막의 표면의 적어도 일부에 배치된 은을 포함하는 광 입사측 표면 전극

[0068] 을 포함하는 태양 전지이며,

[0069] 상기 제2 도전형의 실리콘 이미터층이, 패시베이션막을 통하지 않고 상기 광 입사측 표면 전극과 직접 접하는 국소 도통부를 갖고,

[0070] 국소 도통부가, 은 및 실리콘의 합금을 포함하고,

[0071] 상기 광 입사측 표면 전극이, 구성 1 내지 10의 어느 것의 도전성 페이스트의 소성체인, 태양 전지이다.

[0072] (구성 14)

[0073] 구성 14는, 태양 전지의 제조 방법이며,

[0074] 제1 도전형의 반도체 기판을 준비하는 것과,

[0075] 상기 제1 도전형의 반도체 기판의 한쪽의 표면에 제2 도전형의 반도체층을 형성하는 것과,

[0076] 상기 제1 도전형의 반도체 기판의 다른 쪽의 표면에 대하여 전기적으로 접속하도록 이면 전극을 형성하는 것과,

[0077] 상기 제2 도전형의 반도체층의 표면에 접하도록 패시베이션막을 형성하는 것과,

[0078] 상기 패시베이션막의 표면의 적어도 일부에 광 입사측 표면 전극을 형성하는 것과,

[0079] 상기 제2 도전형의 반도체층과, 상기 제1 도전형의 반도체 기판 사이에서 순방향과는 역방향의 전류가 흐르도록, 상기 이면 전극과, 상기 광 입사측 표면 전극 사이에 전압을 인가하면서, 점 광원으로부터의 광을 상기 태양 전지의 광 입사측 표면에 조사하는 것을 포함하고,

[0080] 상기 광 입사측 표면 전극이, 구성 1 내지 10의 어느 것에 기재된 도전성 페이스트의 소성체인, 태양 전지의 제조 방법이다.

[0081] (구성 15)

[0082] 구성 14는, 태양 전지의 전극을 형성하기 위한 구성 1 내지 11의 어느 것의 도전성 페이스트의 사용이다.

[0083] 본 발명에 따르면, 결정계 실리콘 태양 전지의 제조를 위해서, 레이저 처리 프로세스에 의한 전극의 형성에 적합한 도전성 페이스트를 제공할 수 있다.

[0084] 또한, 본 발명에 따르면, 레이저 처리 프로세스에 의한 전극의 형성에 적합한 도전성 페이스트를 사용한, 높은 성능의 결정계 실리콘 태양 전지의 제조 방법을 제공할 수 있다. 또한, 본 발명에 따르면, 레이저 처리 프로세스에 의한 전극의 형성을 포함하는 제조 방법으로 제조된, 높은 성능의 결정계 실리콘 태양 전지를 제공할 수 있다.

## *도면의 간단한 설명*

[0085] 도 1은, 본 실시 형태의 도전성 페이스트를 사용하여, 레이저 처리 프로세스에 의해, 결정계 실리콘 태양 전지의 광 입사측 표면에, 광 입사측 표면 전극을 형성한 구조를 도시하는 단면 모식도의 일례이다.

도 2는, 결정계 실리콘 태양 전지의 광 입사측 표면의 모식도의 일례이다.

도 3은, 결정계 실리콘 태양 전지의 이면의 모식도의 일례이다.

도 4는, 본 실시 형태의 도전성 페이스트를 사용하여, 양면 수광형의 결정계 실리콘 태양 전지의 단면 모식도의 일례이다.

도 5는, 일반적인 결정계 실리콘 태양 전지의, 광 입사측 표면 전극(핑거 전극)이 존재하는 근방의 단면 모식도의 일례이고, 전극과, 불순물 확산층 사이의 반사 방지막(패시베이션막)이 파이어 스루에 의해, 소실되고 있는 상태를 도시하는 단면 모식도이다.

도 6은, 도전성 페이스트를 사용하여 형성한 전극을 위한 비저항 측정용 패턴을 도시하는 평면 모식도이다.

도 7은, 도전성 페이스트를 사용하여 형성한 전극을 위한 접촉 저항 측정용 패턴을 도시하는 평면 모식도이다.

도 8은, 도전성 페이스트를 사용하여 형성한 전극을 위한 광 발광 이미징법(PL법)의 측정용의 패턴을 도시하는 평면 모식도이다.

도 9는, 실시예 4의 시료의, 광 발광 이미징법(PL법)으로 측정한 광 발광의 발광 강도의 이미지이다.

도 10은, 비교예 1의, 광 발광 이미징법(PL법)으로 측정한 광 발광의 발광 강도의 이미지이다.

도 11은, 도 9에 도시되는 시료와 동일한 도전성 페이스트를 사용하여 광 입사측 표면 전극(20)을 형성한 시료의, 광 입사측 표면의 패시베이션막 근방의 단면 SEM 사진(배율: 2만배)이다.

도 12는, 도 10에 도시되는 시료와 동일한 도전성 페이스트를 사용하여 광 입사측 표면 전극(20)을 형성한 시료의, 광 입사측 표면의 패시베이션막 근방의 단면 SEM 사진(배율: 2만배)이다.

도 13은, 실시예 5와 동일 조건에서 제작한 시료의 광 입사측 표면 전극과 접하는 불순물 확산층에, 국소적으로 미소한 전기적 도통 부분(국소 도통부)인 AgSi 합금이 형성되는 것을 나타내는 단면 SEM 사진(배율 2만배)이다.

## *발명을 실시하기 위한 구체적인 내용*

[0086] 이하, 본 발명의 실시 형태에 대해서, 구체적으로 설명한다. 또한, 이하의 실시 형태는, 본 발명을 구체화할 때의 형태이며, 본 발명을 그 범위 내에 한정하는 것은 아니다.

[0087] 본 명세서에서는, 「결정계 실리콘」은 단결정 및 다결정 실리콘을 포함한다. 또한, 「결정계 실리콘 기판」은, 전기 소자 또는 전자 소자 등의 반도체 디바이스의 형성을 위해, 결정계 실리콘을 평판상 등, 소자 형성에 적합한 형상으로 성형한 재료를 말한다. 결정계 실리콘의 제조 방법은, 어떤 방법을 사용해도 된다. 예를 들어, 단결정 실리콘의 경우에는 초크랄스키법, 다결정 실리콘의 경우에는 캐스팅법을 사용할 수 있다. 또한, 그 밖의 제조 방법, 예를 들어 리본 인상법에 의해 제작된 다결정 실리콘 리본, 유리 등의 이종 기판 상에 형성된 다결정 실리콘 등도 결정계 실리콘 기판으로서 사용할 수 있다. 또한, 「결정계 실리콘 태양 전지」란, 결정계 실리콘 기판을 사용하여 제작된 태양 전지를 말한다.

[0088] 본 명세서에 있어서, 유리 프릿이란, 복수 종류의 산화물, 예를 들어 금속 산화물을 주재료로 하는 것이고, 일반적으로 유리 형상의 입자 형태로 사용하는 것이다.

[0089] 본 실시 형태는, 태양 전지의 전극 형성용의 도전성 페이스트이다. 본 실시 형태의 도전성 페이스트는, (A) 도전성 입자와, (B) 유기 비히클과, (C) 유리 프릿을 포함한다. 본 실시 형태의 도전성 페이스트는, (C) 유리 프릿의 염기도 및 도전성 페이스트 중의 (C) 유리 프릿의 함유량을 적절하게 제어하는 것을 특징으로 한다.

[0090] 태양 전지의 광-전기 변환 효율(단순히 「변환 효율」이라고 하는 경우가 있음)은, 곡선 인자(Fill Factor: FF), 개방 전압(Open Circuit Voltage: Voc) 및 단락 전류(Short Circuit Current: Jsc)의 곱으로 표시된다. 기본적으로 FF와 Voc는 트레이드오프의 관계가 되고 있고, FF와 Voc의 양쪽을 동시에 높게 하는 것은 곤란하다. 예를 들어, 특허문헌 1 및 2에는, 결정계 실리콘 태양 전지의 제조 시에 레이저 처리 프로세스를 채용함으로써, 광 입사측 표면 전극인 그리드 형상의 전극과, 불순물 확산층(이미터층) 사이의 오믹 콘택트 거동을 개선하고, 광 입사측 표면 전극과, 불순물 확산층 사이의 접촉 저항을 대폭으로 낮게 할 수 있는 것이 기재되어 있다. 그 때문에, 레이저 처리 프로세스를 행함으로써, Voc를 저하시키지 않고, FF를 향상시킬 수 있다.

[0091] 본 발명자들은, 종래의 도전성 페이스트(예를 들어, 특허문헌 3에 기재되어 있는 도전성 페이스트)를 사용하여 광 입사측 표면 전극을 형성한 태양 전지에 대하여 레이저 처리 프로세스에 적용한 경우, 반사 방지막(패시베이션막) 및 불순물 확산층(및 기판)에 악영향을 미치고, 태양 전지의 변환 효율이 저하되어 버리는 것을 발견하였다. 또한, 본 발명자들은, 그 원인은, 종래의 도전성 페이스트의 반사 방지막(패시베이션막)에 대한 파이어 스루성(반응성)이 너무 강하기 때문인 것을 발견하였다. 또한, 본 발명자들은, 유리 프릿의 염기도 및 함유량을 적절한 범위로 함으로써, 유리 프릿의 반사 방지막(패시베이션막)에 대한 반응성을 적절한 것으로 할 수 있는 것을 발견하였다. 상술한 지견을 얻은 본 발명자들은, 레이저 처리 프로세스를 사용한 결정계 실리콘의 제조 시에, 바람직하게 사용할 수 있는 도전성 페이스트를 발견하고, 본 발명에 이르렀다.

[0092] 본 실시 형태의 도전성 페이스트를 사용하여 결정계 실리콘 태양 전지의 전극을 형성하고, 레이저 처리 프로세스를 행함으로써, 반사 방지막의 패시베이션막으로서의 기능을 손상시키지 않고, 전극과, 태양 전지의 불순물 확산층 사이에, 낮은 접촉 저항을 얻을 수 있다. 그 때문에, 본 실시 형태의 도전성 페이스트를 사용하여 레이저 처리 프로세스를 행함으로써, 높은 변환 효율의 결정계 실리콘 태양 전지를 얻을 수 있다. 본 실시 형태의 도전성 페이스트는, 결정계 실리콘 태양 전지를 제조할 때에, 레이저 처리 프로세스에 의해 광 입사측 표면 전극을 형성하기 위해서, 바람직하게 사용할 수 있다.

[0093] 본 실시 형태의 도전성 페이스트를 사용한 레이저 처리 프로세스에서는, 광 입사측 표면 전극(20)을 형성할 때에, 반사 방지막(2)(패시베이션막)을 기본적으로 파이어 스루하지 않는다. 또한, 광 입사측 표면 전극(20)에 대하여 레이저 처리 프로세스를 행해도, 광 입사측 표면 전극(20)과 접하는 반사 방지막(2)(패시베이션막)의 대부분은 소실하지 않는다. 즉, 국소적으로 미소한 전기적 도통 부분(국소 도통부)이 형성된 부분 이외의 광 입사측 표면 전극(20)과 불순물 확산층(4) 사이의 대부분(예를 들어 계면의 면적의 90% 이상의 부분, 바람직하게는 95% 이상의 부분, 더욱 바람직하게는 99% 이상의 부분)에는, 반사 방지막(2)(패시베이션막)이 존재한다. 그 때문에, 광 입사측 표면 전극(20)을 형성할 때에 레이저 처리 프로세스를 사용함으로써, 불순물 확산층(4)에 대미지가 발생하는 것을 억제할 수 있다.

[0094] 도 1에 도시하는 바와 같이, 결정계 실리콘 태양 전지의 광 입사측 표면에는, 광 입사측 표면 전극(20)으로서, 핑거 전극(20b)이 배치되어 있다. 도 1에 도시하는 예에서는, 결정계 실리콘 태양 전지에 입사한 입사광에 의해 발생한 전자-정공 쌍 가운데 정공은, 불순물 확산층(4)(예를 들어, p형의 불순물 확산층(4))을 거쳐, 핑거 전극(20b)에 모아진다. 따라서, 핑거 전극(20b)과, 불순물 확산층(4) 사이의 접촉 저항은, 낮은 것이 요구된다. 본 실시 형태의 도전성 페이스트는, 핑거 전극(20b)의 형성을 위하여 바람직하게 사용할 수 있다.

[0095] 또한, 본 명세서에 있어서, 결정계 실리콘 태양 전지로부터 전류를 외부에 취출하기 위한 전극인 광 입사측 표

면 전극(20) 및 이면 전극(15)을 합쳐, 단순히 「전극」이라고 하는 경우가 있다.

[0096] 결정계 실리콘 태양 전지의 1종에는, 2개의 표면(제1 및 제2 광 입사측 표면)으로부터 광을 입사하여 발전을 한다는 양면 발전형 결정계 실리콘 태양 전지가 있다. 이 경우, 본 실시 형태의 도전성 페이스트를 사용하여, 제1 및 제2 광 입사측 표면에 형성되는 전극을 바람직하게 사용할 수 있다.

[0097] 본 실시 형태의 도전성 페이스트는, 불순물 확산층 상에 형성된 반사 방지막(2)(패시베이션막)의 표면(광 입사측 표면)에 형성되는 광 입사측 표면 전극(20)을 형성하기 위하여 바람직하게 사용할 수 있지만, 거기에 한정되지 않는다. 예를 들어, 본 실시 형태의 도전성 페이스트를 사용하여, 광 입사측 표면과는 반대측의 표면(이면)에, 이면 전극(15)을 형성해도 된다. 결정계 실리콘 태양 전지의 이면에는, 패시베이션막이 형성되고, 패시베이션막 상에 이면 전극(15)을 형성하는 경우가 있다. 그 구조의 태양 전지의 경우, 상술한 설명과 마찬가지로, 본 실시 형태의 도전성 페이스트를 사용하여, 이면의 패시베이션막을 개재하여, 이면 전극(15)과, 태양 전지의 결정계 실리콘 기판(1) 사이에, 전기적인 접촉을 형성할 수 있다.

[0098] 이하, 본 발명의 도전성 페이스트를, n형의 결정계 실리콘 기판(1)을 사용한 결정계 실리콘 태양 전지의, 광 입사측 전극(20)(표면 전극)을 형성하는 경우를 예로 들어 설명한다. 이 결정계 실리콘 태양 전지의 경우에는, 광 입사측 표면에 형성되는 불순물 확산층(4)은, p형 불순물 확산층(4)이다. 또한, 본 명세서에서는, 결정계 실리콘 기판(1)을 사용한 태양 전지의 경우의 불순물 확산층(4)을 「실리콘 이미터층」이라고 하는 경우가 있다. 또한, p형 불순물 확산층(4)의 표면에는, 반사 방지막(2)이 형성된다.

[0099] 패시베이션막(반사 방지막(2))은, 단층 또는 복수층을 포함하는 막일 수 있다. 패시베이션막이 단층의 경우에는, 실리콘 기판의 표면 패시베이션을 효과적으로 행할 수 있는 점에서, 질화규소(SiN)를 재료로 하는 박막(SiN막)인 것이 바람직하다. 또한, 패시베이션막이 복수층의 경우에는, 질화규소를 재료로 하는 박막 및 산화실리콘을 재료로 하는 박막의 적층막($SiN/SiO_x$막)일 수 있다. 또한, $SiN/SiO_x$막이 패시베이션막의 경우에는, 실리콘 기판의 표면 패시베이션을 보다 효과적으로 행할 수 있는 점에서, 실리콘 기판(1)에 $SiO_x$막이 접하도록 $SiN/SiO_x$막을 형성하는 것이 바람직하다. $SiO_x$막은, 실리콘 기판의 자연 산화막일 수 있다.

[0100] 결정계 실리콘 태양 전지는, 광 입사측 버스 바 전극(20a) 및/또는 이면 TAB 전극(15a)을 가질 수 있다. 광 입사측 버스 바 전극(20a)은, 태양 전지에 의해 발전된 전류를 모으기 위한 핑거 전극(20b)과, 인터커넥트용의 금속 리본을, 전기적으로 접속한다는 기능을 갖는다. 마찬가지로, 이면 TAB 전극(15a)은, 태양 전지에 의해 발전된 전류를 모으기 위한 이면 전체면 전극(15b)과, 인터커넥트용의 금속 리본을, 전기적으로 접속한다는 기능을 갖는다. 핑거 전극(20b)이 결정계 실리콘 기판(1)에 접해 버리면, 핑거 전극(20b)이 접하는 부분의 결정계 실리콘 기판(1)의 표면(계면)의 표면 결함 밀도가 증가해 버려, 태양 전지 성능이 저하되어 버린다. 본 발명의 도전성 페이스트는, 특히 핑거 전극(20b)에 적합한 도전성 페이스트로서, 반사 방지막(2)에 대한 파이어 스루성(반응성)이 낮기 때문에, 반사 방지막(2)을 완전히 파이어 스루하지 않는다. 그 때문에, 본 발명의 도전성 페이스트를 사용하여 핑거 전극(20b)을 형성한 경우에는, 결정계 실리콘 기판(1)에 접하는 부분의 패시베이션막은, 그대로의 상태를 유지할 수 있고, 캐리어의 재결합의 원인이 되는 표면 결함 밀도의 증가를 방지할 수 있다. 따라서, 상술한 본 실시 형태의 도전성 페이스트는, 결정계 실리콘 태양 전지의 핑거 전극(20b)의 형성용의 도전성 페이스트로서, 적합하게 사용할 수 있다. 또한, 본 실시 형태의 도전성 페이스트는, 도4와 같이, 양면 수광형의 결정계 실리콘 태양 전지의 이면 전극(15)(이면 핑거 전극(15c))으로서도 적합하게 사용할 수 있다. 또한, 본 실시 형태의 도전성 페이스트를 사용하여, 전극(20)의 전체를 형성할 수 있다.

[0101] 본 실시 형태의 도전성 페이스트는, 레이저 처리 프로세스에서는, 상술의 소정의 전압을 인가하여, 점 광원으로부터의 광을 조사함으로써, 광 입사측 표면 전극(20)과 불순물 확산층(4)(실리콘 이미터층) 사이의 근소한 영역에 전류가 흘러, 국소적으로 가열된다. 이 결과, 도 13에 도시하는 바와 같이, 광 입사측 표면 전극(20)에 접하는 불순물 확산층(4)(실리콘 이미터층)에, 국소적인 전기적 도통 부분(국소 도통부)인 AgSi 합금(30)이 형성된다. 이 국소적으로 형성된 전기적 도통 부분에 의해, 광 입사측 표면 전극(20)과 불순물 확산층(4)(실리콘 이미터층) 사이의 양호한 전기적 도통이 가능해진다고 생각된다. 따라서, 레이저 처리 프로세스에 의한 광 입사측 표면 전극의 형성에 사용하는 도전성 페이스트는, 종래의 도전성 페이스트(반사 방지막(2)을 파이어 스루할 수 있는 도전성 페이스트)와는 다른 성질을 갖는 것이 필요하다.

[0102] 본 실시 형태의 도전성 페이스트에 대해서, 구체적으로 설명한다.

[0103] <(A) 도전성 입자>

[0104] 본 실시 형태의 도전성 페이스트는, (A) 도전성 입자를 포함한다.

[0105] 본 실시 형태의 도전성 페이스트에서는, 도전성 입자로서는, 금속 입자 또는 합금 입자를 사용할 수 있다. 금속 입자 또는 합금 입자에 포함되는 금속으로서는, 은, 금, 구리, 니켈, 아연 및 주석 등을 들 수 있다. 금속 입자로서, 은 입자(Ag 입자)를 사용할 수 있다. 또한, 본 실시 형태의 도전성 페이스트에는, 은 이외의 다른 금속, 예를 들어 금, 구리, 니켈, 아연 및 주석 등을 포함할 수 있다. 낮은 전기 저항 및 높은 신뢰성을 얻는 점에서, 도전성 입자는 은을 포함하는 은 입자인 것이 바람직하다. 또한, 은을 포함하는 은 입자에는, 불가피하게 포함되는 불순물로서의 다른 금속 원소를 함유할 수 있다. 또한, 다수의 은 입자(Ag 입자)를 은 분말(Ag 분말)이라고 하는 경우가 있다. 다른 입자에 대해서도 마찬가지이다.

[0106] 도전성 입자의 입자 형상 및 입자 치수(입경 또는 입자경이라고도 함)는, 특별히 한정되지 않는다. 입자 형상으로서는, 예를 들어 구상 및 인편상 등의 것을 사용할 수 있다. 도전성 입자의 입자 치수는, 전체 입자의 적산값 50%의 입자 치수(D50)에 의해 규정할 수 있다. 본 명세서에서는, D50을 평균 입자경이라고도 한다. 또한, 평균 입자경(D50)은, 마이크로트랙법(레이저 회절 산란법)으로 입도 분포 측정을 행하고, 입도 분포 측정의 결과로부터 구할 수 있다.

[0107] 도전성 입자의 평균 입자경(D50)은, 0.5 내지 2.5㎛인 것이 바람직하고, 0.8 내지 2.2㎛인 것이 보다 바람직하다. 도전성 입자의 평균 입자경(D50)이 소정의 범위임으로써, 도전성 페이스트의 소성 중, 패시베이션막에 대한 도전성 페이스트의 반응성을 억제할 수 있다. 또한, 평균 입자경(D50)이 상기 범위보다 큰 경우에는, 스크린 인쇄 시에 클로깅 등의 문제가 발생하는 경우가 있다.

[0108] 또한, 은 입자의 크기를, BET 비표면적(단순히 「비표면적」이라고도 함)으로서 나타낼 수 있다. 은 입자의 BET 비표면적은, 바람직하게는 0.1 내지 1.5㎡/g, 보다 바람직하게는 0.2 내지 1.2㎡/g이다. BET 비표면적은, 예를 들어 전자동 비표면적 측정 장치 Macsoeb(MOUNTEC사제)를 사용하여 측정할 수 있다.

[0109] <(B) 유기 비히클>

[0110] 본 실시 형태의 도전성 페이스트는, (B) 유기 비히클을 포함한다.

[0111] 유기 비히클로서는, 유기 결합제 및 용제를 포함할 수 있다. 유기 결합제 및 용제는, 도전성 페이스트의 점도 조정 등의 역할을 담당하는 것이고, 모두 특별히 한정되지 않는다. 유기 결합제를 용제에 용해시켜서 사용할 수도 있다.

[0112] 본 실시 형태의 도전성 페이스트는, (B) 유기 비히클이, 에틸셀룰로오스, 로진에스테르, 아크릴 및 유기 용제에서 선택되는 적어도 하나를 포함하는 것이 바람직하다. (B) 유기 비히클이, 에틸셀룰로오스, 로진에스테르, 아크릴 및 유기 용제에서 선택되는 적어도 하나를 포함함으로써, 도전성 페이스트의 스크린 인쇄를 적합하게 행할 수 있고, 인쇄되는 패턴의 형상을 적절한 형상으로 할 수 있다.

[0113] 유기 결합제로서는, 셀룰로오스계 수지(예를 들어 에틸셀룰로오스, 니트로셀룰로오스 등), (메트)아크릴계 수지(예를 들어 폴리메틸아크릴레이트, 폴리메틸메타크릴레이트 등)에서 선택하여 사용할 수 있다. 본 실시 형태의 도전성 페이스트에 포함되는 유기 비히클이, 에틸셀룰로오스, 로진에스테르, 부티랄, 아크릴 및 유기 용제에서 선택되는 적어도 하나를 포함하는 것이 바람직하다. 유기 결합제의 첨가량은, 은 입자 100중량부에 대하여, 통상 0.1 내지 30중량부이고, 바람직하게는 0.2 내지 5중량부이다.

[0114] 유기 용제로서는, 알코올류(예를 들어 테르피네올, α-테르피네올, β-테르피네올 등), 에스테르류(예를 들어 히드록시기 함유 에스테르류, 2,2,4-트리메틸-1,3-펜탄디올모노이소부티레이트, 디에틸렌글리콜모노부틸에테르아세테이트(부틸카르비톨아세테이트) 등)에서 1종 또는 2종 이상을 선택하여 사용할 수 있다. 용제의 첨가량은, 은 입자 100중량부에 대하여, 통상 0.5 내지 30중량부이고, 바람직하게는 2 내지 25중량부이다. 유기 용제의 구체예로서는, 디에틸렌글리콜모노부틸에테르아세테이트(부틸카르비톨아세테이트)를 들 수 있다.

[0115] <(C) 유리 프릿>

[0116] 본 실시 형태의 도전성 페이스트는, (C) 유리 프릿을 포함한다.

[0117] 본 실시 형태의 도전성 페이스트는, (C) 유리 프릿의 염기도 $B_{GF}$와, 도전성 페이스트 중의 (A) 도전성 입자의 함유량을 100중량부로 했을 때의 도전성 페이스트 중의 중량부를 단위로 한 (C) 유리 프릿의 함유량 G의 곱 $B_{GF} \cdot G$가, 0.25 내지 1.45의 범위이고, 0.3 내지 1.4의 범위가 바람직하고, 0.4 내지 1.2의 범위가 보다 바람직하다.

유리 프릿의 염기도 $B_{GF}$와 함유량 G의 곱 $B_{GF}\cdot G$를 적절한 범위로 함으로써, 유리 프릿의 반사 방지막(2)(패시베이션막)에 대한 반응성을 적절한 것으로 할 수 있다. 그 때문에, 레이저 처리 프로세스를 사용한 결정계 실리콘의 제조 시에, 실시 형태의 도전성 페이스트를 바람직하게 사용할 수 있다.

[0118] 유리 프릿의 염기도는, 특허문헌 4(일본 특허 공개 제2009-231826호 공보)에 기재되어 있는 방법에 의해, 산출할 수 있다. 즉, 「염기도」는, 「K.Morinaga, H.Yoshida And H.Takebe: J.AmCerm.Soc., 77, 3113(1994)」에 나타내는 식을 사용하여 유리 분말의 염기도를 규정할 수 있다. 구체적으로는, 이하와 같다.

[0119] 산화물 $M_iO$의 $M_i$-O 간의 결합력은, 양이온-산소 이온 간 인력 $A_i$로서 다음 식으로 부여된다.

[0120] $A_i=Z_i\cdot Z_{O2-}/(r_i+r_{O2-})^2=Zi\cdot 2/(r_i+1.40)^2$

[0121] $Z_i$: 양이온의 가수, 산소 이온은 2

[0122] $r_i$: 양이온의 이온 반경(Å)

[0123] 산소 이온의 이온 반경 $r_i$는 1.40nm이다. 상기 식의 $A_i$의 역수 $B_i(=1/A_i)$를 단성분 산화물 $M_iO$의 산소 공여 능력으로 한다.

[0124] $B_i\equiv 1/A_i$

[0125] 이 $B_i$를 $BCaO=1$, $BSiO_2=0$으로 규격화하면, 각 단성분 산화물의 $B_i$-지표가 부여된다. 이 각 성분의 $B_i$-지표를 양이온 분율에 의해 다성분계로 확장하면, 임의의 조성의 유리 산화물(유리 프릿)의 융체의 염기도($=B_{GF}$)를 산출할 수 있다.

[0126] $B_{GF}=\Sigma n_i\cdot B_i$

[0127] $n_i$: 양이온 분율

[0128] 이와 같이 하여 규정된 염기도($B_{GF}$)는, 상기와 같이 산소 공여 능력을 나타내고, 값이 클수록 산소를 공여하기 쉽고, 다른 금속 산화물과의 산소의 수수가 일어나 쉽다. 즉, 「염기도」란 유리 융체 중으로의 용해의 정도를 나타내는 것이라고 할 수 있다.

[0129] (C) 유리 프릿의 함유량 G는, (A) 도전성 입자의 함유량에 대한 비이므로, 무차원의 수이다. 또한, 상술한 바와 같이, $B_i$는 $BCaO=1$, $BSiO_2=0$으로 규격화한 값이므로, (C) 유리 프릿의 염기도 $B_{GF}(=\Sigma n_i\cdot B_i)$는 무차원의 수이다. 따라서, (C) 유리 프릿의 염기도 $B_{GF}$와 함유량 G의 곱 $B_{GF}\cdot G$도 무차원의 수이다.

[0130] 본 실시 형태의 유리 프릿 염기도($B_{GF}$)는, 0.30 내지 0.80 미만인 것이 바람직하고, 0.35 내지 0.75인 것이 보다 바람직하고, 0.40 내지 0.70인 것이 더욱 바람직하다. 염기도($B_{GF}$)가 이러한 범위인 경우에는, 도전성 페이스트 중의 유리 프릿의 첨가량을 조절함으로써, 유리 프릿에 의한 패시베이션막에 대한 반응성을 적당한 것으로 할 수 있다.

[0131] 본 실시 형태의 도전성 페이스트 중의 유리 프릿의 함유량 G는, 도전성 입자 100중량부에 대하여, 0.3 내지 4.0중량부인 것이 바람직하고, 0.4 내지 3.0중량부인 것이 보다 바람직하고, 0.5 내지 2.0중량부인 것이 더욱 바람직하고, 0.5 내지 1.5중량부인 것이 특히 바람직하다. 도전성 페이스트 중의 유리 프릿의 함유량 G를, 염기도($B_{GF}$)와 함께, 적절하게 조절함으로써, 유리 프릿에 의한 패시베이션막에 대한 반응성을 적절한 것으로 할 수 있다.

[0132] 본 실시 형태의 도전성 페이스트에 포함되는 유리 프릿은, PbO, $SiO_2$, $Al_2O_3$, $B_2O_3$, ZnO, $V_2O_5$, $WO_3$ 및 $Nb_2O_3$에서 선택되는 1종 이상을 포함하는 것이 바람직하다. 본 실시 형태의 도전성 페이스트에 포함되는 유리 프릿은, PbO, $SiO_2$, $Al_2O_3$, $B_2O_3$ 및 ZnO를 포함하는 것이 보다 바람직하다.

[0133] 본 실시 형태의 도전성 페이스트는, (C) 유리 프릿이, ZnO, $V_2O_5$, $WO_3$ 및 $Nb_2O_3$에서 선택되는 적어도 하나를 포함하는 것이 바람직하다. 유리 프릿이 이들 산화물의 적어도 하나를 포함함으로써, 유리 프릿의 염기도를 적절한

범위로 조정할 수 있다.

[0134] 유리 프릿은, PbO를 포함하는 것이 바람직하다. 유리 프릿(100mol%) 중의 PbO의 함유량은, 25 내지 60mol%인 것이 바람직하고, 30 내지 55mol%인 것이 보다 바람직하고, 40 내지 55mol%인 것이 더욱 바람직하다. 유리 프릿이 PbO를 포함함으로써, 패시베이션막에 대한 반응성을 억제함과 함께, 접촉 저항을 저감할 수 있다.

[0135] 유리 프릿은, $SiO_2$를 포함하는 것이 바람직하다. 유리 프릿(100mol%) 중의 $SiO_2$의 함유량은, 20 내지 65mol%인 것이 바람직하고, 25 내지 60mol%인 것이 보다 바람직하다. 유리 프릿이 $SiO_2$를 포함함으로써, 패시베이션막에 대한 반응성을 억제할 수 있다.

[0136] 유리 프릿은, $Al_2O_3$을 포함하는 것이 바람직하다. 유리 프릿(100mol%) 중의 $Al_2O_3$의 함유량은, 3.0 내지 6.8mol%인 것이 바람직하고, 3.5 내지 6mol%인 것이 보다 바람직하다. 유리 프릿이 $Al_2O_3$을 포함함으로써, 패시베이션막에 대한 반응성을 억제할 수 있다.

[0137] 유리 프릿은, $B_2O_3$을 포함하는 것이 바람직하다. 유리 프릿(100mol%) 중의 $B_2O_3$의 함유량은, 3.0 내지 15mol%인 것이 바람직하고, 3.5 내지 12mol%인 것이 보다 바람직하다.

[0138] 유리 프릿은, ZnO를 포함하는 것이 바람직하다. 유리 프릿(100mol%) 중의 ZnO의 함유량은, 5 내지 20mol%인 것이 바람직하고, 8 내지 15mol%인 것이 보다 바람직하다. 유리 프릿이 ZnO를 포함함으로써, 유리 프릿의 염기도를 적절한 범위로 조정할 수 있다.

[0139] 본 실시 형태의 도전성 페이스트는, (C) 유리 프릿 중의 mol%를 단위로 한 PbO의 함유량 $C_{PbO}$와, (C) 유리 프릿의 함유량 G의 곱 $C_{PbO} \cdot G$가 20 내지 139의 범위인 것이 바람직하고, 22 내지 130의 범위인 것이 보다 바람직하고, 26 내지 105의 범위인 것이 더욱 바람직하다. 곱 $C_{PbO} \cdot G$가 139를 초과하는 경우에는, 유리 프릿과, 패시베이션막의 반응성이 너무 높아진다. 또한, 곱 $C_{PbO} \cdot G$가 20 미만인 경우에는, 얻어지는 전극과, 불순물 확산층 사이의 접촉 저항이 너무 높아진다.

[0140] 본 실시 형태의 도전성 페이스트는, (C) 유리 프릿의 유리 전이점(Tg)이 300 내지 600℃인 것이 바람직하고, 320 내지 500℃인 것이 보다 바람직하고, 350 내지 450℃인 것이 더욱 바람직하다. (C) 유리 프릿의 유리 전이점(Tg)을 300℃ 이상으로 함으로써 패시베이션막에 대한 반응성을 억제할 수 있다. 또한, 유리 전이점(Tg)을 600℃ 이하로 함으로써, 얻어지는 전극과, 불순물 확산층 사이의 접촉 저항을 저감할 수 있다.

[0141] 유리 전이점(Tg)은 다음과 같이 측정할 수 있다. 즉, 시차 열천칭(가부시키가이샤 맥 사이언스사제 TG-DTA2000S)을 사용하여, 이 시차 열천칭에, 시료가 되는 유리 분말과 기준 물질을 세트하고, 측정 조건으로서 승온 속도 10℃/분으로 실온으로부터 900℃까지 승온시켜, 시료인 유리 분말과 기준 물질의 온도차를 온도에 대하여 플롯한 곡선(DTA 곡선)을 얻는다. 이와 같이 하여 얻어진 DTA 곡선의 제1 변곡점을 유리 전이점 Tg로 할 수 있다.

[0142] 유리 프릿의 입자의 형상은 특별히 한정되지 않고, 예를 들어 구상, 부정형 등의 것을 사용할 수 있다. 또한, 입자 치수도 특별히 한정되지 않는다. 작업성의 점 등에서, 입자의 평균 입자경(D50)은 0.1 내지 10㎛의 범위가 바람직하고, 0.5 내지 5㎛의 범위가 더욱 바람직하다.

[0143] 유리 프릿의 입자는, 필요한 복수의 산화물을 각각 소정량 포함하는 1종의 입자를 사용할 수 있다. 또한, 단일의 산화물을 포함하는 입자를, 필요한 복수의 산화물마다 다른 입자로서 사용할 수도 있다. 또한, 필요한 복수의 산화물의 조성이 다른 복수 종류의 입자를 조합하여 사용할 수도 있다.

[0144] <알루미늄 입자>

[0145] 본 실시 형태의 도전성 페이스트는, 도전성 페이스트가 (D) 알루미늄 입자를 더 포함할 수 있다. (D) 알루미늄 입자는, (A) 도전성 입자와는 다른 입자로서 포함할 수 있다.

[0146] 결정계 실리콘 기판 중에서, 알루미늄은, p형의 불순물로서의 성질을 갖는다. 결정계 실리콘 상에 인쇄된 도전성 페이스트를 소성했을 때에, 도전성 페이스트 중의 알루미늄은, 결정계 실리콘 중에 확산하고, p형의 불순물이 된다. 따라서, 결정계 실리콘 기판의 p형 불순물 확산층의 표면에 전극을 형성하는 경우에는, 도전성 페이스트가 알루미늄 입자를 포함함으로써, 전극과, p형 불순물 확산층 사이에 낮은 접촉 저항을 얻을 수 있다. 따라서, 결정계 실리콘 기판의 p형 불순물 확산층의 표면에 전극을 형성하는 경우에는, 도전성 페이스트가 알루미

늄 입자를 포함하는 것이 바람직하다.

[0147] 본 실시 형태의 도전성 페이스트가 (D) 알루미늄 입자를 포함하는 경우에는, 도전성 페이스트 중의 (A) 도전성 입자의 함유량을 100중량부로 했을 때의 도전성 페이스트 중의 (D) 알루미늄 입자의 함유량이, 0.1 내지 2.0중량부인 것이 바람직하고, 0.5 내지 2.0중량부인 것이 보다 바람직하다. 도전성 페이스트가 알루미늄 입자를 소정량 포함함으로써, 전극과, p형 불순물 확산층 사이에 낮은 접촉 저항을 얻을 수 있다.

[0148] 한편, 결정계 실리콘 기판의 n형 불순물 확산층 또는 n형 결정계 실리콘 기판의 표면에 전극을 형성하는 경우에는, 도전성 페이스트 중의 알루미늄이 n형 불순물 확산층 등으로 확산함으로써, 태양 전지 특성에 대하여 악영향을 미친다. 따라서, 결정계 실리콘 기판의 n형 불순물 확산층 또는 n형 결정계 실리콘 기판의 표면에 전극을 형성하는 경우에는, 본 실시 형태의 도전성 페이스트는, (D) 알루미늄 입자를 포함하지 않는 것((D) 알루미늄 입자의 함유량이 제로인 것)이 바람직하다.

[0149] 알루미늄 입자는, 주로 알루미늄의 원소를 포함한다. 알루미늄 입자에 있어서의 알루미늄의 순도는, 예를 들어 99.7% 이상인 것이 바람직하고, 99.9% 이상인 것이 보다 바람직하다. 알루미늄 입자에는, 알루미늄 이외의 불순물, 예를 들어 불가피적으로 포함되는 다른 금속 원소를 함유할 수 있다. 또한, 알루미늄 입자에는, 알루미늄과 다른 금속 원소의 합금 및 알루미늄의 산화물 등을 포함할 수 있다.

[0150] 알루미늄 입자의 형상은, 구상 또는 타원 구상이 예시되지만, 이들에 한정되는 것은 아니다. 인쇄성이 좋고, 반도체 기판과의 반응이 좋다는 관점에서는, 알루미늄 입자의 형상은 구상인 것이 바람직하다.

[0151] 알루미늄 입자의 평균 입자경(D50)도 특별히 한정적이지 않다. 알루미늄 입자의 평균 입자경(D50)이 1㎛ 이상, 20㎛ 이하이면, 페이스트 조성물의 인쇄성이 향상되고, 반도체 기판과의 반응성도 향상된다는 점에서 바람직하다. 보다 바람직한 알루미늄 입자의 평균 입자경(D50)은 2 내지 4㎛이다.

[0152] <그 밖의 성분>

[0153] 본 실시 형태의 도전성 페이스트는, 얻어지는 태양 전지의 태양 전지 특성에 대하여 악영향을 미치지 않는 범위에서, 상술한 것 이외의 첨가제 및 첨가물을 포함할 수 있다.

[0154] 본 실시 형태의 도전성 페이스트에는, 첨가제로서, 가소제, 소포제, 분산제, 레벨링제, 안정제 및 밀착 촉진제 등에서 선택한 것을, 필요에 따라서 더 배합할 수 있다. 이들 중, 가소제로서는, 프탈산에스테르류, 글리콜산에스테르류, 인산에스테르류, 세바스산에스테르류, 아디프산에스테르류 및 시트르산에스테르류 등에서 선택한 적어도 하나를 사용할 수 있다.

[0155] 본 실시 형태의 도전성 페이스트는, 얻어지는 태양 전지의 태양 전지 특성에 대하여 악영향을 미치지 않는 범위에서, 상술한 것 이외의 첨가물을 포함할 수 있다. 예를 들어, 본 실시 형태의 도전성 페이스트는, 티타늄레지네이트, 산화티타늄, 산화코발트, 산화세륨, 질화규소, 구리망간주석, 알루미노규산염 및 규산알루미늄에서 선택되는 적어도 하나의 첨가물을 더 포함할 수 있다. 이들의 첨가물을 포함함으로써, 전극의 패시베이션막에 대한 접착 강도를 향상시킬 수 있다. 이들 첨가물은, 입자의 형태(첨가물 입자)일 수 있다. 은 입자 100중량부에 대한 첨가물의 첨가량은, 바람직하게는 0.01 내지 5중량부이고, 보다 바람직하게는 0.05 내지 2중량부이다. 보다 높은 접착 강도를 얻기 위해서, 첨가물은, 구리망간주석, 알루미노규산염 또는 규산알루미늄인 것이 바람직하다. 첨가물은, 알루미노규산염 및 규산알루미늄의 양쪽을 포함할 수 있다.

[0156] <도전성 페이스트의 제조 방법>

[0157] 이어서, 본 실시 형태의 도전성 페이스트의 제조 방법에 대하여 설명한다. 본 실시 형태의 도전성 페이스트는, 유기 결합제 및 용제에 대하여, 은 입자, 유리 프릿, 그리고 필요에 따라서 그 밖의 첨가제 및/또는 첨가물을 첨가하고, 혼합하고, 분산함으로써 제조할 수 있다.

[0158] 혼합은, 예를 들어 플라네터리 믹서로 행할 수 있다. 또한, 분산은, 3개 롤밀에 의해 행할 수 있다. 혼합 및 분산은, 이들의 방법에 한정되는 것은 아니고, 공지된 다양한 방법을 사용할 수 있다.

[0159] <태양 전지>

[0160] 이어서, 본 실시 형태의 태양 전지에 대하여 설명한다. 본 실시 형태는, 상술한 도전성 페이스트를 사용하여, 적어도 전극의 일부가 형성된 태양 전지이다. 도 1 및 도 4에, 결정계 실리콘 태양 전지의 단면 모식도를 도시한다.

[0161] 본 실시 형태의 태양 전지에서는, 반도체 기판의 재료로서, 결정계 실리콘, 탄화 실리콘, 게르마늄, 갈륨비소 등을 사용할 수 있다. 태양 전지로서의 안전성 및 비용의 점에서, 반도체 기판의 재료는, 결정계 실리콘(단결정 실리콘 및 다결정 실리콘 등)인 것이 바람직하다.

[0162] 본 실시 형태의 태양 전지는, 제1 도전형의 반도체 기판과, 제1 도전형의 반도체 기판의 한쪽의 표면에 배치된 제2 도전형의 반도체층과, 제2 도전형의 반도체층의 표면에 접하여 배치된 패시베이션막(반사 방지막(2))과, 패시베이션막의 표면의 적어도 일부에 배치되는 광 입사측 표면 전극(20)을 포함한다. 또한, 본 실시 형태의 태양 전지는, 제1 도전형의 반도체 기판의 다른 쪽의 표면에 전기적으로 접속하도록 배치된 이면 전극(15)을 포함할 수 있다. 도 1의 예에서는, 제1 도전형의 반도체 기판은 결정계 실리콘 기판(1)이고, 제2 도전형의 반도체층은 불순물 확산층(4)이고, 패시베이션막은 반사 방지막(2)이다.

[0163] 제1 도전형의 반도체 기판은, n형 반도체 기판 또는 p형 반도체 기판이다. 제2 도전형의 반도체층은, p형 반도체층 또는 n형 반도체층이다. 반도체 기판이 n형 반도체 기판인 경우에는, 반도체 기판의 한쪽의 표면에 p형 반도체층(p형의 불순물 확산층(4))이 배치된다. 반도체 기판이 p형 반도체 기판인 경우에는, 반도체 기판의 한쪽의 표면에 n형 반도체층(n형의 불순물 확산층(4))이 배치된다. 반도체 기판의 재료는, 실리콘인 것이 바람직하다. 따라서, 반도체 기판은, 결정계 실리콘 기판인 것이 바람직하다.

[0164] 패시베이션막은, 반사 방지막(2)일 수 있다. 패시베이션막은, 질화규소를 재료로 한 박막인 것이 바람직하다.

[0165] 본 실시 형태의 태양 전지의 광 입사측 표면 전극(20)은, 본 실시 형태의 도전성 페이스트의 소성체일 수 있다. 본 실시 형태의 도전성 페이스트는, 이 구조의 태양 전지를 제조하기 위하여 사용할 수 있다.

[0166] 본 실시 형태의 도전성 페이스트는, 레이저 처리 프로세스를 사용하여 결정계 실리콘 태양 전지의 광 입사측 표면 전극(20)을 형성하기 위해서, 바람직하게 사용할 수 있다. 레이저 처리 프로세스란, 상기 제2 도전형의 반도체층과, 상기 제1 도전형의 반도체 기판 사이에서, pn 접합에 있어서 순방향과는 역방향의 전류가 흐르도록, 이면 전극(15) 및 광 입사측 표면 전극(20)에 전압을 인가하면서, 점 광원으로부터의 광을 태양 전지의 광 입사측 표면에 조사하는 처리를 말한다. 점 광원으로부터의 광에 의해, 반도체 기판의 내부에는, 캐리어(전자-정공쌍)가 발생하고, 전압의 인가에 의해 캐리어의 이동, 즉 전류를 흘리는 것이 가능해진다. 전압은, pn 접합에 있어서 전류가 흐르는 방향이 순방향과는 역방향이 되도록 인가한다. 따라서, 반도체 기판이 n형 반도체 기판이고, 반도체층이 p형 반도체층인 경우에는, 전류가, n형 반도체 기판으로부터 p형 반도체층으로 흐르도록, 이면 전극(15) 및 광 입사측 표면 전극(20)에 전압을 인가한다. 또한, 반도체 기판이 p형 반도체 기판이고, 반도체층이 n형 반도체층인 경우에는, 전류가, n형 반도체층으로부터 p형 반도체 기판으로 흐르도록, 이면 전극(15) 및 광 입사측 표면 전극(20)에 전압을 인가한다.

[0167] 본 실시 형태의 태양 전지의 제1 도전형의 반도체 기판은, n형 반도체 기판인 것이 바람직하고, n형 결정계 실리콘 기판인 것이 보다 바람직하다. 또한, 본 실시 형태의 태양 전지의 제2 도전형의 반도체층은, p형 반도체층인 것이 바람직하고, 결정계 실리콘을 재료로 한 p형 불순물 확산층(4)인 것이 보다 바람직하다. 일반적으로, n형 결정계 실리콘 기판 중의 캐리어인 전자의 이동도는, p형 결정계 실리콘 기판 중의 캐리어인 정공의 이동도보다도 높다. 그 때문에, 높은 변환 효율의 태양 전지를 얻기 위해서는, n형 결정계 실리콘 기판을 사용한 쪽이 유리하다.

[0168] 이하의 설명에서는, 제1 도전형의 반도체 기판이 n형 결정계 실리콘 기판(1)이고, 제2 도전형의 반도체층이 p형 불순물 확산층(4)(단순히 「불순물 확산층(4)」이라고 하는 경우가 있음)인 태양 전지를 예로 하여 설명한다.

[0169] 도 1에 도시하는 바와 같이, 레이저 처리 프로세스를 사용한 경우, 광 입사측 표면 전극(20)과, 불순물 확산층(4) 사이의 대부분에, 반사 방지막(2)(패시베이션막)이 존재한다. 레이저 처리 프로세스에서는, 상술의 소정의 전압을, pn 접합에 있어서 순방향과는 역방향의 전류가 흐르도록 인가하여, 점 광원으로부터의 광(예를 들어 레이저광)을 조사함으로써, 광 입사측 표면 전극(20)과 불순물 확산층(4) 사이의 근소한 영역에 전류가 흘러, 국소적으로 가열된다. 이 결과, 도 13에 도시하는 바와 같이, 광 입사측 표면 전극(20)과 불순물 확산층(4) 사이에, 국소적으로 전기적 도통 부분(국소 도통부)인 AgSi 합금(30)(은 및 실리콘의 합금)이 형성된다. 즉, 국소 도통부는, 은 및 실리콘의 합금을 포함한다. 또한, 국소 도통부에서는, 불순물 확산층(4)(제2 도전형의 실리콘 이미터층)이 반사 방지막(2)(패시베이션막)을 통하지 않고 상기 광 입사측 표면 전극과 직접, 접하고 있다. 이 국소적으로 형성된 전기적 도통 부분(국소 도통부)에 의해, 광 입사측 표면 전극(20)과 불순물 확산층(4) 사이의 양호한 전기적 도통이 가능해진다. 본 실시 형태의 도전성 페이스트는, 종래의 도전성 페이스트와 비교하여 반사 방지막(2)에 대한 반응성이 낮고, 레이저 처리 프로세스를 위하여 적절한 반사 방지막(2)(패시베이션막)과

의 반응성을 갖는다. 그 때문에, 본 실시 형태의 도전성 페이스트는, 레이저 처리 프로세스를 사용하여 결정계 실리콘 태양 전지의 광 입사측 표면 전극(20)을 형성하기 때문에, 바람직하게 사용할 수 있다.

[0170] 도 1에 도시하는 결정계 실리콘 태양 전지는, 도 3에 도시하는 구조의 이면 전극(15)을 가질 수 있다. 이면 전극(15)은, 제1 도전형의 반도체 기판의 다른 쪽의 표면에 대하여 전기적으로 접속하도록 배치된다. 도 3에 도시하는 바와 같이, 이면 전극(15)은, 일반적으로, 이면 전체면 전극(15b)과, 이면 전체면 전극(15b)에 대하여 전기적으로 접속하는 이면 TAB 전극(15a)을 포함할 수 있다.

[0171] 도 4에, 양면 수광형의 결정계 실리콘 태양 전지의 단면 모식도의 일례를 도시한다. 도 4에 도시하는 양면 수광형의 결정계 실리콘 태양 전지는, 불순물 확산층(4), 반사 방지막(2) 및 이면 패시베이션막(14)을 갖고 있다. 양면 수광형의 결정계 실리콘 태양 전지에서는, 광 입사측 표면의 광 입사측 표면 전극(20)(특히, 핑거 전극(20b)) 및 이면 전극(15)(이면 핑거 전극(15c))을 형성하기 위해서, 본 실시 형태의 도전성 페이스트를 사용함으로써, 레이저 처리 프로세스를 사용하여 광 입사측 표면의 패시베이션막(반사 방지막(2)) 및 이면 패시베이션막(14)에 전기적으로 도통하는 부분(국소 도통부)을 형성할 수 있다.

[0172] 따라서, 상술한 본 실시 형태의 도전성 페이스트는, 결정계 실리콘 태양 전지의 핑거 전극(20b)의 형성용의 도전성 페이스트로서, 적합하게 사용할 수 있다. 또한, 본 실시 형태의 도전성 페이스트는, 양면 수광형의 결정계 태양 전지의 이면 전극(15) 형성용의 도전성 페이스트로서도 사용할 수 있다.

[0173] 도 1에 도시하는 결정계 실리콘 태양 전지의 버스 바 전극은, 도 2에 도시하는 광 입사측 버스 바 전극(20a) 및 도 3에 도시하는 바와 같이 이면 TAB 전극(15a)을 포함한다. 광 입사측 버스 바 전극(20a) 및 이면 TAB 전극(15a)에는, 땜납에 의해 주위를 덮은 인터커넥트용의 금속 리본이 납땜된다. 이 금속 리본에 의해, 태양 전지에 의해 발전된 전류는, 결정계 실리콘 태양 전지 셀의 외부에 취출된다. 도 4에 도시하는 양면 수광형의 결정계 태양 전지도, 광 입사측 버스 바 전극(20a) 및 광 입사측 버스 바 전극(20a)과 마찬가지의 형상의 이면 TAB 전극을 가질 수 있다.

[0174] 버스 바 전극(광 입사측 버스 바 전극(20a) 및 이면 TAB 전극(15a))의 폭은, 인터커넥트용의 금속 리본과 동일 정도의 폭일 수 있다. 버스 바 전극이 낮은 전기 저항이기 위해서는, 폭은 넓은 쪽이 바람직하다. 한편, 광 입사측 표면에 대한 광의 입사 면적을 크게 하기 위해서, 광 입사측 버스 바 전극(20a)의 폭은 좁은 쪽이 좋다. 그 때문에, 버스 바 전극 폭은, 0.05 내지 5㎜, 바람직하게는 0.08 내지 3㎜, 보다 바람직하게는 0.1 내지 2㎜, 더욱 바람직하게는, 0.15 내지 1㎜로 할 수 있다. 또한, 버스 바 전극의 개수는, 결정계 실리콘 태양 전지의 크기에 따라서 정할 수 있다. 버스 바 전극의 개수는 임의이다. 구체적으로는, 버스 바 전극의 개수는, 3개 또는 4개, 또는 그 이상으로 할 수 있다. 최적의 버스 바 전극의 개수는, 태양 전지 동작의 시뮬레이션에 의해, 결정계 실리콘 태양 전지의 변환 효율을 최대로 하도록 결정할 수 있다. 또한, 인터커넥트용의 금속 리본에 의해, 결정계 실리콘 태양 전지를 서로 직렬로 접속하는 점에서, 광 입사측 버스 바 전극(20a) 및 이면 TAB 전극(15a)의 개수는, 동일한 것이 바람직하다. 마찬가지의 이유에 의해, 광 입사측 버스 바 전극(20a) 및 이면 TAB 전극(15a)의 폭은, 동일한 것이 바람직하다.

[0175] 결정계 실리콘 태양 전지에 대한 광의 입사 면적을 크게 하기 위해서, 광 입사측 표면에 있어서 광 입사측 표면 전극(20)이 차지하는 면적은, 가능한 한 작은 쪽이 좋다. 그 때문에, 광 입사측 표면의 핑거 전극(20b)은, 가능한 한 미세한 폭이고, 적은 개수인 것이 바람직하다. 한편, 전기적 손실(오믹 손실)을 저감하는 점에서, 핑거 전극(20b)의 폭은 넓고, 개수는 많은 쪽이 바람직하다. 또한, 핑거 전극(20b)과, 결정계 실리콘 기판(1)(불순물 확산층(4)) 사이의 접촉 저항을 작게 하는 점에서도 핑거 전극(20b)의 폭은 넓은 쪽이 바람직하다. 이상으로부터, 또한, 버스 바 전극의 개수는, 결정계 실리콘 태양 전지의 크기 및 버스 바 전극의 폭에 따라서 정할 수 있다. 최적의 핑거 전극(20b)의 폭 및 개수(핑거 전극(20b)의 간격)는, 태양 전지 동작의 시뮬레이션에 의해, 결정계 실리콘 태양 전지의 변환 효율을 최대로 하도록 결정할 수 있다. 또한, 도 4에 도시하는 양면 수광형의 결정계 실리콘 태양 전지의 이면 전극(15)의 이면 핑거 전극(15c)의 폭 및 개수에 대해서도, 마찬가지로 결정할 수 있다.

[0176] <태양 전지의 제조 방법>

[0177] 이어서, 본 실시 형태의 태양 전지의 제조 방법에 대하여 설명한다. 태양 전지는, 결정계 실리콘 태양 전지일 수 있다. 이하의 설명에서는, 태양 전지가 결정계 실리콘 태양 전지인 예에 대하여 설명한다.

[0178] 본 실시 형태의 태양 전지의 제조 방법은, 상술한 도전성 페이스트를, 제2 도전형의 반도체층(불순물 확산층(4)) 상의 반사 방지막(2)의 표면에 인쇄하고, 건조하고 및 소성함으로써 전극(광 입사측 표면 전극)을 형성하

는 공정을 포함한다. 이하, 본 실시 형태의 태양 전지의 제조 방법에 대해서, 더욱 상세하게 설명한다.

[0179] 본 실시 형태의 태양 전지 제조 방법은, 제1 도전형(p형 또는 n형)의 반도체 기판(예를 들어, 결정계 실리콘 기판(1))을 준비하는 공정을 포함한다. 제1 도전형의 반도체 기판으로서는, n형 결정계 실리콘 기판(1)을 사용하는 것이 바람직하다. 이하에서는, n형 결정계 실리콘 기판(1)을 사용하여 결정계 실리콘 태양 전지를 제조하는 경우를 예로 들어 설명한다.

[0180] 또한, 높은 변환 효율을 얻는다는 관점에서, 결정계 실리콘 기판(1)의 광 입사측의 표면은, 피라미드상의 텍스처 구조를 갖는 것이 바람직하다.

[0181] 이어서, 본 실시 형태의 태양 전지 제조 방법은, 제1 도전형의 반도체 기판의 한쪽의 표면에 제2 도전형의 반도체층을 형성하는 공정을 포함한다.

[0182] 본 실시 형태의 결정계 실리콘 태양 전지의 제조 방법은, 상술한 공정에서 준비한 결정계 실리콘 기판(1)의 한쪽의 표면에, 제2 도전형의 반도체층(불순물 확산층(4))을 형성하는 공정을 포함한다. 결정계 실리콘 기판(1)으로서, n형 결정계 실리콘 기판(1)을 사용하는 경우에는, 불순물 확산층(4)으로서, 예를 들어 p형 불순물인 B(붕소) 등을 확산한 p형 불순물 확산층(4)을 형성할 수 있다. 또한, p형 결정계 실리콘 기판을 사용하여 결정계 실리콘 태양 전지를 제조하는 것도 가능하다. 그 경우, 불순물 확산층으로서, n형 불순물인 P(인) 등을 확산한 n형 불순물 확산층(4)을 형성한다.

[0183] 불순물 확산층(4)을 형성할 때에는, 불순물 확산층(4)의 시트 저항이 40 내지 150Ω/□(square), 바람직하게는 45 내지 120Ω/□가 되도록 형성할 수 있다.

[0184] 또한, 본 실시 형태의 결정계 실리콘 태양 전지의 제조 방법에 있어서, 불순물 확산층(4)을 형성하는 깊이는, 0.3㎛ 내지 1.0㎛로 할 수 있다. 또한, 불순물 확산층(4)의 깊이란, 불순물 확산층(4)의 표면으로부터 pn 접합까지의 깊이를 말한다. pn 접합의 깊이는, 불순물 확산층(4)의 표면으로부터, 불순물 확산층(4) 중의 불순물 농도가 기판의 불순물 농도가 될 때까지의 깊이로 할 수 있다.

[0185] 본 실시 형태의 태양 전지의 제조 방법은, 제1 도전형의 반도체 기판(n형 결정계 실리콘 기판)의 다른 쪽의 표면에 대하여 전기적으로 접속하도록 이면 전극(15)을 형성하는 공정을 포함한다. 또한, 이면 전극(15)은, 광 입사측 표면 전극(20)을 형성하기 전, 또는 형성한 후의 어느 것일 수 있다. 또한, 이면 전극(15)을 형성하기 위한 소성은, 광 입사측 표면 전극(20)을 형성하기 위한 소성과, 동시에, 또는 별개로 행할 수 있다.

[0186] 구체적으로는, 본 실시 형태의 결정계 실리콘 태양 전지 제조 방법은, 결정계 실리콘 기판(1)의 다른 쪽의 표면(이면)에, 도전성 페이스트를 인쇄하고 및 소성함으로써 이면 전극(15)을 형성한다.

[0187] 또한, 도 4에 도시하는 바와 같은 양면 수광형의 결정계의 태양 전지를 제조하는 경우에는, 제2 불순물 확산층(16)을 형성할 수 있다. 한편, 본 실시 형태의 도전성 페이스트(도전성 조성물)를 사용하여 이면 전극(15)을 형성하고, 레이저 처리 프로세스를 행함으로써, 이면 전극(15)과, 결정계 실리콘 기판(1) 사이에, 저저항의 도통부를 형성할 수 있다. 따라서, 양면 수광형의 결정계의 태양 전지의 경우에는, 본 실시 형태의 도전성 페이스트를 사용하여 이면 전극(15)을 형성하는 것이 바람직하다. 이 경우, 이면 전극(15)은, 본 실시 형태의 도전성 페이스트의 소성체이다.

[0188] 이어서, 본 실시 형태의 태양 전지의 제조 방법은, 제2 도전형의 반도체층(불순물 확산층(4))의 표면에 접하도록 패시베이션막을 형성하는 것을 포함한다. 패시베이션막은, 반사 방지막(2)일 수 있다.

[0189] 구체적으로는, 본 실시 형태의 결정계 실리콘 태양 전지 제조 방법은, 상술한 공정에서 형성한 불순물 확산층(4)의 표면에, 패시베이션막으로서의 기능을 겸하는 반사 방지막(2)을 형성한다. 반사 방지막(2)으로서는, 질화규소막(SiN막)을 형성할 수 있다. 질화규소막을 반사 방지막(2)으로서 사용하는 경우에는, 질화규소막의 층이 광 입사측 표면의 패시베이션막으로서의 기능도 갖는다. 그 때문에, 질화규소막을 반사 방지막(2)으로서 사용하는 경우에는, 고성능의 결정계 실리콘 태양 전지를 얻을 수 있다. 또한, 반사 방지막(2)이 질화규소막임으로써, 입사한 광에 대하여 반사 방지 기능을 발휘할 수 있다. 질화규소막은, PECVD(Plasma Enhanced Chemical Vapor Deposition)법 등에 의해, 성막할 수 있다.

[0190] 본 실시 형태의 태양 전지의 제조 방법은, 패시베이션막(반사 방지막(2))의 표면의 적어도 일부에 광 입사측 표면 전극(20)을 형성하는 공정을 포함한다. 본 실시 형태의 제조 방법에서는, 광 입사측 표면 전극(20)의 형성을 위해서, 상술한 도전성 페이스트를 사용한다. 따라서, 광 입사측 표면 전극(20)은, 상술한 도전성 페이스트

의 소성체이다.

[0191] 본 실시 형태의 결정계 실리콘 태양 전지의 제조 방법에서는, 도전성 페이스트를, 반사 방지막(2)의 표면에 인쇄하고, 및 소성함으로써 광 입사측 표면 전극(20)을 형성한다. 또한, 광 입사측 표면 전극(20)을 형성하기 위한 소성 시에, 이면 전극(15)을 형성하기 위한 소성을 동시에 행할 수 있다.

[0192] 구체적으로는, 먼저, 본 실시 형태의 도전성 페이스트를 사용하여 인쇄한 광 입사측 표면 전극(20)의 패턴을, 100 내지 150℃ 정도의 온도에서 수분간(예를 들어 0.5 내지 5분간) 건조시킨다. 또한 이때에, 광 입사측 표면 전극(20)의 광 입사측 버스 바 전극(20a) 및 광 입사측 핑거 전극(20b)을 본 실시 형태의 도전성 페이스트를 사용하여 형성할 수 있다.

[0193] 광 입사측 표면 전극(20)의 패턴 인쇄·건조에 이어, 이면 전극(15)의 형성을 위한 도전성 페이스트를 인쇄하고, 건조시킨다. 본 실시 형태의 도전성 페이스트는, 결정계의 실리콘 태양 전지 등의 태양 전지의 전극(광 입사측 표면 전극(20) 및 경우에 따라서는 이면 전극(15))을 형성하기 위해서, 바람직하게 사용할 수 있다.

[0194] 그 후, 인쇄한 도전성 페이스트를 건조시킨 것을, 관상로 등의 소성로를 사용하여 대기 중에서, 소정의 소성 조건에서 소성한다. 소성 조건으로서, 소성 분위기는 대기 중, 소성 온도는, 500 내지 1000℃, 보다 바람직하게는 600 내지 1000℃, 더욱 바람직하게는 500 내지 900℃, 특히 바람직하게는 700 내지 900℃이다. 소성은 단시간에 행하는 것이 바람직하고, 소성 시의 온도 프로파일(온도-시간 곡선)은, 피크상인 것이 바람직하다. 예를 들어, 상기 온도를 피크 온도로 하여, 소성로의 인-아웃 시간이 10 내지 100초인 것이 바람직하고, 20 내지 80초로 소성하는 것이 보다 바람직하고, 40 내지 60초로 소성하는 것이 더욱 바람직하다.

[0195] 소성 시에는, 광 입사측 표면 전극(20) 및 이면 전극(15)을 형성하기 위한 도전성 페이스트를 동시에 소성하고, 양쪽 전극을 동시에 형성하는 것이 바람직하다. 이와 같이, 소정의 도전성 페이스트를 광 입사측 표면 및 이면에 인쇄하고, 동시에 소성함으로써, 전극 형성을 위한 소성을 1회만에 할 수 있다. 그 때문에, 결정계 실리콘 태양 전지를, 보다 저비용으로 제조할 수 있다.

[0196] 본 실시 형태의 태양 전지의 제조 방법은, 상술한 레이저 처리 프로세스를 행하는 것을 포함한다. 즉, 본 실시 형태의 태양 전지 제조 방법은, 제2 도전형의 반도체층(p형 불순물 확산층(4))과, 제1 도전형의 반도체 기판(n형 결정계 실리콘 기판(1)) 사이에서 순방향과는 역방향의 전류가 흐르도록, 이면 전극(15)과, 광 입사측 표면 전극(20) 사이에 전압을 인가하면서, 점 광원으로부터의 광(예를 들어 레이저광)을 태양 전지의 광 입사측 표면에 조사하는 것을 포함한다. 레이저 처리 프로세스에 의해, 광 입사측 표면 전극(20)과 불순물 확산층(4) 사이의 양호한 전기적 도통이 가능해진다.

[0197] 상술한 바와 같이 하여, 본 실시 형태의 결정계 실리콘 태양 전지를 제조할 수 있다.

[0198] 상술한 바와 같이 하여 얻어진 본 실시 형태의 결정계 실리콘 태양 전지를, 인터커넥트용의 금속 리본에 의해 전기적으로 접속하고, 유리판, 밀봉재 및 보호 시트 등에 의해 라미네이트 함으로써, 태양 전지 모듈을 얻을 수 있다. 인터커넥트용의 금속 리본으로서는, 땜납에 의해 주위를 덮은 금속 리본(예를 들어, 구리를 재료로 하는 리본)을 사용할 수 있다. 땜납으로서, 주석을 주성분으로 하는 것, 구체적으로는 납을 넣은 납함유 땜납 및 납프리 땜납 등, 시장에서 입수 가능한 땜납을 사용할 수 있다.

[0199] 본 실시 형태의 결정계 실리콘 태양 전지에서는, 본 실시 형태의 도전성 페이스트를 사용하여 태양 전지의 소정의 전극을 형성하고, 레이저 처리 프로세스를 행함으로써, 고성능의 결정계 실리콘 태양 전지를 얻을 수 있다.

[0200] **실시예**

[0201] 이하, 실시예에 의해, 본 실시 형태를 구체적으로 설명하지만, 본 발명은 이들에 한정되는 것은 아니다.

[0202] 실시예 및 비교예에서는, 단결정 실리콘 태양 전지를 모의한 측정용 기판을 사용하여, 광 발광 이미징법(PL법)에 의한 패시베이션막의 열화의 정도, 그리고 형성한 전극의 접촉 저항 및 비저항을 평가함으로써, 본 실시 형태의 실시예 및 비교예의 도전성 페이스트의 성능을 평가하였다.

[0203] <도전성 페이스트의 재료 및 조제 비율>

[0204] 표 1 내지 3에, 실시예 1 내지 14 및 비교예 1 내지 4의 도전성 페이스트의 조성을 나타낸다. 표 1 내지 3에 나타내는 조성 및 하기의 각 성분의 조성은, (A) 은 입자를 100중량부로 했을 때의 각 성분의 중량부로서 나타낸다. 도전성 페이스트에 포함되는 각 성분은, 하기와 같다.

[0205] (A) 은 입자

[0206] 표 4에, 실시예 및 비교예의 도전성 페이스트에 사용한 은 입자 A1 및 A2의 제품 번호, 제조 회사, 형상, 평균 입자경(D50), TAP 밀도 및 BET 비표면적을 나타낸다. 표 1 내지 3에, 실시예 및 비교예의 도전성 페이스트의 은 입자 A1 및 A2의 배합량을 나타낸다. 또한, 평균 입자경(D50)은, 마이크로트랙법(레이저 회절 산란법)으로 입도 분포 측정을 행하고, 입도 분포 측정의 결과로부터 메디안 직경(D50)의 값을 얻음으로써 구하였다. 다른 성분의 평균 입자경(D50)에 대해서도 마찬가지이다. 또한, BET 비표면적의 측정에는, 전자동 비표면적 측정 장치 Macsoeb(MOUNTEC사제)를 사용하였다. BET 비표면적은, 100℃에서 예비 건조하고, 10분간 질소 가스를 흘린 뒤, 질소 가스 흡착에 의한 BET 1점법에 의해 측정하였다.

[0207] (B) 유기 비히클

[0208] 유기 비히클로서, 유기 결합제 및 용제를 사용하였다. 유기 결합제로서, 에톡시 함유량 48 내지 49.5중량%의 에틸셀룰로오스(0.4중량부)를 사용하였다. 용제로서, 디에틸렌글리콜모노부틸에테르아세테이트(부틸카르비톨아세테이트)(3중량부)를 사용하였다.

[0209] (C) 유리 프릿

[0210] 표 5에, 실시예 및 비교예의 도전성 페이스트에 사용한 유리 프릿 A 내지 G의 조성, 염기도 및 유리 전이점을 나타낸다. 또한, 유리 프릿 A 내지 G의 평균 입경(D50)은 2㎛로 하였다. 표 1 내지 3에, 실시예 및 비교예의 도전성 페이스트의 (C) 유리 프릿의 종류(A 내지 G의 어느 것) 및 함유량 G(중량부)를 나타낸다.

[0211] 유리 프릿 A 내지 G의 유리 전이점을 측정하였다. 표 5에 유리 프릿 A 내지 G의 유리 전이점의 측정값을 나타낸다. 유리 프릿의 유리 전이점의 측정은, 다음과 같이 하여 행하였다. 즉, 약 50mg의 유리 프릿 A 내지 G를 시료로 하여 백금 셀에 넣고, 알루미나 분말을 표준 시료로 하여, 대기 분위기 하에, 시차 열분석 장치(가부시키가이샤 리가쿠제, TG-8120)를 사용하여 실온으로부터 800℃까지 20℃/분의 승온 속도로 DTA 곡선을 얻었다. DTA 곡선의 제1 흡열의 개시점(외삽점)을 유리 전이점으로 하였다.

[0212] 유리 프릿 A 내지 G는, 다음과 같이 하여 제조하였다. 즉, 먼저, 원료가 되는 산화물의 분말을 계량하고, 혼합하여, 도가니에 투입하였다. 이 도가니를, 가열한 오븐에 넣고, 도가니의 내용물을 용융 온도(Melt temperature)까지 승온하고, 용융 온도에서 원료가 충분히 용융될 때까지 유지하였다. 이어서, 도가니를 오븐으로부터 취출하고, 용융한 내용물을 균일하게 교반하였다. 이어서, 도가니의 내용물을 스테인리스제의 2개 롤을 사용하여 실온에서 급랭하여, 판상의 유리를 얻었다. 마지막으로 판상의 유리를 유발로 분쇄하면서 균일하게 분산하고, 메쉬의 체로 체 분류함으로써 원하는 입도를 가진 유리 프릿을 얻을 수 있었다. 100메쉬의 체를 통과하고 200메쉬의 체 상에 남은 것으로 체 분류함으로써, 평균 입자경(D50)이 149㎛의 유리 프릿을 얻을 수 있다. 이 유리 프릿을 더 분쇄함으로써, 평균 입자경(D50)이 2㎛의 유리 프릿을 얻을 수 있었다.

[0213] (D) 알루미늄 입자

[0214] 표 6에, 실시예 및 비교예의 도전성 페이스트에 사용한 알루미늄 입자 D1 및 D2의 제품 번호, 제조 회사, 형상 및 평균 입자경(D50)을 나타낸다. 표 1 내지 3에, 실시예 및 비교예의 도전성 페이스트의 알루미늄 입자 D1 및 D2의 배합량(중량부)을 나타낸다.

[0215] 이어서, 표 1 내지 3에 나타내는 중량 비율의 재료를, 플라네터리 믹서로 혼합하고, 또한 3개 롤밀로 분산하고, 페이스트화함으로써, 실시예 및 비교예의 도전성 페이스트를 조제하였다.

[0216] <PL법에 의한 도전성 페이스트의 패시베이션막에 대한 반응성의 평가>

[0217] 도전성 페이스트의 패시베이션막에 대한 반응성의 평가를, 광 발광 이미징법(「PL법」이라고 함)에 의해 행하였다. PL법은, 비파괴·비접촉 또한, 단시간에, 도전성 페이스트의 패시베이션막에 대한 반응성을 평가하는 것이 가능하다. 구체적으로는, PL법은, 시료에 대하여 금제대 폭보다 큰 에너지의 광을 조사하여 발광시켜, 그 발광의 상황으로부터, 결정 중의 결함 및 표면·계면 결함의 모습을 평가하는 방법이다. 시료가 단결정 실리콘 기판 중의 결함 및 표면·계면 결함을 갖는 경우에는, 결함이, 광의 조사에 의해 발생한 전자-정공 쌍의 재결합 중심으로서 작용하고, 이것과 대응하여 광 발광에 의한 밴드단 발광 강도가 저하된다. 즉, 인쇄/소성된 전극에 의해 패시베이션막이 침식되어, 패시베이션막과 단결정 실리콘 기판의 계면(즉, 단결정 실리콘 기판의 표면)에 표면 결함이 형성된 경우, 표면 결함이 형성된 부분(즉, 시료에 형성된 전극의 부분)의 광 발광의 발광 강도가 저하된다. 이 광 발광의 발광 강도의 강약에 의해, 시험 제작한 도전성 페이스트의 패시베이션과의 반응성을

평가할 수 있다.

[0218] PL법에 의한 평가를 위한 기판 시험 제작 방법은 다음과 같다.

[0219] 기판은, n형 단결정 실리콘 기판(기판 두께 200㎛)을 사용하였다.

[0220] 먼저, 상기 기판에 산화규소층 약 20㎛를 드라이 산화로 형성 후, 불화수소, 순수 및 불화암모늄을 혼합한 용액으로 에칭하고, 기판 표면의 대미지를 제거하였다. 또한, 염산과 과산화수소를 포함하는 수용액으로 중금속 세정을 행하였다.

[0221] 이어서, 이 기판의 양면에 습식 에칭에 의해 텍스처 구조(요철 형상)를 형성하였다. 구체적으로는 습식 에칭법(수산화나트륨 수용액)에 의해 피라미드상의 텍스처 구조를 양면(광 입사측 표면 및 이면)에 형성하였다. 그 후, 염산 및 과산화수소를 포함하는 수용액으로 세정하였다. 이어서, 상기 기판의 텍스처 구조를 갖는 한쪽의 표면(광 입사측 표면)에 붕소를 주입하여, p형 확산층을 약 0.5㎛의 깊이로 형성하였다. p형 확산층의 시트 저항은, 60Ω/□였다. 또한, 상기 기판의 텍스처 구조를 갖는 다른 쪽의 표면(이면)에, 인을 주입하고, n형 확산층을 약 0.5㎛의 깊이로 형성하였다. n형 확산층의 시트 저항은, 20Ω/□였다. 붕소 및 인의 주입은 동시에 열 확산법에 의해 행하였다.

[0222] 이어서, p형 확산층을 형성한 기판의 표면(광 입사측 표면) 및 n형 확산층을 형성한 기판의 표면(이면)에, 1 내지 2nm의 얇은 산화막층을 형성한 후, 플라스마 CVD법에 의해 실란 가스 및 암모니아 가스를 사용하여 질화규소막을 약 60nm의 두께로 형성하였다. 구체적으로는, $NH_3/SiH_4$=0.5의 혼합 가스 1Torr(133Pa)를 글로우 방전 분해함으로써, 플라스마 CVD법에 의해 막 두께 약 70nm의 질화규소막(반사 방지막(2))을 형성하였다.

[0223] 이와 같이 하여 얻어진 기판을, 25㎜×25㎜의 정사각형으로 절단한 기판(1)을 준비하였다.

[0224] 이어서, 도 8에 도시하는 바와 같이, 전극 형성용의 도전성 페이스트를 사용하여, 기판(1)의 표면에 13㎜×13㎜의 정사각형의 전극 패턴(22)을 인쇄하고, 건조시켰다.

[0225] 상술한 바와 같이 도전성 페이스트에 의해 전극 패턴(22)을 표면에 인쇄한 기판(1)을, Despatch Industries, Inc.제의 벨트로(소성로) CDF7210을 사용하여, 피크 온도 720℃, 소성로의 인-아웃 시간을 50초로 소성하였다.

[0226] 이상과 같이 하여, PL법 측정용의 기판(시료)을 제작하였다.

[0227] PL법에 의한 측정은, BT Imaging사제 Photoluminescence Imaging System 장치(형번 LIS-R2)를 사용하여 행하였다. 여기용의 광원(파장 650nm, 출력 3mW)으로부터의 광을 기판의 이면(광 입사측 표면 전극(20)의 전극 패턴이 형성되어 있지 않은 쪽의 표면)에 조사하고, 광 발광의 발광 강도의 이미지를 얻었다.

[0228] 도 9 및 도 10에 PL법으로 측정한 광 발광의 발광 강도 이미지를 도시한다.

[0229] 도 9에는, 실시예 4의 도전성 페이스트를 사용하여 전극 패턴(22)을 형성한 시료의 PL법으로 측정한 광 발광의 발광 강도 이미지를 도시한다. 도 9로부터 명백한 바와 같이, 전극 패턴(22)이 형성된 부분의 이미지는, 후술하는 도 10과 비교하여 명백해지고 있다. 이것은, 광 입사측 표면 전극(20)의 전극 패턴이 형성된 부분의 광 발광의 발광 강도의 저하가 억제된 것을 나타내고 있다. 따라서, 도 9에 도시하는 시료의 경우에는, 광 입사측 표면 전극(20)의 전극 패턴을 형성함으로써, 패시베이션막에 의한 패시베이션의 기능이 유지되었다고 할 수 있다. 따라서, 도 9에 도시하는 실시예 4의 도전성 페이스트를 사용한 시료의 경우에는, 단결정 실리콘 기판(1)의 표면의 표면 결함 밀도가 증대하지 않았다고 할 수 있다.

[0230] 한편, 도 10에 도시하는 시료의 제작에는, 광 입사측 표면 전극(20)을 형성하기 위하여 비교예 1의 도전성 페이스트를 사용하였다. 도 10으로부터 명백한 바와 같이, 도 9에 도시하는 시료와 비교하여, 광 입사측 표면 전극(20)의 전극 패턴이 형성된 부분의 이미지는 어두워지고 있다. 이것은, 광 입사측 표면 전극(20)의 전극 패턴이 형성된 부분의 광 발광의 발광 강도가 저하된 것을 나타내고 있다. 따라서, 도 10에 도시하는 비교예 1의 도전성 페이스트를 사용한 시료의 경우에는, 광 입사측 표면 전극(20)의 전극 패턴을 형성함으로써, 패시베이션막에 의한 패시베이션의 기능이 손상되고, 단결정 실리콘 기판(1)의 표면의 표면 결함 밀도가 증대했다고 할 수 있다.

[0231] 표 1 내지 표 3에, 실시예 및 비교예의 광 발광의 발광 강도 측정값(PL값)을 나타낸다. PL값은, 전극 근방의 광 발광의 발광 강도의 평균값이다. 또한, PL값은, 여기용의 광원으로부터의 조사광의 스펙트럼 및 강도, 그리고 측정을 위한 광학계 등에 따라 다른 수치이고, 임의의 단위의 값이다. 조사광의 스펙트럼 및 강도, 그리고 측정을 위한 광학계 등의 PL값을 측정하기 위한 조건을 동일하게 한 경우에는, 각각의 시료의 PL값의 크기를 비

교함으로써, 각각의 시료에 있어서의 캐리어의 재결합의 정도(패시베이션 기능의 열화의 정도)를 평가할 수 있다고 할 수 있다. PL값이 높을수록, 패시베이션막에 의한 패시베이션의 기능이 우수하다고 할 수 있다.

[0232] 또한, 확인을 위해, 도 9 및 도 10에 도시하는 시료의 단면을 주사형 전자 현미경(SEM)에 의해 관찰하였다. 도 11에, 도 9에 도시되는 시료와 동일한 도전성 페이스트를 사용하여 동일 조건에서 광 입사측 표면 전극(20)을 형성한 시료(실시예 4에 상당)의, 패시베이션막의 근방의 단면 SEM 사진(배율: 2만배)을 나타낸다. 또한, 도 12에, 도 10에 도시되는 시료와 동일한 도전성 페이스트를 사용하여 조건에서 광 입사측 표면 전극(20)을 형성한 시료(비교예 1에 상당)의, 패시베이션막의 근방의 단면 SEM 사진(배율: 2만배)을 나타낸다. 도 11로부터 명백한 바와 같이, PL값이 높은 시료의 경우에는, 광 입사측 표면 전극(20)의 형성 후에도, 반사 방지막(2)(패시베이션막)이 거의 그대로의 형상을 유지하고 있고, 반사 방지막(2)(패시베이션막)은 유리 프릿에 의해 침식되어 있지 않다. 한편, 도 12로부터 명백한 바와 같이, PL값이 낮은 시료의 경우에는, 반사 방지막(2)(패시베이션막)이 유리 프릿에 의해 침식되고, 반사 방지막(2)(패시베이션막)의 대부분이 소실되어 있다. 즉, 비교예 1의 도전성 페이스트는, 패시베이션막을 파이어 스루하는 것이 가능한 도전성 페이스트라고 할 수 있다. 또한, 도 12에 「Glass」라고 기재한 부분은, 도전성 페이스트에 포함되는 유리 프릿에 기인한 유리 성분이다. 이상으로부터, 상술한 PL법에 의한 PL값의 측정에 의해, 도전성 페이스트의 반사 방지막(2)(패시베이션막)에 대한 반응성의 유무를 평가할 수 있는 것은 명백하다.

[0233] 표 1 내지 3으로부터 명백한 바와 같이, 본 실시 형태의 실시예 1 내지 14의 도전성 페이스트(도전성 조성물)를 사용하여 얻어진 시료의 PL값은, 5522(실시예 2) 이상이었다. 이에 비해, 비교예 1의 PL값은 4900이고, 비교예 2의 PL값은 4800이라고 하는 낮은 값이었다. 따라서, 비교예 1 및 2에서는, 본 실시 형태의 실시예와 비교하여, 패시베이션막에 의한 패시베이션의 기능이 낮기 때문에, 태양 전지의 성능이 저하되어 버린다고 할 수 있다. 또한, 이것으로부터, 비교예 1 및 2의 도전성 페이스트를 사용하여 전극을 형성한 경우에는, 태양 전지 특성 중, 개방 전압(Voc)이 저하되는 것을 시사하고 있다.

[0234] 또한, PL값이 4800의 비교예 2의 시료의, 전극과 실리콘 기판의 계면 부근의 단면을 SEM 관찰한 바, PL값이 4900의 비교예 1과 마찬가지로(도 12 참조), 비교예 2의 시료에서는, 반사 방지막(2)(패시베이션막)이 남아있지 않은 것을 확인하였다. 한편, PL값이 5522의 실시예 2의 시료의, 전극과 실리콘 기판의 계면 부근의 단면을 SEM 관찰한 바, 실시예 4와 마찬가지로(도 11 참조), 실시예 2의 시료에서는, 전극과 실리콘 기판 사이에, 반사 방지막(2)(패시베이션막)이 남아있었던 것을 확인하였다. 따라서, 실시예 1 내지 14 및 비교예 1 내지 4의 평가에 사용한 광 발광 이미징법(PL법)에 의한 평가 결과로부터, PL값이 5000 이상인 경우, 바람직하게는 PL값이 5500 이상인 경우에는, 전극과 실리콘 기판 사이에, 반사 방지막(2)(패시베이션막)이 남고, 높은 성능(특히, 높은 Voc)의 태양 전지를 얻는 것을 기대할 수 있는 것이 명백해졌다.

[0235] 또한, 레이저 처리 프로세스 전후에 있어서, PL값은 크게 변화되지 않는 것을 확인하였다. 레이저 처리 프로세스에 의한 처리는, 국소적으로 미소한 전기적 도통 부분을 형성하기 위한 처리이고, 반사 방지막(2)(패시베이션막)의 대부분에는 영향을 미치지 않기 때문이라고 생각된다.

[0236] <레이저 처리 프로세스 전의 접촉 저항의 측정>

[0237] PL법에 의한 측정을 위한 시료와 마찬가지로, n형 결정계 실리콘 기판(기판 두께 200㎛)의 한쪽의 표면에, p형 불순물 확산층을 형성하고, 또한, p형 불순물 확산층 상에, 막 두께 약 60nm의 질화규소막(패시베이션막인 반사 방지막(2))을 형성하여, 접촉 저항의 측정용의 기판을 얻었다.

[0238] 실시예 및 비교예의 단결정 실리콘 태양 전지의, p형 확산층을 형성한 기판의 표면(광 입사측 표면)의 전극 형성용의 도전성 페이스트는, 표 1 내지 3에 나타내는 것을 사용하였다.

[0239] 도전성 페이스트의 인쇄는, 스크린 인쇄법에 의해 행하였다. 상술한 기판의 반사 방지막(2) 상에, 막 두께가 약 20㎛가 되도록, 1.5㎜ 폭의 광 입사측 버스 바 전극(20a)과, 60㎛ 폭의 광 입사측 핑거 전극(20b)을 포함하는 패턴으로 인쇄하고, 그 후, 150℃에서 약 1분간 건조시켰다.

[0240] 이면 전극(15)(n형 확산층을 형성한 표면의 전극)으로서, 시판하고 있는 Ag 페이스트를 스크린 인쇄법에 의해 인쇄하였다. 또한, 이면 전극(15)의 전극 패턴은, 광 입사측 전극(20)과 마찬가지의 전극 패턴 형상이다. 그 후, 150℃에서 약 60초간 건조시켰다. 건조 후의 이면 전극(15)용의 도전성 페이스트의 막 두께는 약 20㎛였다. 그 후, Despatch Industries, Inc.제의 벨트로(소성로) CDF7210을 사용하여, 피크 온도 720℃, 소성로의 인-아웃 시간을 50초로 양면 동시 소성하였다. 이상과 같이 하여, 단결정 실리콘 태양 전지를 제작하였다.

[0241] 이와 같이 하여 얻어진 태양 전지 셀을, 도 7에 도시하는 바와 같이, 15㎜×15㎜의 정사각형으로 절단하여, 접촉 저항 측정용 시료를 얻었다. 도 7에 도시하는 바와 같이, 이 절단한 태양 전지 셀(접촉 저항 측정용 시료)의 광 입사측 표면에는, 폭 60㎛, 길이 15.0㎜의 광 입사측 핑거 전극(20b)이, 1.5㎜의 간격으로 배치된다. 이 광 입사측 핑거 전극(20b)을, 접촉 저항 측정용 패턴으로서 사용하였다. 실시예 및 비교예의 접촉 저항 측정용 패턴의, 레이저 처리 프로세스 전의 접촉 저항을 GP Solar사제 GP 4 TEST Pro를 사용하여, TLM법(Transfer length Method)에 의해 구하였다.

[0242] 접촉 저항 측정용 시료로서, 동일 조건의 것을 3개 제작하고, 측정값은 3개의 평균값으로서 구하였다.

[0243] <레이저 처리 프로세스 후의 접촉 저항의 측정>

[0244] 상술한 레이저 처리 프로세스 전의 접촉 저항의 측정과 마찬가지로, 단결정 실리콘 태양 전지를 제작하고, 이 태양 전지 셀의 광 입사측 표면에 대하여 레이저 처리 프로세스를 행하였다. 즉, 태양 전지 셀의 p형 불순물 확산층(4)과, n형 결정계 실리콘 기판(1) 사이에서 순방향과는 역방향의 전류가 흐르도록, 이면 전극(15)에 마이너스, 광 입사측 표면에 형성된 도 2에 도시하는 패턴의 광 입사측 전극(20)의 각각에 플러스의 전압을 인가하면서, 레이저광을 태양 전지의 광 입사측 표면에 조사하였다. 레이저 처리 프로세스 시의 인가 전압은 20V이고, 조사한 레이저광 강도는 100W/㎠이고, 전압의 인가 및 레이저광의 조사 시간은, 2초간으로 하였다.

[0245] 이와 같이 하여 얻어진 태양 전지 셀을, 도 7에 도시하는 바와 같이, 15㎜×15㎜의 정사각형으로 절단하고, 레이저 처리 프로세스 전의 접촉 저항 측정과 동일한 방법으로, 레이저 처리 프로세스 후의 접촉 저항을 구하였다.

[0246] 먼저, 레이저 처리 프로세스 전의 접촉 저항의 값은, 450mΩ·㎠ 이하인 경우에는, 레이저 처리 프로세스 처리함으로써 태양 전지의 전극으로서 사용 가능하다. 동일하게, 접촉 저항이 300Ω·㎠ 이하인 경우에는, 레이저 처리 프로세스 처리함으로써, 태양 전지의 전극으로서 보다 바람직하게 사용할 수 있다.

[0247] 이어서, 레이저 처리 프로세스 후의 접촉 저항의 값은, 20mΩ·㎠ 이하임으로써, 태양 전지의 전극(20)으로서 바람직하게 사용할 수 있다. 동일하게, 접촉 저항이 9mΩ·㎠ 이하인 것이, 태양 전지의 전극으로서 보다 바람직하게 사용할 수 있다.

[0248] 표 1 내지 3으로부터 명백한 바와 같이, 본 실시 형태의 실시예 1 내지 14의 도전성 페이스트(도전성 조성물)를 사용하여 얻어진 시료의 레이저 처리 프로세스 전의 접촉 저항은, 440mΩ·㎠(실시예 1) 이하였다. 이에 비해, 비교예 3의 접촉 저항은 640mΩ·㎠이고, 비교예 4의 접촉 저항은 804mΩ·㎠라고 하는 높은 값이었다. 또한, 본 실시 형태의 실시예 1 내지 14의 도전성 페이스트(도전성 조성물)를 사용하여 얻어진 시료의 레이저 처리 프로세스 후의 접촉 저항은, 18mΩ·㎠(실시예 1) 이하였다. 이에 비해, 비교예 3의 접촉 저항은 21mΩ·㎠이고, 비교예 4의 접촉 저항은 32mΩ·㎠라고 하는 높은 값이었다. 따라서, 비교예 3 및 4에서는, 본 실시 형태의 실시예와 비교하여, 접촉 저항이 높기 때문에, 태양 전지의 성능이 저하되어 버린다고 할 수 있다. 즉, 비교예 3 및 4의 경우에는, 태양 전지의 전극으로서 바람직하게 사용할 수 없다고 할 수 있다.

[0249] [비저항의 측정]

[0250] 실시예 및 비교예의 도전성 페이스트를 소성하여 얻어진 비저항 측정용의 도전막 패턴의 비저항을 측정하였다.

[0251] 실시예 및 비교예의 비저항은, 이하의 수순으로 측정하였다. 즉, 폭 15㎜, 길이 15㎜, 두께 180㎛의 실리콘 기판을 준비하였다. 이 기판 상에, 325메쉬의 스테인리스제 스크린을 사용하여, 도 6에 도시하는 바와 같은 도전성 페이스트를 포함하는 패턴을 인쇄하였다.

[0252] 이어서, 기판 상에 도포한 실시예 및 비교예의 패턴을 표면에 인쇄한 실리콘 기판을, Despatch Industries, Inc.제의 벨트로(소성로) CDF7210을 사용하여, 피크 온도 720℃, 소성로의 인-아웃 시간을 50초로 양면 동시 소성하였다. 이상과 같이 하여, 비저항 측정용의 시료를 제작하였다.

[0253] 실시예 및 비교예의 도전성 페이스트를 소성하여 얻어진, 비저항 측정용의 시료의 도전막 패턴의 비저항을 측정하였다. 먼저, 도요테크니카사제 멀티미터 2001형을 사용하여, 4 단자법으로 저항값을 측정하였다. 도전막 패턴의 단면적은, 레이저텍사제 공초점 현미경 OPTELICS H1200 및 표면 조도 형상 측정기 1500SD2를 사용하여 행하였다. 1.6㎜의 범위를 50군데 측정하고, 평균값을 구하였다. 단면적과 측정한 저항값을 사용하여 비저항을 산출하였다.

[0254] 또한, 비저항 측정용의 시료로서, 동일 조건의 것을 4개 제작하고, 측정값은 4개의 평균값으로서 구하였다. 측

정 결과를 표 1 내지 3에 나타낸다.

[0255] 표 1 내지 3으로부터 명백한 바와 같이, 본 실시 형태의 실시예 1 내지 14 및 비교예 1 내지 4의 도전성 페이스트(도전성 조성물)를 사용하여 얻어진 도전막의 비저항은, 8μΩ·cm(실시예 11 및 18) 이하였다. 일반적으로, 15μΩ·cm 이하의 비저항이라면, 전극으로서 적합하게 사용할 수 있다고 할 수 있다. 따라서, 본 실시 형태의 도전성 페이스트를 사용함으로써, 바람직한 비저항의 전극을 얻을 수 있다고 할 수 있다.

[0256] 또한, 상술한 바와 같이, 비교예 1 및 2의 도전성 페이스트를 사용한 경우에는, PL값이 낮다는 문제가 있다. 또한, 비교예 3 및 4의 도전성 페이스트를 사용한 경우에는, 전극과, 불순물 확산층 사이의 접촉 저항이 높다는 문제가 있다. 따라서, 비교예 1 내지 4의 도전성 페이스트를 사용한 경우에는, 고성능의 태양 전지를 제조할 수 없는 것은 명확하다.

[0257] 이에 비해, 본 실시 형태의 도전성 페이스트를 사용하여 형성한 전극의 경우에는, PL값이 충분히 높고, 접촉 저항이 낮고, 비저항도 낮다. 따라서, 본 실시 형태의 도전성 페이스트를 사용함으로써, 높은 성능의 결정계 실리콘 태양 전지를 얻을 수 있다고 할 수 있다.

[0258] 상술한 바와 같이, 본 실시 형태의 도전성 페이스트를 사용하여 형성한 전극의 경우에는, 레이저 처리 프로세스를 행함으로써, 접촉 저항이 낮아지는 것을 확인하였다. 접촉 저항이 낮은 경우에는, 곡선 인자(FF)가 증가한다. 또한, 상술한 PL법에 의한 평가의 결과로부터, 본 실시 형태의 도전성 페이스트를 사용한 경우에는, 전극(20)과 불순물 확산층(4) 사이의 반사 방지막(2)(패시베이션막)의 잔존율이 높으므로, 캐리어의 재결합이 낮게 억제된다. 그 때문에, 본 실시 형태의 도전성 페이스트를 사용한 경우에는, 개방 전압(Voc)의 저하의 우려는 낮다고 할 수 있다. 이상으로부터, 본 실시 형태의 도전성 페이스트를 사용하여 전극을 형성한 경우에는, 개방 전압(Voc)을 저하시키지 않고, 곡선 인자(FF)를 향상시킬 수 있다는 특성을 갖는 태양 전지를 얻을 수 있다고 할 수 있다.

[0259] 도 13에, 실시예 5와 동일 조건에서 제작한 태양 전지의, 레이저 처리 프로세스 후의 단면을 고배율의 주사형 전자 현미경(SEM)에 의해 관찰한 SEM 사진(배율: 2만배)을 나타낸다. 도 13에 도시하는 바와 같이, 실시예 5와 동일 조건에서 제작한 태양 전지의 광 입사측 표면 전극과 접하는 불순물 확산층(4)(실리콘 이미터층)에, 국소적으로 미소한 전기적 도통 부분(국소 도통부)인 AgSi 합금(30)(국소 도통부)이 형성되는 것을 이해할 수 있다. 본 실시 형태의 태양 전지에서는, 전극(광 입사측 표면 전극(20))을 형성하기 위해서, 본 실시 형태의 도전성 페이스트를 사용했으므로, 불순물 확산층(4)에 국소 도통부를 형성할 수 있었다고 할 수 있다. 그 때문에, 본 실시 형태의 도전성 페이스트를 사용하여 전극(광 입사측 표면 전극(20))을 형성함으로써, 전극과, 태양 전지의 불순물 확산층(4) 사이에, 낮은 접촉 저항을 얻을 수 있었다고 할 수 있다.

*표 1*

[0260]

| (함유량은 중량부) | | 비교예 1 | 비교예 2 | 비교예 3 | 비교예 4 | 실시예 1 | 실시예 2 |
|---|---|---|---|---|---|---|---|
| (A) 도전성 입자 | 도전성 입자 A1 | 100 | 100 | 100 | 100 | 100 | 100 |
| | 도전성 입자 A2 | | | | | | |
| (C) 유리 프릿 | (C) 종류 | B | C | D | E | A | A |
| | (C) 함유량 G | 5.0 | 2.0 | 1.0 | 0.5 | 0.5 | 2.0 |
| (D) Al 입자 | Al 입자 D1 | 2.0 | 2.0 | 2.0 | 2.0 | 1.0 | 1.0 |
| | Al 입자 D2 | | | | | | |
| 염기도 $B_{GF}$×(C)함유량 G | | 1.50 | 1.60 | 0.20 | 0.19 | 0.34 | 1.36 |
| PbO 함유량 $C_{PbO}$(mol%) ×(C)함유량 G | | 140 | 144 | 18 | 16 | 26 | 102 |
| PL값 | | 4900 | 4800 | 32000 | 28200 | 17600 | 5522 |
| 레이저 처리 프로세스 전의 접합 저항($m\Omega \cdot cm^2$) | | 120 | 12 | 640 | 804 | 440 | 78 |
| 비저항(μΩ·cm) | | 6 | 6 | 6 | 8 | 7 | 6 |
| 레이저 처리 프로세스 후의 접합 저항($m\Omega \cdot cm^2$) | | 3 | 2 | 21 | 32 | 18 | 3 |

표 2

| (함유량은 중량부) | | 실시예 3 | 실시예 4 | 실시예 5 | 실시예 6 | 실시예 7 | 실시예 8 |
|---|---|---|---|---|---|---|---|
| (A) 도전성 입자 | 도전성 입자 A1 | 100 | 100 | 100 | 100 | 100 | 100 |
| | 도전성 입자 A2 | | | | | | |
| (C) 유리 프릿 | (C) 종류 | A | A | A | A | A | F |
| | (C) 함유량 G | 2.0 | 1.0 | 1.0 | 1.0 | 0.5 | 1.0 |
| (D) Al 입자 | Al 입자 D1 | 2.0 | 1.0 | - | 2.0 | 2.0 | 2.0 |
| | Al 입자 D2 | | | | | | |
| 염기도 $B_{GF}$×(C)함유량 G | | 1.36 | 0.68 | 0.68 | 0.68 | 0.34 | 0.61 |
| PbO 함유량 $C_{PbO}$(mol%) ×(C)함유량 G | | 102 | 51 | 51 | 51 | 26 | 52 |
| PL값 | | 6500 | 9868 | 8600 | 11480 | 20090 | 9315 |
| 레이저 처리 프로세스 전의 접합 저항($m\Omega \cdot cm^2$) | | 16 | 289 | 374 | 35 | 140 | 293 |
| 비저항($\mu\Omega \cdot cm$) | | 7 | 6 | 5 | 7 | 8 | 7 |
| 레이저 처리 프로세스 후의 접합 저항($m\Omega \cdot cm^2$) | | 2 | 6 | 14 | 2 | 3 | 6 |

[0261]

표 3

| (함유량은 중량부) | | 실시예 9 | 실시예 10 | 실시예 11 | 실시예 12 | 실시예 13 | 실시예 14 |
|---|---|---|---|---|---|---|---|
| (A) 도전성 입자 | 도전성 입자 A1 | 100 | 100 | 100 | 100 | | 100 |
| | 도전성 입자 A2 | | | | | 100 | |
| (C) 유리 프릿 | (C) 종류 | G | E | E | E | A | A |
| | (C) 함유량 G | 1.0 | 1.0 | 2.0 | 3.0 | 1.0 | 1.0 |
| (D) Al 입자 | Al 입자 D1 | 2.0 | 2.0 | 2.0 | 2.0 | 2.0 | |
| | Al 입자 D2 | | | | | | 2.0 |
| 염기도 $B_{GF}$×(C)함유량 G | | 0.68 | 0.38 | 0.76 | 1.14 | 0.68 | 0.68 |
| PbO 함유량 $C_{PbO}$(mol%) ×(C)함유량 G | | 54 | 32 | 64 | 96 | 51 | 51 |
| PL값 | | 10370 | 27140 | 20300 | 11070 | 10700 | 10420 |
| 레이저 처리 프로세스 전의 접합 저항($m\Omega \cdot cm^2$) | | 58 | 425 | 326 | 174 | 50 | 90 |
| 비저항($\mu\Omega \cdot cm$) | | 7 | 7 | 7 | 7 | 7 | 8 |
| 레이저 처리 프로세스 후의 접합 저항($m\Omega \cdot cm^2$) | | 3 | 17 | 12 | 4 | 2 | 3 |

[0262]

표 4

| | 제품 번호 | 제조 회사 | 형상 | 평균 입자경 D:50($\mu m$) | TAP 밀도 ($g/cm^3$) | BET 비표면적 ($m^2/g$) |
|---|---|---|---|---|---|---|
| 은 입자 A1 | AG-SNA-190 | DOWA 일렉트로닉스 | 구상 | 2 | 5 | 0.4 |
| 은 입자 A2 | AG-SNA-188 | DOWA 일렉트로닉스 | 구상 | 1 | 5 | 1 |

[0263]

표 5

[0264]

| (C) 유리 프릿의 종류 | 유리 프릿 A | 유리 프릿 B | 유리 프릿 C | 유리 프릿 D | 유리 프릿 E | 유리 프릿 F | 유리 프릿 G |
|---|---|---|---|---|---|---|---|
| PbO (mol%) | 51.0 | 28.0 | 72.0 | 18.0 | 32.0 | 52.0 | 54.0 |
| $SiO_2$ (mol%) | 31.0 | 62.0 | 18.0 | 72.0 | 58.0 | 37.0 | 28.0 |
| $Al_2O_3$ (mol%) | 4.0 | | | | 0.5 | 4.0 | 4.0 |
| $B_2O_3$ (mol%) | 4.0 | 10.0 | 10.0 | 10.0 | 9.5 | 4.0 | 4.0 |
| ZnO (mol%) | 10.0 | | | | | | 10.0 |
| $V_2O_5$ (mol%) | | | | | | 1.0 | |
| $WO_3$ (mol%) | | | | | | 1.0 | |
| $Nb_2O_3$ (mol%) | | | | | | 1.0 | |
| 합계(mol%) | 100.0 | 100.0 | 100.0 | 100.0 | 100.0 | 100.0 | 100.0 |
| 염기도 $B_{GF}$ | 0.68 | 0.30 | 0.80 | 0.20 | 0.38 | 0.61 | 0.68 |
| 유리 전이점 (℃) | 356 | 462 | 320 | 542 | 449 | 405 | 394 |

표 6

[0265]

| | 제품 번호 | 제조 회사 | 형상 | 평균 입자경 D:50(㎛) |
|---|---|---|---|---|
| Al 입자 D1 | TFH-A02P | 도요 알루미늄 | 구상 | 2 |
| Al 입자 D2 | TFH-A05P | 도요 알루미늄 | 구상 | 5 |

## 부호의 설명

[0266] 1: 결정계 실리콘 기판

2: 반사 방지막(패시베이션막)

4: 불순물 확산층

14: 이면 패시베이션막

15: 이면 전극

15a: 이면 TAB 전극(이면 버스 바 전극)

15b: 이면 전극(이면 전체면 전극)

15c: 이면 핑거 전극

16: 제2 불순물 확산층

20: 광 입사측 표면 전극(표면 전극)

20a: 광 입사측 버스 바 전극

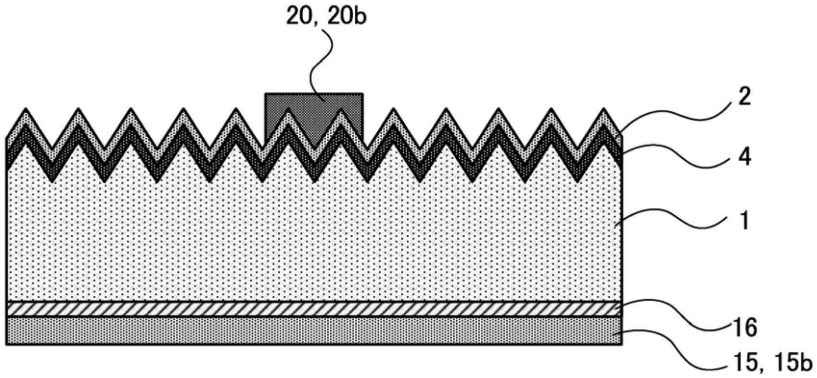
20b: 광 입사측 핑거 전극

22: 전극 패턴

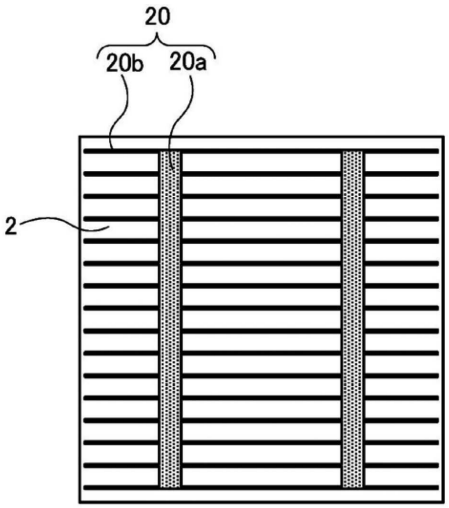
30: AgSi 합금(국소 도통부)

## 도면

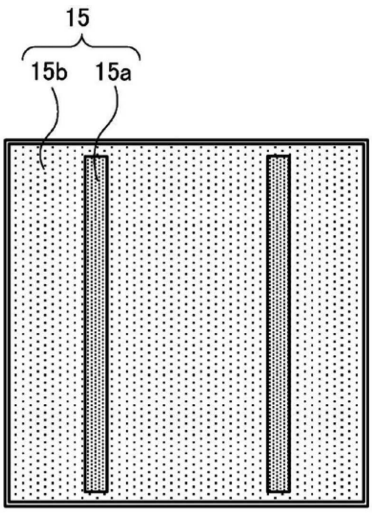
### 도면1



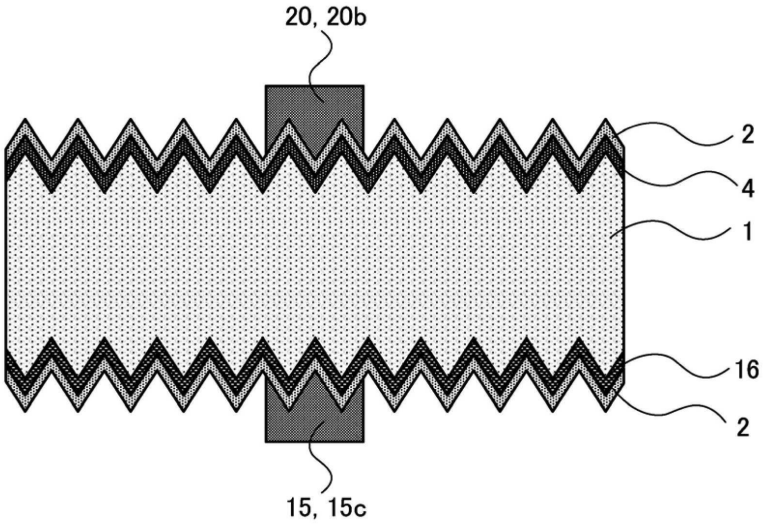

### 도면2



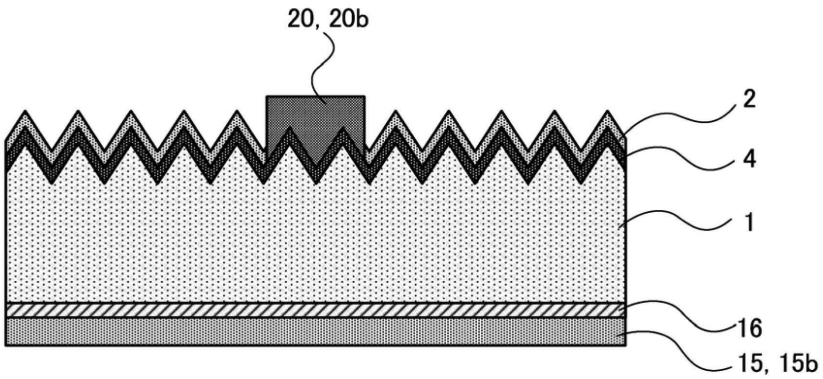

### 도면3



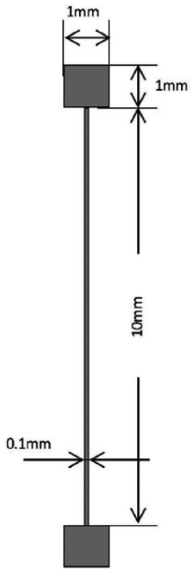
도면4



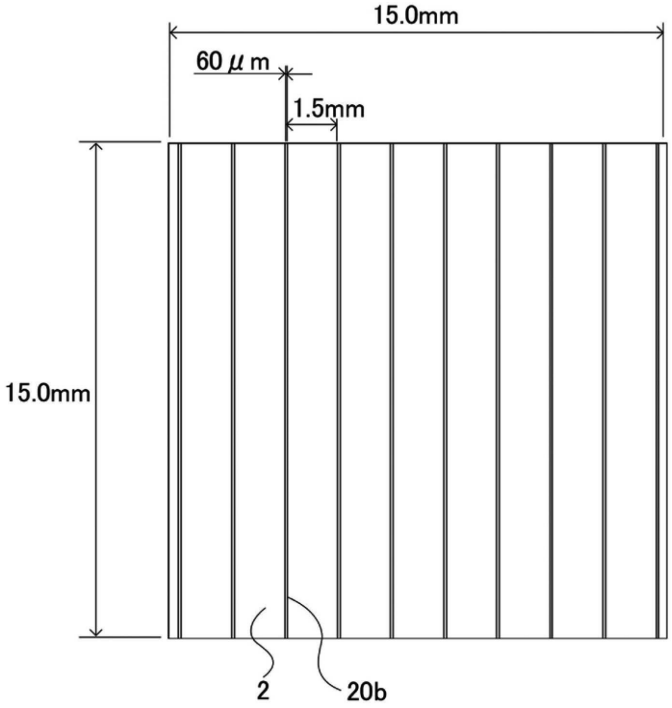

도면5



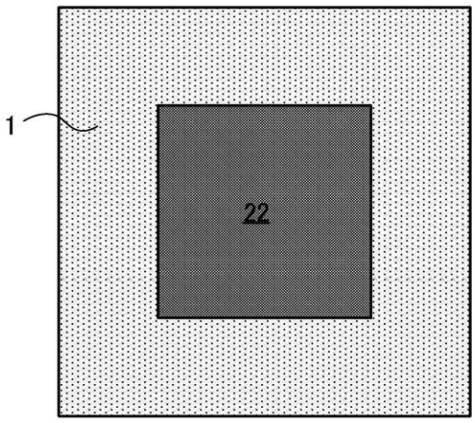

도면6



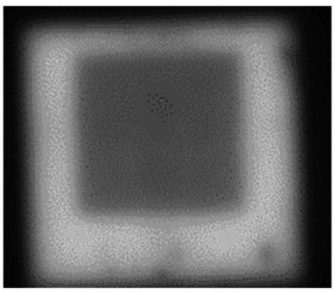
도면7



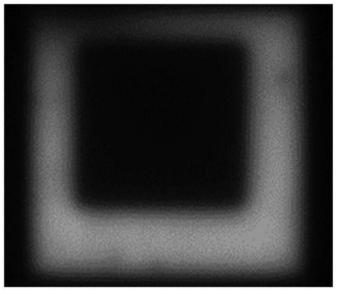

도면8



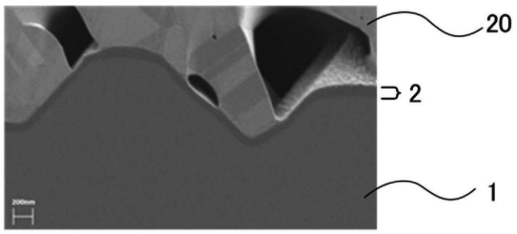

도면9



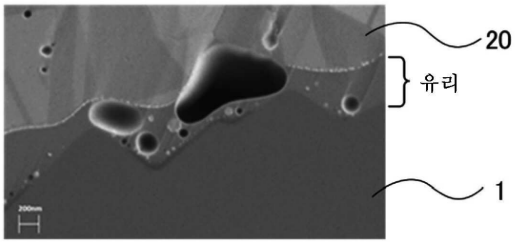
도면10



도면11




도면12




도면13

