

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 5 年 3 月 14 日(2023.3.14)

【公開番号】特開 2021-15954(P2021-15954A)

【公開日】令和 3 年 2 月 12 日(2021.2.12)

【年通号数】公開・登録公報 2021-006

【出願番号】特願 2020-55139(P2020-55139)

【国際特許分類】

H 0 1 L 29/786(2006.01)

H 0 1 L 21/8234(2006.01)

H 0 1 L 27/088(2006.01)

H 0 1 L 21/336(2006.01)

H 0 1 L 27/06(2006.01)

H 0 1 L 21/822(2006.01)

G 0 9 F 9/30(2006.01)

10

【F I】

H 0 1 L 29/78 6 1 7 U

H 0 1 L 27/06 1 0 2 A

H 0 1 L 27/088 3 3 1 E

H 0 1 L 27/088 C

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 8 Z

H 0 1 L 29/78 6 2 3 A

H 0 1 L 27/06 3 1 1 C

H 0 1 L 27/04 C

H 0 1 L 29/78 6 1 3 Z

H 0 1 L 29/78 6 1 2 B

H 0 1 L 27/04 H

H 0 1 L 29/78 6 2 6 C

G 0 9 F 9/30 3 3 8

20

30

【手続補正書】

【提出日】令和 5 年 3 月 6 日(2023.3.6)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 5

【補正方法】変更

【補正の内容】

【0 0 1 5】

40

例えば、表示装置の狭額縁と高信頼性を実現するために、T F T 基板は、周辺回路内に高移動度の酸化物半導体材料を使用した酸化物半導体 T F T を含み、表示領域（画素回路）内にバンドギャップが大きい酸化物半導体材料を使用した酸化物半導体 T F T を含む。以下において、T F T 基板の適用例として、表示装置の T F T 基板を説明する。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 5

【補正方法】変更

【補正の内容】

【0 0 6 5】

50

層間絶縁層 3 2 1 は、第 2 酸化物半導体 T F T 3 3 0 及び第 1 酸化物半導体 T F T 3 7 0 の、ソース/ドレイン電極 3 3 5、3 3 7、3 7 5、3 7 7 以外の構成要素を覆う。層間絶縁層 3 2 1 は、例えば、シリコン酸化物又はシリコン窒化物で形成することができる。絶縁膜 3 3 9 及び 3 7 9 を含む絶縁層（第 3 絶縁層）は、例えば、シリコン酸化物又はシリコン窒化物で形成することができる。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 1

【補正方法】変更

【補正の内容】

10

【0 0 8 1】

次に、図 9 D に示すように、製造方法は、フォトリソグラフィ及びエッチングにより、第 2 絶縁層 4 1 9 に開口 4 2 1 を形成する。開口 4 2 1 は、開口内に第 1 酸化物半導体膜 1 3 3 の上面が露出するように形成される。本例において、第 1 酸化物半導体膜 1 3 3 の端面は開口 4 2 1 において露出していないが、露出してもよい。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 2

【補正方法】変更

【補正の内容】

20

【0 0 8 2】

次に、図 9 E に示すように、製造方法は、スパッタ法等により、ソース/ドレイン電極 1 3 5、1 3 7、4 7 5、4 7 7 を含む金属層（ソース/ドレイン電極層）4 4 0 を成膜する。金属層 4 4 0 は、第 2 絶縁層 4 1 9、第 1 酸化物半導体膜 1 3 3 及び第 2 酸化物半導体膜 4 7 3 を覆う。第 2 絶縁層 4 1 9 に形成されている開口 4 2 1 は、金属層 4 4 0 により埋められており、金属層 4 4 0 は、第 1 酸化物半導体膜 1 3 3 の上面と接触している。次に、図 9 F に示すように、製造方法は、フォトリソグラフィ及びエッチングにより、金属層 4 4 0 をパターニングして、ソース/ドレイン電極 1 3 5、1 3 7、4 7 5、4 7 7 を形成する。

【手続補正 5】

30

【補正対象書類名】明細書

【補正対象項目名】0 0 8 3

【補正方法】変更

【補正の内容】

【0 0 8 3】

次に、図 9 G に示すように、製造方法は、C V D 法等により、ソース/ドレイン電極 1 3 5、1 3 7、4 7 5、4 7 7、第 1 酸化物半導体膜 1 3 3 及び第 2 酸化物半導体膜 4 7 3 及び第 2 絶縁層 4 1 9 を覆うように、層間絶縁層 1 2 1 を成膜し、さらに、フォトリソグラフィ及びエッチングにより、層間絶縁層 1 2 1 にソース/ドレイン電極 4 7 7 の上面の一部が露出するようにビアホールを形成する。さらに、製造方法は、画素電極 1 8 1 を層間絶縁層 1 2 1 上に、及び、画素電極 1 8 1 とソース/ドレイン電極 4 7 7 を接続するビアを層間絶縁層 1 2 1 内に形成する。具体的には、スパッタ法等により I T O を成膜し、フォトリソグラフィ及びエッチングによりパターニングを行う。

40

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 7

【補正方法】変更

【補正の内容】

【0 0 8 7】

T F T 基板 5 0 0 は、周辺回路領域内 1 1 0 の第 1 酸化物半導体 T F T 1 3 0、及び、

50

表示領域 5 5 0 内の第 2 酸化物半導体 T F T 5 7 0 を含む。第 1 酸化物半導体 T F T 1 3 0 の構成は、図 2 に示す構成と同様である。第 2 酸化物半導体 T F T 5 7 0 は、図 2 に示す構成例における第 2 酸化物半導体 T F T 1 7 0 と、第 2 酸化物半導体膜 5 7 3、ゲート絶縁膜 5 7 2、及び、ソース/ドレイン電極 5 7 5、5 7 7 の形状が異なる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 6

【補正方法】変更

【補正の内容】

【0 0 9 6】

10

< 実施形態 6 >

表示領域（画素回路）内において、信頼性向上のために、バンドギャップが大きい酸化物半導体 T F T が主に（過半数）使用される。一方、周辺回路において、回路サイズ縮小のために、移動度が大きい酸化物半導体 T F T が主に（過半数）使用される。酸化物半導体 T F T に求められる特性に応じて、表示領域内の一部の酸化物半導体 T F T は、移動度が大きい酸化物半導体 T F T であり得、周辺回路内の一部の酸化物半導体 T F T は、バンドギャップが大きい酸化物半導体 T F T であり得る。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0 0 9 9

【補正方法】変更

【補正の内容】

【0 0 9 9】

20

また、周辺回路の中で、その T F T が高い駆動能力を必要とする場合は移動度が大きい酸化物半導体 T F T で構成することで、回路サイズを縮小することができ、高い駆動能力を必要でない場合はバンドギャップが大きい酸化物半導体 T F T で構成することで、周辺回路全体の信頼性を高めることができる。

30

40

50