



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

204154
(11) (B1)

(22) Přihlášeno 23 06 77
(21) [PV 4151-77]

(40) Zveřejněno 31 07 80

(45) Vydáno 15 12 83

(51) Int. Cl.³
G 08 C 19/34

(75)
Autor vynálezu

BOCEK KAREL ing. CSc., BYSTRICE nad OLŠÍ, JEKERLE PAVEL ing.,
TRINEC a TOMANEK ERVÍN, ROPICE

(54) Zapojení pro uvolňování průchodu signálů

1

Vynález se týká zapojení pro uvolňování průchodu signálů, přednostně signálů diskrétních, a to v soustavách elektronických, pneumatických, po případě jiných sítí se zvláštním zřetelem na vzájemnou návaznost průchodu těchto signálů.

Známa zapojení řeší uvolňování průchodu signálů, popřípadě uvolňování průchodu skupin signálů ze vstupů vždy na přiřazené výstupy, při čemž tato přiřazenost je určena skladbou a zapojením logické sítě. Různou kombinací zapojení se dosahuje nejčastěji uvolňování vždy jednoho vstupního signálu ze vstupu na přiřazený výstup podle předem stanoveného kritéria priority v pořadí podle času, v postupném pořadí, v kombinovaném pořadí apod.

Nevýhodou známých zapojení je skutečnost, že uvolňují průchod vždy jen jednoho vstupního signálu ze vstupu na přiřazený výstup.

V oblasti přímého řízení výrobních procesů popřípadě výrobních zařízení se často vyskytuje úkol řešit průchod signálů v jejich složité vzájemné návaznosti.

Tento problém řeší v rozsahu svého použití zapojení podle vynálezu, jehož podstata spočívá v tom, že se skládá z jednoho vstupu propojeného s jedním výstupem přes jeden vstupní logický obvod a přes jeden

2

koncový logický obvod spojené v kaskádě za sebou tak, že jeden vstup jednoho vstupního logického obvodu je spojen s jedním vstupem zapojení, a výstup tohoto obvodu je spojen s jedním vstupem jednoho koncového logického obvodu, jehož výstup je spojen jedním výstupem zapojení, z druhého vstupu propojeného s druhým výstupem přes druhý vstupní logický obvod a přes druhý koncový logický obvod spojené v kaskádě za sebou tak, že jeden vstup druhého vstupního logického obvodu je spojen s druhým vstupem zapojení a výstup tohoto obvodu je spojen s jedním vstupem druhého koncového logického obvodu, jehož výstup je spojen s druhým výstupem zapojení, popřípadě z třetího vstupu propojeného s třetím výstupem přes třetí vstupní logický obvod a přes třetí koncový logický obvod spojené v kaskádě za sebou tak, že jeden vstup třetího vstupního logického obvodu je spojen s třetím vstupem zapojení a výstup tohoto obvodu je spojen s jedním vstupem třetího koncového logického obvodu, jehož výstup je spojen s třetím výstupem zapojení, případně se skládá z dalšího nebo z několika dalších vstupů, kde další vstup je propojen s dalším výstupem přes další vstupní logický obvod a přes další koncový logický obvod spojené v kaskádě

za sebou tak, že jeden vstup dalšího vstupního logického obvodu je spojen s dalším vstupem zapojení, a výstup tohoto dalšího obvodu je spojen s dalším vstupem dalšího koncového logického obvodu, jehož výstup je spojen s dalším výstupem zapojení, a další v pořadí vstup je propojen s dalším v pořadí výstupem přes další v pořadí vstupní logický obvod a přes další v pořadí koncový logický obvod spojené v kaskádě za sebou tak, že jeden vstup dalšího v pořadí vstupního logického obvodu je spojen s dalším v pořadí vstupem zapojení, a výstup tohoto dalšího v pořadí obvodu je spojen s jedním vstupem dalšího v pořadí koncového logického obvodu, jehož výstup je spojen s dalším v pořadí výstupem zapojení.

Uvedené logické obvody jsou dále propojeny tak, že druhý vstup jednoho vstupního logického obvodu je spojen s druhým vstupem zapojení, a druhý vstup jednoho koncového logického obvodu je spojen s druhým výstupem zapojení, druhý vstup druhého vstupního logického obvodu je spojen s třetím vstupem zapojení, a druhý vstup druhého koncového logického obvodu je spojen s třetím výstupem zapojení, popřípadě druhý vstup dalšího vstupního logického obvodu je spojen s dalším v pořadí vstupem zapojení, a druhý vstup dalšího koncového logického obvodu je spojen s dalším v pořadí výstupem zapojení.

Druhý vstup jednoho vstupního logického obvodu je spojen s druhým vstupem zapojení přes druhý pomocný logický obvod tak, že vstup tohoto pomocného logického obvodu je spojen s druhým vstupem zapojení, a výstup tohoto pomocného logického obvodu je spojen s tímto druhým vstupem tohoto jednoho vstupního logického obvodu, druhý vstup druhého vstupního logického obvodu je spojen s třetím vstupem zapojení přes třetí pomocný logický obvod tak, že vstup tohoto pomocného logického obvodu je spojen s třetím vstupem zapojení, a výstup tohoto pomocného logického obvodu je spojen s tímto druhým vstupem tohoto jednoho vstupního logického obvodu, popřípadě druhý vstup dalšího vstupního logického obvodu je spojen s dalším v pořadí vstupem zapojení přes další v pořadí pomocný logický obvod tak, že vstup tohoto pomocného logického obvodu je spojen s dalším v pořadí vstupem zapojení, a výstup tohoto pomocného logického obvodu je spojen s tímto druhým vstupem tohoto dalšího vstupního logického obvodu.

Druhý vstup jednoho koncového logického obvodu je spojen s druhým výstupem zapojení přes druhý časový člen tak, že vstup tohoto časového členu je spojen s druhým výstupem zapojení, a výstup tohoto časového členu je spojen s tímto druhým vstupem tohoto jednoho koncového logického obvodu, druhý vstup druhého koncového logického

obvodu je spojen s třetím výstupem zapojení přes třetí časový člen tak, že vstup tohoto časového členu je spojen s třetím výstupem zapojení, a výstup tohoto časového členu je spojen s tímto druhým vstupem tohoto druhého koncového logického obvodu, popřípadě druhý vstup dalšího koncového logického obvodu je spojen s dalším v pořadí výstupem zapojení přes další v pořadí časový člen tak, že vstup tohoto časového členu je spojen s dalším v pořadí výstupem zapojení, a výstup tohoto časového členu je spojen s tímto druhým vstupem dalšího koncového logického obvodu.

Jako vstupní logický obvod se uvažuje libovolný kombinační logický obvod, přednostně obvod JE — NENÍ, vztaženo na jeden vstup a na druhý vstup nebo obecně součinnový logický obvod, popřípadě paměťový obvod pro záznam a mazání, vztaženo na jeden vstup a na druhý vstup.

Jako koncový logický obvod se uvažuje libovolný kombinační logický obvod, přednostně součtový logický obvod.

Jako pomocný logický obvod se uvažuje inverzní logický obvod, popřípadě při vícenásobných vstupech zapojení obecně kombinační logický obvod, vztaženo na tyto vícenásobné vstupy.

Jako časový člen se uvažuje zpožďovací logický obvod přednostně se zpožděním začátku signálu.

Přednostní zapojení podle vynálezu je skutečnost, že uvolňuje průchod signálů spojený se vzájemnou návazností tohoto průchodu, a to řetězcovým spojením jednoduchých logických obvodů, pracujících s kladinovými signály, což předurčuje vysokou provozní spolehlivost při aplikaci v oblasti řízení řetězce jednotlivých návazných článků výrobního zařízení.

Zapojení podle vynálezu je v příkladném provedení znázorněno na přiložených výkresech, kde obr. 1 představuje obecné zapojení, obr. 2 optimální zapojení, a obr. 3 představuje další návazné zapojení.

Na obr. 1 je znázorněn jeden vstup S_1 spojený s jedním vstupem $1c_1$ jednoho vstupního logického obvodu C_1 , jehož výstup je spojen s jedním vstupem $1d_1$ jednoho koncového logického obvodu D_1 , jehož výstup je spojen s jedním výstupem X_1 zapojení, druhý vstup S_2 je spojený s jedním vstupem $1c_2$ druhého vstupního logického obvodu C_2 , jehož výstup je spojen s jedním vstupem $1d_2$ druhého koncového logického obvodu D_2 , jehož výstup je spojen s druhým výstupem X_2 zapojení, třetí vstup S_3 je spojený s jedním vstupem $1c_3$ třetího vstupního logického obvodu C_3 , jehož výstup je spojen s jedním vstupem $1d_3$ třetího koncového logického obvodu D_3 , jehož výstup je spojen s třetím výstupem X_3 zapojení, další vstup S_{N-1} je spojený s jedním vstupem $1c_{N-1}$ dalšího vstupního logického obvodu C_{N-1} , jehož výstup je spojen s jedním vstupem $1d_{N-1}$ dalšího koncového logického ob-

vodu D_{N-1} , jehož výstup je spojen s dalším výstupem X_{N-1} zapojení, další v pořadí vstup S_N je spojený s jedním vstupem $1c_N$ dalšího v pořadí vstupního logického obvodu C_N , jehož výstup je spojen s jedním vstupem $1d_N$ dalšího v pořadí koncového logického obvodu D_N , jehož výstup je spojen s dalším výstupem X_N zapojení.

Uvedené logické obvody jsou dále propojeny tak, že druhý vstup $2c_1$ jednoho vstupního logického obvodu C_1 je spojen s druhým vstupem S_2 zapojení, a druhý vstup $2d_1$ jednoho koncového logického obvodu D_1 je spojen s druhým výstupem X_2 zapojení, druhý vstup $2c_2$ druhého vstupního logického obvodu C_2 je spojen s třetím vstupem S_3 zapojení, a druhý vstup $2d_2$ druhého koncového logického obvodu D_2 je spojen s třetím výstupem X_3 zapojení atd., druhý vstup $2c_{N-1}$ dalšího vstupního logického obvodu C_{N-1} je spojen s dalším v pořadí vstupem S_N zapojení, a druhý vstup $2d_{N-1}$ dalšího koncového logického obvodu D_{N-1} je spojen s dalším v pořadí výstupem X_N zapojení.

Funkce zapojení podle obr. 1 je taková, že signál, který prošel na jeden vstup S_1 přechází na jeden vstup $1c_1$ jednoho vstupního logického obvodu C_1 a způsobuje vybudnění signálu na jeho výstupu. Tento signál přechází dále na jeden vstup $1d_1$ jednoho koncového logického obvodu D_1 a způsobuje vybudnění signálu na jeho výstupu a tedy i na jednom výstupu X_1 zapojení.

Průchod signálu z jednoho vstupu S_1 na jeden výstup X_1 je dále ovlivněn signály na druhém vstupu $2c_1$ jednoho vstupního logického obvodu C_1 a na druhém vstupu $2d_1$ jednoho koncového logického obvodu D_1 .

Při použití logických obvodů typu JE — NENÍ pro vstupní logické obvody je vybudnění signálu na výstupu jednoho vstupního logického obvodu C_1 podmíněno nepřítomností signálu na druhém vstupu $2c_1$ tohoto obvodu a tedy nepřítomností signálu na druhém vstupu S_2 zapojení. Je zřejmé, že při použití součtových logických obvodů pro koncové logické obvody přechází signál z výstupu jednoho vstupního logického obvodu C_1 přímo na jeden výstup X_1 zapojení. Druhý vstup $2d_1$ koncového logického obvodu D_1 působí pro signál na jednom výstupu X_1 zapojení podpůrně tak, že signál na druhém výstupu X_2 zapojení přechází přes tento obvod na jeden výstup X_1 zapojení.

Signál na výstupu jednoho vstupního logického obvodu C_1 trvá až do příchodu signálu na druhý vstup S_2 zapojení. Při splnění podmínek pro průchod signálu z druhého vstupu S_2 zapojení na druhý výstup X_2 zapojení vzniká v důsledku zmíněného podpůrného působení takto nepřímě signál zároveň na jednom výstupu X_1 zapojení.

V opačném případě signál z druhého vstupu S_2 na výstup druhého vstupního obvodu C_2 nepřechází, avšak na druhém výstupu X_2 zapojení vzniká signál až při vzniku

ku signálu na některém dalším výstupu $X_3, \dots, X_{N-1}, X_N$ s vyšším indexem pořadí.

Souhrnná funkce zapojení podle vynálezu je taková, že signál na některém vstupu zapojení přechází na přiřazený výstup zapojení, jestliže na dalším v pořadí vstupu signál není, anebo přechází na tento výstup podpůrně, jestliže na dalším v pořadí vstupu zapojení signál je.

Na vstupy zapojení mohou být při jeho praktické aplikaci připojeny čidla, například čidla přítomnosti materiálu, signály na výstupech zapojení mohou řídit jednotlivé články výrobního zařízení, uspořádané například do tvaru řetězce ve výrobní lince a podobně.

Na obr. 2 je druhý vstup S_2 zapojení spojen se vstupem a_2 druhého pomocného logického obvodu A_2 , jehož výstup je spojen s druhým vstupem $2c_1$ jednoho vstupního logického obvodu C_1 , třetí vstup S_3 zapojení je spojen se vstupem a_3 třetího pomocného logického obvodu A_3 , jehož výstup je spojen s druhým vstupem $2c_2$ druhého vstupního logického obvodu C_2 , atd., další vstup S_{N-1} zapojení je spojen se vstupem a_{N-1} dalšího pomocného logického obvodu A_{N-1} , další v pořadí vstup S_N zapojení je spojen se vstupem a_N dalšího v pořadí pomocného logického obvodu A_N , jehož výstup je spojen s druhým vstupem $2c_{N-1}$ dalšího vstupního logického obvodu C_{N-1} . Při zapojení podle obr. 2 s použitím inverzních logických obvodů pro pomocné logické obvody a s použitím součtových logických obvodů pro vstupní logické obvody je dosaženo výhodnějšího zapojení logické sítě. Samotná výsledná funkce zapojení je obdobná jako obr. 1. Použití součtových logických obvodů pro pomocné logické obvody se uplatňuje zejména tehdy, jsou-li vstupy zapojení vícenásobné a složené vždy z několika elementárních vstupů. Je zřejmé, že vstupy těchto pomocných logických obvodů jsou také vícenásobné a složené vždy z několika elementárních vstupů, shodně s násobností vstupů zapojení.

Na obr. 3 je druhý výstup X_2 zapojení spojen se vstupem t_2 druhého časového členu T_2 , jehož výstup je spojen s druhým vstupem $2d_1$ jednoho koncového logického obvodu D_1 , třetí výstup X_3 zapojení je spojen se vstupem t_3 třetího časového členu T_3 , jehož výstup je spojen s druhým vstupem $2d_2$ druhého koncového logického obvodu D_2 , atd., další výstup X_{N-1} zapojení je spojen se vstupem t_{N-1} dalšího časového členu T_{N-1} , další v pořadí výstup X_N zapojení je spojen se vstupem t_N dalšího v pořadí časového členu T_N , jehož výstup je spojen s druhým vstupem $2d_{N-1}$ dalšího koncového logického obvodu D_{N-1} .

Funkce jednotlivého časového členu je taková, že signál, který prošel na jeho vstup způsobuje vybudnění signálu na výstupu s časovým zpožděním — zapojení se zpožděním začátku signálu.

Význam spojení výstupů zapojení s druhými vstupy koncových logických obvodů je v časovém zpoždění podpůrného vybuzení signálu na výstupu zapojení vždy s nižším indexem pořadí.

Další uplatnění zapojení podle vynálezu záleží v tom, že výstupy zapojení jsou s druhými vstupy koncových logických obvodů spojeny přes hradla, jejichž průchod je řízen buďto samostatně, nebo společným nosičem řídicího signálu.

Jako hradlo se uvažuje i časový člen v zapojení podle obr. 3, s dalším pomocným vstupem, kde signál na tomto pomocném

vstupu ruší vybuzení signálu s časovým zpožděním na výstupu tohoto časového členu.

Při použití koncových logických obvodů s více vstupy lze vždy jeden další vstup použít pro přídavné vybuzení signálu na výstupu, přednostně společným nosičem budičího signálu.

Zapojení podle vynálezu nachází svoje praktické uplatnění ve speciálních případech řízení jednotlivých článků výrobního zařízení při jeho automatizaci jednoúčelovými číslicovými řídicími členy.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro uvolňování průchodu signálů, vyznačené tím, že se skládá z jednoho vstupu (S_1) propojeného s jedním výstupem (X_1) přes jeden vstupní logický obvod (C_1) a přes jeden koncový logický obvod (D_1) spojené v kaskádě za sebou tak, že jeden vstup (1c_1) jednoho vstupního logického obvodu (C_1) je spojen s jedním vstupem (S_1) zapojení, a výstup tohoto obvodu (C_1) je spojen s jedním vstupem (1d_1) jednoho koncového logického obvodu (D_1), jehož výstup je spojen s jedním výstupem (X_1) zapojení, z druhého vstupu (S_2) propojeného s druhým výstupem (X_2) přes druhý vstupní logický obvod (C_2) a přes druhý koncový logický obvod (D_2) spojené v kaskádě za sebou tak, že jeden vstup (1c_2) druhého vstupního logického obvodu (C_2) je spojen s druhým vstupem (S_2) zapojení, a výstup tohoto obvodu (C_2) je spojen s jedním vstupem (1d_2) druhého koncového logického obvodu (D_2), jehož výstup je spojen s druhým výstupem (X_2) zapojení, popřípadě z třetího vstupu (S_3) propojeného s třetím výstupem (X_3) přes třetí vstupní logický obvod (C_3) a přes třetí koncový logický obvod (D_3) spojené v kaskádě za sebou tak, že jeden vstup (1c_3) třetího vstupního logického obvodu (C_3) je spojen s třetím vstupem (S_3) zapojení, a výstup tohoto obvodu (C_3) je spojen s jedním vstupem (1d_3) třetího koncového logického obvodu (D_3), jehož výstup je spojen s třetím výstupem (X_3) zapojení, případně se skládá z dalšího nebo z několika dalších vstupů, kde další vstup (S_{N-1}) je propojen s dalším výstupem (X_{N-1}) přes další vstupní logický obvod (C_{N-1}) a přes další koncový logický obvod (D_{N-1}) spojené v kaskádě za sebou tak, že jeden vstup (${}^1c_{N-1}$) dalšího vstupního logického obvodu (C_{N-1}) je spojen s dalším vstupem (S_{N-1}) zapojení, a výstup tohoto dalšího obvodu (C_{N-1}) je spojen s jedním vstupem (${}^1d_{N-1}$) dalšího koncového logického obvodu (D_{N-1}), jehož výstup je spojen s dalším výstupem (X_{N-1}) zapojení, a další v pořadí vstup (S_N) je propojen s dalším v pořadí výstupem (X_N) přes další v pořadí vstupní logický obvod (C_N) a přes

další v pořadí koncový logický obvod (D_N) spojené v kaskádě za sebou tak, že jeden vstup (1c_N) dalšího v pořadí vstupního logického obvodu (C_N) je spojen s dalším v pořadí vstupem (S_N) zapojení, a výstup tohoto dalšího v pořadí obvodu (C_N) je spojen s jedním vstupem (1d_N) dalšího v pořadí koncového logického obvodu (D_N), jehož výstup je spojen s dalším v pořadí výstupem (X_N) zapojení, kteréžto logické obvody jsou dále propojeny tak, že druhý vstup (2c_1) jednoho vstupního logického obvodu (C_1) je spojen s druhým vstupem (S_2) zapojení a druhý vstup (2d_1) jednoho koncového logického obvodu (D_1) je spojen s druhým výstupem (X_2) zapojení, druhý vstup (2c_2) druhého vstupního logického obvodu (C_2) je spojen s třetím vstupem (S_3) zapojení, a druhý vstup (2d_2) druhého koncového logického obvodu (D_2) je spojen s třetím výstupem (X_3) zapojení, popřípadě druhý vstup (${}^2c_{N-1}$) dalšího vstupního logického obvodu (C_{N-1}) je spojen s dalším v pořadí vstupem (S_N) zapojení, a druhý vstup (${}^2d_{N-1}$) dalšího koncového logického obvodu (D_{N-1}) je spojen s dalším v pořadí výstupem (X_N) zapojení.

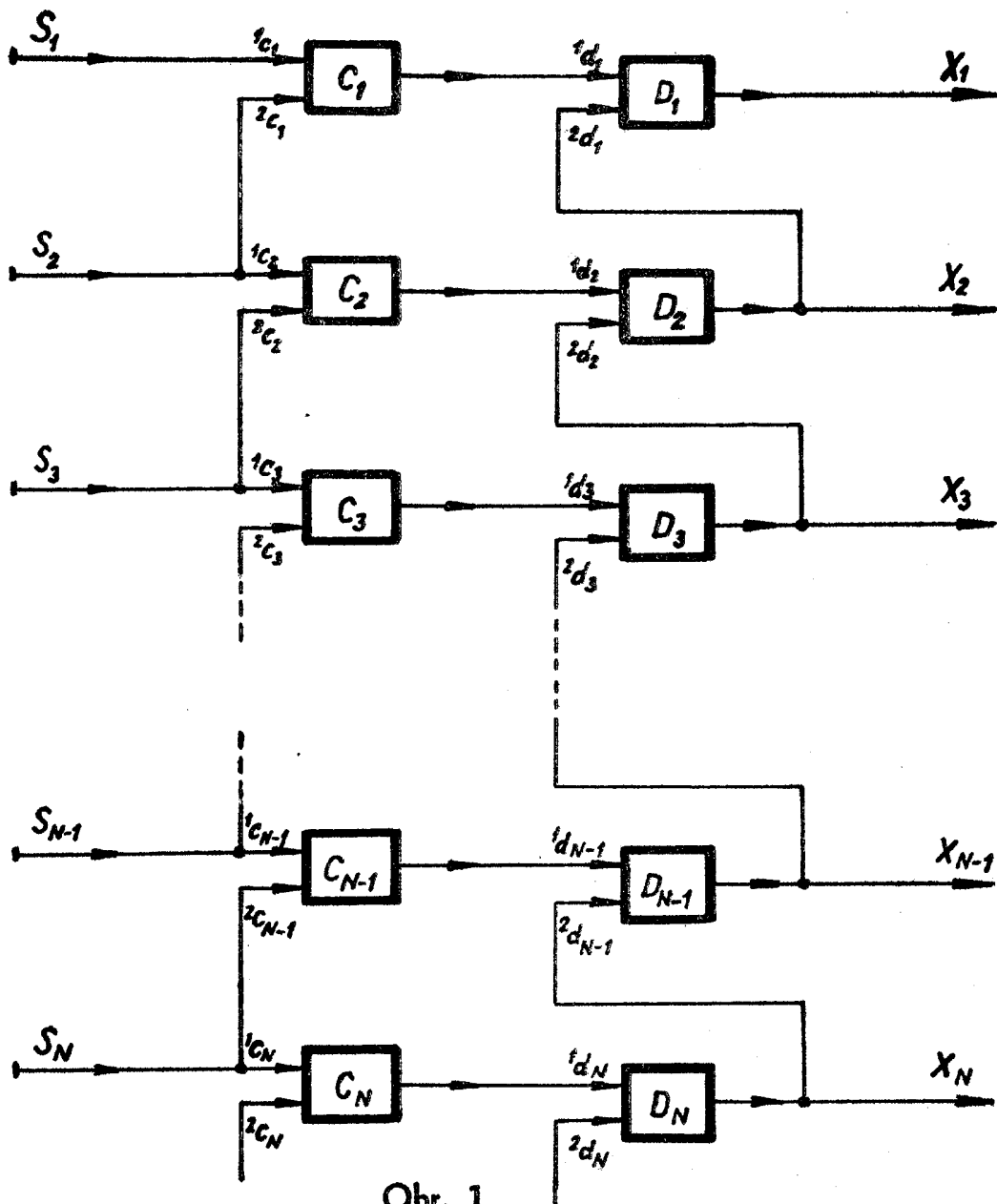
2. Zapojení podle bodu 1, vyznačené tím, že druhý vstup (2c_1) jednoho vstupního logického obvodu (C_1) je spojen s druhým vstupem (S_2) zapojení přes druhý pomocný logický obvod (A_2) tak, že vstup (a_2) tohoto pomocného logického obvodu je spojen s druhým vstupem (S_2) zapojení, a výstup tohoto pomocného logického obvodu (A_2) je spojen s tímto druhým vstupem (2c_1) tohoto jednoho vstupního logického obvodu (C_1), druhý vstup (2c_2) druhého vstupního logického obvodu (C_2) je spojen s třetím vstupem (S_3) zapojení přes třetí pomocný logický obvod (A_3) tak, že vstup (a_3) tohoto pomocného logického obvodu je spojen s třetím vstupem (S_3) zapojení, a výstup tohoto pomocného logického obvodu (A_3) je spojen s tímto druhým vstupem (2c_2) tohoto druhého vstupního logického obvodu (C_2), popřípadě druhý vstup (${}^2c_{N-1}$) dalšího vstupního logického obvodu (C_{N-1}) je spojen s dalším v pořadí vstupem (S_N) za-

pojení přes další v pořadí pomocný logický obvod $\{A_N\}$ tak, že vstup $\{a_N\}$ tohoto pomocného logického obvodu je spojen s dalším v pořadí vstupem $\{S_N\}$ zapojení, a výstup tohoto pomocného logického obvodu $\{A_N\}$ je spojen s tímto druhým vstupem $\{^2c_{N-1}\}$ tohoto dalšího vstupního logického obvodu $\{C_{N-1}\}$.

3. Zapojení podle bodu 1, vyznačené tím, že druhý vstup $\{^2d_1\}$ jednoho koncového logického obvodu $\{D_1\}$ je spojen s druhým výstupem $\{X_2\}$ zapojení přes druhý časový člen $\{T_2\}$ tak, že vstup $\{t_2\}$ tohoto časového členu je spojen s druhým výstupem $\{X_2\}$ zapojení, a výstup tohoto časového členu $\{T_2\}$ je spojen s tímto druhým vstupem $\{^2d_1\}$ tohoto jednoho koncového logického obvodu $\{D_1\}$, druhý vstup $\{^2d_2\}$ druhého

koncového logického obvodu $\{D_2\}$ je spojen s třetím výstupem $\{X_3\}$ zapojení přes třetí časový člen $\{T_3\}$ tak, že vstup $\{t_3\}$ tohoto časového členu je spojen s třetím výstupem $\{X_3\}$ zapojení, a výstup tohoto časového členu $\{T_3\}$ je spojen s tímto druhým vstupem $\{^2d_2\}$ tohoto druhého koncového logického obvodu $\{D_2\}$, popřípadě druhý vstup $\{^2d_{N-1}\}$ dalšího koncového logického obvodu $\{D_{N-1}\}$ je spojen s dalším v pořadí výstupem $\{X_N\}$ zapojení přes další v pořadí časový člen $\{T_N\}$ tak, že vstup $\{t_N\}$ tohoto časového členu je spojen s dalším v pořadí výstupem $\{X_N\}$ zapojení, a výstup tohoto časového členu $\{T_N\}$ je spojen s tímto druhým vstupem $\{^2d_{N-1}\}$ tohoto dalšího koncového logického obvodu $\{D_{N-1}\}$.

3 listy výkresů



Obr. 1

