(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년11월11일
(11) 등록번호 10-1568121
(24) 등록일자 2015년11월05일

(51) 국제특허분류(Int. Cl.)
*G02F 1/136* (2006.01) *H01L 29/786* (2006.01)
(21) 출원번호 10-2008-0072834
(22) 출원일자 2008년07월25일
심사청구일자 2013년07월19일
(65) 공개번호 10-2009-0012156
(43) 공개일자 2009년02월02일
(30) 우선권주장
JP-P-2007-00196489 2007년07월27일 일본(JP)
(56) 선행기술조사문헌
JP08088397 A*
JP11112003 A*
JP11121761 A*
JP2005150685 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
**가부시키가이샤 한도오따이 에네루기 켄큐쇼**
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
**쿠로카와 요시유키**
일본, 243-0036, 카나가와-켄, 아츠기-시, 하세, 398,가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내
**이케다 타카유키**
일본, 243-0036, 카나가와-켄, 아츠기-시, 하세, 398,가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내
*(뒷면에 계속)*
(74) 대리인
**장훈**

전체 청구항 수 : 총 14 항 심사관 : 추장희

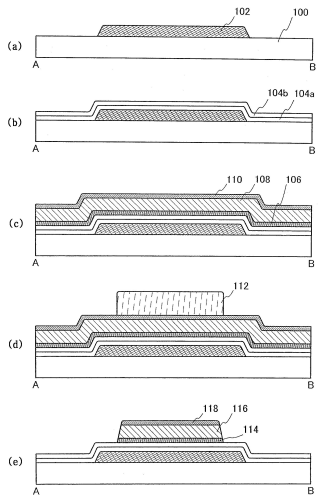
(54) 발명의 명칭 **액정 표시 장치 및 전자기기**

## (57) 요 약

본 발명은 개구율을 향상시킨 액정 표시 장치 및 전자기기를 제공하는 것을 과제로 한다.

절연 표면을 갖는 기판과, 기판 위에 형성된 트랜지스터와, 트랜지스터에 전기적으로 접속된 화소 전극을 갖고, 트랜지스터는, 게이트 전극과, 게이트 전극 위의 게이트 절연층과, 게이트 절연층 위의 미결정 구조를 갖는 반도체층과, 미결정 구조를 갖는 반도체층 위의 버퍼층을 갖고, 트랜지스터의 채널 폭 W와, 트랜지스터의 채널 길이 L은 $0.1 \leq W/L \leq 1.7$의 관계를 만족시키는 것을 특징으로 하고 있다.

*대 표 도* - 도1



(72) 발명자

**오사다 타케시**

일본, 243-0036, 카나가와-켄, 아츠기-시, 하세, 398,가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내

**이노우에 타카유키**

일본, 243-0036, 카나가와-켄, 아츠기-시, 하세, 398,가부시키가이샤 한도오따이 에네루기 켄쿠쇼 내

# 명 세 서

## 청구범위

### 청구항 1

액정 표시 장치에 있어서:

절연 표면을 갖는 기판;

상기 기판 위의 트랜지스터;

상기 트랜지스터에 전기적으로 접속된 화소 전극;

대향 기판;

상기 기판과 상기 대향 기판 사이의 액정층; 및

상기 기판과 상기 대향 기판 사이의 스페이서를 포함하고,

상기 트랜지스터는,

게이트 전극;

상기 게이트 전극 위의 게이트 절연층;

상기 게이트 절연층 위의 미결정 구조(microcrystalline structure)를 갖는 반도체 층;

상기 미결정 구조를 갖는 상기 반도체 층 위의 버퍼층;

상기 버퍼층 위의 소스 영역 및 드레인 영역;

상기 소스 영역 위의 제 1 도전층; 및

상기 드레인 영역 위의 제 2 도전층을 포함하고,

상기 반도체 층은 채널 형성 영역을 포함하고,

상기 트랜지스터의 채널 폭 W 및 상기 트랜지스터의 채널 길이 L은 $0.1 \leq W/L \leq 1.7$의 관계를 만족시키고,

상기 채널 폭 W는 1 ㎛ 이상 5 ㎛ 이하이고,

상기 제 1 도전층은 적어도 상기 소스 영역의 상면, 상기 버퍼층의 측면 및 상기 반도체 층의 측면과 접하고,

상기 대향 기판 위의 차광막, 상기 차광막 위의 제 1 착색막, 상기 제 1 착색막 위의 제 2 착색막, 상기 제 2 착색막 위의 제 3 착색막, 및 상기 제 3 착색막 위의 대향 전극은 상기 스페이서와 상기 대향 기판 사이에 적층되는, 액정 표시 장치.

### 청구항 2

액정 표시 장치에 있어서:

절연 표면을 갖는 기판;

상기 기판 위의 트랜지스터;

상기 트랜지스터에 전기적으로 접속된 화소 전극;

대향 기판;

상기 기판과 상기 대향 기판 사이의 액정층; 및

상기 기판과 상기 대향 기판 사이의 스페이서를 포함하고,

상기 트랜지스터는,

게이트 전극;

상기 게이트 전극 위의 게이트 절연층;

상기 게이트 절연층 위의 미결정 구조를 갖는 반도체 층;

상기 미결정 구조를 갖는 상기 반도체 층 위의 버퍼층;

상기 버퍼층 위의 소스 영역 및 드레인 영역;

상기 소스 영역 위의 제 1 도전층; 및

상기 드레인 영역 위의 제 2 도전층을 포함하고,

상기 트랜지스터의 채널 폭 W는 1 ㎛ 이상 5 ㎛ 이하이고,

상기 제 1 도전층은 적어도 상기 소스 영역의 상면, 상기 버퍼층의 측면 및 상기 반도체 층의 측면과 접하고

상기 대향 기판 위의 차광막, 상기 차광막 위의 제 1 착색막, 상기 제 1 착색막 위의 제 2 착색막, 상기 제 2 착색막 위의 제 3 착색막, 및 상기 제 3 착색막 위의 대향 전극은 상기 스페이서와 상기 대향 기판 사이에 적층되는, 액정 표시 장치.

**청구항 3**

액정 표시 장치에 있어서:

절연 표면을 갖는 기판;

상기 기판 위의 트랜지스터;

상기 트랜지스터에 전기적으로 접속된 화소 전극;

대향 기판;

상기 기판과 상기 대향 기판 사이의 액정층; 및

상기 기판과 상기 대향 기판 사이의 스페이서를 포함하고,

상기 트랜지스터는,

게이트 전극;

상기 게이트 전극 위의 게이트 절연층;

상기 게이트 절연층 위의 미결정 구조를 갖는 반도체 층;

상기 미결정 구조를 갖는 상기 반도체 층 위의 버퍼층;

상기 버퍼층 위의 소스 영역 및 드레인 영역;

상기 소스 영역 위의 제 1 도전층; 및

상기 드레인 영역 위의 제 2 도전층을 포함하고,

상기 반도체 층은 채널 형성 영역을 포함하고,

상기 트랜지스터의 채널 폭 W 및 상기 트랜지스터의 채널 길이 L은 $0.1 \leq W/L \leq 1.7$의 관계를 만족시키고,

상기 버퍼층은 적어도 상기 채널 형성 영역 위에 제공되고,

상기 채널 폭 W는 1 ㎛ 이상 5 ㎛ 이하이고,

상기 제 1 도전층은 적어도 상기 소스 영역의 상면, 상기 버퍼층의 측면 및 상기 반도체 층의 측면과 접하고

상기 대향 기판 위의 차광막, 상기 차광막 위의 제 1 착색막, 상기 제 1 착색막 위의 제 2 착색막, 상기 제 2 착색막 위의 제 3 착색막, 및 상기 제 3 착색막 위의 대향 전극은 상기 스페이서와 상기 대향 기판 사이에 적층되는, 액정 표시 장치.

**청구항 4**

액정 표시 장치에 있어서:

절연 표면을 갖는 기판;

상기 기판 위의 트랜지스터;

상기 트랜지스터에 전기적으로 접속된 화소 전극;

대향 기판;

상기 기판과 상기 대향 기판 사이의 액정층; 및

상기 기판과 상기 대향 기판 사이의 스페이서를 포함하고,

상기 트랜지스터는,

게이트 전극;

상기 게이트 전극 위의 게이트 절연층;

상기 게이트 절연층 위의 미결정 구조를 갖는 반도체 층;

상기 미결정 구조를 갖는 상기 반도체 층 위의 버퍼층;

상기 버퍼층 위의 소스 영역 및 드레인 영역;

상기 소스 영역 위의 제 1 도전층; 및

상기 드레인 영역 위의 제 2 도전층을 포함하고,

상기 트랜지스터의 채널 폭 W는 1 ㎛ 이상 5 ㎛ 이하이고,

상기 버퍼층은 적어도, 상기 트랜지스터의 채널 형성 영역인 상기 미결정 구조를 갖는 상기 반도체 층 위에 제공되고,

상기 제 1 도전층은 적어도 상기 소스 영역의 상면, 상기 버퍼층의 측면 및 상기 반도체 층의 측면과 접하고

상기 대향 기판 위의 차광막, 상기 차광막 위의 제 1 착색막, 상기 제 1 착색막 위의 제 2 착색막, 상기 제 2 착색막 위의 제 3 착색막, 및 상기 제 3 착색막 위의 대향 전극은 상기 스페이서와 상기 대향 기판 사이에 적층되는, 액정 표시 장치.

**청구항 5**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 버퍼층은 비정질 반도체를 포함하는, 액정 표시 장치.

**청구항 6**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 버퍼층은 홈(groove)을 갖는, 액정 표시 장치.

**청구항 7**

제 1 항 내지 제 4 항 중 어느 한 항에 따른 액정 표시 장치를 포함하는 전자기기.

**청구항 8**

제 1 항 또는 제 3 항에 있어서,

상기 소스 영역은 상기 버퍼층의 제 1 영역 위에 위치되고,

상기 드레인 영역은 상기 버퍼층의 제 2 영역 위에 위치되고,

상기 버퍼층은 상기 제 1 영역과 상기 제 2 영역 사이에 홈을 포함하고,

상기 게이트 전극의 길이는 상기 채널 길이의 방향에서의 상기 반도체 층의 길이보다 큰, 액정 표시 장치.

**청구항 9**

제 2 항 또는 제 4 항에 있어서,

상기 소스 영역은 상기 버퍼층의 제 1 영역 위에 위치되고,

상기 드레인 영역은 상기 버퍼층의 제 2 영역 위에 위치되고,

상기 버퍼층은 상기 제 1 영역과 상기 제 2 영역 사이에 홈을 포함하고,

상기 게이트 전극의 길이는 채널 길이의 방향에서의 상기 반도체 층의 길이보다 큰, 액정 표시 장치.

**청구항 10**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 게이트 절연층의 말단부는 테이퍼 형상인, 액정 표시 장치.

**청구항 11**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 소스 영역 및 상기 드레인 영역의 각각은 하나의 도전형을 부여하는 불순물 원소를 포함하는, 액정 표시 장치.

**청구항 12**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 소스 영역의 말단부는 상기 제 1 도전층의 말단부의 내측에 위치하고,

상기 드레인 영역의 말단부는 상기 제 2 도전층의 말단부의 내측에 위치하는, 액정 표시 장치.

**청구항 13**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 게이트 절연층은 적층 구조를 갖는, 액정 표시 장치.

**청구항 14**

삭제

**청구항 15**

제 1 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 제 1 도전층과 상기 제 2 도전층 위의 제 1 절연층을 더 포함하고,

상기 소스 영역의 상기 상면은 상기 제 1 절연층과 접하고,

상기 드레인 영역의 상면은 상기 제 1 절연층과 접하는, 액정 표시 장치.

**청구항 16**

삭제

## *발명의 설명*

### *발명의 상세한 설명*

#### *기 술 분 야*

[0001] 본 발명은 액정 표시 장치 및 전자기기에 관한 것이다.

## 배 경 기 술

[0002] 최근, 절연 표면을 갖는 기판 위에 반도체 박막을 형성하고, 상기 반도체 박막을 사용하여 반도체 장치를 제작하는 기술이 널리 연구되고 있다. 상술한 반도체 박막을 사용한 반도체 장치는 여러가지 분야에 사용할 수 있지만, 그 중에서도, 화상 표시 장치의 스위칭 소자로서 사용되는 경우가 많다.

[0003] 상기 화상 표시 장치의 스위칭 소자로서는 비정질 반도체나 다결정 반도체가 사용된다. 비정질 반도체를 사용하는 경우에는 결정화 등에 필요하게 되는 공정을 배제하여 공정수를 최소한으로 억제할 수 있기 때문에, 스위칭 소자를 저가로 제조할 수 있다고 하는 메리트가 있다. 또한, 다결정 반도체를 사용하는 경우에는 고성능인 스위칭 소자를 제작할 수 있다고 하는 메리트가 있다.

[0004] 스위칭 소자를 사용하는 화상 표시 장치의 예로서는 액정 표시 장치나 일렉트로루미네선스 표시 장치 등을 들 수 있다. 액정 표시 장치는 화소 전극과 대향 전극의 사이에 전위차를 줌으로써, 액정 분자의 배향을 변화시켜 표시를 하는 것이다. 또, 표시에 필요한 전위차를 일정한 시간 유지하기 위해서, 일반적으로 화소에는 유지 용량이 형성된다. 일렉트로루미네선스 표시 장치는 전극간에 형성된 발광재료에 전하를 공급하여, 캐리어의 발광 재결합을 유도함으로써 표시를 하는 것이다.

[0005] 액정 표시 장치에 있어서, 화소의 개구율은 표시 품질을 결정하는 중요한 파라미터의 하나이다. 개구율이 향상됨으로써 휘도가 향상되고, 고 콘트라스트의 표시가 가능해진다. 또한, 개구율이 향상됨으로써 백 라이트의 출력을 저감하는 것이 가능하다. 개구율을 향상시키는 방법으로서는 예를 들면, 차광막을 사용하여 유지 용량을 형성하는 방법이 있다(예를 들면, 특허문헌1 참조).

[0006] 그런데, 반도체 재료로서는 비정질 반도체나 다결정 반도체 이외에도 미결정 반도체(microcrystalline semiconductor)가 존재한다. 예를 들면, 미결정 실리콘은 비정질 실리콘과 함께, 옛부터 알려져 있는 재료이다. 미결정 실리콘을 사용한 전계효과형 트랜지스터에 관해서는 1980년대로 거슬러 갈 수 있다(예를 들면 특허문헌 2 참조). 하지만, 오늘날에 이를 때까지 미결정 실리콘을 이용한 트랜지스터는 비정질 실리콘을 이용한 트랜지스터와 다결정 실리콘을 이용한 트랜지스터에 묻혀 실용화가 늦어지고, 학회 등에서 보고가 간혹 보이는 것에 머물렀다(예를 들면, 비특허문헌 1 참조).

[0007] [특허문헌 1] 일본 공개특허공보 제(평)10-170961호

[0008] [특허문헌 2] 미국특허 제5,591,987호

[0009] [비특허문헌 1] 도시아키 아라이(Toshiaki Arai) 외, 에스아이디 07 다이제스트(SID 07 DIGEST), 2007, p.1370-1373

## 발명의 내용

### 해결 하고자하는 과제

[0010] 액정 표시 장치에 있어서, 화소부의 트랜지스터(이하 「화소 트랜지스터」라고도 함)에는 높은 전류 구동 능력과, 낮은 누설 전류 특성(low leakage current characteristics)이 요구된다. 높은 전류 구동 능력이 요구되는 것은, 유지 용량의 충전 및 방전을 빠르게 할 필요가 있기 때문이다. 낮은 누설 전류 특성이 요구되는 것은, 유지 용량에 축적된 전하를 놓치지 않도록 하기 위해서이다.

[0011] 화소 트랜지스터로서 비정질 반도체를 사용하는 경우에는, 상기한 바와 같이 저가로 제조할 수 있다고 하는 이점이 있다. 한편, 비정질 반도체에서는 캐리어의 이동도가 낮기 때문에, 이것을 사용한 트랜지스터의 전류 구동 능력도 낮은 것이 되어 버린다. 트랜지스터의 채널폭을 크게 함으로써 전류 구동 능력의 향상은 가능하지만, 이 경우에는 트랜지스터 사이즈가 커져, 화소의 개구율이 저하된다고 하는 문제가 생기게 된다.

[0012] 트랜지스터 사이즈를 크게 한 경우에는 그 외에도 폐해가 생긴다. 예를 들면, 트랜지스터의 소스 영역 또는 드레인 영역과, 게이트 배선(게이트 전극이라고도 함)의 사이에 형성되는 용량(이하, 결합 용량이라고 함)이 커진다고 하는 문제이다. 도 23에 도시되는 바와 같이, 회로도에 있어서는, 결합 용량(2301)과 유지 용량(2302)은 게이트 배선(2303)과 액정 소자(2304)의 사이에 직렬로 접속된 상태로서 표현된다. 요컨대, 게이트 배선(2303)의 전위가 변동하면, 유지 용량(2302)의 전위도 변동하게 된다. 표시 품질을 일정하게 유지하기 위해서는, 유지 용량(2302)의 전위변동이 충분히 작은 것이 필요하여, 결합 용량(2301)에 대한 유지 용량(2302)의 비율을 높여야만 하지만, 유지 용량(2302)을 크게 하면 개구율이 저하되어 버리게 된다. 또한, 트랜지스터 사이즈가

커진 경우에는, 동시에 결합 용량(2305)도 커지기 때문에, 소스 신호의 둔함 등도 문제가 된다.

[0013] 이상과 같이, 화소 트랜지스터로서 비정질 반도체를 사용하는 경우에는, 원하는 성능을 유지한 채로 개구율을 향상시키는 것은 대단히 곤란하다.

[0014] 한편, 화소 트랜지스터로서 다결정 반도체를 사용하는 경우에는 상술한 이동도가 낮은 것에 기인하는 문제는 해소된다. 그러나, 액정 표시 장치의 제조에 사용되는 노광 장치의 분해능은 수 ㎛ 정도로, 다결정 반도체의 특성을 다 활용했다고는 도저히 말할 수 없다. 오히려, 최적의 사이즈보다 채널 폭이 커지는 것에 기인하여, 누설 전류가 커져 버린다는 문제가 생긴다. 누설 전류가 큰 경우에는 유지 용량을 크게 할 필요가 있기 때문에, 개구율의 저하로 이어진다. 또한, 누설 전류를 저감하기 위해서, 트랜지스터를 직렬로 수개 접속하는 등의 연구를 하는 경우가 있지만, 이 경우에도 개구율은 저하되게 된다. 또, LSI 등의 경우와 비교하여 분해능이 낮은 것은 액정 표시 장치에 사용되는 기판(대표적으로는 유리기판)에 수십 ㎛ 정도의 휘어짐이 있기 때문이다. 이 때문에, 대면적을 한번에 노광하는 경우에는 노광 장치의 초점 심도를 깊게 할 필요가 있다.

[0015] 또, 다결정 반도체를 이용하는 경우에는 공정이 번잡해지고, 생산성이 저하된다고 하는 문제가 있다.

[0016] 이러한 문제점을 감안하여, 본 발명에서는 개구율이 향상된 액정 표시 장치 및 전자기기를 제공하는 것을 과제로 한다.

## *과제 해결수단*

[0017] 본 발명에서는 미결정 구조(microcrystalline structure)를 갖는 반도체(이하 「미결정 반도체(microcrystalline semiconductor)」라고도 함)와 비정질 반도체의 적층 구조를 사용하여 트랜지스터를 제작한다. 더욱 상세하게는 채널 형성 영역으로서 미결정 반도체를 사용하여, 미결정 반도체상에 비정질 반도체가 적층한 구조의 보톰게이트형 박막 트랜지스터를 제작한다. 이것에 의해, 높은 전류 구동 능력과 낮은 누설 전류 특성을 함께 가진 트랜지스터를 제공할 수 있다. 즉, 상술한 트랜지스터를 스위칭 소자로서 사용함으로써, 개구율이 향상된 액정 표시 장치를 제공할 수 있다.

[0018] 본 발명의 액정 표시 장치의 하나는 절연 표면을 갖는 기판과, 기판 위에 형성된 트랜지스터와, 트랜지스터에 전기적으로 접속된 화소 전극을 갖고, 트랜지스터는 게이트 전극과, 게이트 전극 위의 게이트 절연층과, 게이트 절연층 위의 미결정 구조를 갖는 반도체층과, 미결정 구조를 갖는 반도체층 위의 버퍼층을 갖고, 트랜지스터의 채널 폭 W와, 트랜지스터의 채널 길이 L은 $0.1 \leq W/L \leq 1.7$의 관계를 만족시키는 것을 특징으로 하고 있다.

[0019] 본 발명의 액정 표시 장치의 다른 하나는 절연 표면을 갖는 기판과, 기판 위에 형성된 트랜지스터와, 트랜지스터에 전기적으로 접속된 화소 전극을 갖고, 트랜지스터는 게이트 전극과, 게이트 전극 위의 게이트 절연층과, 게이트 절연층 위의 미결정 구조를 갖는 반도체층과, 미결정 구조를 갖는 반도체층 위의 버퍼층을 갖고, 트랜지스터의 채널 폭 W는 1 ㎛ 이상 10 ㎛ 이하(바람직하게는 1 ㎛ 이상 5 ㎛ 이하)인 것을 특징으로 하고 있다.

[0020] 또한, 본 발명의 액정 표시 장치의 다른 하나는 절연 표면을 갖는 기판과, 기판 위에 형성된 트랜지스터와, 트랜지스터에 전기적으로 접속된 화소 전극을 갖고, 트랜지스터는 게이트 전극과, 게이트 전극 위의 게이트 절연층과, 게이트 절연층 위의 미결정 구조를 갖는 반도체층과, 미결정 구조를 갖는 반도체층 위의 버퍼층을 갖고, 트랜지스터의 채널 폭 W는 트랜지스터의 최소 가공 치수 d, 및, 비정질 반도체를 사용하여 전류 구동 능력을 동일하게 제작한 트랜지스터의 채널 폭 $W_a$에 대하여, $d \leq W \leq W_a$의 관계를 만족시키는 것을 특징으로 하고 있다.

또, 상기에 있어서, 채널 폭($W_a$) 이외의 파라미터는 본 발명의 트랜지스터와 같다.

[0021] 또한, 본 발명의 액정 표시 장치의 다른 하나는 절연 표면을 갖는 기판과, 기판 위에 형성된 트랜지스터와, 트랜지스터에 전기적으로 접속된 화소 전극을 갖고, 트랜지스터는 게이트 전극과, 게이트 전극 위의 게이트 절연층과, 게이트 절연층 위의 미결정 구조를 갖는 반도체층과, 미결정 구조를 갖는 반도체층 위의 버퍼층을 갖고, 트랜지스터의 채널 폭 W와, 트랜지스터의 채널 길이 L은 $0.1 \leq W/L \leq 1.7$의 관계를 만족시키고, 적어도 트랜지스터의 채널 형성 영역이 되는 미결정 구조를 갖는 반도체층 위에는 버퍼층이 잔존하고 있는 것을 특징으로 하고 있다.

[0022] 또한, 본 발명의 액정 표시 장치의 다른 하나는 절연 표면을 갖는 기판과, 기판 위에 형성된 트랜지스터와, 트랜지스터에 전기적으로 접속된 화소 전극을 갖고, 트랜지스터는 게이트 전극과, 게이트 전극 위의 게이트 절연층과, 게이트 절연층 위의 미결정 구조를 갖는 반도체층과, 미결정 구조를 갖는 반도체층 위의 버퍼층을 갖고, 트랜지스터의 채널 폭 W는 1 ㎛ 이상 10 ㎛ 이하(바람직하게는 1 ㎛ 이상 5 ㎛ 이하)이고, 적어도 트랜지스터의

채널 형성 영역이 되는 미결정 구조를 갖는 반도체층 위에는 버퍼층이 잔존하고 있는 것을 특징으로 하고 있다.

[0023] 또한, 본 발명의 액정 표시 장치의 다른 하나는 절연 표면을 갖는 기판과, 기판 위에 형성된 트랜지스터와, 트랜지스터에 전기적으로 접속된 화소 전극을 갖고, 트랜지스터는 게이트 전극과, 게이트 전극 위의 게이트 절연층과, 게이트 절연층 위의 미결정 구조를 갖는 반도체층과, 미결정 구조를 갖는 반도체층 위의 버퍼층을 갖고, 트랜지스터의 채널 폭 W는 트랜지스터의 최소 가공 치수 d, 및 비정질 반도체를 사용하여 전류 구동 능력을 동일하게 제작한 트랜지스터의 채널 폭 $W_a$에 대하여, $d \leq W \leq W_a$의 관계를 만족시키고, 적어도 트랜지스터의 채널 형성 영역이 되는 미결정 구조를 갖는 반도체층 위에는 버퍼층이 잔존하고 있는 것을 특징으로 하고 있다. 또, 상기에 있어서, 채널 폭($W_a$) 이외의 파라미터는 본 발명의 트랜지스터와 같다.

[0024] 또한, 상기한 구성에 있어서, 버퍼층은 비정질 반도체를 사용하여 형성된 것을 특징으로 하고 있다. 또한, 트랜지스터의 채널 형성 영역이 되는 미결정 구조를 갖는 반도체층 위에 있어서, 버퍼층에는 홈이 형성되어 있는 것을 특징으로 하고 있다.

[0025] 또한, 상기한 액정 표시 장치를 사용하여 여러가지 전자기기를 제공할 수 있다.

[0026] 또, 본 명세서 중에, 특별히 언급이 없는 한에 있어서, 미결정 반도체는 미결정 구조를 갖는 반도체를 가리키기로 한다. 요컨대, 미결정 반도체의 구성요소로서 미결정 구조 이외를 포함하여도 좋다. 예를 들면, 성막 조건 등에 따라서는 비정질 구조를 포함하는 경우가 있다.

[0027] 또, 본 명세서에서, 「접속」에는 「전기적인 접속」이 포함되는 것으로 한다.

[0028] 또한, 본 명세서 중에서의 표시 장치는, 화상 표시 디바이스 등의 표시 디바이스, 조명 장치 등의 광원 등을 포함하는 것으로 한다. 또한, FPC(Flexible printed circuit)나 TAB(Tape Automated Bonding) 테이프, TCP(Tape Carrier Package) 등의 커넥터가 장착된 모듈, TAB 테이프나 TCP의 단부에 프린트 배선판이 형성된 모듈, 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적회로)가 실장된 모듈 등도 모두 표시 장치에 포함되는 것으로 한다.

## 효 과

[0029] 본 발명에 의해, 개구율이 향상된 액정 표시 장치를 제공할 수 있다. 또한, 이것을 사용하여, 고품질의 전자기기를 제공할 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0030] 본 발명의 실시형태에 관해서, 도면을 참조하여 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 일탈하지 않고 그 형태 및 상세한 것을 여러가지로 변경할 수 있다는 것은 당업자이면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 개시하는 실시형태의 기재내용에 한정하여 해석되는 것은 아니다. 또, 이하에 설명하는 본 발명의 구성에 있어서, 같은 것을 가리키는 부호는 다른 도면간에서 공통으로 사용하기로 한다.

[0031] (실시형태 1)

[0032] 본 실시형태에서는 본 발명의 액정 표시 장치의 제작공정, 특히, 박막 트랜지스터의 제작공정에 관해서, 도 1 내지 6을 참조하여 설명한다. 도 1 내지 3은 제작공정에서의 단면도이고, 도 4, 도 5는 1화소에서의 박막 트랜지스터 및 화소 전극의 접속영역의 평면도이다. 도 6은 완성한 액정 표시 장치의 단면도 및 평면도이다.

[0033] 또, 평면도의 구성으로서는 여러가지 것이 생각되지만, 본 실시형태에서는 대표적으로, 채널 형성 영역, 소스 영역, 드레인 영역이 직선형으로 배치한 구조의 경우(도 4 참조), 및 채널 형성 영역이나 소스 영역 또는 드레인 영역의 한쪽이 U자형 구조인 경우(도 5 참조)를 도시하고 있다. 물론 본 발명은 이들에 한정되는 것은 아니다. 도 5와 같은 구성으로 함으로써, 개구율의 저하를 수반하지 않고 일정한 채널 폭을 확보할 수 있기 때문에 바람직하다. 또한, 본 발명에서는 채널 폭을 충분히 작게 할 수 있기 때문에, 도 4의 같은 직선형 구조를 사용하여 대단히 개구율이 높은 액정 표시 장치를 작성할 수 있다. 또, 도 1 내지 도 3의 단면도는 도 4, 도 5에서의 선분 AB에 대응하고 있다.

[0034] 미결정 반도체를 사용한 박막 트랜지스터로서는 p채널형보다 n채널형 전류 구동 능력이 높다. 이 때문에, 화소부의 트랜지스터로서는 n채널형이 적합하지만, 본 발명은 이것에 한정되지 않는다. 본 실시형태에서는 n채널형

박막 트랜지스터를 참조하여 설명한다.

[0035] 처음에, 기판(100) 위에 게이트 전극(102)을 형성한다(도 1a 및 도 4a, 도 5a 참조). 기판(100)은 바륨붕규산유리, 알루미노붕규산유리, 알루미노실리케이트유리 등의 무알칼리유리기판, 세라믹기판 등을 사용할 수 있다. 내열성이 허락하면, 플라스틱기판 등을 사용하여도 좋다. 또한, 스테인레스합금 등의 금속 기판의 표면에 절연층을 형성한 기판을 사용하여도 좋다. 기판(100)의 크기에 관해서는 특별히 한정되지 않고, 320㎜×400㎜, 370㎜×470㎜, 550㎜×650㎜, 600㎜×720㎜, 680㎜×880㎜, 730㎜×920㎜, 1000㎜×1200㎜, 1100㎜×1250㎜, 1150㎜×1300㎜, 1500㎜×1800㎜, 1900㎜×2200㎜, 2160㎜×2460㎜, 2400㎜×2800㎜, 2850㎜×3050㎜ 등의 기판을 적절하게 사용할 수 있다.

[0036] 게이트 전극(102)은 티타늄, 몰리브덴, 크롬, 탄탈, 텅스텐, 알루미늄 등의 금속 재료 또는 그 합금 재료를 사용하여 형성한다. 게이트 전극(102)은 스퍼터링법이나 진공증착법으로 형성한 도전층을, 마스크를 사용하여 에칭함으로써 형성할 수 있다. 또한, 금, 은, 구리 등의 도전성 나노페이스트를, 잉크젯법에 의해 토출하여, 소성함으로써 형성할 수도 있다. 또, 상기 금속 재료의 질화물층을, 기판(100) 및 게이트 전극(102)의 사이에 형성하여도 좋다. 이것에 의해, 게이트 전극(102)의 밀착성을 향상시킬 수 있다. 또한, 반도체층에 대한 상기 금속 재료의 확산을 막을 수도 있다.

[0037] 또, 게이트 전극(102)은 그 말단부가 테이퍼 형상이 되도록 가공하는 것이 바람직하다. 이것에 의해, 게이트 전극(102) 위에 반도체층이나 배선 등을 형성할 때의 단절을 방지할 수 있다. 또한, 게이트 전극(102)의 형성과 같은 공정에서, 그 밖의 배선을 형성할 수도 있다. 또, 본 실시형태에서는 게이트 전극(102)을 단층 구조로 하였지만, 2층 이상의 적층 구조로 하여도 좋다. 예를 들면, 알루미늄과 몰리브덴의 적층 구조로 하여도 좋고, 구리와 몰리브덴의 적층 구조로 하여도 좋다. 또한, 몰리브덴 대신에, 질화티타늄이나 질화탄탈을 사용하여도 좋다. 적층 구조로 하는 경우에는 상기한 바와 같이 저저항재료를 배리어 메탈로 덮는 구성으로 함으로써, 반도체층 중에 오염원이 되는 금속 원소가 확산되는 것을 방지할 수 있다.

[0038] 다음에, 게이트 전극(102) 위에, 게이트 절연층(104a), 게이트 절연층(104b)을 형성한다(도 1b 참조). 게이트 절연층(104a), 게이트 절연층(104b)으로서는 CVD법이나 스퍼터링법 등을 사용하여 형성된 산화규소막, 질화규소막, 산화질화규소막, 질화산화규소막 등을 사용하면 좋다. 본 실시형태에서는 게이트 절연층(104a)으로서 질화규소 또는 질화산화규소를, 게이트 절연층(104b)으로서 산화규소 또는 산화질화규소를 사용한 구조를 도시한다. 또, 게이트 절연층을 2층 구조로 하였지만, 본 발명은 이것에 한정되지 않는다. 단층으로 하여도 좋고, 3층 이상의 적층 구조로 하여도 상관없다.

[0039] 여기에서, 산화질화규소막은 그 조성에 있어서, 질소보다도 산소의 함유량(원자수)이 많은 것을 나타내고, 예를 들면, 산소가 50원자% 이상 70원자% 이하, 질소가 0.5원자% 이상 15원자% 이하, 규소가 25원자% 이상 35원자% 이하, 수소가 0.1원자% 이상 10원자% 이하의 범위로 포함되는 것을 말한다. 또한, 질화산화규소막은 그 조성에 있어서, 산소보다도 질소의 함유량(원자수)이 많은 것을 나타내고, 예를 들면, 산소가 5원자% 이상 30원자% 이하, 질소가 20원자% 이상 55원자% 이하, 규소가 25원자% 이상 35원자% 이하, 수소가 10원자% 이상 25원자% 이하의 범위로 포함되는 것을 말한다. 단, 상기 범위는 레더포드 후방산란법(RBS:Rutherford Backscattering Spectrometry)이나, 수소 전방산란법(HFS:Hydrogen Forward Scattering)을 사용하여 측정한 경우의 것이다. 또한, 구성 원소의 함유 비율은 그 합계가 100원자%를 초과하지 않은 값을 취한다.

[0040] 또, 게이트 절연층(104b)의 형성시에 수소 플라즈마 처리를 하여도 좋다. 게이트 절연층에 수소 플라즈마 처리를 함으로써 미결정 반도체층의 결정 성장을 촉진할 수 있다. 이것은 수소 플라즈마 처리에 의해서, 게이트 절연층에 존재하는 댕글링 본드를 종단할 수 있기 때문이다. 이와 같이, 게이트 절연층(104b)의 형성시에 플라즈마 처리를 함으로써, 얻어지는 미결정 반도체층의 특성을 향상시킬 수 있다.

[0041] 그 후, 게이트 절연층(104b) 상에, 미결정 반도체층(106), 버퍼층(108), 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(110)을 차례로 형성한다(도 1c 참조).

[0042] 미결정 반도체층(106)은 비정질과 결정(단결정, 다결정을 포함한다)의 중간적인 구조의 반도체를 포함하는 층이고, 그 결정 입경은 대략 2㎚ 이상 100㎚ 이하이다. 미결정 반도체의 대표예인 미결정 실리콘은 그 라만 스펙트럼의 피크가 단결정 실리콘을 나타내는 521$cm^{-1}$보다도 저파수측으로 시프트하고 있다. 즉, 단결정 실리콘을 나타내는 521$cm^{-1}$과 아모퍼스실리콘을 나타내는 480$cm^{-1}$와의 사이에 미결정 실리콘의 라만 스펙트럼의 피크가 있다. 또한, 댕글링 본드를 종단하기 위해서, 수소 또는 할로겐이 1원자% 또는 그 이상 포함되어도 좋다. 또, 헬륨, 아르곤, 크립톤, 네온 등의 희가스 원소를 포함하여 격자 변형을 조장시킴으로써, 안정성이 향상된 양호

한 미결정 반도체를 얻을 수 있다.

[0043] 상기한 미결정 반도체층(106)은 예를 들면, 주파수가 수십 MHz 내지 수백 MHz의 고주파 플라즈마 CVD, 주파수가 1 GHz 이상의 마이크로파 플라스마 CVD를 사용하여 형성할 수 있다. 원료 가스로서는 $SiH_4$, $Si_2H_6$, $SiH_2Cl_2$, $SiHCl_3$, $SiCl_4$, $SiF_4$ 등으로 대표되는 규소화합물을 수소로 희석한 것을 사용할 수 있다. 상술한 규소화합물이나 수소에, 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 1종 또는 복수종의 희가스 원소를 첨가하여도 좋다. 또, 미결정 반도체층(106)의 두께는 2 nm 이상 50 nm 이하, 바람직하게는 10 nm 이상 30 nm 이하로 한다.

[0044] 또, 미결정 반도체층(106)은 불순물 원소를 의도적으로 첨가하지 않는 경우에는 약한 n형 도전성을 나타낸다. 이 때문에, p형을 부여하는 불순물 원소를 첨가하여, 문턱치를 제어하여도 좋다. p형을 부여하는 불순물 원소로서 붕소를 사용하는 경우에는 예를 들면 붕소의 농도가 $1\times10^{14}$ atoms/㎤ 이상 $6\times10^{16}$ atoms/㎤ 이하가 되도록 첨가하면 좋다.

[0045] 버퍼층(108)은 비정질 반도체를 포함하는 층이고, $SiH_4$, $Si_2H_6$, $SiH_2Cl_2$, $SiHCl_3$, $SiCl_4$, $SiF_4$ 등의 규소화합물의 기체를 사용하여, 플라즈마 CVD법에 의해 형성할 수 있다. 또한, 상기 규소화합물의 기체를, 헬륨, 아르곤, 크립톤, 네온으로부터 선택된 1종 또는 복수종의 희가스 원소로 희석하여 사용하여도 좋다. 또, 수소를 첨가하여, 수소를 포함하는 비정질 반도체층을 형성하여도 좋고, 질소나 암모니아를 첨가하여, 질소를 포함하는 비정질 반도체층을 형성하여도 좋고, 불소, 염소, 브롬, 또는 요오드를 포함하는 기체($F_2$, $Cl_2$, $Br_2$, $I_2$, HF, HCl, HBr, HI 등)를 사용하여, 불소, 염소, 브롬, 또는 요오드를 포함하는 비정질 반도체층을 형성하여도 좋다.

[0046] 또한, 버퍼층(108)은 타깃으로 비정질 반도체를 사용한 스퍼터링법에 의해 형성할 수도 있다. 스퍼터링의 분위기로서는 수소 분위기, 또는 희가스 분위기가 바람직하지만, 이것에 한정되지 않는다. 또, 암모니아, 질소, 또는 $N_2O$를 첨가함으로써, 질소를 포함하는 비정질 반도체층을 형성할 수도 있다. 또한, 불소, 염소, 브롬, 또는 요오드를 포함하는 기체($F_2$, $Cl_2$, $Br_2$, $I_2$, HF, HCl, HBr, HI 등)를 첨가함으로써, 불소, 염소, 브롬, 또는 요오드를 포함하는 비정질 반도체층을 형성할 수도 있다.

[0047] 버퍼층(108)으로서 미결정 반도체층(106)의 표면에 비정질 반도체층을 형성한 후, 상기 비정질 반도체층의 표면을 수소 플라즈마, 질소 플라즈마, 또는 할로겐 플라즈마 등으로 처리하여, 비정질 반도체층의 표면을 수소화, 질화, 또는 할로겐화하여도 좋다.

[0048] 버퍼층(108)의 두께는 100 nm 이상 500 nm 이하, 바람직하게는 150 nm 이상 400 nm 이하, 더욱 바람직하게는 200 nm 이상 300 nm 이하로 한다. 버퍼층(108)을 두껍게 형성하는 것은 뒤의 소스 영역 및 드레인 영역의 형성 프로세스(에칭)에 있어서, 그 일부를 잔존시키기 위해서이다. 버퍼층(108)을 잔존시킴으로써, 박막 트랜지스터의 누설 전류(「오프전류」라고도 함)를 저감할 수 있다. 또한, 버퍼층이 미결정 반도체층 위에 존재하는 것으로, 그 일부가 채널 형성 영역으로서 기능하는 미결정 반도체층(106)의 산화를 방지하여, 양호한 특성을 얻는 것이 가능하다. 또, 미결정 반도체층과, 소스 영역 또는 드레인 영역과 겹치는 영역의 버퍼층은 상술한 막 두께(100 nm 이상 500 nm 이하, 바람직하게는 150 nm 이상 400 nm 이하, 더욱 바람직하게는 200 nm 이상 300 nm 이하)를 갖고, 절연 내압의 향상에 기여한다.

[0049] 또, 오프전류 저감의 효과를 충분히 얻기 위해서는 버퍼층(108) 중에 인 등의 n형을 부여하는 불순물 원소와 붕소 등의 p형을 부여하는 불순물 원소가 동시에 존재하지 않는 영역을 형성할 필요가 있다. 이들의 불순물 원소가 동시에 존재하는 경우에는, 재결합 중심이 형성되어, 누설 전류가 생겨 버리기 때문이다. 특히, n채널형 박막 트랜지스터를 형성하는 경우에는 버퍼층(108) 위에는 n형을 부여하는 불순물 원소가 첨가된 반도체층(110)이 형성되고, 미결정 반도체층(106)에는 문턱치 전압을 제어하기 위해서 p형을 부여하는 불순물 원소가 첨가되어 있는 경우가 있기 때문에, 의도적으로 불순물 원소가 존재하지 않는 영역을 형성하는 등의 주의가 필요하다.

[0050] n채널형 박막 트랜지스터를 형성하는 경우에는 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(110)에 첨가하는 불순물 원소로서, 예를 들면, 인을 사용할 수 있다. 또한, p채널형 박막 트랜지스터를 형성하는 경우에는 불순물 원소로서, 예를 들면, 붕소를 사용할 수 있다. 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(110)은 2 nm 이상 50 nm 이하(바람직하게는 10 nm 이상 30 nm 이하) 정도의 막 두께가 되도록 형성하면 좋다. 제작방법으로서는 원료 가스에 불순물 원소를 함유하는 가스(예를 들면, $PH_3$이나 $B_2H_6$)를 첨가한 플라즈마 CVD법 등을 사용할 수 있다.

[0051] 다음에, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(110) 위에 마스크(112)를 형성한다(도 1d 참조).

또, 게이트 절연층(104a), 게이트 절연층(104b), 미결정 반도체층(106), 및 버퍼층(108)을 연속적으로 형성하여도 좋고, 게이트 절연층(104a), 게이트 절연층(104b), 미결정 반도체층(106), 버퍼층(108), 및 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(110)을 연속적으로 형성하여도 좋다. 적어도, 게이트 절연층(104a), 게이트 절연층(104b), 미결정 반도체층(106), 및 버퍼층(108)을 대기에 노출시키지 않고 연속적으로 형성하는 것으로, 각 계면을 청정한 상태로 유지할 수 있다. 또, 마스크(112)는 포토리소그래피법이나 잉크젯법을 사용하여 형성할 수 있다.

[0052] 다음에, 마스크(112)를 사용하여, 미결정 반도체층(106), 버퍼층(108), 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(110)을 에칭하여, 미결정 반도체층(114), 버퍼층(116), 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(118)을 형성한다(도 1e 참조). 또, 도 1b는 도 4b 또는 도 5b의 선분 AB의 단면도에 상당한다.

[0053] 여기에서, 미결정 반도체층(114), 버퍼층(116), 및 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(118)의 말단부를, 테이퍼 형상으로 에칭하는 것으로, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(118)과 미결정 반도체층(114)의 접촉을 방지할 수 있다. 본 발명에 있어서, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(118)과 미결정 반도체층(114)이 접촉한 경우, 버퍼층(116)이 가지는 의미가 희박해진다. 따라서, 상기와 같은 대책은 대단히 유효하다. 또, 상기 테이퍼 형상의 테이퍼각은 30° 이상 90° 이하, 바람직하게는 45° 이상 80° 이하로 한다.

[0054] 다음에, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(118) 및 게이트 절연층(104b) 상에 도전층(120a), 도전층(120b), 도전층(120c)을 차례로 적층하여 형성한다(도 2a 참조). 또, 본 실시형태에서는 3층 구조의 도전층을 형성하였지만, 본 발명은 이것에 한정되지 않는다. 단층, 또는 2층 구조로 하여도 좋고, 4층 이상의 적층 구조로 하여도 좋다.

[0055] 도전층(120a), 도전층(120b), 도전층(120c)에 사용할 수 있는 재료로서는 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 금(Au), 은(Ag), 구리(Cu), 크롬(Cr), 네오듐(Nd)으로부터 선택된 원소, 또는 상기한 원소를 주성분으로 하는 합금 재료 또는 화합물 재료 등을 들 수 있다. 인 등의 불순물 원소를 도핑한 다결정 실리콘으로 대표되는 반도체 재료나, AgPdCu 합금 등을 사용하여도 좋다. 제작방법으로서는 스퍼터링법이나 진공증착법, 플라즈마 CVD법 등을 들 수 있다. 본 실시형태에서는 도전층(120a), 도전층(120c)에 몰리브덴, 도전층(120b)에 알루미늄을 사용한 경우를 나타내지만, 다른 구성을 사용하여도 좋다. 예를 들면, 도전층(120a), 도전층(120c)에 티타늄, 도전층(120b)에 알루미늄을 사용하는 구성으로 하여도 좋다.

[0056] 또, 도전층(120a), 도전층(120b), 도전층(120c)은 도전성 나노페이스트를 사용한 스크린인쇄법이나, 잉크젯법 등을 사용하여 형성하는 것도 가능하다.

[0057] 그 후, 도전층(120a), 도전층(120b), 도전층(120c) 상에 마스크(122)를 형성한다. 마스크(122)는 마스크(112)와 같이 형성할 수 있다.

[0058] 다음에, 마스크(122)를 사용하여 도전층(120a), 도전층(120b), 도전층(120c)을 에칭하여, 소스 전극 또는 드레인 전극으로서 기능하는 도전층(124a), 도전층(124b), 도전층(124c) 및, 소스 전극 또는 드레인 전극으로서 기능하는 도전층(126a), 도전층(126b), 도전층(126c)을 형성한다(도 2b 참조). 본 실시형태에서는 웨트 에칭에 의해 도전층(124a), 도전층(124b), 도전층(124c), 도전층(126a), 도전층(126b), 도전층(126c)을 형성하지만, 웨트 에칭은 드라이 에칭과 비교하여 등방적인 에칭이고, 마스크(122)의 말단부(128a)와, 도전층(124a), 도전층(124b), 도전층(124c)의 말단부(128b)는 일치하지 않고, 또한, 마스크(122)의 말단부(130a)와 도전층(126a), 도전층(126b), 도전층(126c)의 말단부(130b)는 일치하지 않는다.

[0059] 다음에, 마스크(122)를 사용하여 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(118) 및 버퍼층(116)을 에칭하여, 소스 영역 또는 드레인 영역(132), 소스 영역 또는 드레인 영역(134), 버퍼층(136)을 형성한다(도 2c 참조). 그리고, 그 후, 마스크(122)를 제거한다. 또, 버퍼층(136)은 버퍼층(116)의 일부가 에칭된 것으로, 미결정 반도체층(114)의 표면을 덮고 있다.

[0060] 에칭에 의해 형성된 버퍼층(136)은 홈을 갖고 있고, 홈의 말단부는 소스 영역 또는 드레인 영역(132)의 말단부와 거의 연속된 면을 형성하고 있다. 또한, 상술한 홈은 마스크(122)의 개구부와 개략 일치한 영역에 형성되어 있다.

[0061] 버퍼층(136)을 가짐으로써, 위에서도 설명한 바와 같이, 박막 트랜지스터의 누설 전류(「오프전류」라고도 함)를 저감할 수 있다. 이것은 오프(off) 시에는 캐리어의 패스의 주요한 부분이 버퍼층(136) 중에 형성되기 때문이다. 단, 온(on) 시에는 미결정 반도체층만이 채널로서 기능하여, 버퍼층(136) 중에 캐리어의 패스는 형성되

지 않는다. 또, 버퍼층(136)에 홈을 형성함으로써, 홈을 형성하지 않는 경우와 비교하여 누설 전류를 저감할 수 있다. 이것은 홈을 형성하는 분만큼 누설 패스가 길어지기 때문이다. 또한, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(118)을 완전히 제거함으로써, 잔사(殘査)에 포함되는 불순물 원소 등에 의한 누설 전류를 저감할 수 있다. 또한, 버퍼층의 홈 부분에 존재하는 수소, 불소 등에 의해, 산소 등의 불순물 원소가 미결정 반도체층에 침입하는 것을 막을 수 있다. 또한, 버퍼층(136)이 미결정 반도체층(114) 위에 존재하는 것으로, 채널 형성 영역으로서 기능하는 미결정 반도체층(114)의 산화를 방지하여, 양호한 특성을 얻는 것이 가능하다.

[0062] 버퍼층(136)에는 기생 채널 방지의 효과도 있다. 또한, 버퍼층(136)은 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층(118)을 에칭할 때의 스토퍼로서도 기능한다. 또, 버퍼층(136)을 형성하지 않는 경우에는 에칭시의 라디칼 반응에 의해 미결정 반도체층(114)이 산화하여, 이동도의 저하, 서브 문턱치(S치)의 증대 등의 결과를 초래하여 버린다. 산화 방지 대책으로서 버퍼층(136)을 사용하는 경우에는 수소화된 비정질 반도체 재료, 특히 a-Si:H(수소화비정질실리콘)를 사용하는 것이 적합하다. 이것은 표면이 수소로 종단되어 있는 것에 의해, 산화를 억제할 수 있기 때문이다.

[0063] 또한, 소스 영역 또는 드레인 영역(132)의 말단부(138)와, 도전층(124a), 도전층(124b), 도전층(124c)의 말단부(128b)는 일치하지 않고, 소스 영역 또는 드레인 영역(134)의 말단부(140)와, 도전층(126a), 도전층(126b), 도전층(126c)의 말단부(130b)는 일치하지 않는다. 말단부(128b) 및 말단부(130b)의 내측에, 말단부(138) 및 말단부(140)가 존재하는 형태가 된다.

[0064] 또, 도 2c는 도 4c 또는 도 5c의 선분 AB의 단면도에 상당하고 있다. 도 4c나 도 5c로부터도, 말단부(128b) 및 말단부(130b)가, 말단부(138) 및 말단부(140)의 외측에 위치하는 것을 알 수 있다. 또한, 소스 전극 또는 드레인 전극의 한쪽은 소스 배선 또는 드레인 배선으로서도 기능한다.

[0065] 이상의 공정에 의해, 채널 형성 영역으로서 미결정 반도체층(114)을 갖고, 상기 미결정 반도체층(114) 상에 버퍼층(136)을 갖는 박막 트랜지스터(142)를 형성할 수 있다.

[0066] 다음에, 박막 트랜지스터(142)를 덮도록 절연층(144)을 형성한다(도 3a 참조). 절연층(144)은 게이트 절연층(104a)이나 게이트 절연층(104b)과 같이 형성할 수 있다. 또, 절연층(144)은 대기 중에 부유하는 유기물이나 금속, 물 등의 불순물의 침입을 막기 위한 것이기 때문에, 치밀한 막으로 하는 것이 바람직하다.

[0067] 다음에, 절연층(144)에 콘택트 홀을 형성하고, 상기 콘택트 홀에 있어서 도전층(124c)에 접하는 화소 전극(146)을 형성한다(도 3b 참조). 또, 도 3b는 도 4d 또는 도 5d의 선분 AB의 단면도에 상당한다.

[0068] 화소 전극(146)은 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하 「ITO」라고도 함), 인듐아연산화물, 산화규소를 첨가한 인듐주석산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0069] 또한, 화소 전극(146)으로서, 도전성 고분자(「도전성 중합체」라고도 함)를 포함하는 도전성 조성물을 사용할 수도 있다. 도전성 조성물은 박막에서의 시트 저항이 10000Ω/sq. 이하인 것이 바람직하다. 또한, 광 투과성을 갖는 화소 전극층으로서 박막을 형성하는 경우에는 파장 550 nm에서의 빛의 투과율이 70% 이상인 것이 바람직하다. 또한, 포함되는 도전성 고분자의 저항율이 0.1 Ω·cm 이하인 것이 바람직하다.

[0070] 상기한 도전성 고분자로서는 소위 π전자공액계 도전성 고분자를 사용할 수 있다. 예를 들면, 폴리아닐린 및 그 유도체, 폴리피롤 및 그 유도체, 폴리티오펜 및 그 유도체, 또는 이들의 공중합체 등을 들 수 있다.

[0071] 본 실시형태에서는 말단부(128b)와 말단부(138), 및, 말단부(130b)와 말단부(140)가 일치하지 않는 구성의 트랜지스터를 제작하였지만, 이들이 일치하는 구성으로 하여도 좋다. 도 3c에, 이들의 말단부가 일치하는 형상의 박막 트랜지스터의 단면을 도시한다. 도 3c와 같이 말단부의 형상을 일치시키기 위해서는 이방성이 강한 드라이 에칭을 사용하면 좋다. 소스 전극 또는 드레인 전극으로서 기능하는 도전층(124a), 도전층(124b), 도전층(124c) 및, 소스 전극 또는 드레인 전극으로서 기능하는 도전층(126a), 도전층(126b), 도전층(126c)을 마스크로서 사용하여, 일 도전형을 부여하는 불순물 원소가 첨가된 반도체층을 에칭하는 것이라도, 말단부가 일치한 형상으로 할 수 있다.

[0072] 그 후, 배향막 등을 형성한 후, 대향 기판의 접합이나, 액정의 밀봉, 각종 구동 회로의 실장 등을 함으로써 액정 표시 장치가 완성된다(도 6 참조). 도 6a는 액정 표시 장치의 평면도이고, 도 6b는 도 6a의 선분 CD에서의 단면도이다. 또, 도 6에서는 간단하게 위해서, 트랜지스터의 적층 구조 등을 일부 생략하고 있다.

[0073] 도 6에 도시하는 액정 표시 장치에서는 기판(600) 위의 화소부(602)와, 주사선 구동 회로(604)를 둘러싸도록 하여, 시일재(606)가 형성되어 있다. 또한, 화소부(602)와, 주사선 구동 회로(604)의 위에는 대향 기판(608)이 형성되어 있다. 요컨대, 화소부(602)와, 주사선 구동 회로(604)와, 액정(610)은 기판(600)과 시일재(606)와 대향 기판(608)에 의하여 밀봉되어 있다. 또한, 기판(600) 위의 시일재(606)에 의해서 둘러싸인 영역은 다른 영역에, 별도 준비된 단결정 반도체 또는 다결정 반도체로 형성된 신호선 구동 회로(612)가 실장되어 있다. 도 6b에서는 신호선 구동 회로(612)에 포함되는 트랜지스터(614)를 예시하고 있다.

[0074] 기판(600) 위의 화소부(602)와, 주사선 구동 회로(604)는 박막 트랜지스터를 복수 갖고 있다. 도 6b에서는 화소부(602)에 포함되는 박막 트랜지스터(616)를 예시하고 있다. 박막 트랜지스터(616)는 미결정 반도체를 사용한 박막 트랜지스터에 상당하고, 상술한 공정에서 제작할 수 있다.

[0075] 또한, 화소 전극(618)과 대향 전극(620)의 간격(셀 갭)을 제어하기 위해서, 구(球)형의 스페이서(622)가 형성되어 있다. 구형의 스페이서 대신에, 절연층을 선택적으로 에칭하는 것으로 얻어지는 스페이서를 사용하여도 좋다.

[0076] 주사선 구동 회로(604)와 신호선 구동 회로(612)에 주어지는 각종 신호는 인회 배선(624), 인회 배선(626)을 통해서, FPC(628)로부터 공급되고 있다. 또한, 인회 배선(626)에는 접속 단자(630)가 형성되어 있고, FPC(628)와 접속 단자(630)는 이방성 도전재료(632)를 통해서 전기적으로 접속되어 있다. 또, 본 실시형태에 있어서, 접속 단자(630)는 화소 전극(618)과 같은 도전층으로 형성되어 있고, 또한, 인회 배선(624), 인회 배선(626)은 배선(634)과 같은 도전층으로 형성되어 있지만, 본 발명은 이것에 한정되지 않는다.

[0077] 또, 도 6에는 도시하지 않았지만, 본 발명의 액정 표시 장치는 배향막, 편광판을 갖고, 또 컬러 필터(이하, 착색막이라고도 함)나 차광막 등을 갖고 있어도 좋다.

[0078] 또, 도 6에서는 신호선 구동 회로(612)를 별도 형성하여, 기판(600)에 실장한 예를 도시하였지만, 본 발명은 이것에 한정되지 않는다. 트랜지스터의 특성에 따라 신호선 구동 회로를 일체 형성하여도 좋다. 물론, 주사선 구동 회로를 별도 형성하는 구성으로 하여도 좋다. 또한, 신호선 구동 회로의 일부나 주사선 구동 회로의 일부를 별도 형성하여 실장하는 구성으로 하여도 좋다.

[0079] 이상과 같이, 본 발명에 의해, 미결정 반도체를 화소 트랜지스터의 채널 형성 영역으로서 사용한 액정 표시 장치가 제공된다. 또, 상기 트랜지스터, 액정 표시 장치의 구성은 어디까지나 일례이고, 본 발명은 이것에 한정되는 것은 아니다.

[0080] 또, 본 발명의 액정 표시 장치에 사용하는 트랜지스터는 그 채널 폭(W)이, 최소 가공 치수(d) 이상이 된다. 여기에서, 최소 가공 치수(d)는, 트랜지스터에서의 콘택트부분의 폭이나, 채널 길이, 배선폭 등 중에 최소의 것을 말한다. 요컨대, 본 발명의 액정 표시 장치에 사용하는 트랜지스터는 $d \leq W$의 관계를 만족시키도록 형성된다. 이것은 미결정 반도체를 사용한 트랜지스터의 채널 폭이, 노광 장치의 분해능에 의한 제한을 받지 않는 것에 의한다.

[0081] 또한, 채널 폭(W)의 상한은 비정질 반도체를 사용하여 형성된 같은 전류 구동 능력의 트랜지스터에서의 채널 폭($W_a$)을 참조할 수 있다. 즉, 채널 폭(W)은 채널 폭($W_a$)을 사용하여, $W \leq W_a$로 규정된다. 이것은 비정질 반도체에서의 캐리어의 이동도보다 미결정 반도체에서의 캐리어의 이동도가 높고, 전류 구동 능력을 동일하게 제작한 경우에는 비정질 반도체를 사용한 경우보다 채널 폭이 작아지기 때문이다. 여기서 비교대상인 비정질 반도체를 사용한 트랜지스터의 채널 폭($W_a$) 이외의 파라미터에 관해서는 본 발명의 트랜지스터와 같이 설정하는 점에 유의가 필요하다.

[0082] 또한, 본 발명의 액정 표시 장치에 사용하는 트랜지스터에 있어서, 채널 폭(W)과 채널 길이(L)는 $0.1 \leq W/L \leq 2.0$(또는 $0.1 \leq W/L < 2.0$), 바람직하게는 $0.1 \leq W/L \leq 1.5$, 더욱 바람직하게는 $0.1 \leq W/L \leq 1.0$의 관계를 만족시킨다. 여기에서, 비정질 반도체를 사용한 트랜지스터를 액정 표시 장치의 화소에 사용하는 경우에는 채널 폭($W_a$) 및 채널 길이($L_a$)는 $20 \leq W_a \leq 100$, $3 \leq L_a \leq 10$(단위는 모두 ㎛) 정도가 된다. 요컨대, $2.0 \leq W_a/L_a \leq 33.3$ 정도이다. 한편, 본 발명의 미결정 반도체를 사용한 트랜지스터를 액정 표시 장치의 화소에 사용하는 경우이면, $1 \leq W \leq 5$, $3 \leq L \leq 10$(단위는 모두 ㎛) 정도이다. 즉, $0.1 \leq W/L \leq 1.7$ 정도이다.

[0083] 또, 다결정 반도체를 사용한 트랜지스터를 액정 표시 장치의 화소에 사용하는 경우에는, 노광 장치의 분해능에 의해, 채널 폭(Wp)이 대폭적으로 제한을 받아 버린다. 즉, 다결정 반도체의 성능을 충분히 살린 화소 트랜지스

터를 제작하는 것은 곤란하다. 이동도 등을 고려한 경우, 다결정 반도체를 사용한 트랜지스터의 채널 길이($L_p$)와 비정질 반도체를 사용한 트랜지스터의 채널 길이가 동등($3 \leq L_p \leq 10$) 조건 하에서는 $W_p \leq 0.5$가 적당한 조건이고, $W_p/L_p \leq 0.6$이 되지만, 이렇게 하여 구한 $W_p/L_p$의 값은 현실적인 것이 아니라, 큰 의미를 가지지 않는다.

[0084] 또, 본 발명의 액정 표시 장치에 사용하는 트랜지스터에 있어서, 채널 폭(W)을 더욱 구체적으로 규정하는 것이면, 1 ㎛ 이상 10 ㎛ 이하(더욱 바람직하게는 1 ㎛ 이상 5 ㎛ 이하)로 하면 좋다. 노광 장치의 분해능의 한계를 하한으로 하고, 「노광 장치의 분해능의 한계 +5 ㎛」 정도를 상한으로 하여 채널 폭을 규정할 수도 있다.

[0085] 통상, 비정질 반도체를 사용한 트랜지스터를 액정 표시 장치에 채용하는 경우에는 그 채널 폭이 20 ㎛ 이상 100 ㎛ 이하가 되도록 제작된다. 이와 같이 채널 폭을 크게 하는 것은 비정질 반도체의 캐리어의 이동도가 낮기 때문이다. 그러나, 큰 채널 폭을 채용하는 경우에는 트랜지스터의 사이즈도 커지고, 또한, 결합 용량도 커지기 때문에, 상술한 바와 같이 개구율이 저하된다고 하는 문제가 생긴다. 이 점으로 인해, 본 발명에서는 비정질 반도체와 비교하여 캐리어의 이동도가 높은 미결정 반도체를 사용하여 트랜지스터를 제작하기 때문에, 비정질 반도체를 사용하는 경우와 비교하여 채널 폭을 충분히 작게 할 수 있다. 요컨대, 결합 용량의 문제를 해소하여, 개구율을 향상시킬 수 있다.

[0086] 또한, 다결정 반도체를 사용한 트랜지스터에서는 미결정 반도체를 사용한 트랜지스터와 비교하여 캐리어의 이동도가 높기 때문에, 이론적으로는 미결정 반도체보다 채널 폭을 작게 하는 것이 가능하다. 그러나, 액정 표시 장치를 제작할 때에 사용되는 노광 장치의 분해능은 수 ㎛ 정도(예를 들면 3 ㎛)로, 현실 문제로서 분해능보다 작은 채널 폭을 채용할 수는 없다. 따라서, 다결정 반도체를 액정 표시 장치의 화소 트랜지스터에 채용하는 메리트는 작다. 오히려, 다결정 반도체는 전기 전도도가 높고, 이 때문에 다결정 반도체를 사용한 트랜지스터는 오프시의 누설 전류가 크기 때문에, 표시에 필요한 전하를 소정의 시간 유지하기 위해서는 유지 용량을 크게 해야만 한다. 요컨대, 다결정 반도체를 사용하는 경우에도, 개구율은 저하되어 버리게 된다. 또한, 누설 전류를 저감하기 위해서 트랜지스터를 직렬로 접속하는 경우에도, 개구율은 저하된다.

[0087] 이 점으로 인해, 미결정 반도체를 사용한 트랜지스터에서는 요구되는 전류와 채널 폭의 관계가 액정 표시 장치에 있어서 최적이고, 최대의 개구율을 갖는 액정 표시 장치를 제공할 수 있는 것이다.

[0088] 또, 본 발명의 미결정 반도체를 사용한 트랜지스터는 채널 형성 영역의 미결정 반도체층 위에 버퍼층(비정질 반도체층)을 적층하고 있다. 이것에 의해, 주요한 누설 패스가 전기 전도도가 낮은 버퍼층(비정질 반도체층)측에 형성되기 때문에, 누설 전류를 더욱 저감할 수 있다. 즉, 유지 용량을 더욱 작게 할 수 있기 때문에, 개구율의 향상으로 이어진다.

[0089] 버퍼층에는 그 외에도 복수의 효과가 있다. 일례로서는 채널 형성 영역의 미결정 반도체의 산화를 막는 효과를 들 수 있다. 다른 일례로서는 미결정 반도체 중으로의 불순물 원소의 침입을 막는 효과를 들 수 있다. 이들의 효과에 의해, 트랜지스터마다의 특성의 격차를 저감할 수 있기 때문에, 액정 표시 장치를 제작할 때에 트랜지스터의 격차를 고려할 필요성이 저하된다. 즉, 트랜지스터의 격차의 영향을 막기 위한 여유를 갖게 한 설계가 불필요하게 된다. 이것을 전하 유지라는 관점에서 보면, 종래같으면 여유를 갖게 하여 유지 용량을 확보하였던 상황에서도, 그 여유분은 불필요하게 된다는 것이다. 이것에 의해, 유지 용량을 작게 할 수 있기 때문에, 개구율을 향상시키는 것이 가능하다.

[0090] 또, 트랜지스터의 격차 저감이라는 의미에 있어서, 미결정 반도체가 갖는 특성은 대단히 바람직하다. 다결정 반도체는 결정립마다의 크기가 가지각색이고, 또한, 다결정 반도체를 사용하여 제작한 트랜지스터의 채널 형성 영역은 소수의 결정립으로 형성되기 때문에, 트랜지스터마다의 특성의 격차는 커지는 경향이 있다. 한편, 미결정 반도체는 결정립의 크기가 일정하고, 또한, 트랜지스터의 채널 형성 영역은 다수의 결정립으로 형성되게 되기 때문에, 트랜지스터의 특성의 격차를 저감할 수 있다.

[0091] (실시형태 2)

[0092] 본 실시형태에서는 미결정 반도체층에 레이저광을 조사하여 결정성을 개선한 트랜지스터를 제작하는 방법에 관해서 도 7을 참조하여 설명한다.

[0093] 처음에 실시형태 1과 동일하게 하여, 기판 위에 게이트 전극을 형성한다. 그리고, 게이트 전극을 덮도록 게이트 절연층을 형성한다(도시하지 않는다). 그 후, 게이트 절연층(700) 위에 미결정 반도체층을 형성한다(도 7a 참조).

[0094] 상술한 바와 같이, 게이트 절연층(700) 위에 플라즈마 CVD법 등을 사용하여 미결정 반도체층을 형성할 때에, 게이트 절연층(700)과 형성한 반도체층(702)의 계면 부근에, 비정질 성분을 많이 포함하는 영역(여기에서는 「계면 영역(704)」이라고 부르기로 한다)이 형성되는 경우가 있다. 또한, 플라즈마 CVD법 등으로 막 두께 10 nm 이하의 극히 얇은 미결정 반도체층을 형성하고자 하는 경우, 결정립이 균일한 반도체층을 얻는 것은 곤란하다. 이러한 경우, 이하에 나타내는 레이저광을 조사하는 처리는 유효하다.

[0095] 반도체층(702)을 형성한 후, 반도체층(702)이 용융하지 않는 에너지 밀도의 레이저광을 반도체층(702)의 상방(계면 영역(704)의 반대의 면의 방향)으로부터 조사한다(도 7b 참조). 상기 레이저 처리(Laser Process, 이하 「LP」라고도 함)는 복사 가열에 의해 반도체층(702)을 용융시키지 않고 고상 결정 성장을 하는 것이다. 즉, 퇴적된 반도체층(702)이 액상(液相)이 되지 않은 경계 영역을 이용하는 결정 성장법이고, 그 의미에 있어서 「경계 성장」이라고 할 수도 있다.

[0096] 레이저광을 조사한 후의 단면을 도 7c에 도시한다. 레이저광으로서는 파장400 nm 이하의 엑시머 레이저광이나, YAG 레이저 또는 $YVO_4$ 레이저의 제 2 고조파(파장 532 nm) 내지 제 4 고조파(파장 266 nm)를 사용하는 것이 바람직하다. 파장이 같은 정도이면, 그 밖의 레이저광을 사용하는 것도 가능하지만, 생산성을 향상시키기 위해서는 상술한 바와 같은 고출력의 레이저를 사용하는 것이 바람직하다. 이들의 레이저광을 광학계를 사용하여 선형 또는 스폿형으로 집광하여, 반도체층(702)이 용융되지 않는 에너지 밀도로 조절하여 조사한다. 레이저광은 반도체층(702)이 용융하지 않는 에너지 밀도(요컨대 저에너지 밀도)로 집광하기 위해서, 레이저광의 조사면적을 크게 하는 것이 가능하다. 요컨대, 대면적의 기판에서도 단시간에 처리하는 것이 가능하다.

[0097] 레이저광은 계면 영역(704)에까지 작용시킬 수 있다. 이 때문에, 반도체층(702)의 표면 부근(도면의 상방의 면)에 존재하는 결정을 원인으로 하여, 상기 표면으로부터 계면 영역(704)을 향하여 고상 결정 성장이 진행되어, 개략 기둥형 결정이 성장하게 된다. LP 처리에 의한 고상 결정 성장은 결정 입경을 확대시키는 것이 아니라, 오히려 반도체층의 두께 방향에서의 결정성을 개선하여, 결정 입경을 갖추기 위한 것이라고 할 수 있다.

[0098] 이 때, 조사하는 빔의 형상을 직사각형 장척형(선형)으로 하는 것으로, 예를 들면 730 ㎜×920 ㎜의 유리기판 위의 반도체층을 한 번의 스캔으로 처리할 수 있다. 엑시머 레이저 등의 펄스 레이저를 사용하는 경우에는 선형 레이저 빔을 겹치는 비율(오버랩율)을 0% 이상 90% 이하(바람직하게는 0% 이상 67% 이하)로 하여 행한다. 이것에 의해, 기판 1장당 처리시간을 단축할 수 있기 때문에, 생산성의 면에서 유리하다. 빔의 형상은 선형에 한정되는 것이 아니라, 면형으로 하여도 마찬가지로 처리할 수 있다. 또한, 본 실시예의 LP 처리는 상기 유리기판의 사이즈에 한정되지 않고, 여러가지의 사이즈에 적용할 수 있다.

[0099] 상술한 경계 성장에 있어서는 종래의 레이저 처리를 사용한 다결정 반도체(소위 저온 폴리실리콘)에 있어서 보인 표면의 요철(리지라고 불리는 볼록형)은 형성되지 않고, LP 처리 전후에 있어서, 반도체 표면의 평활성이 변하지 않고 양호한 것도 특징이다. 본 실시형태와 같이 성막 후의 미결정 반도체층에 레이저광을 조사하여 얻어지는 결정성 반도체층(706)은 성막으로 얻어지는 미결정 반도체층과는 막질이 다르다. 또한, 전도 가열에 의해 개질(改質)된 미결정 반도체와도 그 성장 메커니즘 및 막질이 다르다.

[0100] 본 명세서에서는 성막 후의 미결정 반도체층에 LP 처리를 하여 얻어지는 결정성의 반도체 중, 특히 실리콘을 사용한 경우를 LPSAS(Laser Process SemiAmorphous Silicon)라고 부르기로 한다. 또, LPSAS는 종래의 미결정 실리콘과 비교하여, 더욱 양호한 특성을 갖는 반도체이지만, 미결정 실리콘의 1종인 것에는 변함이 없다. 따라서, 본 명세서에 있어서 「미결정 실리콘」은 종래의 미결정 실리콘과 LPSAS의 양쪽을 나타내고, 특별히 구별이 필요한 경우에만 「종래의 미결정 실리콘」과 「LPSAS」를 구별하여 사용하기로 한다. 마찬가지로, 「미결정 반도체」의 경우에 있어서는 종래의 미결정 반도체와 LP 처리를 한 결정성 반도체의 양쪽을 포함하는 것으로 한다.

[0101] 이어서, 결정성 반도체층(706) 위에 버퍼층(708)을 형성한다. 또, 버퍼층(708)으로서 a-Si:H(수소화아모퍼스실리콘)를 형성하는 경우에는 수소가 결정성 반도체층(706)에 공급되기 때문에, 결정성 반도체층(706)을 결정화한 경우와 동등한 효과를 얻을 수 있다. 즉, 결정성 반도체층(706) 위에 a-Si:H층을 형성함으로써, 결정성 반도체층(706)에 수소를 확산시켜 댕글링 본드를 종단시킬 수 있다. 또, a-Si:H층은 플라즈마 CVD법을 사용하여, 300℃ 이상 400℃ 이하의 온도로 형성하면 좋다.

[0102] 이후의 공정은 실시형태 1과 같기 때문에, 여기에서는 생략한다.

[0103] 본 실시형태에서 형성한 LPSAS 등의 LP 처리를 한 반도체를 사용함으로써 트랜지스터의 전기적 특성을 더욱 향

상시킬 수 있다.

[0104] 본 실시형태는 실시형태 1과 적절하게 조합하여 사용할 수 있다.

[0105] (실시형태 3)

[0106] 본 실시형태에서는 실시형태 1 및 2에서 개시한 박막 트랜지스터(이하 「TFT」라고도 함)를 갖는 액정 표시 장치의 상세한 것에 대해서, 도 8 내지 21을 참조하여 설명한다. 도 8 내지 21의 액정 표시 장치에 사용되는 박막 트랜지스터는 실시형태 1 및 2에서 개시한 박막 트랜지스터와 같이 제작할 수 있다.

[0107] 처음에 VA(Vertical Alignment) 방식의 액정 표시 장치에 관해서 설명한다. VA 방식은 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 1종이다. VA 방식의 액정 표시 장치는 전압이 인가되지 않았을 때에, 액정 분자의 장축이 패널면에 대하여 수직이 되도록 배열하는 방식이다. 본 실시형태에서는 특히 화소(픽셀)를 몇개의 영역(서브 픽셀)으로 나누어, 전압이 인가된 경우에 복수의 다른 방향에 분자가 배열하도록 연구되었다. 이것을 멀티도메인화 또는 멀티도메인 설계라고 한다. 이하의 설명에서는 멀티도메인화된 VA 방식의 액정 표시 장치에 관해서 설명한다.

[0108] 도 8 내지 10에, 멀티도메인화된 VA 방식의 액정 표시 장치의 일례를 도시한다. 도 8은 단면도이고, 도 9는 화소 전극이 형성되는 기판측의 평면도이고, 또한, 도 10은 대향 전극이 형성되는 기판측의 평면도이다. 또, 도 8은 도 9의 선분 EF의 단면에 대응하고 있다. 이하의 설명에서는 이들의 도면을 참조하여 설명한다.

[0109] 도 8은 TFT(828)와 이것에 접속하는 화소 전극(824), 및 유지 용량부(830)가 형성된 기판(800)과, 대향 전극(840) 등이 형성되는 대향 기판(801)이 겹치고, 액정이 주입된 상태를 도시하고 있다.

[0110] 대향 기판(801)에 있어서 스페이서(842)가 형성되는 위치에는 차광막(832), 제 1 착색막(834), 제 2 착색막(836), 제 3 착색막(838), 대향 전극(840)이 형성되어 있다. 이 구조에 의해, 액정의 배향을 제어하기 위한 돌기(844)와 스페이서(842)의 높이를 다르게 하고 있다. 화소 전극(824) 위에는 배향막(848)이 형성되고, 마찬가지로 대향 전극(840) 위에도 배향막(846)이 형성되어 있다. 이 사이에 액정층(850)이 형성되어 있다.

[0111] 스페이서(842)로서, 여기에서는 기둥 형상 스페이서를 나타냈지만, 구형의 비즈 스페이서를 산포(散布)시켜도 좋다. 또한, 스페이서(842)를 기판(800) 위에 형성되는 화소 전극(824) 위에 형성하여도 좋다.

[0112] 기판(800) 위에는 TFT(828)와 이것에 접속하는 화소 전극(824), 및 유지 용량부(830)가 형성되어 있다. 화소 전극(824)은 제 1 절연막(820), 제 2 절연막(822)을 각각 관통하는 콘택트 홀(823)에서, 배선(818)과 접속되어 있다. TFT(828)는 실시형태 1 또는 2에서 개시한 박막 트랜지스터를 적절하게 사용할 수 있다. 유지 용량부(830)는 TFT(828)의 게이트 배선(802)과 같이 형성한 용량 배선(804)과, 게이트 절연막(806)과, 배선(816, 818)과 같이 형성한 용량 전극(817)으로 구성된다.

[0113] 화소 전극(824)과 액정층(850)과 대향 전극(840)이 겹치는 것으로, 액정 소자가 형성되어 있다.

[0114] 도 9는 기판(800) 위의 구조를 도시하고 있다. 화소 전극(824)은 실시형태 1에서 개시한 재료를 사용하여 형성할 수 있다. 화소 전극(824)에는 슬릿(825)을 형성한다. 슬릿(825)은 액정의 배향을 제어하기 위한 것이다.

[0115] 도 9에 도시하는 TFT(829)와 이것에 접속하는 화소 전극(826) 및 유지 용량부(831)는 각각 TFT(828)와 이것에 접속하는 화소 전극(824) 및 유지 용량부(830)와 같이 형성할 수 있다. TFT(828)와 TFT(829)는 모두 배선(816)과 전기적으로 접속하고 있다. 상기 액정 표시 장치의 화소(픽셀)는 화소 전극(824)과 화소 전극(826)에 의해 구성되어 있다. 화소 전극(824)과 화소 전극(826)은 서브 픽셀이다.

[0116] 도 10에 대향 기판측의 구조를 도시한다. 차광막(832) 위에 대향 전극(840)이 형성되어 있다. 대향 전극(840)은 화소 전극(824)과 같은 재료를 사용하여 형성하는 것이 바람직하다. 대향 전극(840) 위에는 액정의 배향을 제어하는 돌기(844)가 형성되어 있다. 또한, 차광막(832)의 위치에 맞추어 스페이서(842)가 형성되어 있다.

[0117] 상기 화소 구조의 등가회로를 도 11에 도시한다. TFT(828)와 TFT(829)는 모두 게이트 배선(802), 배선(816)과 접속하고 있다. 이 경우, 용량 배선(804)과 용량 배선(805)의 전위를 다르게 함으로써, 액정 소자(851)와 액정 소자(852)의 동작을 다르게 할 수 있다. 즉, 용량 배선(804)과 용량 배선(805)의 전위를 개별로 제어함으로써 액정의 배향을 정밀하게 제어하여 시야각을 확대할 수 있다.

[0118] 슬릿(825)을 형성한 화소 전극(824)에 전압을 인가하면, 슬릿(825)의 근방에는 전계의 변형(기울기 전계)이 발생한다. 이 슬릿(825)과, 대향 기판(801)측의 돌기(844)를 교대로 맞물리도록 배치하여, 경사 전계를 발생시키

는 것으로, 액정의 배향 방향을 장소마다 다르게 하고 있다. 이것에 의해, 액정 표시 패널의 시야각을 확대할 수 있다.

[0119] 다음에, 상기와는 다른 VA 방식의 액정 표시 장치에 관해서, 도 12 내지 도 15를 참조하여 설명한다.

[0120] 도 12와 도 13은 VA 방식의 액정 표시 장치의 일례를 도시하고 있다. 도 12는 단면도이고, 도 13은 화소 전극이 형성되는 기판측의 평면도이고, 또한, 도 14는 대향 전극이 형성되는 기판측의 평면도이다. 또, 도 12는 도 13의 선분 GH의 단면에 대응하고 있다. 이하의 설명에서는 이 양 도면을 참조하여 설명한다.

[0121] 여기에서 설명하는 액정 표시 장치는 하나의 화소에 복수의 화소 전극이 존재하고, 각각의 화소 전극에 TFT가 접속된 구조를 갖고 있다. 각 TFT는 다른 게이트 신호로 구동되도록 구성되어 있다. 즉, 멀티도메인화된 화소에 있어서, 개개의 화소 전극에 인가하는 신호를, 독립하여 제어하는 구성을 갖고 있다.

[0122] 기판(1200) 위의 구성을 설명한다. 화소 전극(1224)은 콘택트 홀(1223)에 있어서, TFT(1228)의 배선(1218)과 접속하고 있다. 또한, 화소 전극(1226)은 콘택트 홀(1227)에 있어서, TFT(1229)의 배선(1219)과 접속하고 있다. 화소 전극(1224), 및, 화소 전극(1226) 위에는 배향막(1248)이 형성되어 있다. TFT(1228)의 게이트 배선(1202)과, TFT(1229)의 게이트 배선(1203)은 다른 게이트 신호를 줄 수 있도록 분리되어 있다. 한편, 데이터선으로서 기능하는 배선(1216)은 TFT(1228)와 TFT(1229)에서 공통으로 사용되고 있다. TFT(1228)와 TFT(1229)는 실시형태 1 또는 2에서 개시한 박막 트랜지스터를 적절하게 사용할 수 있다. 또한, 게이트 배선(1202) 및 게이트 배선(1203)과 동일층에서 용량 배선(1290)이 형성되어 있다.

[0123] 화소 전극(1224)과 화소 전극(1226)의 형상은 다르고, 슬릿에 의해서 분리되어 있다. V자형으로 확대되는 화소 전극(1224)의 외측을 둘러싸도록 화소 전극(1226)이 형성되어 있다. 화소 전극(1224)과 화소 전극(1226)에 인가하는 전압의 타이밍을, TFT(1228) 및 TFT(1229)에 따라 다르게 한 것으로, 액정의 배향을 제어하고 있다.

[0124] 이 화소 구조의 등가회로를 도 15에 도시한다. TFT(1228)는 게이트 배선(1202)과 접속하고, TFT(1229)는 게이트 배선(1203)과 접속하고 있어 배선(1203)에 다른 게이트 신호를 주는 것으로, TFT(1228)와 TFT(1229)의 동작 타이밍을 다르게 할 수 있다.

[0125] 대향 기판(1201)에는 차광막(1232), 착색막(1236), 대향 전극(1240), 배향막(1246)이 형성되어 있다. 또, 착색막(1236)과 대향 전극(1240)의 사이에는 평탄화막(1237)이 형성되어, 액정의 배향 산란을 막고 있다. 대향 전극(1240)은 다른 화소간에서 공통화되어 있는 전극이지만, 슬릿(1241)이 형성되어 있다. 화소 전극(1224)과 액정층(1250)과 대향 전극(1240)이 겹치는 것으로, 액정 소자가 형성되어 있다. 또한, 화소 전극(1226)과 액정층(1250)과 대향 전극(1240)이 겹치는 것으로, 액정 소자가 형성되어 있다.

[0126] 슬릿(1241)과, 화소 전극(1224) 및 화소 전극(1226)측의 슬릿을 교대로 맞물리도록 배치하여, 경사 전계를 발생시키는 것으로, 액정의 배향하는 방향을 장소마다 다르게 하고 있다(도 14 참조). 이것에 의해, 액정 표시 패널의 시야각을 확대할 수 있다.

[0127] 다음에, 횡전계 방식의 액정 표시 장치에 관해서 설명한다. 횡전계 방식은 액정 분자에 대하여 수평방향의 전계를 가하는 것으로 액정을 구동하여, 계조를 표현하는 방식이다. 이 방식에 의하면, 시야각을 약 180도까지 확대할 수 있다. 이하의 설명에서는 횡전계 방식을 채용하는 액정 표시 장치에 관해서 설명한다.

[0128] 도 16은 TFT(1628)과 이것에 접속하는 제 2 화소 전극(1624)이 형성된 기판(1600)과, 대향 기판(1601)을 겹쳐, 액정을 주입한 상태를 도시하고 있다. 대향 기판(1601)에는 차광막(1632), 착색막(1636), 평탄화막(1637), 및 배향막(1660)이 형성되어 있다. 제 1 화소 전극(1607) 및 제 2 화소 전극(1624)은 기판(1600)측에 있기 때문에, 대향 기판(1601)측에는 특별히 전극을 형성할 필요는 없다. 제 2 화소 전극(1624) 위에는 배향막(1661)이 형성되어 있다. 기판(1600)과 대향 기판(1601)의 사이에는 액정층(1650)이 형성되어 있다.

[0129] 기판(1600) 위에는 제 1 화소 전극(1607) 및 제 1 화소 전극(1607)에 접속하는 용량 배선(1604), 및 TFT(1628)가 형성된다. 제 1 화소 전극(1607)에는 실시형태 1에서 개시한 화소 전극과 같은 재료를 사용할 수 있다. 또한, 제 1 화소 전극(1607)은 대강 화소의 형상에 적합한 형상으로 형성되어 있다. 또, 제 1 화소 전극(1607) 및 용량 배선(1604) 위에는 게이트 절연막(1606)이 형성된다.

[0130] TFT(1628)의 배선(1616), 배선(1618)이 게이트 절연막(1606) 위에 형성된다. 배선(1616)은 액정 표시 패널에 있어서 비디오 신호를 전달하는 데이터선이고, 배선인 동시에, 소스 영역(1610)과 접속하여, 소스 전극 또는 드레인 전극의 한쪽이 된다. 배선(1618)은 소스 전극 또는 드레인 전극의 다른 쪽이 되고, TFT(1628)와 제 2 화

소 전극(1624)을 접속하는 배선으로서도 기능한다.

[0131] 배선(1616), 배선(1618) 위에는 절연막(1620)이 형성되어 있다. 또한, 절연막(1620) 위에는 절연막(1620)에 형성되는 콘택트 홀에 있어서, 배선(1618)에 접속하는 제 2 화소 전극(1624)이 형성되어 있다. 제 2 화소 전극(1624)에는 실시형태 1에서 개시한 화소 전극과 같은 재료를 사용할 수 있다.

[0132] 이렇게 하여, 기판(1600) 위에 TFT(1628)와 이것에 접속하는 제 2 화소 전극(1624)이 형성된다. 또, 유지 용량은 제 1 화소 전극(1607)과 제 2 화소 전극(1624), 게이트 절연막(1606), 절연막(1620)으로 형성된다.

[0133] 도 17은 화소 전극 등의 구성을 도시하는 평면도이다. 또, 도 16은 도 17의 선분 IJ에서의 단면도이다. 제 2 화소 전극(1624)에는 슬릿(1625)이 형성된다. 슬릿(1625)은 액정의 배향을 제어하기 위한 것이다. 이 경우, 전계는 제 1 화소 전극(1607)과 제 2 화소 전극(1624)의 사이에 발생한다. 제 1 화소 전극(1607)과 제 2 화소 전극(1624)의 사이에는 게이트 절연막(1606) 등이 형성되어 있지만, 이들은 액정층과 비교하여 충분히 얇기 때문에, 실질적으로 기판(1600)과 평행한 방향(수평방향)에 전계가 발생한다. 이 전계를 이용하여 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 수평방향으로 배열하기 때문에, 보는 각도에 따라서 콘트라스트가 저감되는 등의 문제는 적고, 시야각이 넓어지게 된다. 또한, 제 1 화소 전극(1607)과 제 2 화소 전극(1624)은 모두 투광성의 전극이기 때문에, 개구율을 향상시킬 수 있다.

[0134] 다음에, 횡전계 방식의 액정 표시 장치의 다른 일례에 관해서 도시한다.

[0135] 도 18 및 도 19는 횡전계 방식의 액정 표시 장치의 다른 구조이다. 도 18은 단면도이고, 도 19는 평면도이다. 또, 도 18은 도 19의 I-J의 단면에 대응하고 있다. 이하의 설명에서는 이 양 도면을 참조하여 설명한다.

[0136] 도 18은 TFT(1828)과 이것에 접속하는 제 2 화소 전극(1824)이 형성된 기판(1800)과, 대향 기판(1801)을 겹쳐, 액정을 주입한 상태를 도시하고 있다. 대향 기판(1801)에는 차광막(1832), 착색막(1836), 평탄화막(1837), 및 대향 기판(1801)이 형성되어 있다. 제 1 화소 전극(공통 전위선(1809)), 및 제 2 화소 전극(1824)은 기판(1800)측에 있기 때문에, 대향 기판(1801)측에는 특히 전극을 형성할 필요는 없다. 제 2 화소 전극(1824) 위에는 배향막(1861)이 형성되어 있다. 기판(1800)과 대향 기판(1801)의 사이에는 액정층(1850)이 형성되어 있다.

[0137] 기판(1800) 위에는 공통 전위선(1809), 및 TFT(1828)이 형성되어 있다. 공통 전위선(1809)은 TFT(1828)의 게이트 배선(1802)과 동시에 형성할 수 있다. 여기에서는 제 1 화소 전극은 공통 전위선(1809)으로서 정의된다. 이 때문에, 공통 전위선(1809)은 화소부에서, 대강 화소의 형상에 적합한 형상으로 형성되어 있다.

[0138] TFT(1828)의 배선(1816), 배선(1818)이 게이트 절연막(1806) 위에 형성되어 있다. 배선(1816)은 액정 표시 장치에 있어서 비디오 신호를 전달하는 데이터선이고, 배선인 동시에, 소스 영역 또는 드레인 영역과 접속하여, 소스 전극 또는 드레인 전극의 한쪽이 된다. 배선(1818)은 소스 전극 또는 드레인 전극의 다른쪽이 되고, 제 2 화소 전극(1824)과 접속하는 배선이다.

[0139] 배선(1816), 배선(1818) 위에 절연막(1820)이 형성되어 있다. 또한, 절연막(1820) 위에는, 제 2 화소 전극(1824)이 형성되어 있다. 배선(1818)은 절연막(1820)에 형성되는 콘택트 홀(1823)에 있어서, 제 2 화소 전극(1824)과 접속하고 있다. 제 2 화소 전극(1824)에는 실시형태 1에서 개시한 화소 전극과 같은 재료를 사용할 수 있다. 또, 도 19에 도시하는 바와 같이, 제 1 화소 전극(공통 전위선(1809))과 제 2 화소 전극(1824)의 사이에 횡전계가 발생하도록, 제 1 화소 전극(공통 전위선(1809)) 및 제 2 전극이 형성된다. 또한, 제 2 화소 전극(1824)의 슬릿의 부분이 제 1 화소 전극(공통 전위선(1809))의 전극 부분과 맞물리도록 형성된다.

[0140] 제 1 화소 전극(공통 전위선(1809))과 제 2 화소 전극(1824)의 사이에 전위차가 생기면, 제 1 화소 전극(공통 전위선(1809))과 제 2 화소 전극(1824)의 사이에 전계가 발생한다. 이 전계를 이용하여 액정 분자를 수평으로 회전시킨다. 이 경우, 액정 분자는 수평방향으로 배열하기 때문에, 보는 각도에 따라서 콘트라스트가 저감되는 등의 문제는 적고, 시야각이 넓어지게 된다.

[0141] 또, 유지 용량은 제 1 화소 전극(공통 전위선(1809))과 용량 전극(1815)의 사이에 게이트 절연막(1806)을 형성함으로써 형성되어 있다. 용량 전극(1815)과 제 2 화소 전극(1824)은 콘택트 홀(1833)을 통해서 접속되어 있다.

[0142] 다음에, TN 방식의 액정 표시 장치에 관해서 설명한다.

[0143] 도 20과 도 21은 TN 방식의 액정 표시 장치의 화소 구조를 도시하고 있다. 도 20은 단면도이고, 도 21은 평면도이다. 또, 도 20은 도 21의 선분 MN에서의 단면도이다. 이하의 설명에서는 이 양 도면을 참조하여

설명한다.

[0144] 화소 전극(2024)은 콘택트 홀(2023)에 의해, 배선(2018)으로 TFT(2028)와 접속하고 있다. 데이터선으로서 기능하는 배선(2016)은 TFT(2028)와 접속하고 있다. TFT(2028)는 실시형태 1 또는 2에 개시하는 TFT를 적용할 수 있다.

[0145] 화소 전극(2024)에는 실시형태 1에서 개시한 화소 전극과 같은 재료를 사용할 수 있다.

[0146] 대향 기판(2001)에는 차광막(2032), 착색막(2036), 대향 전극(2040), 및 배향막(2060)이 형성되어 있다. 또한, 착색막(2036)과 대향 전극(2040)의 사이에는 평탄화막(2037)이 형성되어, 액정의 배향 산란을 막고 있다. 액정층(2050)은 화소 전극(2024) 위의 배향막(2061)과 대향 전극(2040) 위의 배향막(2060)의 사이에 형성되어 있다.

[0147] 또한, 기판(2000)에 착색막이나, 디스크리네이션을 막기 위한 차폐막(블랙매트릭스) 등이 형성되어 있어도 좋다. 또한, 기판(2000)의 TFT(2028)가 형성되어 있는 면과는 반대의 면에 편광판을 접합하고, 또한 대향 기판(2001)의 대향 전극(2040)이 형성되어 있는 면과는 반대의 면에, 편광판을 접합하여 둔다. 대향 전극(2040)은 실시형태 1에서 개시한 화소 전극과 같은 재료를 적절하게 사용할 수 있다.

[0148] 또, 유지 용량은 게이트 전극(2002)과 같은 층에서 형성된 용량 배선(2004)과 게이트 절연막(2006), 용량 전극(2015)에 의해서 형성되어 있다. 용량 전극(2015)과 화소 전극(2024)은 콘택트 홀(2033)을 통해서 접속되어 있다.

[0149] 이상으로부터, 미결정 반도체를 화소 트랜지스터의 채널 형성 영역으로서 사용한 여러가지 방식의 액정 표시 장치를 제공할 수 있다.

[0150] 본 발명의 액정 표시 장치는 오프전류가 작고, 또한, 격차가 적은 박막 트랜지스터를 사용하고 있기 때문에, 개구율을 향상시킬 수 있다. 이것에 의해, 휘도가 향상되고, 우수한 영상을 표시하는 것이 가능해진다. 또한, 백 라이트의 휘도를 저감하는 것이 가능하기 때문에, 백 라이트의 수명 향상의 효과를 가져온다.

[0151] 또, 본 실시형태는 실시형태 1 또는 2와 적절하게 조합하여 사용할 수 있다.

[0152] (실시형태 4)

[0153] 본 실시형태에서는 본 발명의 액정 표시 장치를 사용한 전자기기에 관해서, 도 22를 참조하여 설명한다.

[0154] 본 발명의 반도체 장치를 사용하여 제작되는 전자기기로서, 비디오카메라, 디지털카메라, 고글형 디스플레이(헤드마운트 디스플레이), 내비게이션 시스템, 음향재생장치(카오디오콤보 등), 컴퓨터, 게임기기, 휴대정보단말(모바일컴퓨터, 휴대전화, 휴대형 게임기 또는 전자서적 등), 기록매체를 구비한 화상 재생 장치(구체적으로는 Digital Versatile Disc(DVD) 등의 기록매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 구비한 장치) 등을 들 수 있다.

[0155] 도 22a는 텔레비전 수상기 또는 퍼스널 컴퓨터의 모니터이다. 케이스(2201), 지지대(2202), 표시부(2203), 스피커부(2204), 비디오 입력 단자(2205) 등을 포함한다. 표시부(2203)에는 본 발명의 액정 표시 장치가 사용되고 있다. 본 발명에 의해, 개구율이 향상되고, 휘도가 향상된 텔레비전 수상기 또는 퍼스널 컴퓨터의 모니터를 제공할 수 있다.

[0156] 도 22b는 디지털카메라이다. 본체(2211)의 정면 부분에는 수상부(2213)가 형성되어 있고, 본체(2211)의 상면 부분에는 셔터버튼(2216)이 형성되어 있다. 또한, 본체(2211)의 배면 부분에는 표시부(2212), 조작키(2214), 및 외부 접속 포트(2215)가 형성되어 있다. 표시부(2212)에는 본 발명의 액정 표시 장치가 사용되고 있다. 본 발명에 의해, 개구율이 향상되고, 휘도가 향상된 디지털카메라를 제공할 수 있다.

[0157] 도 22c는 노트형퍼스널 컴퓨터이다. 본체(2221)에는 키보드(2224), 외부 접속 포트(2225), 포인팅 디바이스(2226)가 형성되어 있다. 또한, 본체(2221)에는 표시부(2223)를 갖는 케이스(2222)가 장착되어 있다. 표시부(2223)에는 본 발명의 액정 표시 장치가 사용되고 있다. 본 발명에 의해, 개구율이 향상되고, 휘도가 향상된 노트형퍼스널 컴퓨터를 제공할 수 있다.

[0158] 도 22d는 모바일컴퓨터이고, 본체(2231), 표시부(2232), 스위치(2233), 조작키(2234), 적외선 포트(2235) 등을 포함한다. 표시부(2232)에는 액티브 매트릭스표시 장치가 형성되어 있다. 표시부(2232)에는, 본 발명의 액정 표시 장치가 사용되고 있다. 본 발명에 의해, 개구율이 향상되고, 휘도가 향상된 모바일컴퓨터를 제공할 수 있

다.

[0159] 도 22e는 화상 재생 장치이다. 본체(2241)에는 표시부 B(2244), 기록매체 판독부(2245) 및 조작키(2246)가 형성되어 있다. 또한, 본체(2241)에는 스피커부(2247) 및 표시부 A(2243) 각각을 갖는 케이스(2242)가 장착되어 있다. 표시부 A(2243) 및 표시부 B(2244) 각각은 본 발명의 액정 표시 장치가 사용되고 있다. 본 발명에 의해, 개구율이 향상되고, 휘도가 향상된 화상 재생 장치를 제공할 수 있다.

[0160] 도 22f는 전자서적이다. 본체(2251)에는 조작키(2253)가 형성되어 있다. 또한, 본체(2251)에는 복수의 표시부(2252)가 장착되어 있다. 표시부(2252)에는 본 발명의 액정 표시 장치가 사용되고 있다. 본 발명에 의해, 개구율이 향상되고, 휘도가 향상된 전자서적을 제공할 수 있다.

[0161] 도 22g는 비디오카메라이고, 본체(2261)에는 외부 접속 포트(2264), 리모콘수신부(2265), 수상부(2266), 배터리(2267), 음성 입력부(2268), 조작키(2269)가 형성되어 있다. 또한, 본체(2261)에는 표시부(2262)를 갖는 케이스(2263)가 장착되어 있다. 표시부(2262)에는 본 발명의 액정 표시 장치가 사용되고 있다. 본 발명에 의해, 개구율이 향상되고, 휘도가 향상된 비디오카메라를 제공할 수 있다.

[0162] 도 22h는 휴대전화이고, 본체(2271), 케이스(2272), 표시부(2273), 음성 입력부(2274), 음성 출력부(2275), 조작키(2276), 외부 접속 포트(2277), 안테나(2278) 등을 포함한다. 표시부(2273)에는 본 발명의 액정 표시 장치가 사용되고 있다. 본 발명에 의해, 개구율이 향상되고, 휘도가 향상된 휴대전화를 제공할 수 있다.

[0163] 이상과 같이, 본 발명의 적용범위는 극히 넓고, 모든 분야의 전자기기에 사용하는 것이 가능하다. 또, 본 실시형태는 실시형태 1 내지 3과 적절하게 조합하여 사용할 수 있다.

## *도면의 간단한 설명*

[0164] 도 1은 본 발명의 표시 장치의 제작공정을 도시하는 도면.

[0165] 도 2는 본 발명의 표시 장치의 제작공정을 도시하는 도면.

[0166] 도 3은 본 발명의 표시 장치의 제작공정을 도시하는 도면.

[0167] 도 4는 본 발명의 표시 장치의 평면도.

[0168] 도 5는 본 발명의 표시 장치의 평면도.

[0169] 도 6은 본 발명의 표시 장치의 일례를 도시하는 도면.

[0170] 도 7은 본 발명의 표시 장치의 작성 공정을 도시하는 도면.

[0171] 도 8은 본 발명의 표시 장치의 단면도.

[0172] 도 9는 본 발명의 표시 장치의 평면도.

[0173] 도 10은 본 발명의 표시 장치의 평면도.

[0174] 도 11은 본 발명의 표시 장치의 회로도.

[0175] 도 12는 본 발명의 표시 장치의 단면도.

[0176] 도 13은 본 발명의 표시 장치의 평면도.

[0177] 도 14는 본 발명의 표시 장치의 평면도.

[0178] 도 15는 본 발명의 표시 장치의 회로도.

[0179] 도 16은 본 발명의 표시 장치의 단면도.

[0180] 도 17은 본 발명의 표시 장치의 평면도.

[0181] 도 18은 본 발명의 표시 장치의 단면도.

[0182] 도 19는 본 발명의 표시 장치의 평면도.

[0183] 도 20은 본 발명의 표시 장치의 단면도.

[0184] 도 21은 본 발명의 표시 장치의 평면도.

[0185] 도 22는 본 발명의 표시 장치를 사용한 전자기기를 도시하는 도면.

[0186] 도 23은 종래의 표시 장치의 회로도.

[0187] * 도면의 주요 부분에 대한 부호의 설명

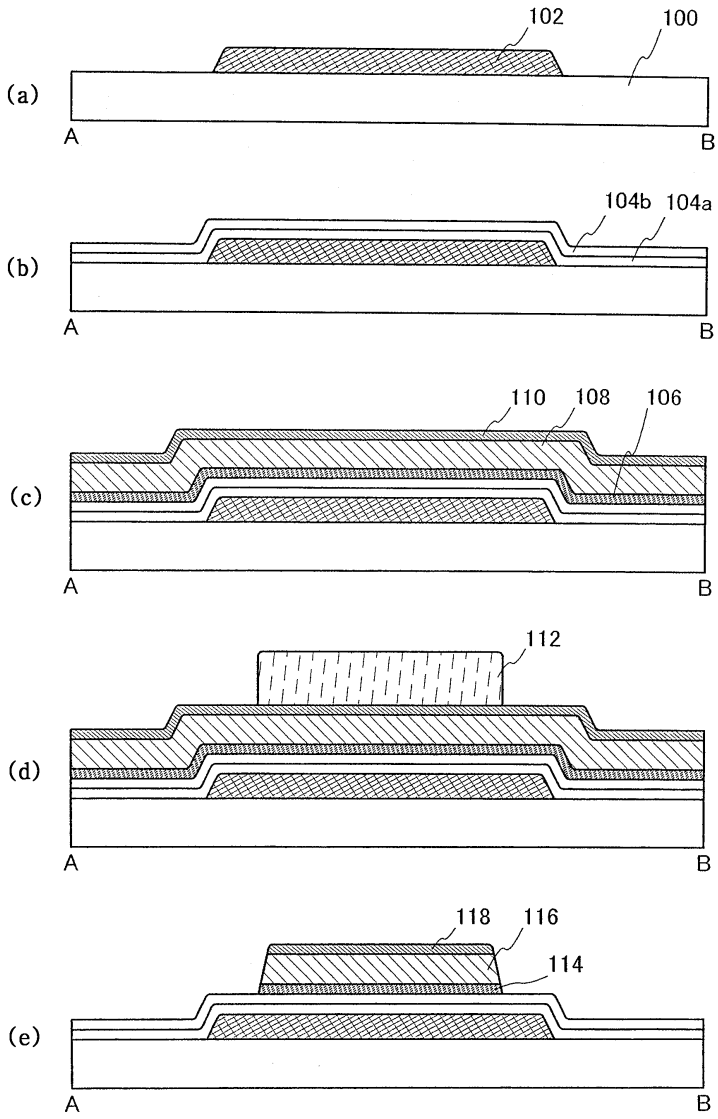
[0188] 100 : 기판 102 : 게이트 전극

[0189] 104a, 104b : 게이트 절연층 106, 114 : 미결정 반도체 층

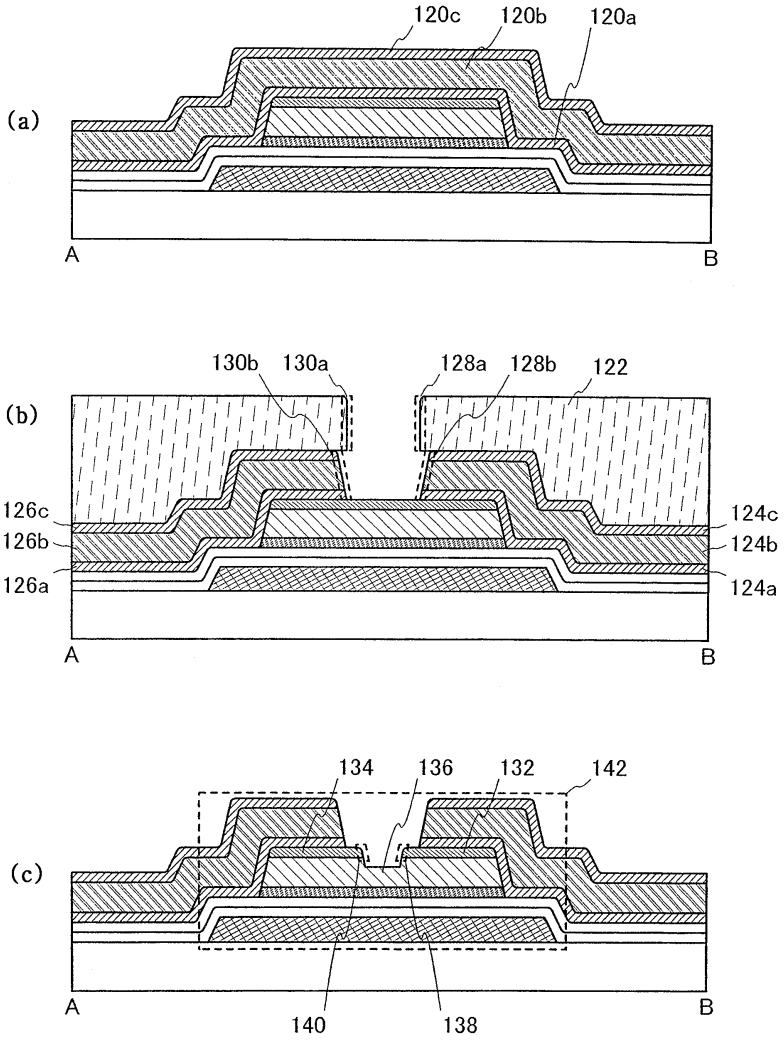
[0190] 108, 116 : 버퍼층 112 : 마스크

## 도면

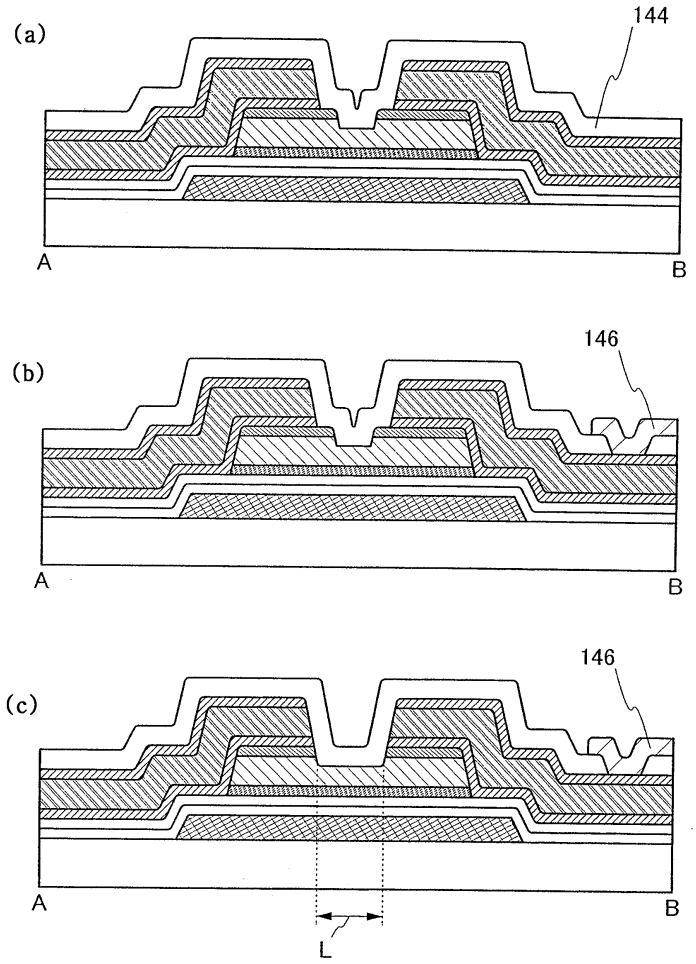
### 도면1



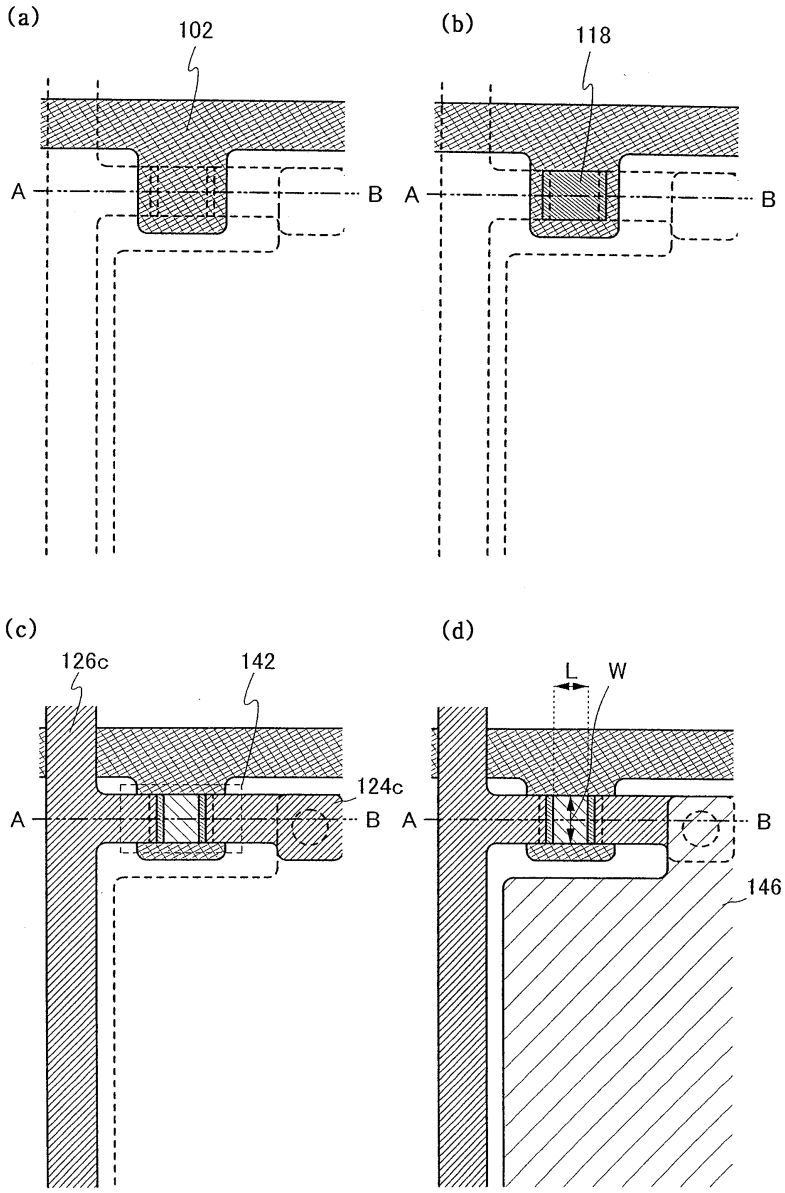
도면2


(a)
120c
120b
120a
A
B
(b)
130b
130a
128a
128b
122
126c
126b
126a
124c
124b
124a
A
B
(c)
134
136
132
142
140
138
A
B

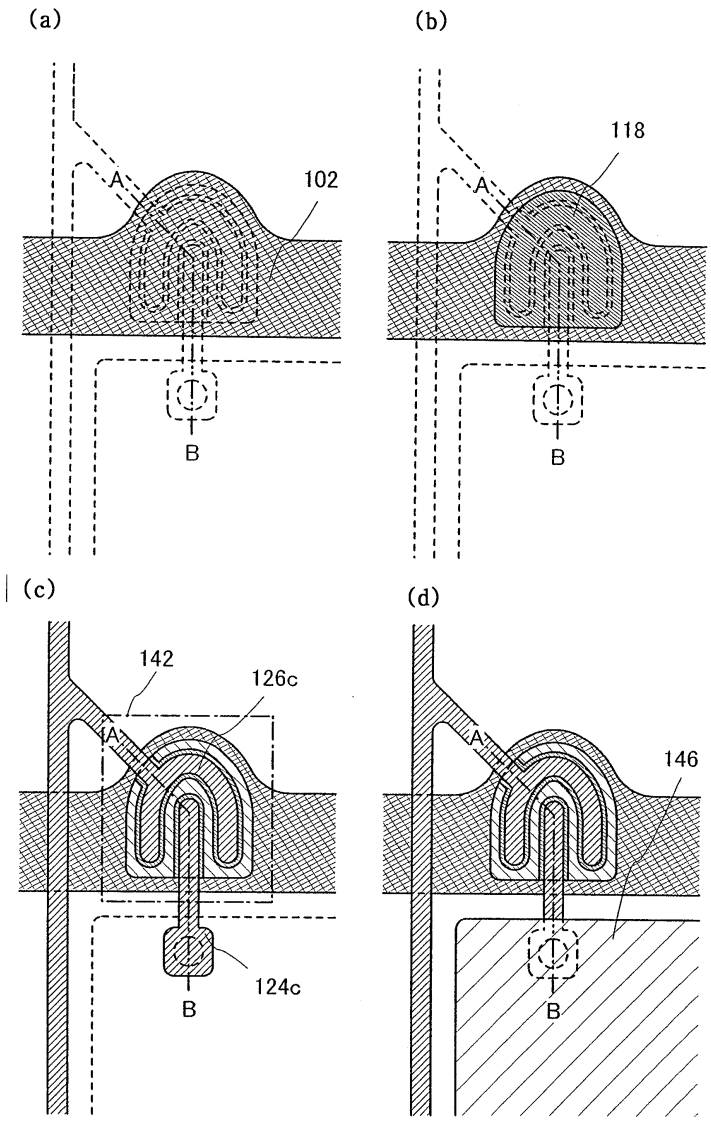
도면3



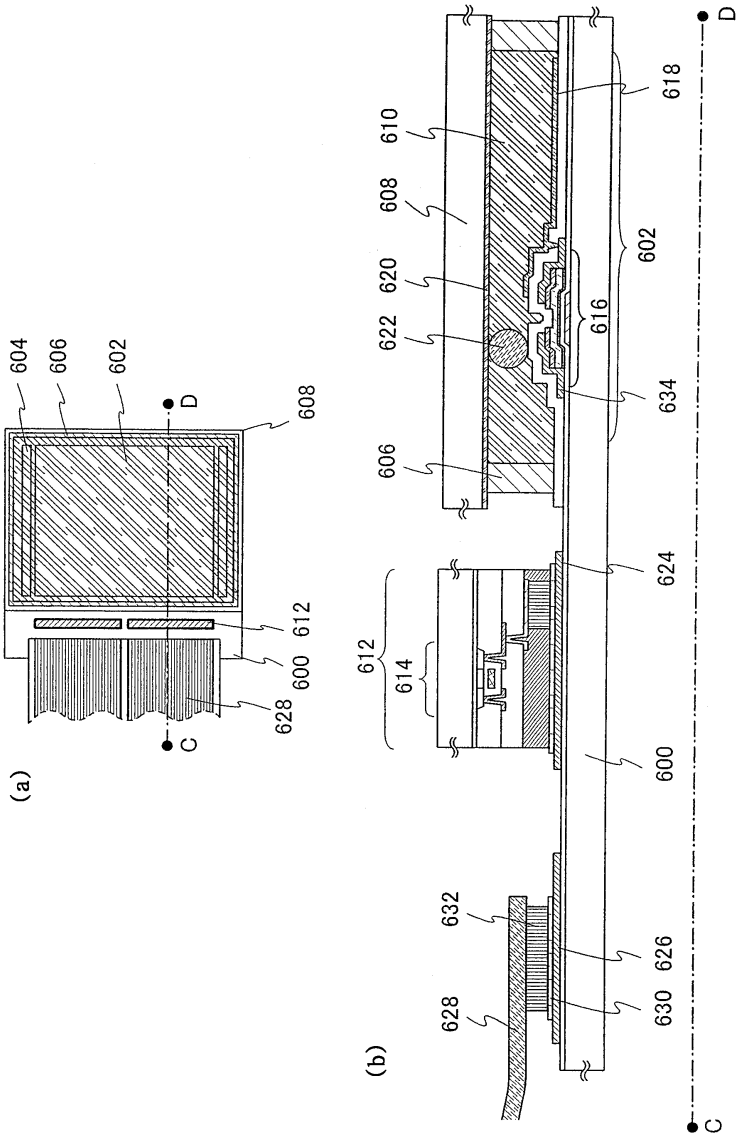
도면4



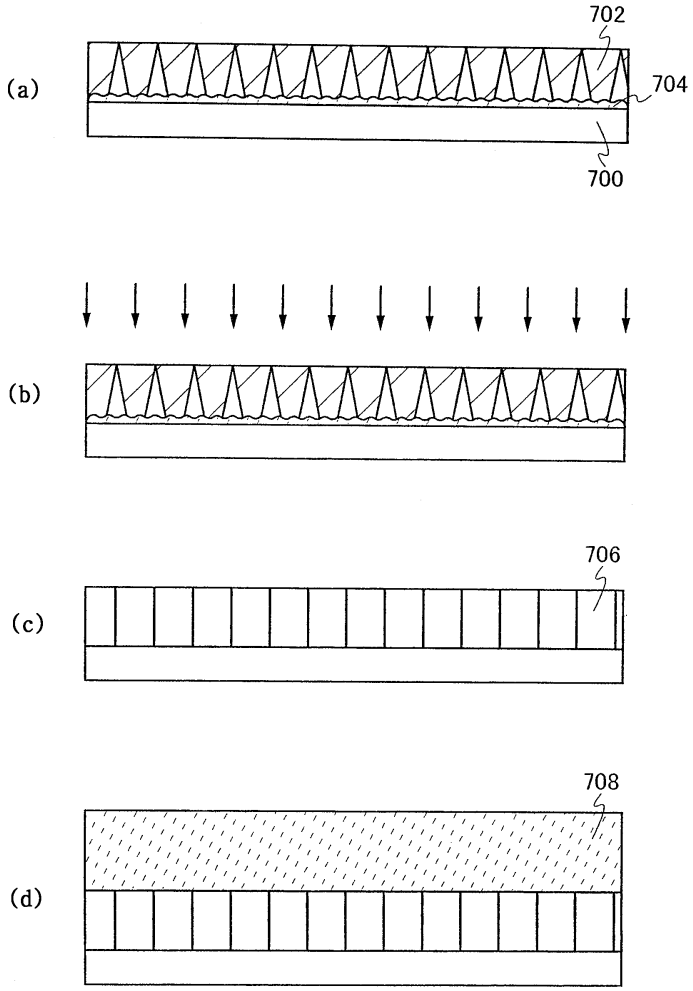
도면5



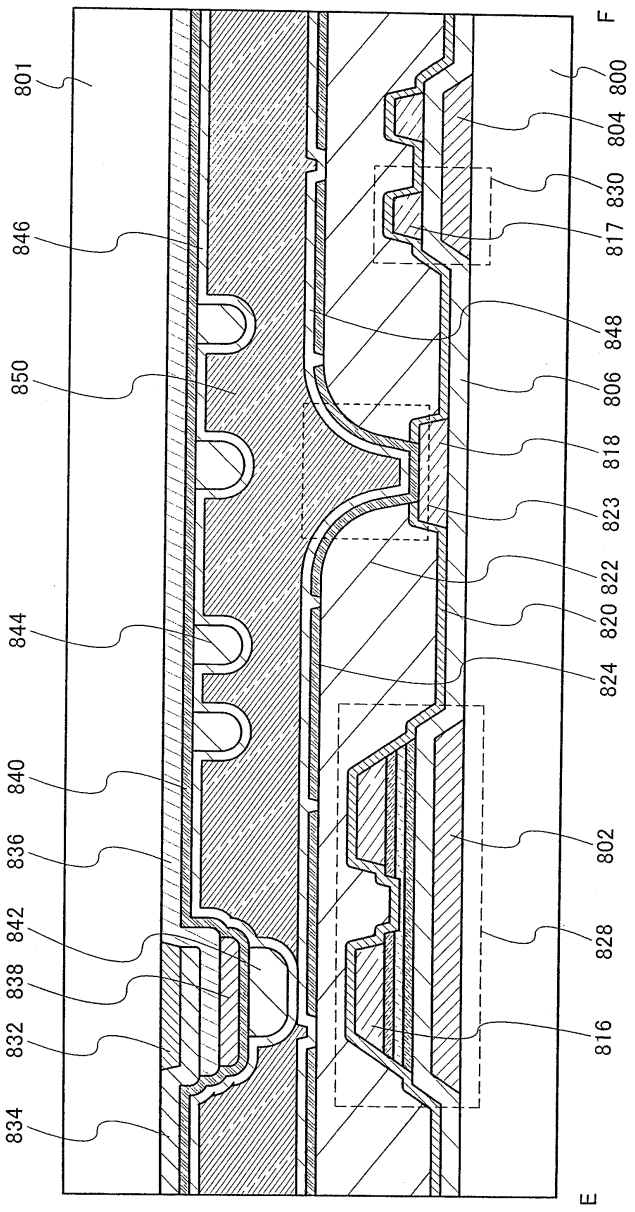
도면6


(a)
604
606
602
D
608
612
600
628
C
(b)
610
608
620
622
606
618
602
616
634
624
612
614
600
632
626
628
630
D
C

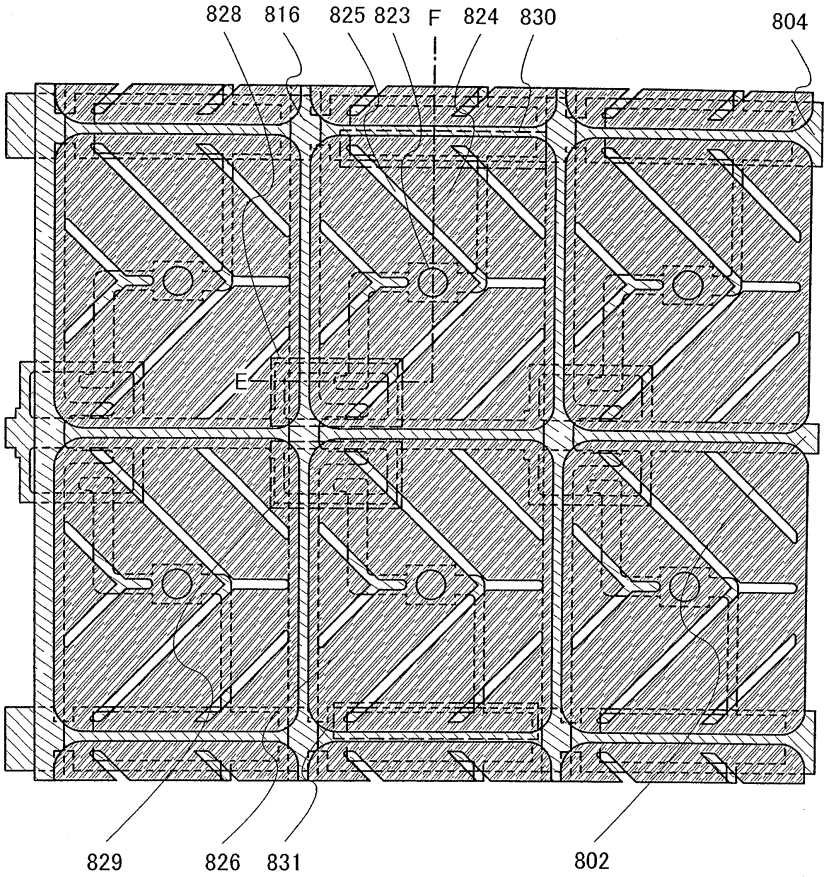
도면7



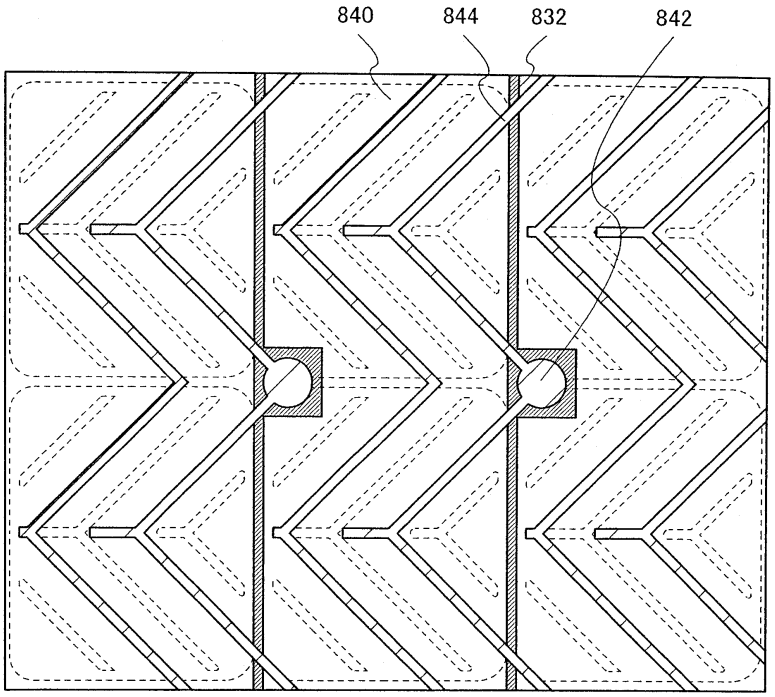
도면8


801
846
850
844
840
836
842
838
832
834
E
F
800
804
830
817
848
806
818
823
822
820
824
802
828
816

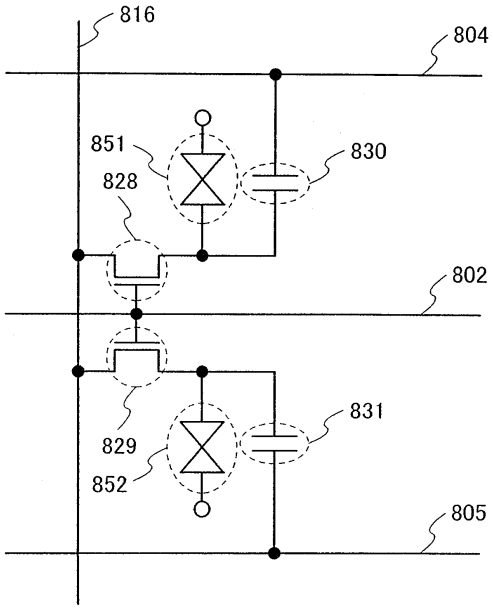
도면9



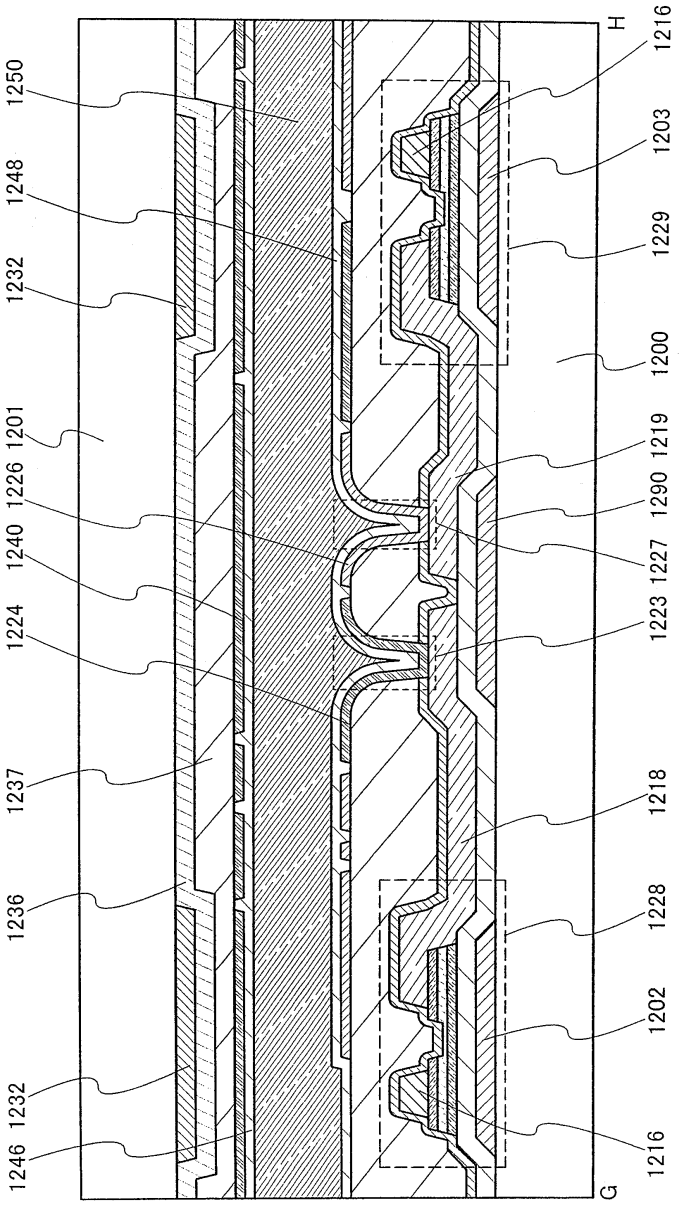
도면10



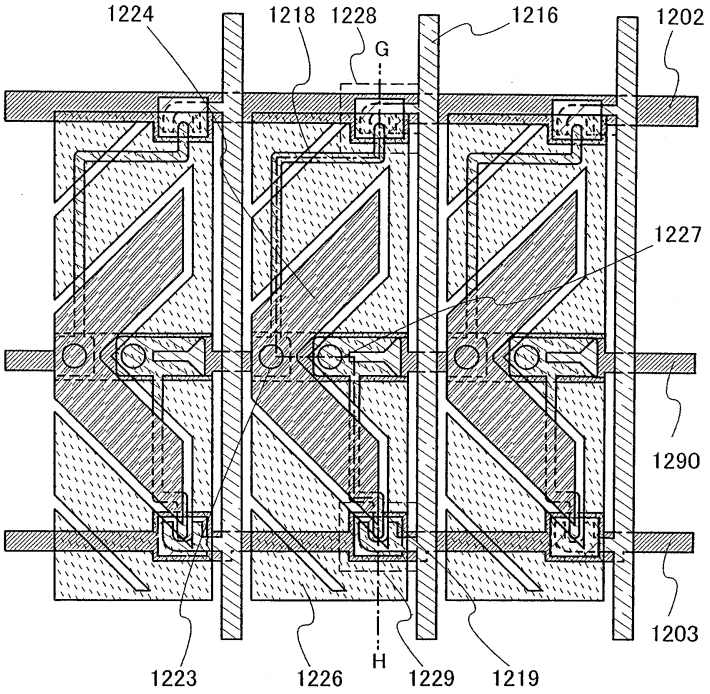

도면11



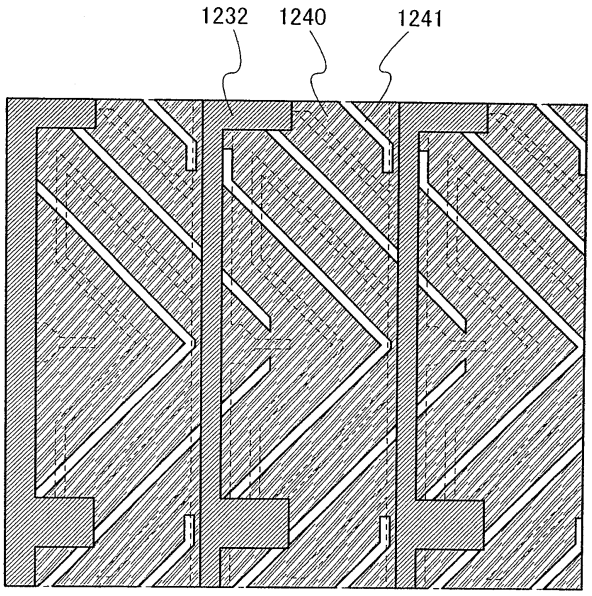
도면12


H
1216
1250
1203
1248
1229
1232
1200
1201
1219
1226
1290
1240
1227
1223
1224
1218
1237
1228
1236
1202
1232
1216
1246
G

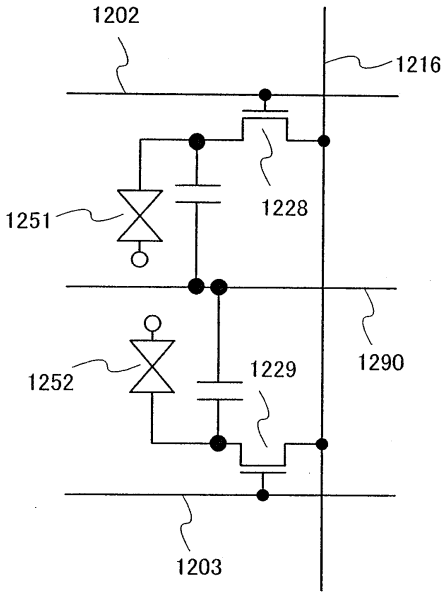
도면13


1224
1218
1228
G
1216
1202
1227
1290
1203
1223
1226
H
1229
1219

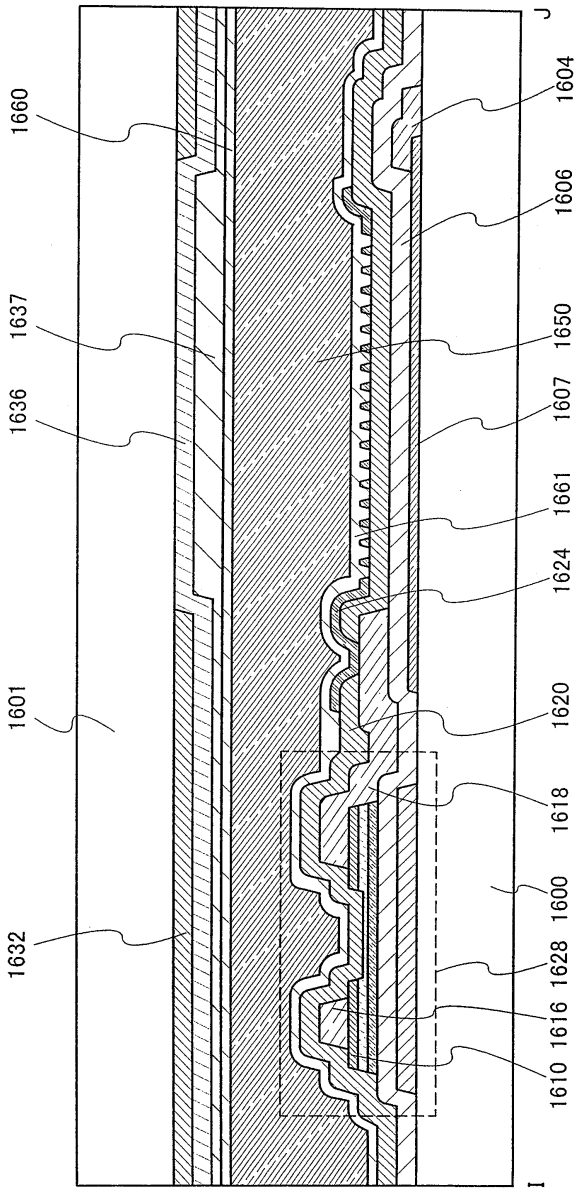
도면14


1232
1240
1241

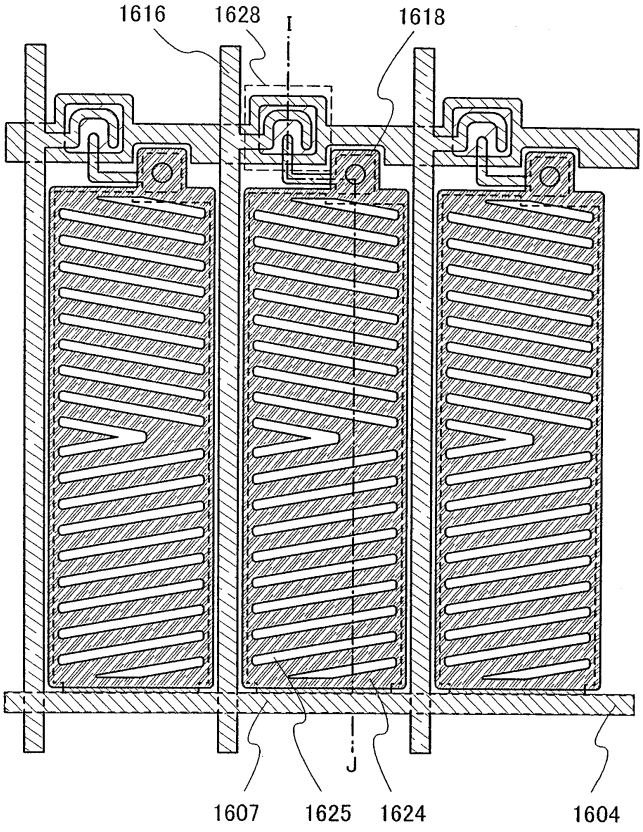
도면15



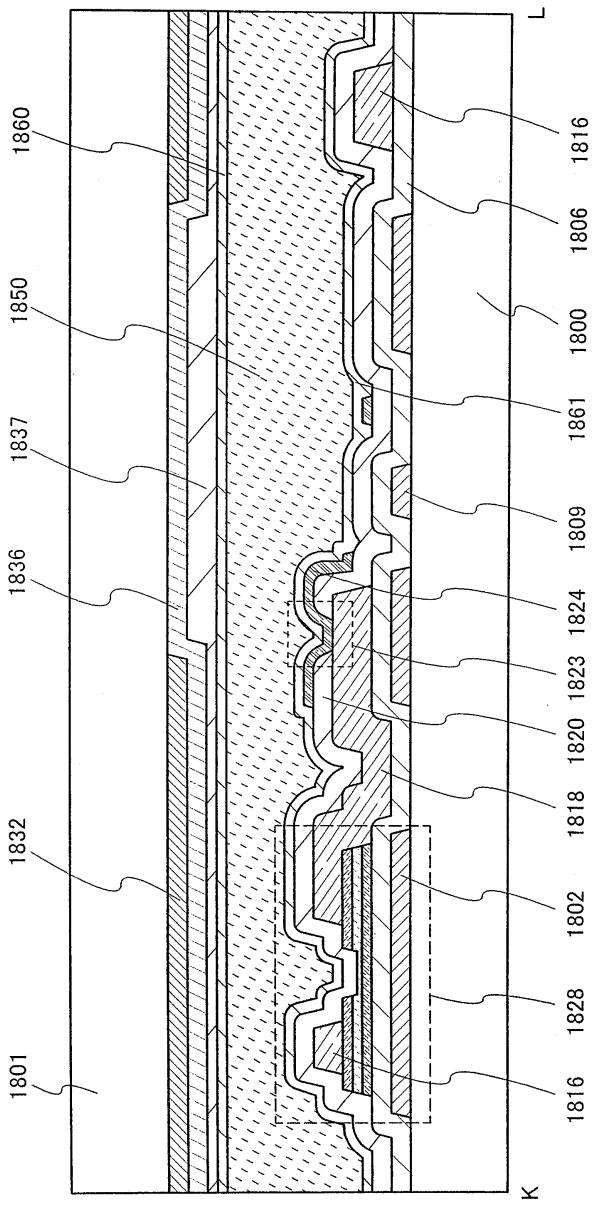
도면16


J
1660
1604
1606
1637
1650
1636
1607
1661
1624
1601
1620
1618
1600
1632
1628
1616
1610
I

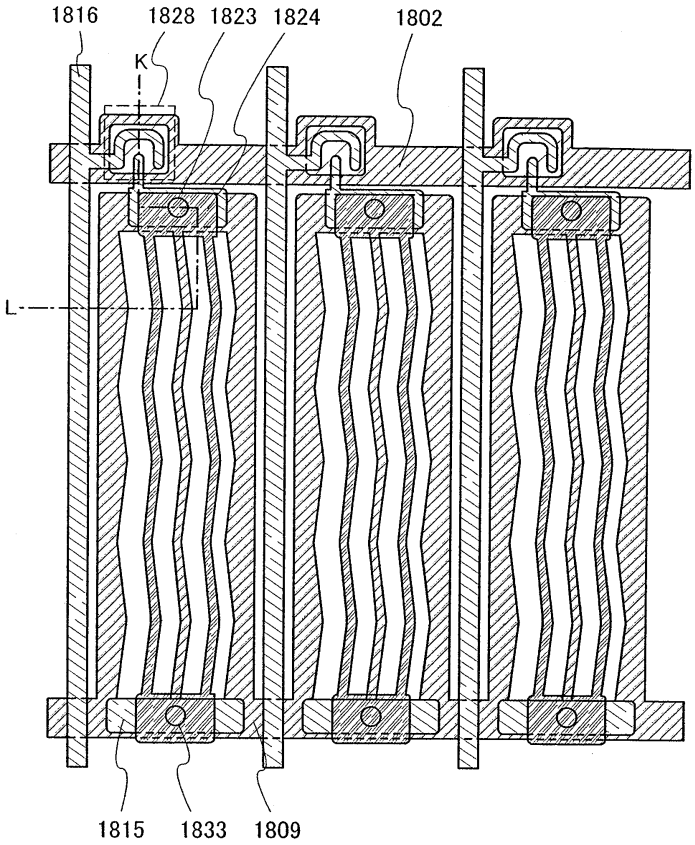
도면17



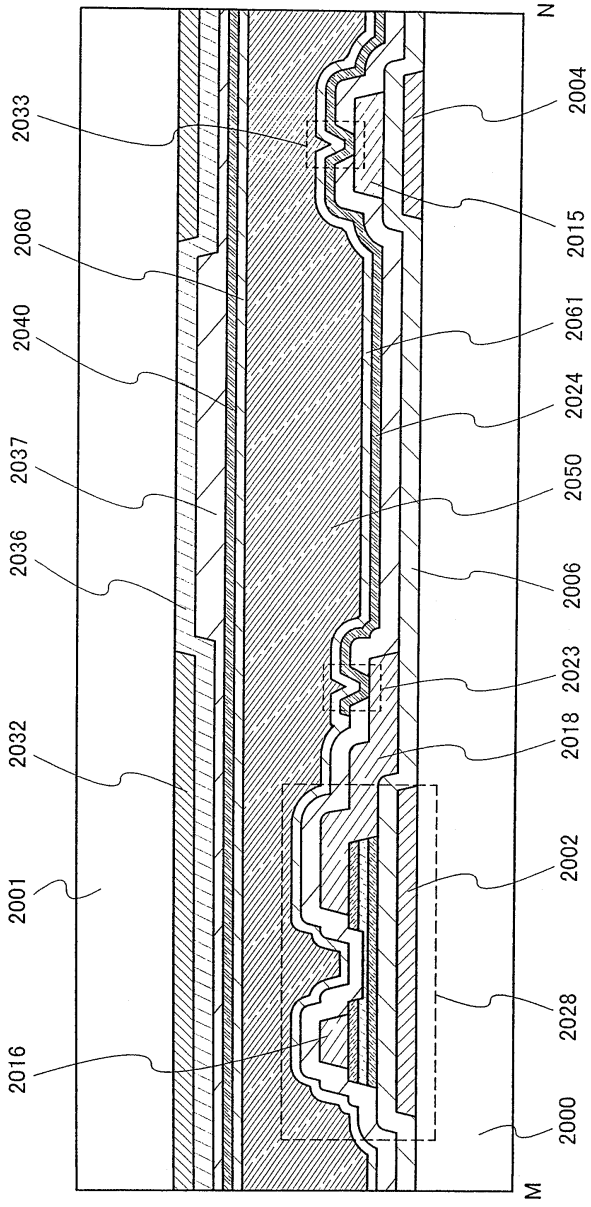
도면18


L
1860
1850
1837
1836
1832
1801
1816
1806
1800
1861
1809
1824
1823
1820
1818
1802
1828
1816
K

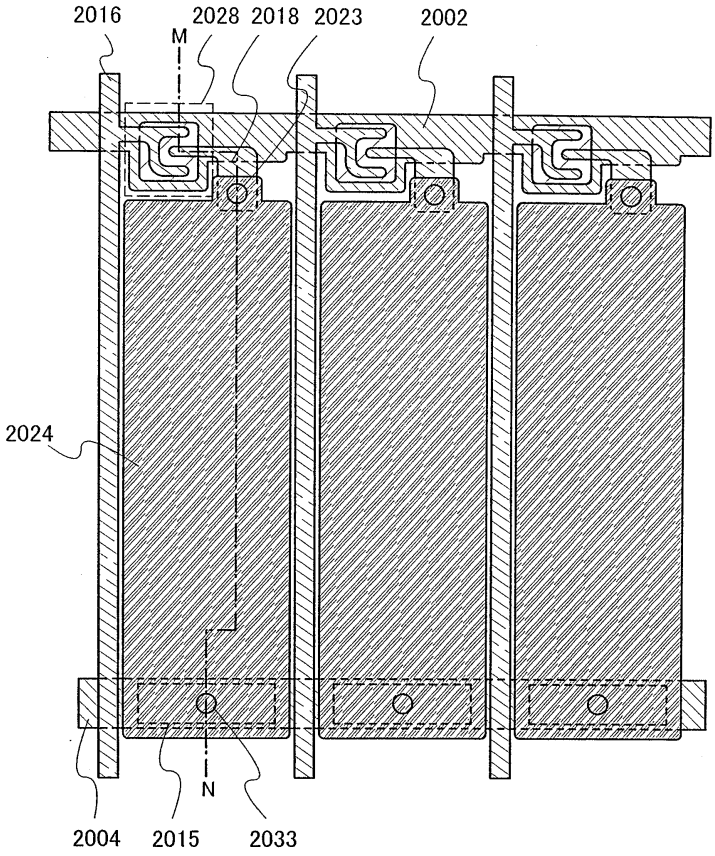
도면19



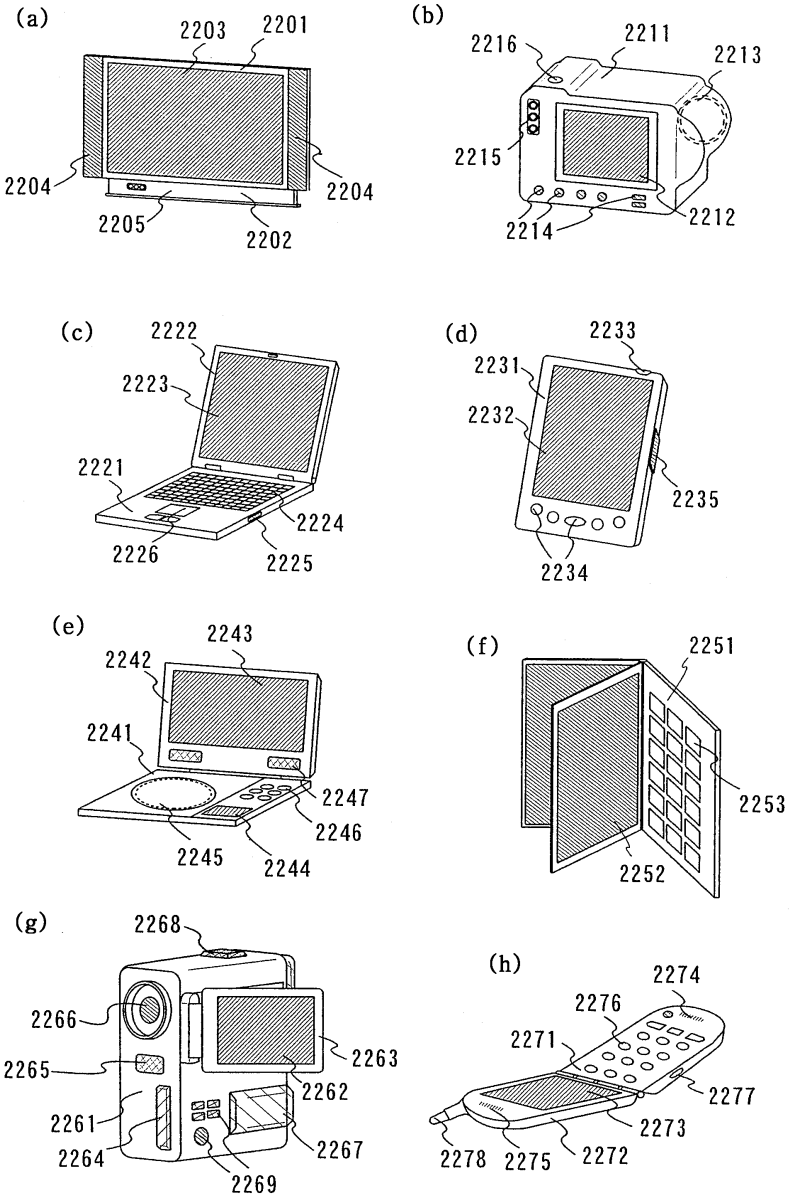
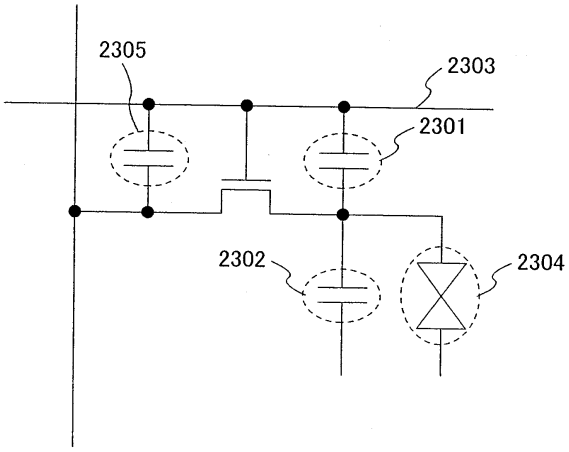
도면20


N
M
2033
2060
2040
2037
2036
2032
2001
2016
2004
2015
2061
2024
2050
2006
2023
2018
2002
2028
2000

도면21



도면22


(a)
2203
2201
2204
2204
2205
2202
(b)
2216
2211
2213
2215
2214
2212
(c)
2222
2223
2221
2224
2226
2225
(d)
2233
2231
2232
2235
2234
(e)
2243
2242
2241
2247
2246
2245
2244
(f)
2251
2253
2252
(g)
2268
2266
2263
2265
2262
2261
2267
2264
2269
(h)
2274
2276
2271
2277
2273
2278
2275
2272

도면23