

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-200980

(P2007-200980A)

(43) 公開日 平成19年8月9日(2007.8.9)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 V	4 M 1 O 4
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 5 3 B	5 F O O 4
H O 1 L 29/41 (2006.01)	H O 1 L 29/78 6 5 8 G	5 F O 4 3
H O 1 L 29/423 (2006.01)	H O 1 L 29/44 L	5 F O 4 8
H O 1 L 29/49 (2006.01)	H O 1 L 29/58 G	5 F 1 4 O
審査請求 未請求 請求項の数 10 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2006-15081 (P2006-15081)

(22) 出願日 平成18年1月24日 (2006.1.24)

(71) 出願人 503361248

富士電機デバイステクノロジー株式会社
東京都品川区大崎一丁目11番2号

(74) 代理人 100133167

弁理士 山本 浩

(72) 発明者 荻野 正明

神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社
内

(72) 発明者 北村 睦美

神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社
内

最終頁に続く

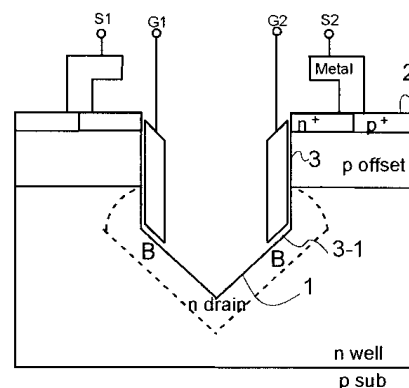
(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 高オン抵抗化またはゲート電圧の高しきい値化とはならないトレンチMOS型半導体装置およびその製造方法を提供すること。

【解決手段】 (100)面を主面とするシリコン基板に、該シリコン基板の主面に垂直な{100}面の側壁と{111}面の傾斜とを備えるトレンチと、該トレンチの前記側壁に形成されるゲート絶縁膜と、該ゲート絶縁膜より厚い、前記傾斜に形成される絶縁膜と、前記ゲート絶縁膜および傾斜絶縁膜上に沿って形成され、前記傾斜絶縁膜上に端部が位置するゲート電極と、前記トレンチ下側のシリコン基板面に配置され端部が前記ゲート絶縁膜に当接するドレイン領域と、前記トレンチに隣接する前記シリコン基板主面に形成されるソース領域と、を備えるMOS型半導体装置とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

(100)面を主面とするシリコン基板に、該シリコン基板の主面に垂直な{100}面の側壁と{111}面の傾斜とを備えるトレンチと、該トレンチの前記側壁に形成されるゲート絶縁膜と、該ゲート絶縁膜より厚い、前記傾斜に形成される絶縁膜と、前記ゲート絶縁膜および傾斜絶縁膜上に沿って形成され、前記傾斜絶縁膜上に端部が位置するゲート電極と、前記トレンチ下部のシリコン基板面に配置され端部が前記ゲート絶縁膜に当接するドレイン領域と、前記トレンチに隣接する前記シリコン基板の主面に形成されるソース領域と、を備えることを特徴とするMOS型半導体装置。

【請求項 2】

10

前記トレンチが、前記シリコン基板の主面に垂直な{100}面の側壁と、{111}面の傾斜により形成されるV字形溝からなる底部とを有することを特徴とする請求項1記載のMOS型半導体装置。

【請求項 3】

前記トレンチが、前記シリコン基板の主面に垂直な{100}面の側壁と、{111}面の傾斜と、前記シリコン基板の主面に平行な底面とを有することを特徴とする請求項1記載のMOS型半導体装置。

【請求項 4】

(100)面を主面とするシリコン基板上で、{111}面との交差線を主要な辺とするトレンチ形成用絶縁膜パターンを形成し、面方位依存性を有するアルカリエッチングと前記シリコン基板の主面に垂直にエッチングするドライエッチングとを用いて前記トレンチを形成する工程を含むことを特徴とするMOS型半導体装置の製造方法。

20

【請求項 5】

前記トレンチを形成する工程が前記ドライエッチングを行った後、前記アルカリエッチングを行うことを特徴とする請求項4記載のMOS型半導体装置の製造方法。

【請求項 6】

前記トレンチを形成する工程が前記アルカリエッチングを行った後、前記ドライエッチングを行うことを特徴とする請求項4記載のMOS型半導体装置の製造方法。

【請求項 7】

前記ドライエッチングがRIEエッチングであることを特徴とする請求項4乃至6のいずれか一項に記載のMOS型半導体装置の製造方法。

30

【請求項 8】

前記アルカリエッチングが面方位依存性を有するテトラメチルアンモニウムまたはアンモニア水を用いて行われることを特徴とする請求項4乃至6のいずれか一項に記載のMOS型半導体装置の製造方法。

【請求項 9】

トレンチの底部をV字形状にエッチングすることを特徴とする請求項4乃至8のいずれか一項に記載のMOS型半導体装置の製造方法。

【請求項 10】

トレンチの底部を逆台形状にエッチングすることを特徴とする請求項4乃至8のいずれか一項に記載のMOS型半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トレンチMOS型デバイスまたはこのデバイスを同一基板上に備えるパワーICなどの半導体装置およびその製造方法に関する。

【背景技術】

【0002】

図9は従来のラテラルMISFETの一例のシリコン基板の要部断面図である。p型シリコン基板211の表面層にpベース領域212とn⁺ドレイン領域215が配設されて

50

いる。このMISFETでは、pベース領域212と n^+ ドレイン領域215との間に、 n 型拡張ドレイン領域214を配設することにより、 n^+ ソース領域213と n^+ ドレイン領域215間の電界を緩和し、高耐圧化を図っている。このようなラテラルMISFETでは一般的に、ソース領域（領域長 L_1 ）、チャネル領域（領域長 L_2 ）、拡張ドレイン領域（領域長 L_3 ）、ドレイン領域（領域長 L_4 ）によって構成され、デバイスピッチすなわちデバイスの一辺の長さは $L_1 + L_2 + L_3 + L_4$ の総和によって決まる。デバイスピッチが小さい程、デバイスの集積度が上がり、オン抵抗は低下するので好ましい。しかしながら、耐圧は拡張ドレイン領域（領域長 L_3 ）によって決まり、 L_3 が長い程高耐圧となるため、耐圧と集積度がトレードオフの関係にあった。そこで、拡張ドレイン領域をトレンチ内に形成することにより、高集積度と高耐圧を同時に可能とする、トレンチ型ラテラルパワーMISFET（Trench Lateral Power MISFET）（以下TLPMと略す）が提案されている。

10

【0003】

図10は一般的な双方向TLPMの断面構造を示すシリコン基板の要部断面図である。p型シリコン基板101の表面からトレンチ102が形成されている。そのトレンチ102の側壁にはpオフセット領域103、トレンチ102の下部のシリコン基板にはnドレイン領域104が形成されている。また、トレンチ102の側壁に沿ってゲート絶縁膜であるゲート酸化膜105が形成されている。ゲート酸化膜105に沿ってその内側には多結晶シリコンからなるゲート電極106が形成されている。ゲート電極106の内側のトレンチ102は層間絶縁膜108で充填されている。またpオフセット領域103の上方にはソース領域107がトレンチ側壁に沿って形成されており、ソース領域107の表面には層間絶縁膜108を貫通してソース電極109が接続されている。

20

【0004】

図11に、図10と異なる従来の双方向トレンチ型ラテラルパワーMOSFET（TLPM）の構造をシリコン基板の要部断面図によって示す。トレンチ（溝）110の底面には共通のドレイン111、トレンチ110の一方の側壁にはPoly-シリコンゲート電極112に接続されるゲート端子G1を備え、このゲート電極112にゲート酸化膜113を挟んだシリコン基板側にはpベース領域（poffset）114とソース領域115が積層され、金属電極116を介してソース端子S1が接続されている。前記G1側ゲート電極112に対向するトレンチ側壁にはPoly-シリコンゲート電極117に接続されるゲート端子G2を備え、このゲート電極117にゲート酸化膜118を挟んだシリコン基板側にはpベース領域（poffset）114とソース領域115が積層され、金属電極116を介してソース端子S2が接続されている。

30

【0005】

図12に、前記双方向TLPMの等価回路を示す。この双方向TLPMは、二つのMOSFETがドレインでショートされており、ソースS1、S2、ゲートG1、G2の4端子デバイスであり、ゲートオン状態ではどちらの入出力端子に電圧をかけても電流が流れ、ゲートオフ状態ではどちらの入出力端子に電圧をかけても電流が流れない機能を有する。

【0006】

ゲートオフ時の耐圧は、前記ドレイン領域のゲート端で電界集中により最も早く臨界電界強度に到達する際の印加電圧値で決まる。例えば、オフ状態で、図11に示すS1に高電位がかかった場合、S1側のpベース-nドレイン接合は順バイアスであり電流は流れるが、S2側のnドレイン-pベース接合が逆バイアスとなり印加された電圧を保持する。このとき、G2は0Vであり、ドレイン領域111の最も電位の高い部分（印加側：A点）で電界集中が起き、その電界強度が臨界電界強度に達するとブレークダウンが生じる。

40

【0007】

パワーMOSFET自体のオン抵抗は、耐圧とトレードオフの関係にあるが、nドレイン抵抗（主として不純物濃度、ドレイン領域内の流路距離に依存する）、チャネル抵抗、

50

ゲート酸化膜厚でほぼ決まる。また、通常パワー I C の製造には、最もゲート酸化膜の界面準位が低い (100) 面を主面とするシリコンウエハが使われる。T L P M ではトレンチ側壁に沿ってゲート絶縁膜が形成され、トレンチ側壁に沿ってチャンネルが形成されるため、トレンチ側壁が基板主面に対して垂直な {100} 面となるようなマスクレイアウトとしている。また、トレンチ底面はウエハ表面の (100) 面に平行な面である。

【0008】

前記図 9 ～ 図 12 を参照して説明したトレンチ型ラテラル M O S F E T については下記特許文献 1、2 の記載によっても既によく知られている。しかし、いずれの特許文献に記載のトレンチ型 M O S F E T もトレンチの底部は、トレンチの形成時には半導体基板面に平行な面となるように形成されている。

10

【特許文献 1】特開 2002-184980 号公報

【特許文献 2】特開 2003-249650 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

以上の説明によれば、M O S 型半導体装置はトレンチ M O S 型半導体装置とすることにより、高集積化を図ることができるが、薄いゲート絶縁膜に起因して高耐圧化が難しいという問題がある。前述の図 10、図 11 または従来の T L P M のトレンチ底部の部分拡大断面図 (図 4 (a)) に示すように、T L P M のソースドレイン間に逆バイアス電圧が印加された際の等電位線 110 は A 点近傍で電界集中を起こして電界強度が急激に上昇する結果、耐圧が低下する。耐圧を改善するには前記 A 点での電界集中を緩和する必要がある。

20

【0010】

しかしながら、たとえば、ゲート絶縁膜 105 の膜厚を増加させれば、耐圧は上昇するが、M O S F E T のゲート電圧のしきい値も高くなるという弊害を伴う。また n ドレイン領域を低濃度化して高耐圧化することもできるが、高オン抵抗化を伴うというように、いずれも高耐圧化対策との間にはトレードオフ関係があって、耐圧向上対策の決め手とはいえないという問題があり、そのような問題のない耐圧向上策が望まれている。

【0011】

本発明は前述の問題点に鑑みて成なされたものであり、トレンチ M O S 型半導体装置において、前述のように高耐圧化対策をしても、高オン抵抗化またはゲート電圧の高しきい値化とはならないトレンチ M O S 型半導体装置およびその製造方法の提供を目的とする。

30

【課題を解決するための手段】

【0012】

特許請求の範囲の請求項 1 記載の本発明によれば、(100) 面を主面とするシリコン基板に、該シリコン基板の主面に垂直な {100 面} の側壁と {111} 面の傾斜とを備えるトレンチと、該トレンチの前記側壁に形成されるゲート絶縁膜と、該ゲート絶縁膜より厚い、前記傾斜に形成される絶縁膜と、前記ゲート絶縁膜および傾斜絶縁膜上に沿って形成され、前記傾斜絶縁膜上に端部が位置するゲート電極と、前記トレンチ下側のシリコン基板面に配置され端部が前記ゲート絶縁膜に当接するドレイン領域と、前記トレンチに隣接する前記シリコン基板主面に形成されるソース領域と、を備える M O S 型半導体装置とすることにより、前記発明の目的は達成される。

40

【0013】

特許請求の範囲の請求項 2 記載の本発明によれば、前記トレンチが、前記シリコン基板の主面に垂直な {100} 面の側壁と、{111} 面の傾斜により形成される V 字形溝からなる底部とを有する特許請求の範囲の請求項 1 記載の M O S 型半導体装置とすることが好ましい。

【0014】

特許請求の範囲の請求項 3 記載の本発明によれば、前記トレンチが、前記シリコン基板の主面に垂直な {100} 面の側壁と、{111} 面の傾斜と、前記シリコン基板の主面

50

に平行な底面とを有する特許請求の範囲の請求項 1 記載の MOS 型半導体装置とすることがより好ましい。

【0015】

特許請求の範囲の請求項 4 記載の本発明によれば、(100)面を主面とするシリコン基板上で、{111}面との交差線を主要な辺とするトレンチ形成用絶縁膜パターンを形成し、面方位依存性を有するアルカリエッチングと前記シリコン基板の主面に垂直にエッチングするドライエッチングとを用いて前記トレンチを形成する工程を含む MOS 型半導体装置の製造方法とすることにより、前記本発明の目的は達成される。

【0016】

特許請求の範囲の請求項 5 記載の本発明によれば、前記ドライエッチングを行った後、前記アルカリエッチングを行う特許請求の範囲の請求項 4 記載の MOS 型半導体装置の製造方法とすることが好ましい。

【0017】

特許請求の範囲の請求項 6 記載の本発明によれば、前記アルカリエッチングを行った後、前記ドライエッチングを行う特許請求の範囲の請求項 4 記載の MOS 型半導体装置の製造方法とすることが好適である。

【0018】

特許請求の範囲の請求項 7 記載の本発明によれば、前記ドライエッチングが Reactive Ion Etching である特許請求の範囲の請求項 4 乃至 6 のいずれか一項に記載の MOS 型半導体装置の製造方法とすることがより好ましい。

【0019】

特許請求の範囲の請求項 8 記載の本発明によれば、前記アルカリエッチングが面方位依存性を有する Tetra Methyl Ammonium Hydride またはアンモニア水を用いて行われる特許請求の範囲の請求項 4 乃至 6 のいずれか一項に記載の MOS 型半導体装置の製造方法とすることがより望ましい。

【0020】

特許請求の範囲の請求項 9 記載の本発明によれば、トレンチの底部を V 字形状にエッチングする特許請求の範囲の請求項 4 乃至 8 のいずれか一項に記載の MOS 型半導体装置の製造方法とすることがより好適である。

【0021】

特許請求の範囲の請求項 10 記載の本発明によれば、トレンチの底部を逆台形状にエッチングする特許請求の範囲の請求項 4 乃至 8 のいずれか一項に記載の MOS 型半導体装置の製造方法とすることもできる。

【発明の効果】

【0022】

本発明によれば、高耐圧化対策を施しても、高オン抵抗化またはゲート電圧の高しきい値化にならないトレンチ MOS 型半導体装置およびその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施例について、図面を用いて詳細に説明する。以下の説明では本発明の要旨を超えない限り、実施例の記載に限定されるものではない。図 1 は本発明にかかる双方向トレンチ型ラテラルパワー MOS FET (TLPM) のシリコン基板の要部断面図である。図 2 は本発明にかかる双方向トレンチ型ラテラルパワー MOS FET (TLPM) の製造工程を示すシリコン基板の要部断面図 (その 1) である。図 3 は本発明にかかる双方向トレンチ型ラテラルパワー MOS FET (TLPM) の製造工程を示すシリコン基板の要部断面図 (その 2) である。図 4 は本発明と従来の TLPM のトレンチ底部の拡大断面図である。図 5 ~ 図 7 は本発明にかかるトレンチエッチングの進行過程を示すシリコン基板の要部断面図である。図 8 は本発明による異なる TLPM の要部断面図である。図 13 は (100) 面を主面とするシリコン基板にアルカリエッチングを施す場合の、エッ

10

20

30

40

50

チングレートの結晶面方位依存性を説明するためのトレンチ部の要部斜視図である。

【0024】

はじめに、アルカリエッチングについて説明する。シリコンの湿式異方性エッチング溶液には、KOH（水酸化カリウム）やヒドラジン、エチレンジアミン、アンモニア、TM AH（テトラメチルアンモニウム）などの水溶液が古くより知られ、広く用いられている。これらアルカリ溶液を用いて単結晶シリコン基板をエッチングした場合、異方性（シリコン結晶のエッチングレートの面方位依存性）を持つ。具体的には、KOH溶液を用いた場合、シリコン基板の各結晶面におけるエッチングレートを（111）面を基準に比較すると、（111）面：（110）面：（100）面がそれぞれ1：600：400である。10
（111）面に等価な結晶面{111}で、エッチングが実質的にストップするため、（100）面を主面とするシリコン基板上に予め、{111}面との交差線を主要な辺とするトレンチ形成用絶縁膜のマスクパターンを形成して、アルカリエッチングを行えば、V字溝やピラミッド型のピット、ピラミッド型の空洞構造を形成することができることが知られている。前記マスクパターンの開口幅やエッチング時間を調整することにより、意図する深さと大きさを持つV字溝や台形型のトレンチやピラミッド型のピットを設計することができる。また、アルカリエッチングを途中で停止させると、図5（b）に示されるようにシリコン基板のトレンチ部の断面が逆台形状の溝が形成される。その後、ドライエッチングを施して図5（c）～図7（g）に示すように逆台形状のトレンチ底部形状としてもよいが、ドライエッチングをせずにさらにアルカリエッチングを進行させると、傾斜した側壁の{111}面404が拡がるにつれて、基板主面403に平行な底部の（100）面405が減少して行き、最終的に消滅し、両側の{111}面404が交差して図1のトレンチ部の底部のようにV字溝となり、それ以上のエッチングは実質的に自己停止する。このようにV字溝でエッチングが自己停止するので、アルカリエッチングではエッチング時間がばらついても、V字溝の深さはばらつかずに、マスク開口部の幅が決まれば、V字溝の深さが決定される。具体的には、V字溝の深さは簡単な幾何学的算術から求められ、開口部幅の1/2に $\tan 54.7^\circ$ を乗じて算出される。20

【0025】

ドライエッチングとしては、プラズマエッチングやRIEエッチングを採用することができるが、特にRIEエッチングが好ましい。公知のRIE（Reactive Ion Etching）技術に用いられる材料としては、HBr、NF₃ガスなどが好ましい。30
RIEやプラズマエッチングなどの異方性のドライエッチングによれば、イオンビームやプラズマの指向性によってエッチング方位を決定でき、化学的性質や結晶面方位による制約を受けることなく、シリコン基板表面から面に垂直なトレンチエッチングを行うことができる。前記ドライエッチングと前記アルカリエッチングを組み合わせると、シリコン基板主面に垂直な側壁部と、前記主面に傾斜角を有する{111}面を底部とするトレンチを形成することができる。ドライエッチング終了後、トレンチ内部を希ふっ酸により洗浄し、さらに、RCA洗浄することが好ましい。

【実施例1】

【0026】

図1に本発明にかかる実施例1としてトレンチ型ラテラル双方向TLPMのシリコン基板の要部断面図を示す。トレンチの形状に係わる場所以外の構造は前述の図11のTLPMと同じなので、ここでは本発明にかかるトレンチを形成するための工程について詳細に説明するため、TLPM作製に必要なイオン注入などの工程の説明は省略し、トレンチをエッチングするところから図を用いて説明する。このTLPMの断面構造は、双方向TLPMのトレンチ底面1がV字形状となっており、シリコン基板表面2と、この基板表面2に垂直なトレンチ側面3は{100}面であり、V字形状の底面1は{111}面である。よって、CMOS、および、TLPMのゲートとなる部分はトレンチ側壁3の{100}面であるから、界面準位が少なく、また、どの面方位よりも薄いゲート酸化膜が形成される。一方、トレンチ底面1は、{111}面であるため、側壁面3のゲート酸化膜よりは厚い（1.5～2倍程度）ゲート酸化膜3-1が形成される。40

【0027】

従来構造である、底面に傾斜面部分のないトレンチを有するT L P Mは、トレンチ底部のゲート電極端近傍のドレイン領域において電界集中により、低い印加電圧によってアバランシェブレークダウンが起き、耐圧が決まるが、この実施例1のようにドレインゲート間酸化膜3-1を厚くすることで、電界集中を緩和し、耐圧をあげることができる。具体的には、同じ逆バイアス電圧に対して、前記図11に示す従来構造T L P MのA点よりも、図1に示す実施例1のB点の電界強度が小さいということである。なお、ゲートのしきい値電圧を決めているトレンチ側壁部分は図11に示す構造と同じ構造、同じ酸化膜厚であるため、特性の悪化はない。つまり、耐圧とオン抵抗のトレードオフに対し、両方を共に改善することが可能である。また、トレンチ底面をV字にすることで拡張ドレイン領域が広がる（距離が長くなる）ため、その分トレンチ幅を狭くすることができ、デバイスピッチを下げ、さらに低オン抵抗化を図ることができる。

【実施例2】

【0028】

図2、図3は、実施例1で用いたトレンチ型ラテラル双方向T L P Mの製造工程を説明するために、主要な製造工程順に並べたシリコン基板の要部断面図である。

【0029】

図2(a)は、酸化膜4をマスクに、シリコン基板の(100)面からこの面に垂直なトレンチ5をR I Eエッチングにより形成した工程段階の断面図である。このトレンチエッチング後、図2(b)に示すよう、酸化膜6を形成する。次に、図3(c)に示すように、エッチバックによりトレンチ側壁面の酸化膜6を残して、シリコン基板表面およびトレンチ底面の酸化膜6を除去する。このとき、シリコン基板表面にはトレンチマスク酸化膜4が残っている。ここで、結晶面依存性という異方性エッチングの性質をもつT M A Hなどのようなアルカリエッチング液でエッチングすることにより、図3(d)に示すようなトレンチの底部がV字状7になった断面形状を得る。そして、トレンチマスク酸化膜4をマスクとして、イオン注入によりトレンチ底面にnドレイン領域を形成し(図3(e))、ドーパドポリシリコンからなるゲート電極8をトレンチ側壁に形成する(図3(f))。続いて、図示しないが、 n^+ ドレイン領域、 p^+ コンタクト領域、層間絶縁膜、金属ソース電極などを形成して、トレンチ型ラテラルM O S F E Tを完成させる。

【0030】

以上の製造方法の説明では、トレンチエッチングについて、最初にR I Eエッチングによりシリコン基板主面に対して垂直な形状のトレンチを形成した後、アルカリエッチングをすることにより、トレンチ底面の形状をV字状の形状としたが、最初にアルカリエッチング液によりシリコン基板主面からV字状にトレンチエッチングした後、R I Eトレンチエッチングすることにより、底部のV字形状を維持したまま、垂直にトレンチエッチングすることにより、前記図1に示した底部がV字形状のトレンチ形状を得ることも可能である。

【実施例3】

【0031】

図1のような双方向T L P Mだけでなく、トレンチの形状は同じで、周辺のシリコン基板内の層構成を変えると、図8に示す単方向のT L P Mに適用することも可能である。

【0032】

図8は、ハイサイドnチャネルT L P Mの断面構造を示す。図面に向かってトレンチ10右側のシリコン基板にnドレイン領域11、 n^+ 領域12、トレンチ右側壁に酸化膜13を介してフィールドプレート14、ドレイン金属電極15を、左側壁ポリシリコンゲート電極16および電極16に接続された端子Gとトレンチの左側シリコン基板に n^+ ソース領域17およびこのソース領域に接触する金属ソース電極18および電極18に接続される端子Sをそれぞれ備える構造である。前記実施例1で説明した図1の双方向T L P Mと同様に、ポリシリコンゲート電極16の下端部側のトレンチ底面が、{111}傾斜面によるV字形底面にされているので、{111}傾斜面と前記ゲート電極下端部との間に形成

される酸化膜19がトレンチ側壁の{100}面に形成されるゲート酸化膜13より厚膜化するので、電界集中を緩和し、耐圧を上げることが可能となる。

【実施例4】

【0033】

実施例4について図5～図7を用いて説明する。(100)面を主面とするp型シリコン基板401にフォトリソグラフィ技術・イオン注入技術によって、図示しないTLPM部以外の回路を形成するためにnウェル領域・pオフセット領域などを形成する。

【0034】

次にトレンチエッチングを行うためのマスクとして減圧CVD法によりマスク酸化膜402を0.4μm程度、堆積する。この際のマスク酸化膜402は減圧CVD法で形成するHTO(High Temperature Oxide)膜或いはTEOS(Tetra Ethyl Ortho Silicate)膜のどちらでもよい。次いでトレンチを形成する領域403のみリソグラフィ技術によりマスク酸化膜402をエッチングにより選択的に除去する。この状態が図5(a)である。

【0035】

そして、シリコン基板401を前記RCA洗浄した後に、マスク酸化膜402をマスクとしてアルカリエッチングを行う。アルカリ溶液はTMAH(Tetra Methyl Ammonium Hydride)を用いる。TMAHの異方性エッチングによって図5(b)に示すようにシリコン基板表面に対して角度 $\alpha = 54.7^\circ$ をなすシリコン基板401の(111)面404が現れたところでエッチングを停止させると、図のような角度 α をもった逆台形状のトレンチ形状となる。このままエッチングを続けるとやがてはトレンチの底部はV字溝になってしまうため、逆台形状にするには、途中でエッチングを終了させる必要がある。図中の405は基板表面に平行な(100)面を持つトレンチ底面である。エッチング量(深さ)dは、シリコン基板表面403からこのトレンチ底面405までの深さが0.5μm程度となるようにエッチング時間を調整する。深さ方向にd量エッチングすると角度 α が 54.7° であるため、マスク酸化膜402からトレンチ底面までの傾斜面404の横方向の距離xはおおよそ0.35μmとなる。この横方向の距離xが、後でゲート電極となる減圧CVD法で形成するポリシリコンの堆積膜厚よりも0.05μm以上大きくなるように、深さd即ちエッチング量を調整する。

【0036】

次にウェハをRCA洗浄して、RIEによりトレンチエッチングを行う。RIEでは垂直にエッチングが進むため、エッチング前の底部形状がそのまま反映されたトレンチ形状が得られる。図5(c)はトレンチエッチング途中を模式的に表わしたもので、最初にアルカリエッチングしたときのトレンチ底面のV字形状の状態(鎖線)をそのまま維持していることを表している。ここでトレンチ底面は(100)面407と傾斜した(111)面408とからなっている。またトレンチのシリコン基板表面に対して垂直な側壁面406は{100}面である。所定の深さ、例えばここではシリコン基板表面からトレンチの底部の(100)面が出ている部分、トレンチ底部407までの深さを1.2μmとする(図6(d))。

【0037】

この後、図示しないが、トレンチ内壁の凹凸を平滑な面にするためのダメージ除去或いは犠牲酸化などの工程、これまた図示しないトレンチ底部へのイオン注入工程、素子分離工程などを経てゲート酸化の工程を行う。図は簡略的に示しているため、実際にはトレンチ上部のコーナーや{111}面と{100}面とのコーナーは前述したダメージ除去工程或いは犠牲酸化工程によって局部的には十分に丸めることが好ましい。

【0038】

ゲート酸化工程は例えば800℃のパイロジェニック雰囲気によってシリコン基板の(100)面における厚さが17nmとなるように酸化時間を調整する。酸化後は800℃或いはそれ以上の温度でPOA(Post Oxidation anneal)を行う。この酸化工程でシリコン基板の(100)面であるシリコン基板表面及びトレンチ側壁

10

20

30

40

50

406及びトレンチ底部407には17nmの熱酸化膜409が形成されるが、トレンチ底部傾斜部である408はアルカリエッチングによりシリコン基板の{111}面が出ているため、27nmとシリコン基板の(100)面に比べて10nmも厚い酸化膜410が形成される。これはシリコン基板の熱酸化における酸化膜成長速度の面方位依存性によるものである。この熱酸化後の状態を表した図が図6(e)である。

【0039】

次にゲート電極となるポリシリコン膜411を減圧CVD法によってゲート酸化膜409、410の上に0.3μm程度成長させる(図7(f))。

【0040】

この後、図示しないがフォトリソグラフィ技術によってポリシリコン膜411をエッチバックする。TLPMとなる領域はポリシリコン膜411をエッチバックし、図示しない箇所にレジストを残してこの後のアルミ配線と接続するためのポリシリコン膜411を残す。エッチバック後の断面形状は図7(g)となる。

【0041】

このようにTLPM部分ではトレンチの側壁にのみゲート電極となるポリシリコン膜411が残った状態となる。ゲート電極のシリコン基板表面への引き出しは図示しないトレンチ終端部でポリシリコン膜411を残した部分を形成して引き出し構造としている。

【0042】

また、図7(g)のトレンチ底部の傾斜部410付近を拡大した図を図4(b)に示す。ポリシリコン膜411の下端部の真下のゲート酸化膜410はシリコン基板面方位が(111)面の部分を酸化した酸化膜であるために、他の{100}面上のゲート酸化膜409よりも膜厚が厚くなっている。このようにポリシリコン膜411の直下のゲート酸化膜410の膜厚が厚くなるように最初のアルカリエッチングのエッチング量とポリシリコン膜の堆積膜厚とを調整する。またRIEによるトレンチエッチング後のダメージ除去工程や犠牲酸化工程でトレンチ内のシリコン基板を削ることになるため、その工程でのトレンチ幅の広がりも考慮して最終的にポリシリコン膜411の直下のゲート酸化膜410の膜厚が厚くなるように各工程におけるトレンチ幅の広がり量を考慮することが重要である。

【0043】

このポリシリコンゲート電極411の加工後の工程は本発明にかかる主要工程ではないので図は省略するが、この後、 n^+ ソース領域、 p^+ のソース領域などを形成した後CVD法により層間膜となる酸化膜を堆積してトレンチを層間絶縁膜で埋め込み表面酸化膜の凹凸をなくすためエッチバック工程もしくはCMP(Chemical Mechanical Polishing)法によって表面をフラットな面とする。この後コンタクトホールを開口してタングステンPlugを形成、アルミ配線を行って表面保護膜(パッシベーション)を形成してTLPMが完成する。

【0044】

このようにして作成されたTLPMは図4(b)に示すように逆バイアス電圧印加時に電界集中により電界強度が最も早く上昇しやすいトレンチ底部の傾斜部の上のゲート酸化膜410の膜厚が厚くなっているため電界が緩和され、従来よりも耐圧が向上する。またゲート電圧のしきい値などはトレンチ側壁の17nmのゲート酸化膜厚で決まるため、耐圧向上させてもしきい値は変わらず、またオン抵抗もTLPMの特徴を生かし低いまま高耐圧化が図れる。

【図面の簡単な説明】

【0045】

【図1】本発明にかかる双方向トレンチ型ラテラルパワーMOSFET(TLPM)のシリコン基板の要部断面図である。

【図2】本発明にかかる双方向トレンチ型ラテラルパワーMOSFET(TLPM)の製造工程を示すシリコン基板の要部断面図(その1)である。

【図3】本発明にかかる双方向トレンチ型ラテラルパワーMOSFET(TLPM)の製

造工程を示すシリコン基板の要部断面図（その２）である。

【図４】本発明（a）と従来のTLPM（b）のトレンチ底部の拡大断面図である。

【図５】本発明にかかるトレンチエッチングの進行過程を示すシリコン基板の要部断面図である（その１）。

【図６】本発明にかかるトレンチエッチングの進行過程を示すシリコン基板の要部断面図である（その２）。

【図７】本発明にかかるトレンチエッチングの進行過程を示すシリコン基板の要部断面図である（その３）。

【図８】本発明による異なるTLPMの要部断面図である。

【図９】従来の型ラテラルMISFETの一例のシリコン基板の要部断面図である。

10

【図１０】従来の双方向TLPMの断面構造を示すシリコン基板の要部断面図である。

【図１１】図１０と異なる従来の双方向トレンチ型ラテラルパワーMOSFET（TLPM）のシリコン基板の要部断面図である。

【図１２】双方向TLPMの等価回路図である。

【図１３】（１００）面を主面とするシリコン基板にアルカリエッチングを施す場合の、エッチングレートの結晶面方位依存性を説明するためのトレンチ部の要部斜視図である。

【符号の説明】

【００４６】

１、７、４０４、４０８ 傾斜部、{１１１}面

２、 シリコン基板主面、（１００）面

20

３、４０６ トレンチ側壁面、{１００}面

４、４０２ マスク酸化膜

５、 トレンチ

６、 酸化膜

８、 ポリシリコンゲート酸化膜

４０１ シリコン基板

４０５、４０７ トレンチ底部（１００）面

４０９ ゲート酸化膜

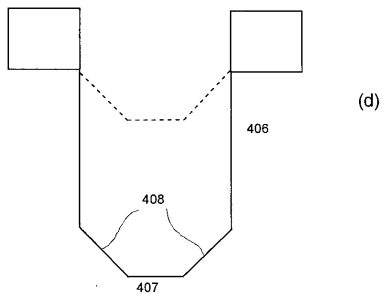
４１０ トレンチ傾斜部酸化膜

４１１ ポリシリコンゲート酸化膜

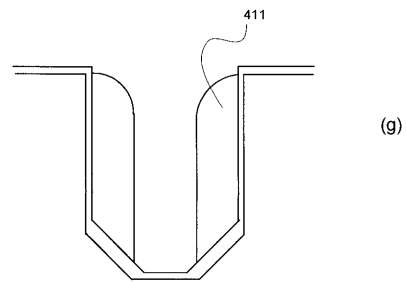
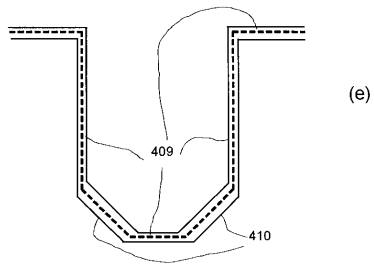
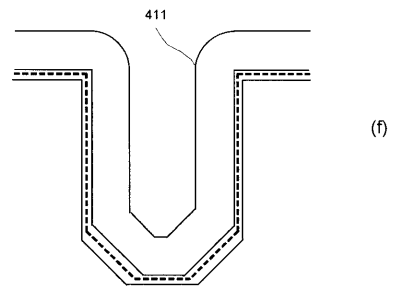
30

B 電界集中部。

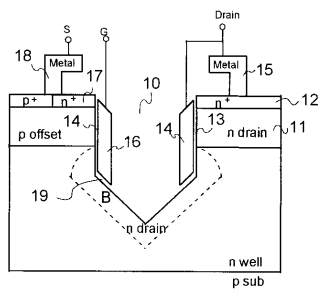
【図 6】



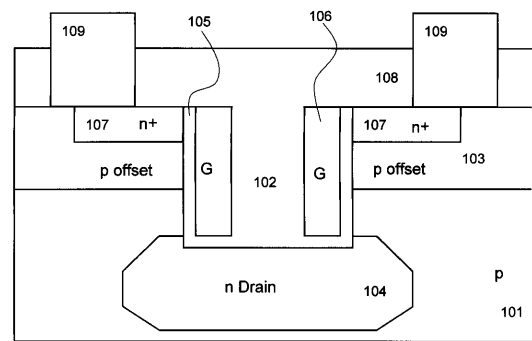
【図 7】



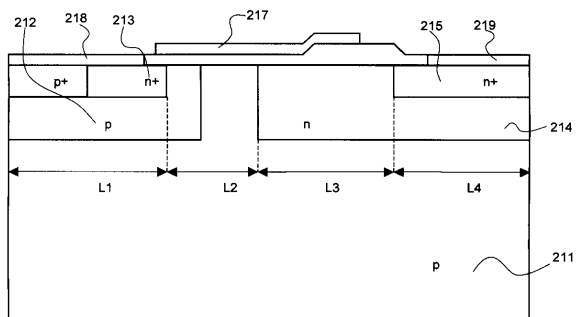
【図 8】



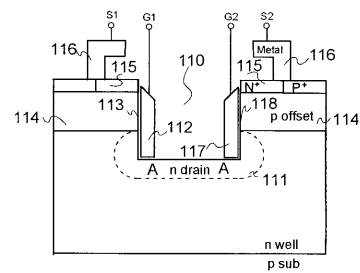
【図 10】



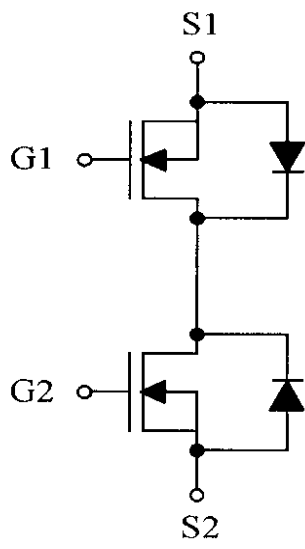
【図 9】



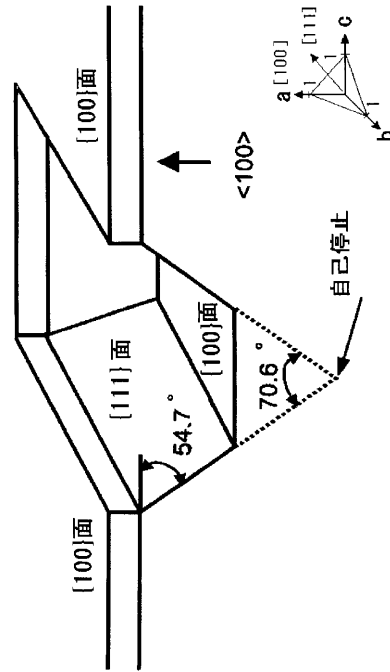
【図 11】



【図 1 2】



【図 1 3】



フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
H O 1 L 21/3065 (2006.01)		H O 1 L 21/302	1 0 5 A	
H O 1 L 21/306 (2006.01)		H O 1 L 21/306	S	
H O 1 L 21/8234 (2006.01)		H O 1 L 27/08	1 0 2 E	
H O 1 L 27/088 (2006.01)				

(72)発明者 下山 和男

神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内

(72)発明者 矢嶋 理子

神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内

Fターム(参考) 4M104 AA01 BB01 BB18 BB40 CC05 DD16 DD43 DD63 FF01 GG09
GG18
5F004 DB01 EA10 EA28
5F043 AA02 BB02 DD15 FF04
5F048 AA05 AC01 AC06 BA10 BB05 BB14 BC03 BD06 BD07 BF02
BF07 BF16 BF18 CB06 CB07
5F140 AA25 AA30 AB03 AC23 BA01 BA20 BB04 BB06 BC15 BE01
BE07 BE16 BF04 BF43 BG28 BG37 BH05 BH30 BJ01 BJ07
BJ27 BK09 BK13 CA03 CB08 CC12 CE06 CE07 CE20