



(12) 发明专利

(10) 授权公告号 CN 102969338 B

(45) 授权公告日 2015. 09. 30

(21) 申请号 201210322625. 0

(22) 申请日 2012. 08. 30

(30) 优先权数据

2011-190006 2011. 08. 31 JP

(73) 专利权人 株式会社日本显示器

地址 日本东京都港区西新桥三丁目7番1号

(72) 发明人 野田刚史 河村哲史

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 杨宏军

(51) Int. Cl.

H01L 29/06(2006. 01)

H01L 29/786(2006. 01)

H01L 21/336(2006. 01)

G02F 1/1368(2006. 01)

(56) 对比文件

US 6855954 B1, 2005. 02. 15, 说明书第10栏第20行至第13栏第17行、附图9a-13.

US 2006/0199316 A1, 2006. 09. 07, 说明书第32-41, 54段、附图2A-2H.

CN 101644862 A, 2010. 02. 10, 全文.

US 2009/0101895 A1, 2009. 04. 23, 全文.

CN 101944485 A, 2011. 01. 12, 全文.

审查员 梁庆然

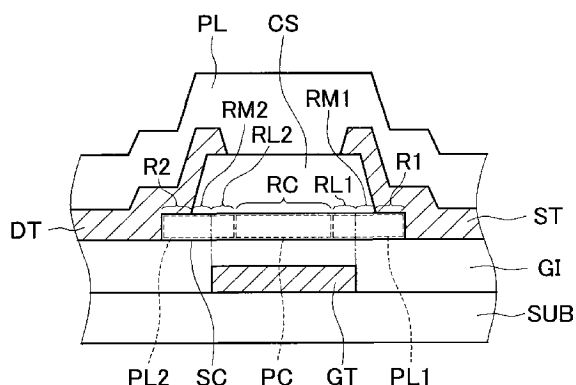
权利要求书2页 说明书6页 附图7页

(54) 发明名称

显示装置及显示装置的制造方法

(57) 摘要

本发明涉及一种显示装置,包括薄膜晶体管,所述薄膜晶体管包括:栅极电极;覆盖栅极电极且包含绝缘物质的栅极绝缘层;与所述栅极绝缘层的上表面接触的氧化物半导体膜;分别与位于所述氧化物半导体膜的上表面且相互分离的第一区域和第二区域接触的源极电极及漏极电极;与所述第一区域和所述第二区域之间的第三区域接触且包含所述绝缘物质的沟道保护膜。俯视观察时,与所述栅极电极重叠的所述氧化物半导体膜的上表面的区域被包含于第三区域且很小,所述氧化物半导体膜中除了与所述栅极电极重叠的部分的一部分以外的部分的电阻比与所述栅极电极重叠的部分低。



1. 一种显示装置,具有绝缘衬底和形成在所述绝缘衬底的上方的薄膜晶体管,其特征在于,

所述薄膜晶体管包括:

设有栅极电极的导电层;

栅极绝缘层,被设置在所述导电层的上方且包含绝缘物质;

氧化物半导体膜,与所述栅极绝缘层的上表面接触,并且被设置在所述栅极电极的上方;

源极电极,与位于所述氧化物半导体膜的上表面的第一区域接触;

漏极电极,与位于所述氧化物半导体膜的上表面、且同所述第一区域分离的第二区域接触;及

沟道保护膜,与所述氧化物半导体膜的上表面的所述第一区域和所述第二区域之间的第三区域接触且包含所述绝缘物质,

俯视观察时,所述氧化物半导体膜与所述栅极电极重叠的重叠部分是所述氧化物半导体膜与所述沟道保护膜重叠的重叠部分的一部分,

所述氧化物半导体膜的与沟道保护膜重叠的部分中的除了沟道部以外的部分的电阻比沟道部的电阻低。

2. 如权利要求 1 所述的显示装置,其特征在于,所述绝缘物质是硅氧化物。

3. 如权利要求 1 所述的显示装置,其特征在于,

所述氧化物半导体膜俯视观察时在与所述栅极电极重叠的部分和与所述第一区域重叠的部分之间具有与所述第三区域重叠的部分,

所述氧化物半导体膜俯视观察时在与所述栅极电极重叠的部分和与所述第二区域重叠的部分之间具有与所述第三区域重叠的部分。

4. 如权利要求 1 所述的显示装置,其特征在于,所述第三区域与所述第一区域和所述第二区域接触。

5. 如权利要求 1 所述的显示装置,其特征在于,所述半导体膜中的除了与所述栅极电极重叠的部分的一部分以外的部分的含氧量比与所述栅极电极重叠的部分的所述一部分低。

6. 一种显示装置的制造方法,其特征在于,包括:

在绝缘衬底上形成设有栅极电极的导电层的工序;

在所述导电层的上方形成包含绝缘物质的栅极绝缘层的工序;

在所述栅极绝缘层的上方形成氧化物半导体层的工序;

将所述氧化物半导体层中的除了在俯视下与所述栅极电极重叠的重叠部分中的一部分以外的部分的氧除去的脱氧工序;

以保留位于所述栅极电极的上方的氧化物半导体膜的方式蚀刻所述氧化物半导体层的工序;

形成包含所述绝缘物质的沟道保护层的工序;

以保留沟道保护膜的方式蚀刻所述沟道保护层的工序,所述沟道保护膜与俯视观察时所述氧化物半导体膜的上表面中的包含与所述栅极电极重叠的区域、并且与比该区域大的区域接触;

形成源极电极和漏极电极的电极形成工序,所述源极电极与所述氧化物半导体膜的上表面中的与所述沟道保护膜接触的区域不同的第一区域接触,所述漏极电极与第二区域接触,所述第二区域是所述氧化物半导体膜的上表面中的与所述沟道保护膜所接触的区域和所述第一区域不同的区域,

在所述脱氧工序中,将所述氧化物半导体膜的与沟道保护膜重叠的部分中的除了沟道部以外的部分的氧除去,

在所述电极形成工序中,以在所述第一区域和所述第二区域之间存在与所述沟道保护膜接触的区域的方式形成所述源极电极及所述漏极电极。

显示装置及显示装置的制造方法

技术领域

[0001] 本发明涉及显示装置及显示装置的制造方法。

背景技术

[0002] 近年来,在包含以矩阵状配置的像素电路的显示装置中,广泛地开发了利用使用了氧化物半导体的薄膜晶体管的方法。这是为了提高该显示装置的特性。在日本特开 2009-272427 号公报中公开了使用了氧化物半导体的沟道蚀刻终止构造的薄膜晶体管。

发明内容

[0003] 由于氧化物半导体因接触的物质而其特性容易发生变化,所以存在不能按照设计发挥功能的情况。例如,氧化物半导体被氢还原,阈值电压变化。由此,难以用于使含有大量氢的材料与氧化物半导体接触之处。为使使用了氧化物半导体的薄膜晶体管的性能稳定,与氧化物半导体接触的多个绝缘体优选采用兼容性最好的绝缘物质。本发明人等考虑上述理由而以相同的绝缘物质形成栅极电极和位于其上方的氧化物半导体膜之间的栅极绝缘膜、及位于氧化物半导体膜上方的沟道蚀刻终止层,但可知这样薄膜晶体管的耐压性会降低,经由栅极电极的电流会发生泄漏。这是因为,对沟道蚀刻终止层蚀刻时,经由存在于氧化物半导体上的贯通孔,栅极绝缘膜也被蚀刻而产生针孔。

[0004] 本发明是鉴于上述课题而完成的,其目的是提供一种使用了如下薄膜晶体管的显示装置及该显示装置的制造方法,所述薄膜晶体管能够防止构成薄膜晶体管的氧化物半导体的特性的变化,并能够提高耐压特性。

[0005] 本申请公开的发明中,简单说明代表性的结构的概要时,如下所述。

[0006] (1) 一种显示装置,具有绝缘衬底和形成在所述绝缘衬底的上方的薄膜晶体管,其特征在于,上述薄膜晶体管包括:设有栅极电极的导电层;栅极绝缘层,被设置在上述导电层的上方且包含绝缘物质;氧化物半导体膜,与上述栅极绝缘层的上表面接触并且被设置在上述栅极电极的上方;源极电极,与位于上述氧化物半导体膜的上表面的第一区域接触;漏极电极,与位于上述氧化物半导体膜的上表面且同上述第一区域分离的第二区域接触;及沟道保护膜,与上述氧化物半导体的上表面的上述第一区域和上述第二区域之间的第三区域接触且包含上述绝缘物质,俯视观察时上述氧化物半导体膜与上述栅极电极重叠的重叠部分是上述氧化物半导体膜与上述沟道保护膜重叠的重叠部分的一部分,上述氧化物半导体膜中的除了与上述栅极电极重叠的重叠部分中的一部分以外的部分的电阻比与上述栅极电极重叠的重叠部分中的上述一部分的电阻低。

[0007] (2) 在(1)中,显示装置的特征在于,上述绝缘物质是硅氧化物。

[0008] (3) 在(1)或(2)中,显示装置的特征在于,上述氧化物半导体膜俯视观察时在上述栅极电极重叠的部分和与上述第一区域重叠的部分之间具有与上述第三区域重叠的部分,上述氧化物半导体膜俯视观察时在上述栅极电极重叠的部分和与上述第二区域重叠的部分之间具有与上述第三区域重叠的部分。

[0009] (4) 在 (1) 至 (3) 的任意一项中, 显示装置的特征在于, 上述第三区域与上述第一区域和上述第二区域接触。

[0010] (5) 在 (1) 至 (4) 的任意一项中, 显示装置的特征在于, 所述半导体膜中的除了与上述栅极电极重叠的部分的一部分以外的部分的含氧量比与上述栅极电极重叠的部分的上述一部分低。

[0011] (6) 一种显示装置的制造方法, 其特征在于, 包括: 在绝缘衬底上形成设有栅极电极的导电层的工序; 在上述导电层的上方形成包含绝缘物质的栅极绝缘层的工序; 在上述栅极绝缘层的上方形成氧化物半导体层的工序; 除去上述氧化物半导体层中的除了俯视下与上述栅极电极重叠的重叠部分中的一部分以外的部分的氧的脱氧工序; 以保留位于所述栅极电极的上方的所述氧化物半导体膜的方式蚀刻所述氧化物半导体层的工序; 形成包含上述绝缘物质的沟道保护层的工序; 以保留沟道保护膜的方式蚀刻所述沟道保护层的工序, 所述沟道保护膜与俯视观察时上述氧化物半导体膜的上表面中的包含与上述栅极电极重叠的区域且比该区域大的区域接触; 及形成源极电极和漏极电极的电极形成工序, 所述源极电极与上述氧化物半导体膜的上表面中的与上述沟道保护膜接触的区域不同的第一区域接触, 所述漏极电极与第二区域接触, 该第二区域是上述氧化物半导体膜的上表面中的与上述沟道保护膜所接触的区域和上述第一区域不同的区域, 在上述电极形成工序中, 以在上述第一区域和上述第二区域之间存在与上述沟道保护膜接触的区域的方式形成上述源极电极及上述漏极电极。

[0012] 根据本发明, 提供一种使用了如下薄膜晶体管的显示装置, 所述薄膜晶体管能够防止构成薄膜晶体管的氧化物半导体的变质, 并且能够提高耐压特性。

附图说明

[0013] 图 1 是表示本发明的实施方式的显示装置的等效电路的电路图。

[0014] 图 2 是表示一个像素电路的结构的一例的俯视图。

[0015] 图 3 是像素电路所含有的薄膜晶体管的剖视图。

[0016] 图 4A ~ 4F 是表示图 3 所示的薄膜晶体管的制造工序的剖视图。

[0017] 图 5 是表示薄膜晶体管的比较例的剖视图。

[0018] 图 6 是表示本实施方式的薄膜晶体管中产生的针孔的剖视图。

[0019] 图 7 是表示本发明的实施方式的其他显示装置的等效电路的电路图。

[0020] 图 8 是表示图 7 所示的像素电路的结构俯视图。

[0021] 附图标记的说明

[0022] CL 公共信号线, CT 公共电极, DL 视频信号线, GL 栅极信号线, PX 像素电极, TFT 薄膜晶体管, CS 沟道保护膜, DT 漏极电极, GI 栅极绝缘层, GT 栅极电极, PL 钝化膜, PC 沟道部, PL1、PL2 低电阻部, RG 抗蚀剂, SC 氧化物半导体膜, SL 氧化物半导体层, ST 源极电极, SUB 玻璃衬底, R1 源极电极接触区域, R2 漏极电极接触区域, RC 沟道上部区域, RL1, RL2 栅极上连接区域, RM1、RM2 栅极外连接区域, OM 富裕量, PH 针孔。

具体实施方式

[0023] 以下, 基于附图说明本发明的实施方式。对于出现的结构要素中的具有相同功能

的要素标注相同的附图标记,并省略其说明。此外,以下说明的实施方式是将本发明适用于 IPS(In-Plane-Switching,平面方向转换)方式的液晶显示装置的情况的例子。

[0024] 本实施方式的显示装置是液晶显示装置,包括:阵列衬底;与该阵列衬底相对且设有彩色滤光片的滤光片衬底;被封入两衬底夹持的区域的液晶材料;及安装在阵列衬底上的驱动 IC。阵列衬底及滤光片衬底都是对玻璃衬底等绝缘衬底实施加工而形成的。

[0025] 图 1 是表示本发明的实施方式的显示装置的等效电路的电路图。图 1 所示的等效电路与上述阵列衬底中的显示区域的一部分相当。在阵列衬底上,多个栅极信号线 GL 沿横向并列地延伸,另外,多个视频信号线 DL 沿纵向并列地延伸。而且,通过这些栅极信号线 GL 及视频信号线 DL 将显示区域划分为矩阵状的区域,各划分区域与一个像素电路相当。另外,公共信号线 CL 与各栅极信号线 GL 对应地沿横向延伸。

[0026] 在被栅极信号线 GL 及视频信号线 DL 划分的像素电路的角落,形成有使用了氧化物半导体的薄膜晶体管 TFT,该薄膜晶体管 TFT 的栅极电极 GT 与栅极信号线 GL 连接,漏极电极 DT 与视频信号线 DL 连接。另外,在各像素电路中成对地形成有像素电极 PX 及公共电极 CT,像素电极 PX 与薄膜晶体管 TFT 的源极电极 ST 连接,公共电极 CT 与公共信号线 CL 连接。

[0027] 图 2 是表示一个像素电路的结构的一例的俯视图。如图 2 所示,与栅极信号线 GL 和视频信号线 DL 交叉的位置对应地存在薄膜晶体管 TFT。薄膜晶体管 TFT 具有氧化物半导体膜 SC、沟道保护膜 CS(也称为沟道蚀刻终止层)、栅极电极 GT、源极电极 ST 和漏极电极 DT。该薄膜晶体管 TFT 具有沟道蚀刻终止构造。

[0028] 在上述像素电路中,经由公共信号线 CL 向各像素的公共电极 CT 施加公共电压,并向栅极信号线 GL 施加栅极电压,由此选择像素电路的行。另外,在该选择的时刻,向各视频信号线 DL 供给视频信号,由此,向各像素电路所含有的像素电极 PX 施加视频信号的电压。由此,在像素电极 PX 和公共电极 CT 之间产生与视频信号的电压相应强度的横向电场,并根据该横向电场的强度决定液晶分子的取向。

[0029] 详细说明薄膜晶体管 TFT。氧化物半导体膜 SC 由氧化物半导体构成。氧化物半导体是指包含 In、Ga、Zn、Sn 中的至少一种元素的非晶态或结晶性氧化物半导体。作为氧化物半导体的例子,可以列举 In-Ga-Zn 氧化物、In-Ga 氧化物、In-Zn 氧化物、In-Sn 氧化物、Zn-Ga 氧化物和 Zn 氧化物等。氧化物半导体膜 SC 的厚度优选为 5nm 至 200nm,但也可以超出该范围。漏极电极 DT 从视频信号线 DL 向图 2 的右方延伸,并包括下表面与氧化物半导体膜 SC 接触的部分、和位于该部分的更右侧且在沟道保护膜 CS 的上方延伸的部分。在沟道保护膜 CS 的上方延伸的部分的前端与氧化物半导体膜 SC、沟道保护膜 CS 及栅极电极 GT 在俯视下重叠。另外,源极电极 ST 从与漏极电极 DT 的前端分离的位置,即从与氧化物半导体膜 SC、沟道保护膜 CS 及栅极电极 GT 在俯视下重叠的位置向右方延伸,并在中途向上方弯曲并与像素电极 PX 连接。源极电极 ST 包括在沟道保护膜 CS 的上方延伸的部分、和位于其右侧且下表面与氧化物半导体膜 SC 接触的部分。源极电极 ST 的前端包含于在沟道保护膜 CS 的上方延伸的部分。

[0030] 氧化物半导体膜 SC 的俯视形状为矩形,从左右方向观察时,中央部的上表面被沟道保护膜 CS 覆盖。另外,栅极电极 GT 以与氧化物半导体膜 SC 和沟道保护膜 CS 在俯视下重叠的部分中的、从左端及右端隔开规定间隔的部分在俯视下重叠的方式沿图中的上下方

向延伸,栅极电极 GT 的下端与栅极信号线 GL 连接。

[0031] 图 3 是像素电路所含有的薄膜晶体管 TFT 的剖视图。本图表示沿图 2 的 III-III 剖切线的截面。在玻璃衬底 SUB 的上方设置有包含与玻璃衬底 SUB 接触的栅极电极 GT 在内的导电层。在该导电层的上方设置有栅极绝缘层 GI。栅极绝缘层 GI 包含氧化硅膜作为绝缘物质。氧化物半导体膜 SC 与栅极绝缘层 GI 的上表面接触,并且被设置在栅极电极 GT 的上方。沟道保护膜 CS 与氧化物半导体膜 SC 的上表面中的包括与栅极电极 GT 重叠的区域且比该区域宽的区域接触。沟道保护膜 CS 包含与栅极绝缘层 GI 相同的氧化硅膜作为绝缘物质。氧化物半导体膜 SC 的上表面中的位于与沟道保护膜 CS 接触的区域右侧的源极电极接触区域 R1 与源极电极 ST 的下表面的一部分接触。氧化物半导体膜 SC 的上表面中的位于与沟道保护膜 CS 接触的区域左侧的漏极电极接触区域 R2 与漏极电极 DT 的下表面的一部分接触。钝化膜 PL 位于源极电极 ST、漏极电极 DT 及沟道保护膜 CS 的上方,并覆盖薄膜晶体管 TFT。在本实施方式中,栅极绝缘层 GI 和沟道保护膜 CS 是相同的绝缘物质即可,不一定必须是硅氧化物。例如,栅极绝缘层 GI 和沟道保护膜 CS 也可以是氮化硅膜、氧化硅膜和氮化硅膜的层叠膜、或其他金属氧化膜。

[0032] 这里,氧化物半导体膜 SC 包括:由俯视观察时与栅极电极 GT 重叠的部分中的一部分构成的沟道部 PC;连接沟道部 PC 和源极电极 ST 的低电阻部 PL1;连接沟道部 PC 和漏极电极 DT 的低电阻部 PL2。氧化物半导体膜 SC 的上表面包括沟道上部区域 RC、栅极上连接区域 RL1、RL2、栅极外连接区域 RM1、RM2、源极电极接触区域 R1 及漏极电极接触区域 R2。沟道上部区域 RC 还存在于沟道部 PC 的上表面。栅极上连接区域 RL1、栅极外连接区域 RM1 和源极电极接触区域 R1 还存在于低电阻部 PL1 的上表面,栅极上连接区域 RL2、栅极外连接区域 RM2 和漏极电极接触区域 R2 还存在于低电阻部 PL2。另外,沟道部 PC 是氧化物半导体膜 SC 上的俯视下与沟道上部区域 RC 重叠的部分。低电阻部 PL1 是氧化物半导体膜 SC 中的俯视下与栅极上连接区域 RL1、栅极外连接区域 RM1 及源极电极接触区域 R1 重叠的部分。低电阻部 PL2 是氧化物半导体膜 SC 中的俯视下与栅极上连接区域 RL2、栅极外连接区域 RM2 及漏极电极接触区域 R2 重叠的部分。

[0033] 栅极上连接区域 RL1 是俯视下与栅极电极 GT 重叠的区域,其左端与位于沟道部 PC 的上表面的沟道上部区域 RC 接触。栅极外连接区域 RM1 的左端与栅极上连接区域 RL1 接触,右端与源极电极接触区域 R1 接触。栅极上连接区域 RL2 是俯视下与栅极电极 GT 重叠的区域,其右端与沟道上部区域 RC 接触。栅极上连接区域 RL2 与栅极外连接区域 RM2 的右端接触,漏极电极接触区域 R2 与栅极外连接区域 RM2 的左端接触。沟道上部区域 RC、栅极上连接区域 RL1、RL2 及栅极外连接区域 RM1、RM2 与沟道保护膜 CS 接触。

[0034] 这里,俯视下不与栅极电极 GT 重叠,且与沟道保护膜 CS 接触的区域即栅极外连接区域 RM1、RM2 所重叠的氧化物半导体膜 SC 的部分成为低电阻部 PL1、PL2 的一部分。假设氧化物半导体膜 SC 全部是电阻值与沟道部 PC 相同的半导体时,该晶体管的电阻变大,电流难以流动。这是因为,氧化物半导体膜 SC 中的俯视下与栅极外连接区域 RM1、RM2、源极电极接触区域 R1、漏极电极接触区域 R2 重叠的部分的电阻值在向栅极电极 GT 施加的电位下几乎没有变化。因此,对于本实施方式的薄膜晶体管 TFT,通过设置含氧量低的低电阻部 PL1、PL2,被抑制在耐用的电阻的范围。另外,能够抑制在源极电极 ST 及漏极电极 DT 与氧化物半导体膜 SC 的接触部分产生电场集中,还能够减小截止电流提高可靠性。另外,通过栅极

外连接区域 RM1、RM2 提高薄膜晶体管 TFT 的耐压,关于其机理如下所述。

[0035] 以下对制造上述薄膜晶体管 TFT 的工序进行说明。图 4A ~ 图 4F 是表示图 3 所示的薄膜晶体管 TFT 的制造工序的剖视图。在最初的工序中,按顺序在玻璃衬底 SUB 上溅射厚度 350nm 的 Al 层和厚度 100nm 的 Mo 层,通过光刻和湿蚀刻形成栅极电极 GT (参照图 4A)。栅极电极 GT 也可以使用 Al、Mo、W、Cu、Cu-Al 合金、Al-Si 合金、Mo-W 合金等的低电阻金属的单层或它们的层叠构造。在下一工序中,在形成有栅极电极 GT 的玻璃衬底 SUB 的上方,对构成栅极绝缘层 GI 的氧化硅膜进行成膜 (参照图 4B)。氧化硅膜使用等离子体 CVD 装置成膜,其成膜条件是衬底温度为 400℃、甲硅烷流量为 20sccm、N₂O 流量为 300sccm。

[0036] 在下一工序中,溅射氧化物半导体,形成氧化物半导体层 SL (参照图 4C)。作为氧化物半导体的溅射的方法使用 DC 溅射,靶材料是 In : Ga : Zn : O = 1 : 1 : 1 : 4 的比例的材料,以衬底温度为 25℃、Ar 流量为 30sccm、氧流量为 15sccm 的条件成膜。氧化物半导体层 SL 也可以通过蒸镀法、涂布法、热 CVD 法形成。

[0037] 在下一工序中,在氧化物半导体层 SL 之上涂布抗蚀剂 RG 之后形成图案,抗蚀剂 RG 覆盖与沟道部 PC 的上表面相当的部分。形成图案的抗蚀剂 RG 不覆盖与栅极上连接区域 RL1、RL2 相当的区域。而且,使氢等离子体与其接触,进行将未被抗蚀剂 RG 覆盖的部分的氧化物半导体层 SL 的氧除去的脱氧工序 (参照图 4D)。氢等离子体的温度采用 320℃,但其温度在 100℃ ~ 450℃ 的范围内即可。调整条件,使氧化物半导体层 SL 中的未被抗蚀剂 RG 覆盖的部分的氧浓度成为沟道部 PC 的氧浓度的 1/2 以下、优选 1/5 以下即可。此时,也可以通过使用了 N₂、Ar 等的等离子体处理,破坏氧化物半导体层 SL,除去该氧化物半导体层 SL 的氧。脱氧工序之后,除去抗蚀剂 RG。此外,为除去氧化物半导体层 SL 中的氢,也可以在脱氧工序之后进行退火处理。进行退火处理时,优选的是,温度为 100℃ 至 450℃ 的范围内,气氛为水分、氮、大气、氢、氩等稀有气体。但是,也可以不必须满足这些条件。

[0038] 在下一工序中,利用氧化硅膜对用于形成沟道保护膜 CS 的沟道保护层进行成膜。该工序使用等离子体 CVD 装置,以衬底温度为 150℃、甲硅烷流量为 5sccm、N₂O 流量为 500sccm 的条件进行成膜。在该工序中,还对沟道保护层进行光刻和干蚀刻,形成沟道保护膜 CS。在该工序中,以俯视观察时沟道保护膜 CS 与氧化物半导体膜 SC 中的与栅极电极 GT 重叠的部分和位于该重叠部分外侧的部分的上表面接触的方式,形成沟道保护膜 CS。再通过光刻和湿蚀刻形成氧化物半导体膜 SC (参照图 4E)。

[0039] 在下一工序中,为形成源极电极 ST 及漏极电极 DT,按顺序对厚度 100nm 的 Ti 层、厚度 450nm 的 AlSi 层、厚度 100nm 的 Ti 层进行成膜,对这些膜进行光刻及干蚀刻的处理,形成源极电极 ST 及漏极电极 DT (参照图 4F)。也可以代替对上述层进行成膜,而对 Al、Mo、W、Cu、Cu-Al 合金、Al-Si 合金、Mo-W 合金等低电阻金属的单层或它们的层叠构造进行成膜。

[0040] 在下一工序中,使用 PECVD 法对构成钝化膜 PL 的氧化硅膜,所述钝化膜 PL 用于防止来自外部的水分和杂质等的侵入。成膜时,使用等离子体 CVD 装置,以衬底温度为 150℃、甲硅烷流量为 20sccm、N₂O 流量为 300sccm 的条件进行成膜。再使用透明导电膜形成像素电极 PX、公共电极 CT,由此能够得到包含图 3 所示的薄膜晶体管 TFT 的显示装置。

[0041] 这里,关于在形成沟道保护膜 CS 的工序中产生的针孔 PH 进行说明。图 5 是表示薄膜晶体管 TFT 的比较例的剖视图。在图 5 所示的比较例中,沟道保护膜 CS 在俯视下仅与栅极电极 GT 的一部分重叠。由于氧化物半导体膜 SC 上存在贯通孔,所以在沟道保护膜 CS

的蚀刻时,在栅极绝缘层 GI 中的栅极电极 GT 的上方的部分产生针孔 PH,因该针孔 PH 导致栅极电极 GT 和氧化物半导体膜 SC 之间的耐压能力下降。

[0042] 另一方面,在图 3 所示的薄膜晶体管 TFT 中,针孔 PH 不在栅极电极 GT 的旁边产生。图 6 是表示本实施方式的薄膜晶体管 TFT 中产生的针孔 PH 的剖视图。俯视观察时,由于在因没有沟道保护膜 CS 从而通过蚀刻能产生针孔 PH 的区域和栅极电极 GT 之间存在富裕量 OM,所以即使产生针孔 PH,也不会受到栅极电极 GT 的影响。根据该机理,能够防止薄膜晶体管 TFT 的耐压的降低。此外,富裕量 OM 的宽度通过实验设定成能够维持必要的耐压性能即可。

[0043] 此外,在本发明的实施方式的液晶显示装置中,上述采用 IPS 方式说明了液晶的驱动方式,但本发明也可以采用例如 VA (Vertically Aligned, 垂直排列) 方式、TN (Twisted Nematic, 扭曲向列) 方式等其他驱动方式。图 7 是表示本发明的实施方式的其他显示装置的等效电路的电路图。图 7 所示的等效电路是构成 VA 方式及 TN 方式的显示装置的阵列衬底的等效电路。是表示图 7 所示的像素电路的结构俯视图。在 IPS 方式中,在阵列衬底上设置有公共电极 CT 及公共信号线 CL,但在 VA 方式及 TN 方式的情况下,在与阵列衬底相对的未图示的对置衬底 (或彩色滤光片衬底) 上设置与公共电极 CT 相当的电极。在这些方式中适用本发明,薄膜晶体管 TFT 的沟道保护膜 CS 和栅极电极 GT 的关系不变,也能够得到同样的效果。

[0044] 此外,上述将本发明的实施方式作为液晶显示装置进行了说明,但不限于此,只要具有同样的绝缘层、导电层的层叠构造,当然还能够适用于例如有机 EL (Electro Luminescence, 电致发光) 元件等其他显示装置。

[0045] 虽然以上说明了本发明的某些实施方式,但还可以对其进行各种变更,并且在不脱离本发明主旨的范围内,所提交的权利要求包涵了所有此类的变形方式。

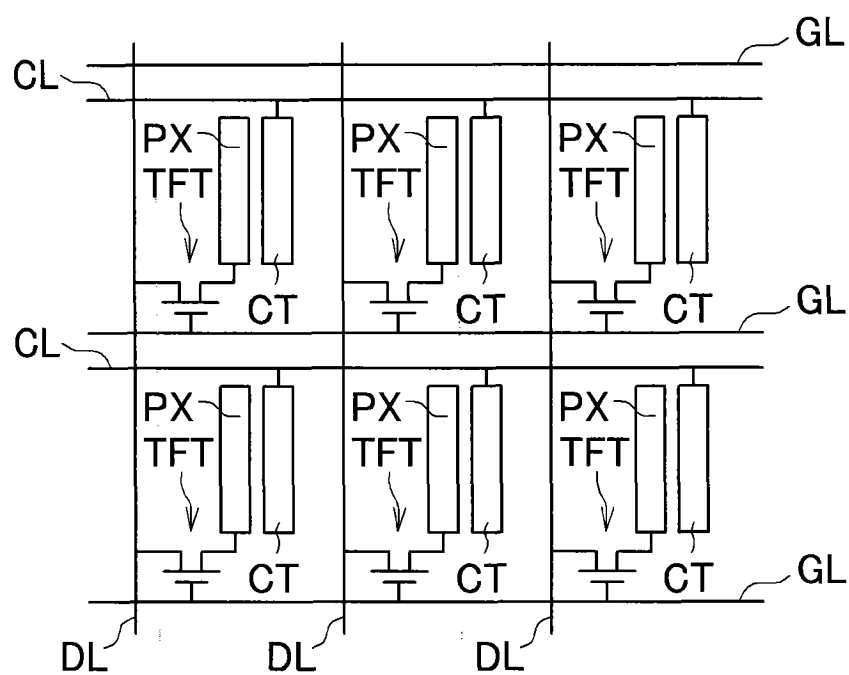


图 1

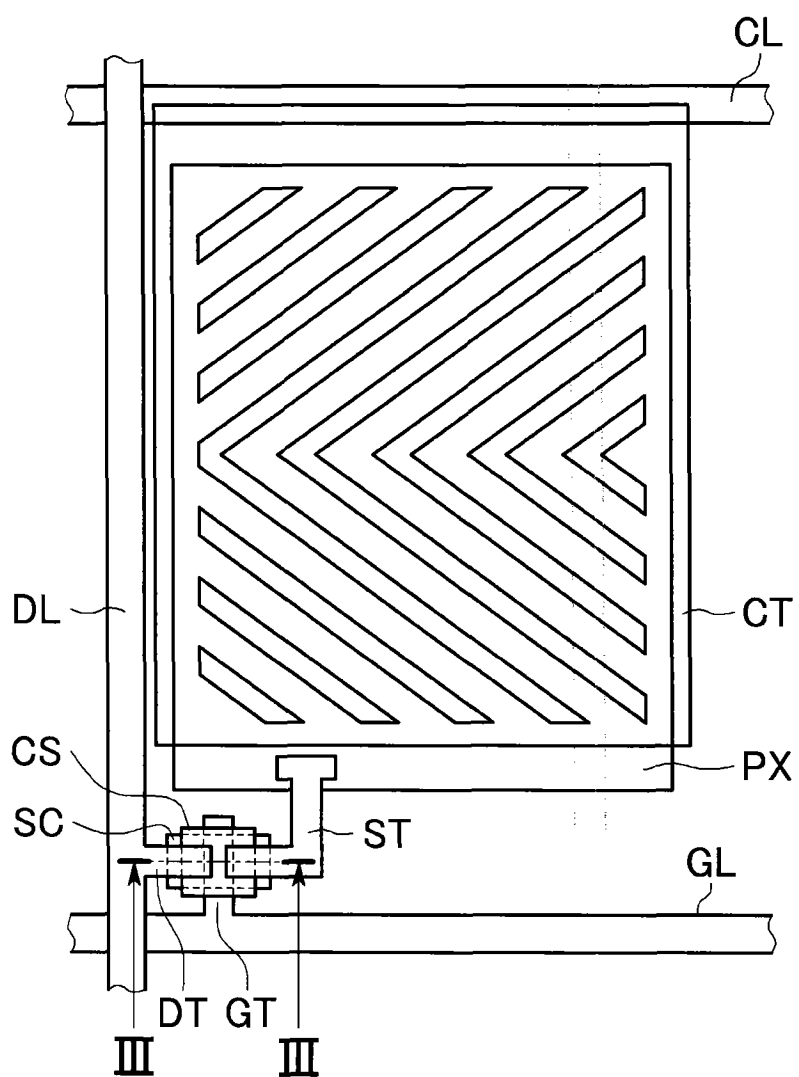


图 2

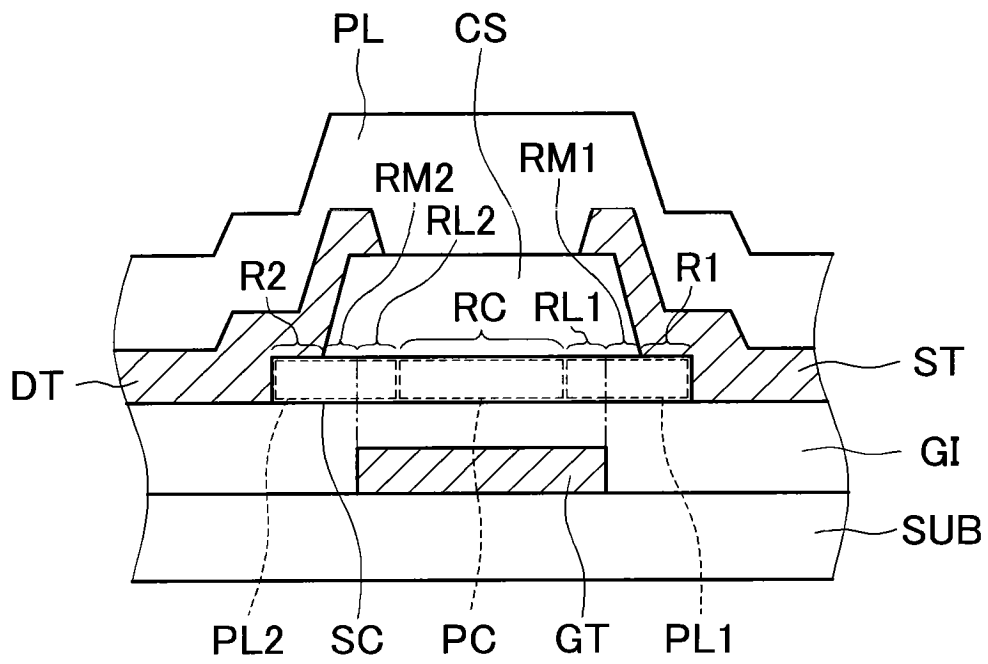


图 3

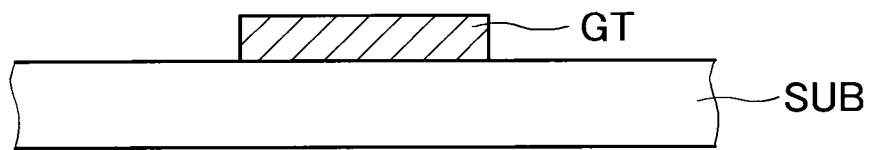


图 4A

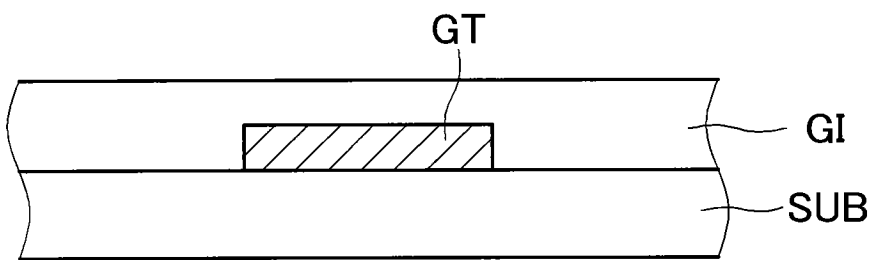


图 4B

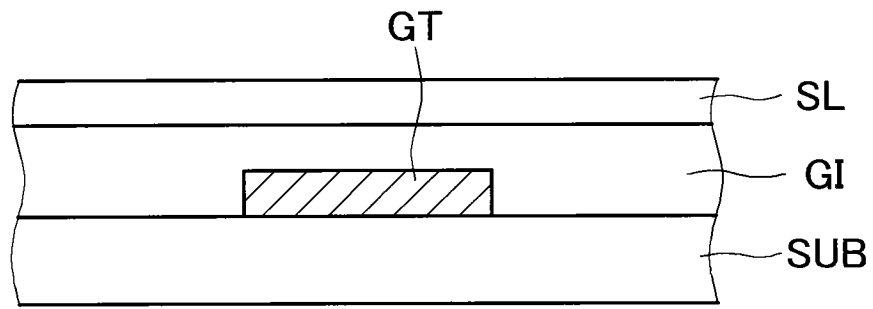


图 4C

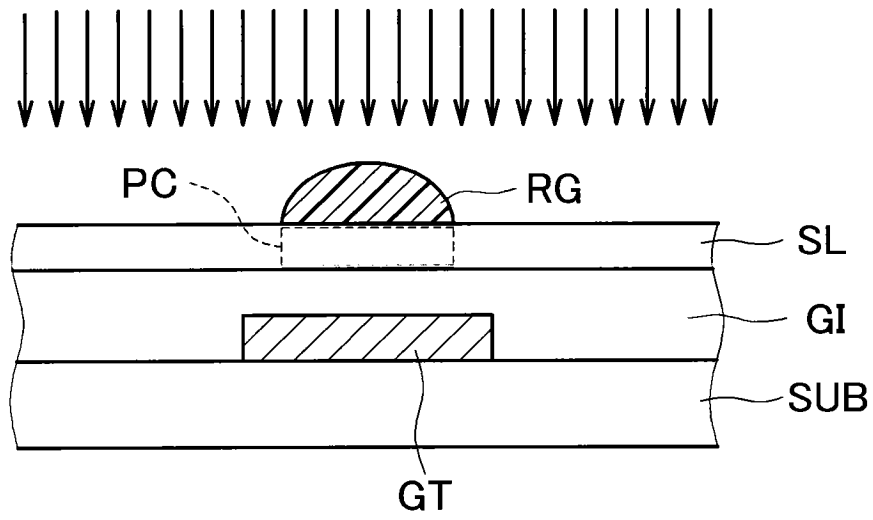


图 4D

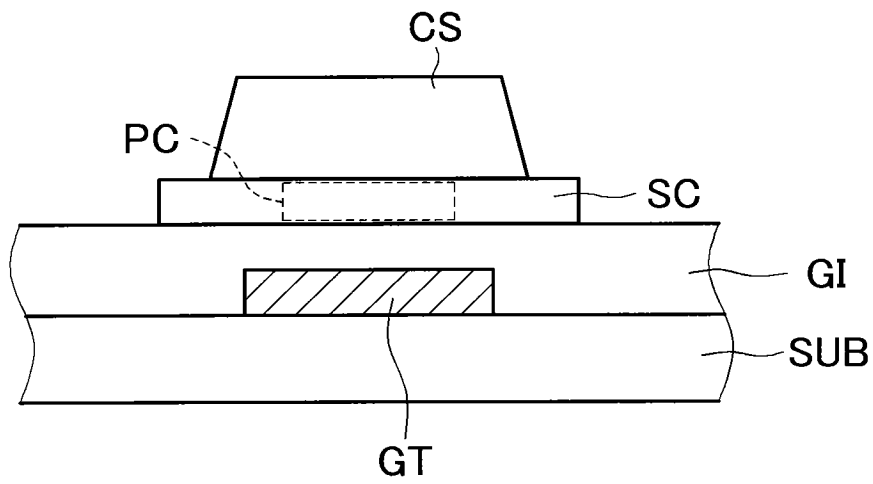


图 4E

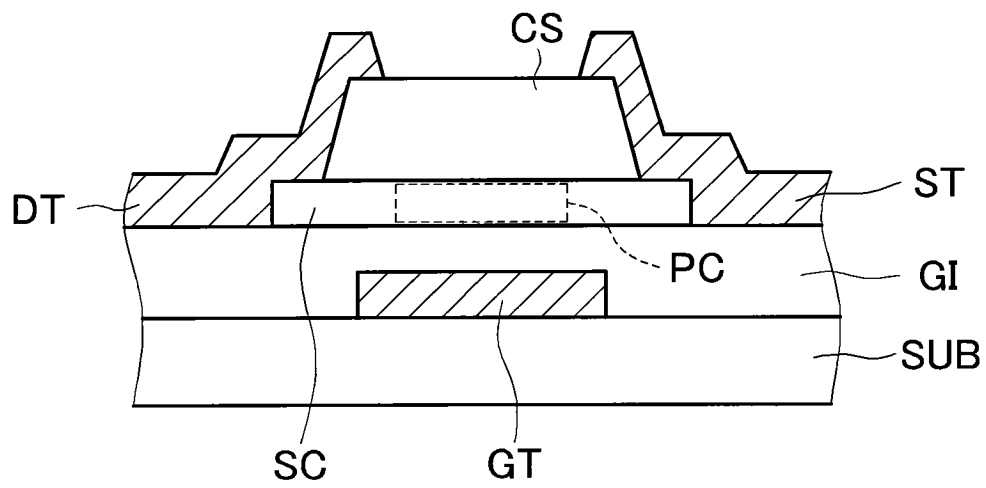


图 4F

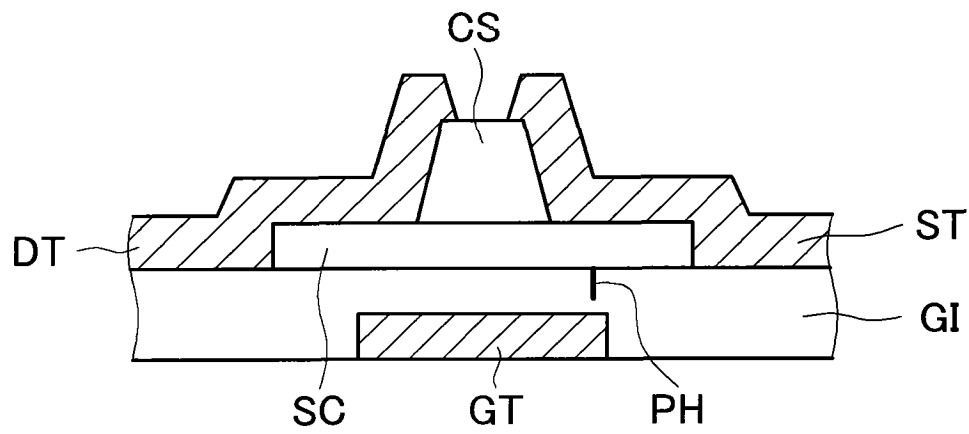


图 5

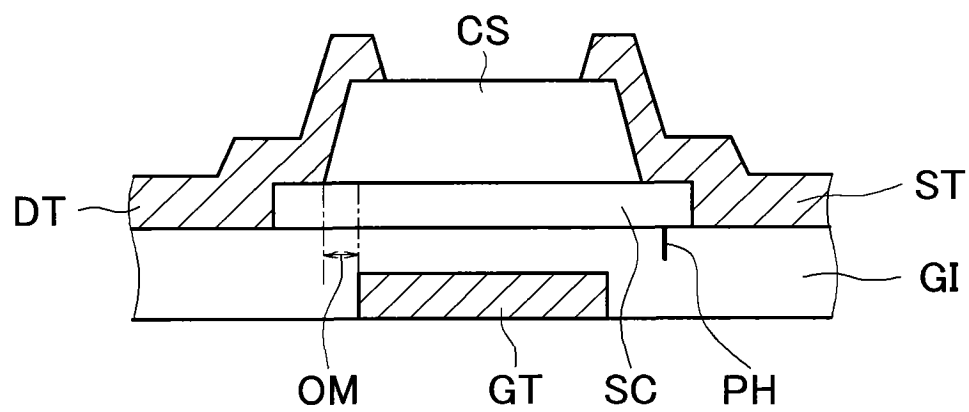


图 6

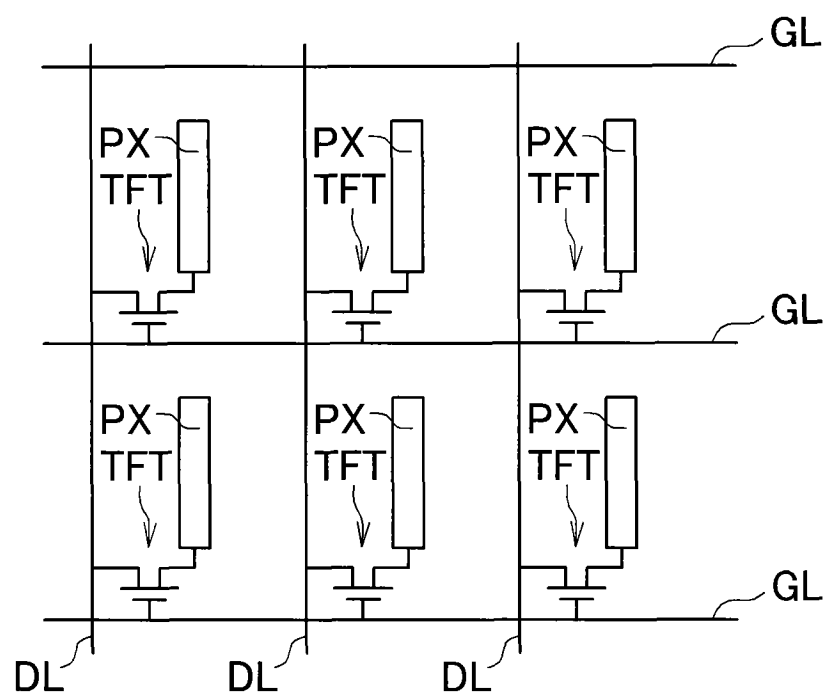


图 7

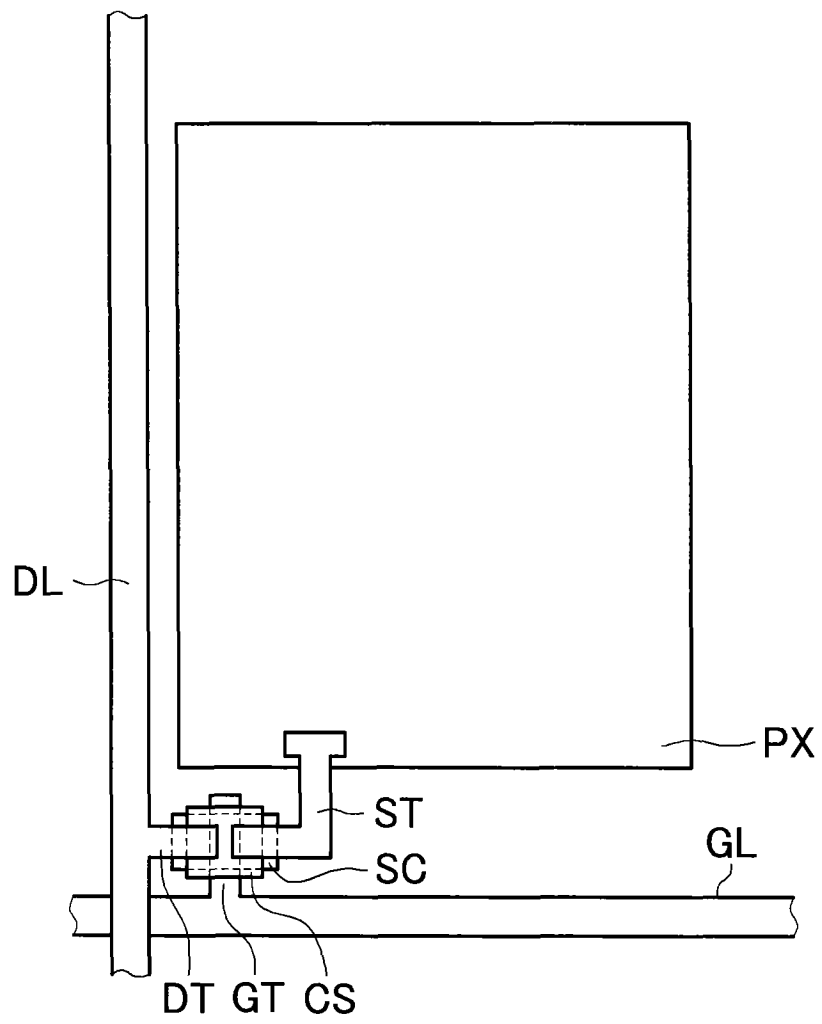


图 8