



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201201340 A1

(43)公開日：中華民國 101 (2012) 年 01 月 01 日

(21)申請案號：100106730

(22)申請日：中華民國 100 (2011) 年 03 月 01 日

(51)Int. Cl. : H01L23/52 (2006.01)

H01L21/768 (2006.01)

(30)優先權：2010/03/08 美國

12/719,058

(71)申請人：萬國商業機器公司 (美國) INTERNATIONAL BUSINESS MACHINES CORPORATION (US)

美國

(72)發明人：郭德超 GUO, DECHAO (CN)；漢述仁 HAN, SHU JEN (TW)；林崇勳 LIN, CHUNG HSUN (TW)；蘇寧 SU, NING (CN)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：15 項 圖式數：2 共 26 頁

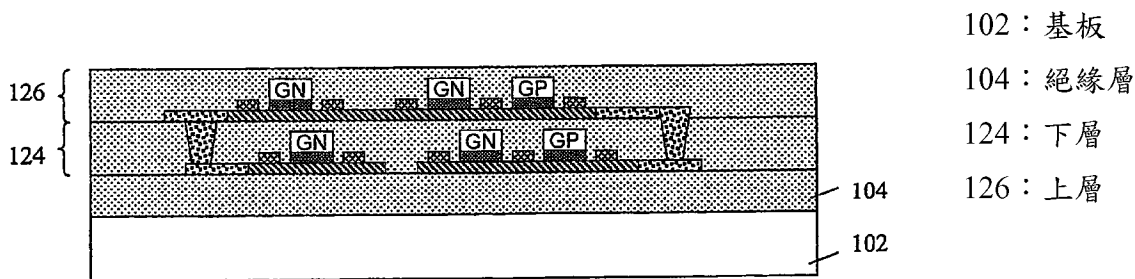
(54)名稱

石墨烯基底的三維積體電路裝置

GRAPHENE BASED THREE-DIMENSIONAL INTEGRATED CIRCUIT DEVICE

(57)摘要

一種三維(3D)積體電路(IC)結構包含形成在一基板上的第一石墨烯層；利用該第一石墨烯層形成的一或多個主動裝置之第一層；形成在該一或多個主動裝置之第一層上的絕緣層；形成在該絕緣層上的第二石墨烯層；以及利用該第二石墨烯層形成的一或多個主動裝置之第二層，該一或多個主動裝置的第二層與該一或多個主動裝置的第一層電氣內連接。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201201340 A1

(43)公開日：中華民國 101 (2012) 年 01 月 01 日

(21)申請案號：100106730

(22)申請日：中華民國 100 (2011) 年 03 月 01 日

(51)Int. Cl. : H01L23/52 (2006.01)

H01L21/768 (2006.01)

(30)優先權：2010/03/08 美國

12/719,058

(71)申請人：萬國商業機器公司 (美國) INTERNATIONAL BUSINESS MACHINES CORPORATION (US)

美國

(72)發明人：郭德超 GUO, DECHAO (CN) ; 漢述仁 HAN, SHU JEN (TW) ; 林崇勳 LIN, CHUNG HSUN (TW) ; 蘇寧 SU, NING (CN)

(74)代理人：蔡坤財；李世章

申請實體審查：無 申請專利範圍項數：15 項 圖式數：2 共 26 頁

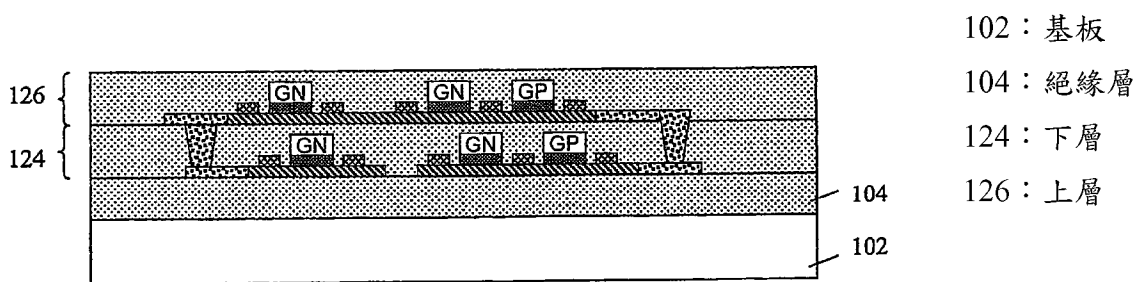
(54)名稱

石墨烯基底的三維積體電路裝置

GRAPHENE BASED THREE-DIMENSIONAL INTEGRATED CIRCUIT DEVICE

(57)摘要

一種三維(3D)積體電路(IC)結構包含形成在一基板上的第一石墨烯層；利用該第一石墨烯層形成的一或多個主動裝置之第一層；形成在該一或多個主動裝置之第一層上的絕緣層；形成在該絕緣層上的第二石墨烯層；以及利用該第二石墨烯層形成的一或多個主動裝置之第二層，該一或多個主動裝置的第二層與該一或多個主動裝置的第一層電氣內連接。



## 六、發明說明：

## 【發明所屬之技術領域】

本發明大體而言係有關於半導體裝置之製造，並且更明確地說，有關於石墨烯基之三維(3D)積體電路裝置。

## 【先前技術】

石墨烯意指以六角苯環結構排列的碳原子之二維平面薄片。獨立的石墨烯結構理論上僅能在二維空間中保持穩定，這意味著在三維空間中一確實平面的石墨烯結構並不存在，其因彎曲結構的形成而變得不穩定，該彎曲結構例如為碳粒(soot)、碳 60(fullerenes)、奈米碳管或皺曲的二維結構。但是，當支撐在基板上時，二維石墨烯結構可以是穩定的，例如，在碳化矽(SiC)結晶表面上。也已製造過獨立的石墨烯薄膜，但其無法擁有理想的平坦幾何構形。

結構上，石墨烯擁有由  $sp^2$  混成作用形成的混成軌域。在  $sp^2$  混成作用中，2s 軌域和三個 2p 軌域中的兩個混合形成三個  $sp^2$  軌域。剩下的一個 p 軌域在該等碳原子之間形成  $\pi$  鍵。與苯結構相似，石墨烯結構擁有該等 p 軌域的共軛環，即，石墨烯結構是芳香族。不像其他碳的同素異形體，例如鑽石、非晶碳、碳奈米泡沫(carbon nanofoam)、或碳 60，石墨烯僅有一個原子層厚。

石墨烯擁有不尋常的能帶結構，其中錐形電子與電洞

口袋僅在動量空間中布里淵區(Brillouin zone)的 K 點相遇。該等電荷載子(即電子或電洞)的能量與該等載子的動量呈線性相關。因此，該等載子如同相對的狄拉克費米子(Dirac-Fermions)，具有零有效質量並由迪拉克方程式支配。石墨烯薄片在 4K 時具有大於  $200,000 \text{ cm}^2/\text{V}\cdot\text{sec}$  的高載子遷移率。即使在 300K 時，載子遷移率也可高至  $15,000 \text{ cm}^2/\text{V}\cdot\text{sec}$ 。

可利用固態石墨化成長石墨烯層，即藉由從碳化矽結晶表面昇華矽原子，例如(0001)表面。在約  $1,150^\circ\text{C}$  下，複雜的表面重組圖案在石墨化的初始階段開始出現。通常，需要較高溫度來形成石墨烯層。技藝中也熟知位於另一材料上的石墨烯層。例如，由富含碳之前驅物進行碳原子的化學沉積，在一金屬表面上(例如銅與鎳)形成單一個或多個石墨烯層。

石墨烯展現出許多其他優越的電性，例如在接近室溫下的電子同調性及量子干涉效應。也預期石墨烯層具有小規模結構的衝擊傳輸特性。

儘管石墨烯僅在若干年前首次被分離出(使用一般膠帶)，但此領域目前受到密集研究。由於如上述之獨特電性(例如高電荷載子遷移率等)，石墨烯在電子應用上終究是很有前景的。例如，近來展示過石墨烯電晶體，並且咸信更先進的石墨烯電路或許是在未來積體電路技術中可望取代矽的候選者。但是，目前缺乏簡單且低成本的石墨烯製造製程，而限制了石墨烯應用的發展。

**【發明內容】**

在一範例實施例中，一種三維(3D)積體電路(IC)結構包含：形成在一基板上的第一石墨烯層；利用該第一石墨烯層形成的一或多個主動裝置之第一層；形成在該一或多個主動裝置之第一層上的絕緣層；形成在該絕緣層上的第二石墨烯層；以及利用該第二石墨烯層形成的一或多個主動裝置之第二層，該一或多個主動裝置的第二層與該一或多個主動裝置的第一層電氣內連接。

在另一實施例中，一種形成三維(3D)積體電路(IC)結構的方法包含：在一基板上形成第一石墨烯層；利用該第一石墨烯層形成一或多個主動裝置的第一層；在該一或多個主動裝置的第一層上形成一絕緣層；在該絕緣層上形成一第二石墨烯層；以及利用該第二石墨烯層形成一或多個主動裝置的第二層，該一或多個主動裝置的第二層與該一或多個主動裝置的第一層電氣內連接。

**【實施方式】**

在此揭示一種石墨烯基的三維(3D)積體電路裝置之實施例，及其製造方法。在半導體產業中，3D積體電路(IC)一般指擁有兩或多層主動電子構件的晶片，該等電子構件係垂直且平行地整合在單一電路內。3D IC可能提供許多顯著優勢，例如較小的覆蓋區(在一小空間中納入更

多功能性)、速度(平均線路長度變短許多,轉而減少訊號傳播延遲並增強總體效能)、功率消耗(藉由維持一訊號單晶片,所形成的較短線路降低功率消耗並產生較小的寄生電容)、以及異質整合,僅舉幾個例子。在異質整合的情況中,可以不同製程,或甚至在不同類型晶圓上形成不同電路層。此外,其他具有完全不相容之製造製程的構件可結合在單一個裝置內。

目前,3D IC 可用例如晶圓堆疊晶圓接合(wafer-on-wafer bonding)之技術形成,其中電子構件係建構在兩個或多個半導體晶圓上,然後校直、接合、並切割成 3D IC。可在接合之前或之後薄化每一個晶圓。可在接合之前在該等晶圓內建置垂直連接,或在接合後才在堆疊內建置垂直連接。這些”矽穿孔(TSV)”在主動層間及/或一主動層與一外部鐳墊間穿過該(等)矽基板。在晶圓上晶粒(die-on-wafer)製程中,電子構件係建構在兩個半導體晶圓上。一晶圓經過切割,然後校直該等單一晶粒並接合至該第二晶圓的晶粒位置上。如同晶圓堆疊晶圓法,在接合之前或之後執行薄化與 TSV 製作。可在切割前在該等堆疊中添加額外晶粒。或者,在晶粒堆疊晶粒(die-on-die)製程中,電子構件係建構在多個晶粒上,然後將電子構件進行校直並接合。薄化與 TSV 製作可在接合之前或之後進行。

為了避免多重基板以及校直、薄化、接合、或 TSV 技術,傾向於單晶形成 3D IC。也就是說,該等電子構件

及其連接(佈線)係建構在單一個半導體晶圓上之數層內。不幸地，此法之既存應用目前受到限制，因為在半導體層內製作習知電晶體(例如摻雜佈植與活化退火)需要足以應付任何既存佈線的處理溫度。

因此，第 1(a)至 1(h)圖是一系列剖面圖，示出形成石墨烯基的三維(3D)積體電路之範例方法。從第 1(a)圖開始，初始基板 102(例如矽)擁有形成在其上的絕緣層 104(例如氧化物，像二氧化矽)。在第 1(b)圖中，一全覆石墨烯層 106 係經轉印至該絕緣層 104 上。可以技藝中熟知的任何適當方法執行石墨烯薄膜的轉印，例如乾式熱剝離膠帶(thermal release tape)製程。在一範例實施例中，該石墨烯層 106 係一石墨烯單層。明確地說，由於石墨烯係以此法沈積在此種基板表面上，所以石墨烯是一種特別適用於 3D 整合的材料。

如第 1(c)圖所示，該石墨烯層 106 係透過適當微影技術(例如硬光罩及／或光阻層形成、顯影與蝕刻)進行圖案化，以形成預期的石墨烯基裝置之主動區。接著進行第一層電晶體裝置的形成。如第 1(d)圖所示，將該等石墨烯主動區 106 覆以電晶體閘極堆疊材料，例如閘極介電層 108 與閘極電極層 110。在一範例實施例中，該閘極介電層 108 可以是一種高 k(介電常數)材料，例如鈰、鈰矽酸鹽、氧化鋯、鋯矽酸鹽、氮化介電質、及其組合物。該閘極電極層 110 可包含多晶矽、金屬、或其組合物。

現在參見第 1(e)圖，接著圖案化該閘極介電質層 108 和閘極電極層 110，以在該等圖案化石墨烯主動區 106 上界定電晶體裝置(例如場效電晶體或 FET)，該電晶體裝置包含閘極電極 112 與閘極介電層 114。應注意該等圖式中示出的圖案化操作本質上僅為例示，可使用多於一種圖案化與 RIE(反應性離子蝕刻)製程，例如，根據不同的閘極堆疊需求，其取決於該電晶體裝置的類型與極性。因此，在所示範例實施例中，"GN"代號表示用於 n 型裝置(例如 NFET)的電晶體閘極，而"PN"代號表示用於 p 型裝置(例如 PFET)的電晶體閘極。

在圖案化閘極堆疊之後，第 1(f)圖示出源極／汲極接點 116 與傳導墊結構 118 的形成。源極和汲極接點的形成包含，例如源極／汲極接點材料的沈積與圖案化。該源極／汲極接點材料可以是金屬材料，例如鈦(Ti)、鈦(Pd)、鋁(Al)、鎢(W)、或其合金。該沈積法可包含，例如濺鍍、及原子層沈積(ALD)。

在完成第一層石墨烯電路裝置後，如第 1(g)圖所示般在該等裝置上形成一絕緣層 120(例如氧化物)。然後，根據 3D IC 的結構，在絕緣層 120 內蝕刻穿孔 122，以便提供垂直電氣連接至一或多個額外的石墨烯基主動裝置層。在第 1(h)圖中，石墨烯基主動裝置的下層 124 係經示為與石墨烯基主動裝置的上層 126 連接。該上層 126 的形成與該下層 124 的形成相似，其首先沈積／轉印一石墨烯層(例如單層)至該完成的下層 124 上，接著圖案

化預期的石墨烯主動區，形成並圖案化該閘極堆疊材料，形成並圖案化該等源極／汲極接點與傳導墊，以及在該等上層裝置上形成絕緣層。

雖然所示實施例示出一對石墨烯基主動裝置層，但能理解可依需求重覆上述製程，以形成又額外的石墨烯基主動裝置層。在一預期實施例中，每一層石墨烯可有不同功能(例如邏輯、類比、記憶體)。

第 1(a)至 1(h)圖之製程流程順序所示的範例 3D IC 裝置實施例係一頂部閘極定位 (orientation) 的範例，在此範例中該閘極電極和介電質係設置在該等主動石墨烯源極／汲極區上方。但是，該等主動石墨烯裝置也可利用底部定位形成，如第 2(a)至 2(k)圖的製程流程順序中所示者。從第 2(a)圖開始，一初始基板 202(例如矽)擁有形成在其上的絕緣層 204 (例如氧化物，像二氧化矽)，與第 1(a)圖的頂部閘極定位製程相似。

不同於在此製程點將石墨烯層轉印至該絕緣層 204，而是對應該下層石墨烯基裝置的閘極位置將該絕緣層 204 圖案化形成穿孔 206，如第 2(b)圖所示。然後，如第 2(c)圖所示，在該裝置上形成一閘極電極層 208，填充該穿孔。一旦該閘極電極層 208 已經平坦化，即界定個別閘極電極 210，如第 2(d)圖所示。然後在該絕緣層 204 與該等閘極電極 210 上形成一閘極介電層 212，如第 2(e)圖所示般。如第一實施例的情況，該閘極介電層 212 可以是一種高 k 閘極介電層。

現在參見第 2(f)圖，在該閘極介電層 212 上形成一石墨烯層 214。再次，可以技藝中熟知的任何適當方法執行石墨烯薄膜的轉印，例如乾式熱剝離膠帶法。在一範例實施例中，該石墨烯層 214 係一石墨烯單層。如也在第 2(f)圖中示出者，該等閘極電極係經標示為”GN”和”GP”之代號，以表示範例 n 型與 p 型 FET 裝置。

在第 2(g)圖中，根據預期的主動區，圖案化該石墨烯層，並對應該等底部定位閘極電極的位置。該全覆閘極介電層 212 此時保持完整。如接下來在第 2(h)圖中示出者，形成該等石墨烯基 FET 裝置的源極／汲極接點 216，然後進行閘極介電層圖案化並形成傳導墊 218，如第 2(i)圖所示。如此配置，第一或下層石墨烯基主動裝置即完成，接著在該等裝置上形成一絕緣層 220(例如氧化物)，如第 2(j)圖所示。然後，根據 3D IC 的結構，在該絕緣層 220 內蝕刻穿孔 222，以便提供垂直電氣連接至一或多個額外的石墨烯基主動裝置層。最後，在第 2(k)圖中，石墨烯基主動裝置的第二層 224 係經示為與石墨烯基主動裝置的第一層連接。在此，該第二層 224 的 FET 裝置也是底部定位閘極。但是，仍進一步預期一石墨烯基 3D IC 結構能夠在相同或不同的裝置層內具有頂部定位與底部定位閘極兩者。

雖然已參考較佳實施例來描述本發明，但熟知技藝者能夠了解可在不背離本發明範圍下做出諸多改變，並且等效物可取代本發明的元件。此外，可做出眾多調整以

使特定情況或材料適用本發明之教示，而不背離本發明的基本範圍。因此，並不意欲使本發明受限於所揭示之特定實施例，其做為執行本發明所能預期的最佳模式，而是本發明會包含落在附屬申請專利範圍之範疇內的所有實施例。

### 【圖式簡單說明】

參見範例圖式，其中在數個圖式中之相同元件以同樣的元件符號編號：

第 1(a)至 1(h)圖是一系列剖面圖，根據本發明之一實施例示出形成一石墨烯基的三維(3D)積體電路之範例方法；以及

第 2(a)至 2(k)圖是一系列剖面圖，根據本發明之另一實施例示出形成一石墨烯基的 3D 積體電路之範例方法。

### 【主要元件符號說明】

- 102、202 基板
- 104、204 絕緣層
- 106、214 石墨烯層
- 108 閘極介電層
- 110、208 閘極電極層
- 112、210 閘極電極
- 114、212 閘極介電層

- 116、216 源極／汲極接點
- 118、218 傳導墊結構
- 120、220 絕緣層
- 122、206、222 穿孔
- 124 下層
- 126 上層
- 224 第二層

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※申請案號：100106730

※申請日期：100年3月1日

※IPC分類：

H01L 23/52 2006.01

H01L 21/968 2006.01

一、發明名稱：(中文/英文)

石墨烯基底的三維積體電路裝置/ GRAPHENE BASED  
THREE-DIMENSIONAL INTEGRATED CIRCUIT DEVICE

二、中文發明摘要：

一種三維(3D)積體電路(IC)結構包含形成在一基板上的第一石墨烯層；利用該第一石墨烯層形成的一或多個主動裝置之第一層；形成在該一或多個主動裝置之第一層上的絕緣層；形成在該絕緣層上的第二石墨烯層；以及利用該第二石墨烯層形成的一或多個主動裝置之第二層，該一或多個主動裝置的第二層與該一或多個主動裝置的第一層電氣內連接。

三、英文發明摘要：

A three-dimensional (3D) integrated circuit (IC) structure includes a first layer of grapheme formed over a substrate; a first level of one or more active devices formed using the first layer of grapheme; an insulating layer formed over the first level of one or more active devices; a second layer of grapheme formed over the insulating layer; and a second level of one or more active devices formed using the second

201201340

layer of grapheme, the second level of one or more active devices electrically interconnected with the first level of one or more active devices.

七、申請專利範圍：

1.一種三維(3D)積體電路(IC)結構，其包含：

一第一石墨烯層，形成在一基板上；

一或多個主動裝置之一第一層，其利用該第一石墨烯層所形成；

一絕緣層，形成在該一或多個主動裝置之第一層上；

一第二石墨烯層，形成在該絕緣層上；以及

一或多個主動裝置之一第二層，利用該第二石墨烯層所形成，該一或多個主動裝置的第二層與該一或多個主動裝置的第一層電氣內連接。

2.如申請專利範圍第 1 項所述之結構，其中該第一與第二石墨烯層包含單層。

3.如申請專利範圍第 1 項所述之結構，其中該一或多個主動裝置的第一與第二層包含場效電晶體，其相對於該連結的石墨烯層具有一頂部閘極定位關係。

4.如申請專利範圍第 3 項所述之結構，更包含複數個源極與汲極接點，設置在該等石墨烯層上，與該等石墨烯層上之頂部定位閘極電極相鄰。

5.如申請專利範圍第 1 項所述之結構，其中該一或多個

主動裝置的第一與第二層包含場效電晶體，其相對於該連結的石墨烯層具有一底部閘極定位關係。

6.如申請專利範圍第 5 項所述之結構，更包含複數個源極與汲極接點，其設置在該等石墨烯層上，並位於在該等石墨烯層下方的底部定位閘極電極上方。

7.一種形成三維(3D)積體電路(IC)結構的方法，該方法包含：

在一基板上形成一第一石墨烯層；

利用該第一石墨烯層形成一或多個主動裝置的第一層；

在該一或多個主動裝置的第一層上形成一絕緣層；

在該絕緣層上形成一第二石墨烯層；以及

利用該第二石墨烯層形成一或多個主動裝置的第二層，該一或多個主動裝置的第二層與該一或多個主動裝置的第一層電氣內連接。

8.如申請專利範圍第 7 項所述之方法，其中該第一與第二石墨烯層包含單層。

9.如申請專利範圍第 7 項所述之方法，其中該一或多個主動裝置的第一與第二層包含場效電晶體，其相對於該連結的石墨烯層具有一頂部閘極定位關係。

10.如申請專利範圍第 9 項所述之方法，更包含形成複數個源極與汲極接點，其設置在該等石墨烯層上，與該等石墨烯層上之頂部定位閘極電極相鄰。

11.如申請專利範圍第 9 項所述之方法，更包含形成該頂部閘極定位場效電晶體，藉由：

根據一預期的主動佈局區，圖案化該連結的石墨烯層；在該圖案化石墨烯層上形成一閘極介電層與一閘極電極層；以及

根據一預期的閘極圖案，除去該閘極介電層與閘極電極層的一部分。

12.如申請專利範圍第 7 項所述之方法，其中該一或多個主動裝置的第一與第二層包含場效電晶體，其相對於該連結的石墨烯層具有一底部閘極定位關係。

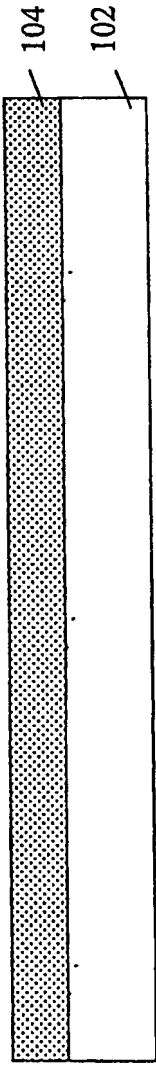
13.如申請專利範圍第 12 項所述之方法，更包含形成複數個源極與汲極接點，其設置在該等石墨烯層上，並位於在該等石墨烯層下方的底部定位閘極電極上方。

14.如申請專利範圍第 12 項所述之方法，更包含形成該底部閘極定位場效電晶體，藉由：

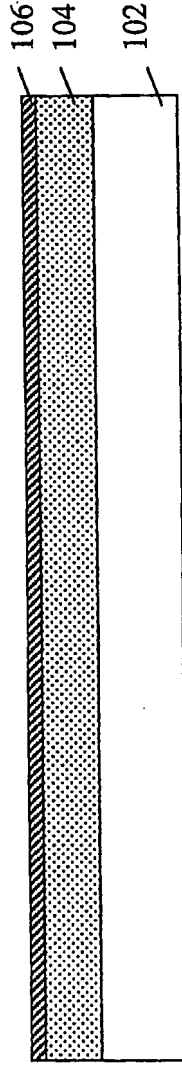
根據一預期的閘極圖案，在一連結的絕緣層內形成開口；以一閘極電極材料填充該連結的絕緣層內之該等開口，

並平坦化該閘極電極材料以形成個別閘極電極；  
在該等個別閘極電極上形成一閘極介電層；  
在該閘極介電層上形成該連結的石墨烯層；以及  
根據一預期的主動佈局區，圖案化該連結的石墨烯層與  
閘極介電層。

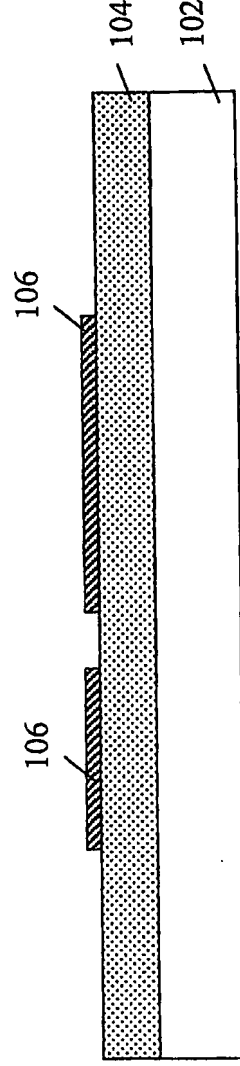
15.如申請專利範圍第 7 項所述之方法，其中該形成該第  
一與第二石墨烯層包含一乾式熱剝離膠帶製程。



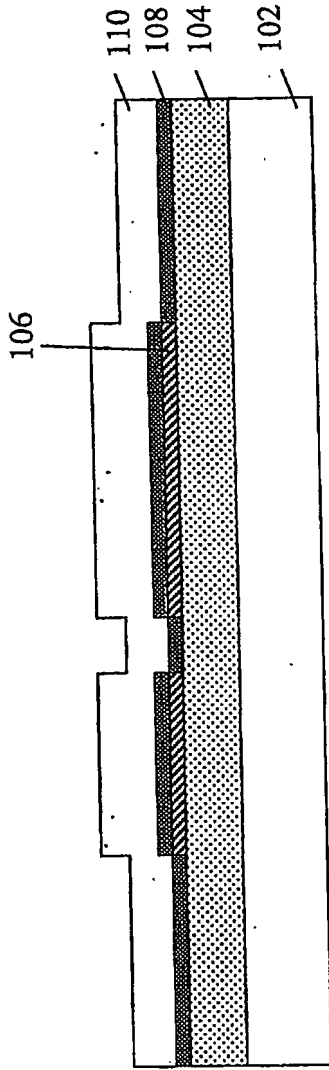
第1(a)圖



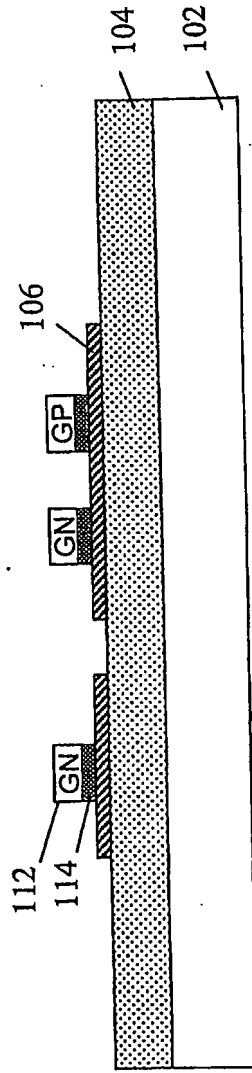
第1(b)圖



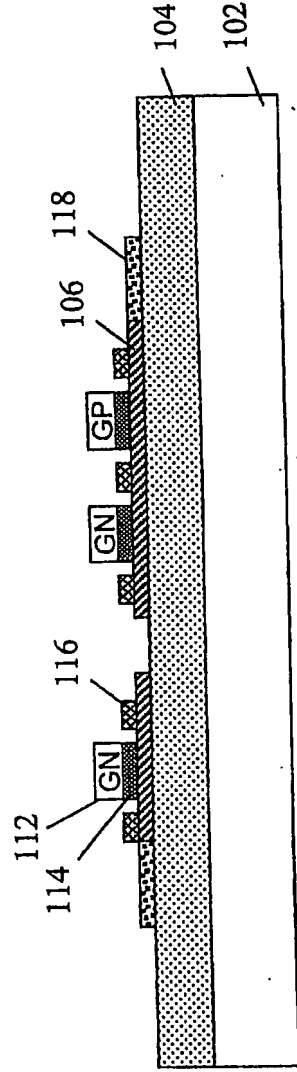
第1(c)圖



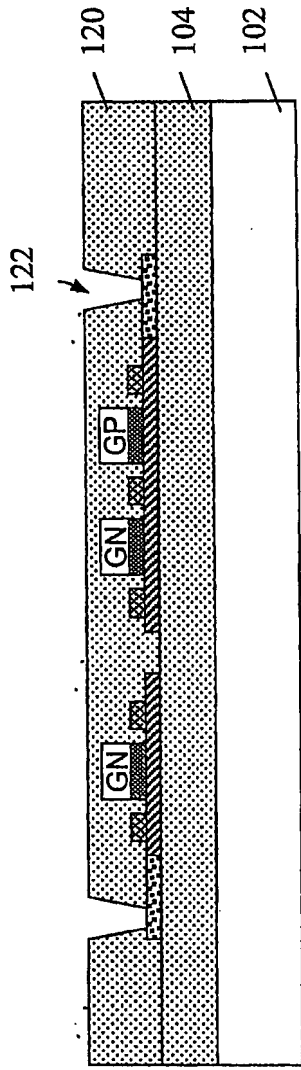
第1(d)圖



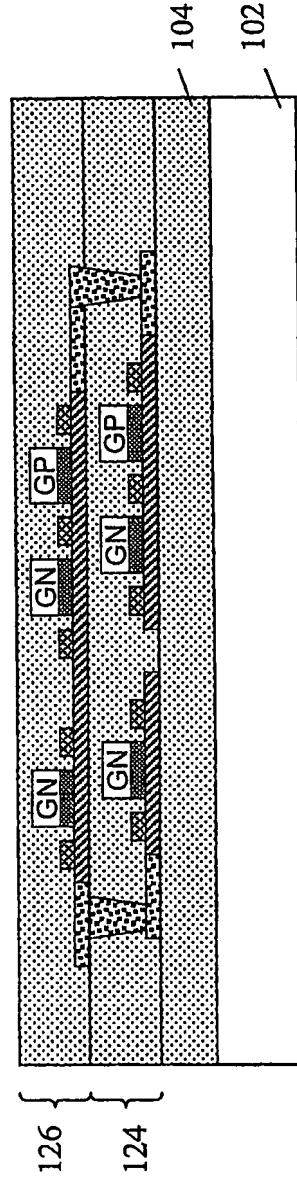
第1(e)圖



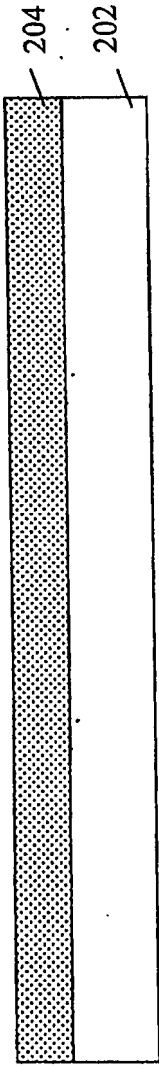
第1(f)圖



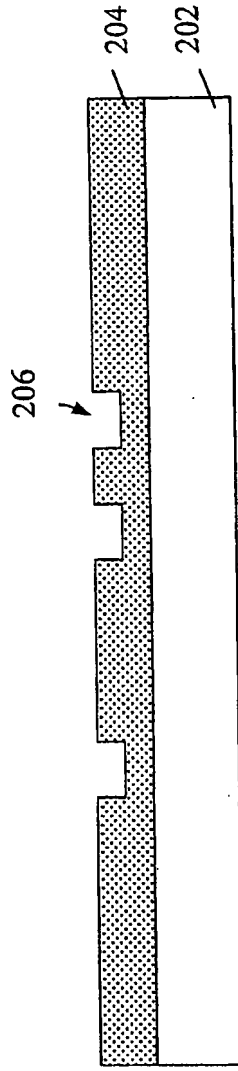
第1(g)圖



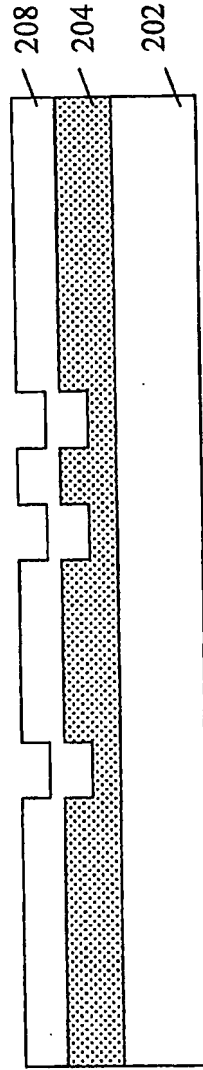
第1(h)圖



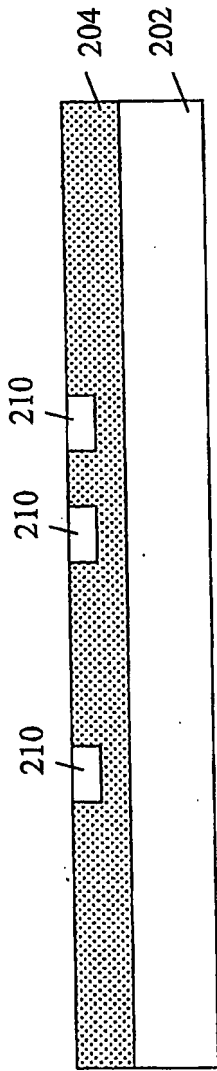
第2(a)圖



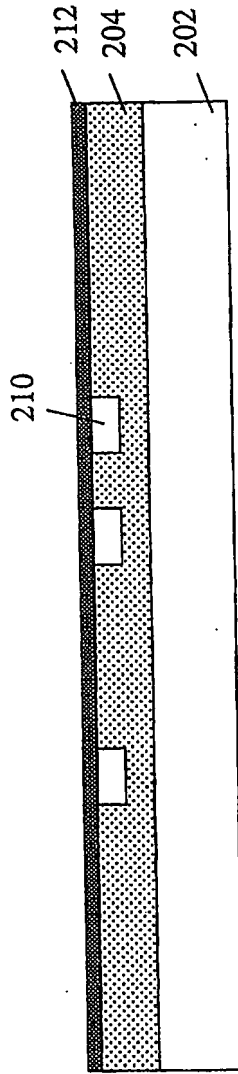
第2(b)圖



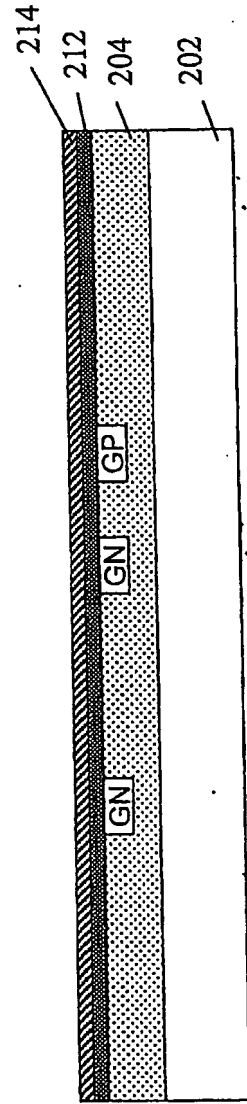
第2(c)圖



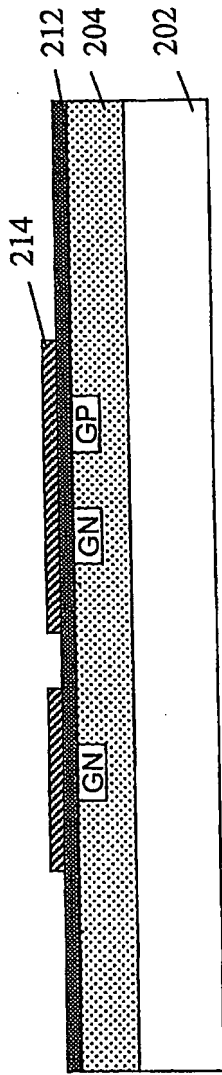
第2(d)圖



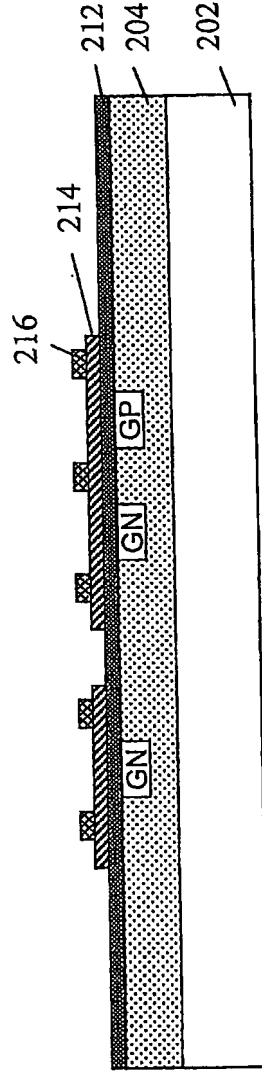
第2(e)圖



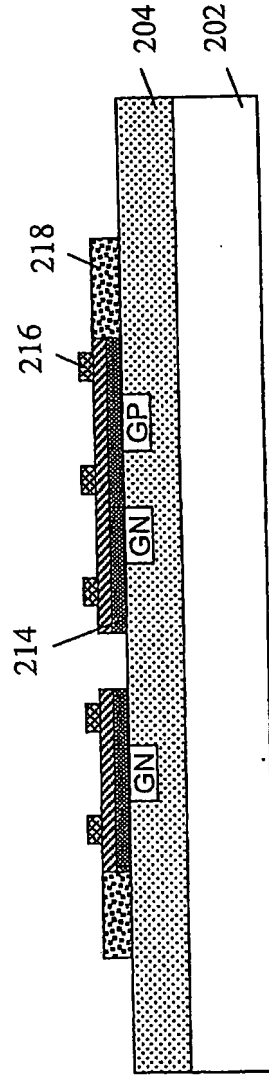
第2(f)圖



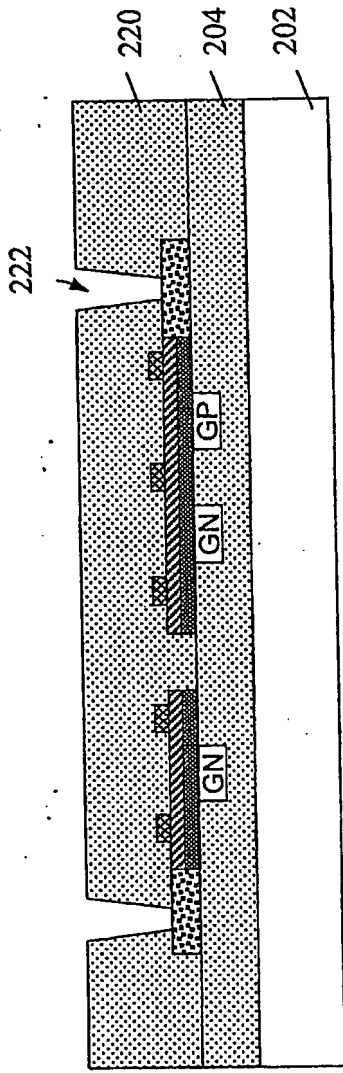
第2(g)圖



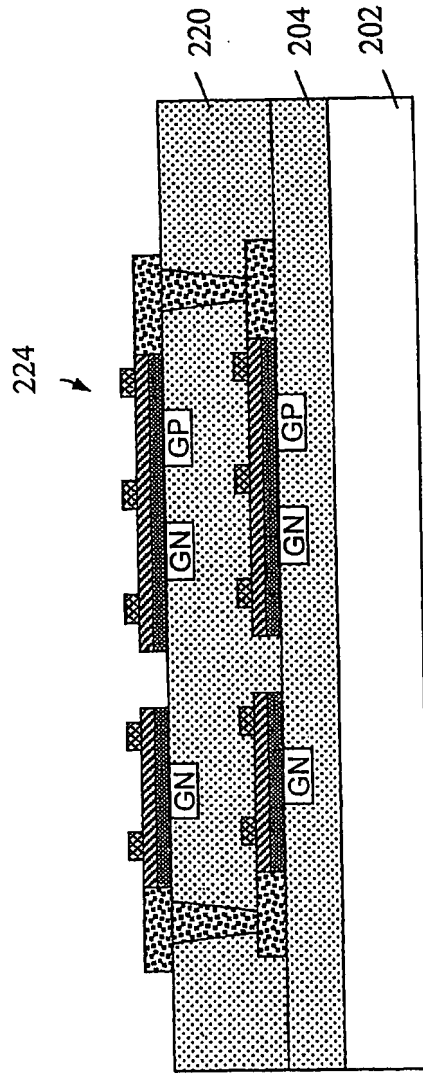
第2(h)圖



第2(i)圖



第2(j)圖



第2(k)圖

四、指定代表圖：

(一)本案指定代表圖為：第 ( 1h ) 圖。

(二)本代表圖之元件符號簡單說明：

102 基板

104 絕緣層

124 下層

126 上層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無