

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
12. Mai 2016 (12.05.2016)



(10) Internationale Veröffentlichungsnummer
WO 2016/071340 A1

(51) Internationale Patentklassifikation:

H01L 33/00 (2010.01) H01L 33/46 (2010.01)
H01L 33/44 (2010.01) H01L 33/52 (2010.01)
H01L 33/40 (2010.01) H01L 33/54 (2010.01)
H01L 33/42 (2010.01) H01L 33/48 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2015/075602

(22) Internationales Anmeldedatum:
3. November 2015 (03.11.2015)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2014 116 141.6
5. November 2014 (05.11.2014) DE

(71) Anmelder: OSRAM OPTO SEMICONDUCTORS
GMBH [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: BAUR, Johannes; Burgfriedenweg 32, 93051
Regensburg (DE). HÖPPEL, Lutz; Lessingstr. 1, 93087
Alteglöfshaus (DE).

(74) Anwalt: ZUSAMMENSCHLUSS NR. 175; EPPING
HERMANN FISCHER
PATENTANWALTSGESELLSCHAFT MBH;
Schloßschmidstr. 5, 80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW,
BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP,
KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME,
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA,
SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM,
ZW.

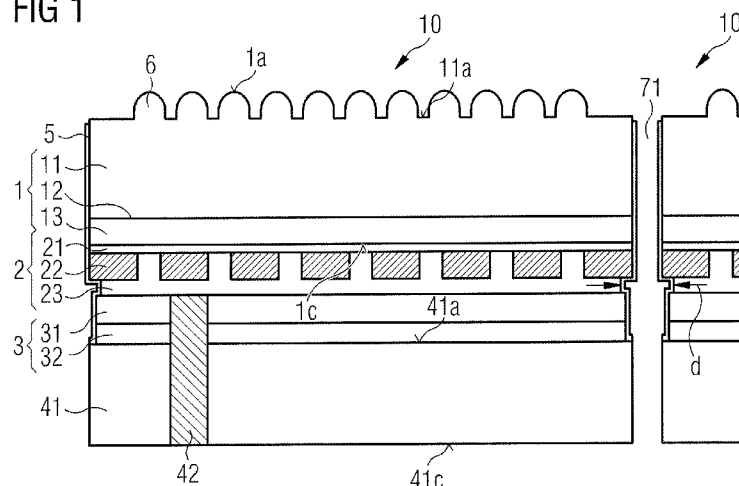
(84) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,
GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST,
SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG,
KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH,
CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,
IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR MANUFACTURING AT LEAST ONE OPTOELECTRONIC SEMICONDUCTOR CHIP,
OPTOELECTRONIC SEMICONDUCTOR CHIP, AND OPTOELECTRONIC SEMICONDUCTOR COMPONENT

(54) Bezeichnung : VERFAHREN ZUR HERSTELLUNG ZUMINDEST EINES OPTOELEKTRONISCHEN
HALBLEITERCHIPS, OPTOELEKTRONISCHER HALBLEITERCHIP SOWIE OPTOELEKTRONISCHES
HALBLEITERBAUELEMENT

FIG 1



(57) Abstract: Disclosed is an optoelectronic semiconductor chip (10) comprising: - a succession of semiconductor layers (1) that has a main plane of extension, an active layer (12) and a bottom surface (1c); - a substrate (41) that is arranged on the bottom surface (1c) of the succession of semiconductor layers (1) and has a base surface (41c) facing away from the bottom surface (1c); and - a succession of joining layers (3) which is arranged in at least some locations between the succession of semiconductor layers (1) and the substrate (41) in a vertical direction; wherein - the substrate (41) laterally protrudes from the succession of semiconductor layers (1) by a maximum of 10 µm.

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]

WO 2016/071340 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG). — **Veröffentlicht:** *mit internationalem Recherchenbericht (Artikel 21 Absatz 3)*

Es wird ein optoelektronischer Halbleiterchip (10) angegeben, aufweisend: - eine Halbleiterschichtenfolge (1) mit einer Haupterstreckungsebene, einer aktiven Schicht (12) und einer Bodenfläche (1c), - einen Träger (41) der an der Bodenfläche (1c) der Halbleiterschichtenfolge (1) angeordnet ist und eine der Bodenfläche (1c) abgewandte Grundfläche (41c) aufweist und - eine Verbindungsschichtenfolge (3), die in einer vertikalen Richtung zumindest stellenweise zwischen der Halbleiterschichtenfolge (1) und dem Träger (41) angeordnet ist, wobei - der Träger (41) die Halbleiterschichtenfolge(1) lateral um höchstens 10 µm überragt.

Beschreibung

Verfahren zur Herstellung zumindest eines optoelektronischen Halbleiterchips, optoelektronischer Halbleiterchip sowie
5 optoelektronisches Halbleiterbauelement

Die Druckschrift US 2003/0197170 A1 beschreibt ein Verfahren zur Herstellung eines optoelektronischen Halbleiterchips sowie einen optoelektronischen Halbleiterchip.

10

Eine zu lösende Aufgabe besteht darin, ein vereinfachtes Verfahren zur Herstellung eines optoelektronischen Halbleiterchips mit einer erhöhten Lichtausbeute anzugeben. Eine weitere zu lösende Aufgabe besteht darin, einen
15 optoelektronischen Halbleiterchip mit einer erhöhten Lichtausbeute sowie ein optoelektronisches Halbleiterbauelement mit einem solchen optoelektronischen Halbleiterchip anzugeben.

20 Es wird ein Verfahren zur Herstellung zumindest eines optoelektronischen Halbleiterchips angegeben. Der optoelektronische Halbleiterchip ist zur Emission und/oder zur Detektion von Licht vorgesehen. Bei dem optoelektronischen Halbleiterchip kann es sich beispielsweise
25 um einen Leuchtdiodenchip und/oder um einen Fotodiodenchip handeln.

Gemäß zumindest einer Ausführungsform des Verfahrens wird zunächst ein Schichtenverbund bereitgestellt. Der
30 Schichtenverbund umfasst eine Halbleiterschichtenfolge mit einer aktiven Schicht, einer Bodenfläche und einer der Bodenfläche abgewandte Deckfläche. Die aktive Schicht ist zur Erzeugung und/oder zur Detektion von Licht eingerichtet.

Die Halbleiterschichtenfolge kann eine erste Halbleiterschicht und eine zweite Halbleiterschicht aufweisen, zwischen denen die aktive Schicht angeordnet sein
5 kann. Bei der ersten Halbleiterschicht kann es sich beispielsweise um eine n-leitende Halbleiterschicht und bei der zweiten Halbleiterschicht um eine p-leitende Halbleiterschicht handeln. Beispielsweise weist die zweite Halbleiterschicht an einer der aktiven Schicht abgewandten
10 Seite die Bodenfläche auf. Die erste Halbleiterschicht weist dann an einer der Bodenfläche und der aktiven Schicht abgewandten Seite die Deckfläche auf.

Die Halbleiterschichtenfolge weist eine
15 Haupterstreckungsebene auf, in der sie sich in lateralen Richtungen erstreckt. Eine Hauptebene der Halbleiterschichtenfolge bildet die Bodenfläche der Halbleiterschichtenfolge. Senkrecht zur Haupterstreckungsebene, in einer vertikalen Richtung, weist
20 die Halbleiterschichtenfolge eine Dicke auf. Die Dicke der Halbleiterschichtenfolge ist klein gegen die maximale Erstreckung der Halbleiterschichtenfolge in der Haupterstreckungsebene.

25 Der Schichtenverbund umfasst ferner einen Träger, der an der Bodenfläche der Halbleiterschichtenfolge angeordnet ist. Der Träger weist eine der Bodenfläche abgewandte Grundfläche auf. Die Grundfläche kann beispielsweise eine freiliegende Außenfläche des Schichtenverbunds bilden. Mit anderen Worten,
30 die Grundfläche kann von außen frei zugänglich sein und den Schichtenverbund nach außen abschließen. Bei dem Träger kann es sich um einen elektrisch leitfähigen Träger, der beispielsweise mit Silizium gebildet sein kann, handeln.

Bevorzugt handelt es sich bei dem Träger nicht um ein für das Aufwachsen der Halbleiterschichtenfolge verwendetes Aufwachssubstrat. Beispielsweise wurde die Halbleiterschichtenfolge zunächst auf einem Aufwachssubstrat epitaktisch aufgewachsen und das Aufwachssubstrat anschließend entfernt. Die Halbleiterschichtenfolge ist also insbesondere frei von einem Aufwachssubstrat.

Der Schichtenverbund umfasst ferner eine Verbindungsschichtenfolge, die in der vertikalen Richtung zumindest stellenweise zwischen der Halbleiterschichtenfolge und dem Träger angeordnet ist. Die Verbindungsschichtenfolge kann insbesondere mehrere Schichten umfassen. Beispielsweise umfasst die Verbindungsschichtenfolge eine dem Träger zugewandte erste Verbindungsschicht und eine dem Träger abgewandte zweite Verbindungsschicht. Die Verbindungsschichtenfolge kann eine der Grundfläche abgewandte Trägerdeckfläche des Trägers vollständig bedecken. Die Verbindungsschichtenfolge dient insbesondere der mechanischen Verbindung (sog. Bonding) des Trägers mit der Halbleiterschichtenfolge.

Gemäß zumindest einer Ausführungsform des Verfahrens wird eine Vielzahl von Trenngräben in dem Schichtenverbund ausgebildet. Die Ausbildung erfolgt hierbei entlang eines Vereinzelungsmusters unter Verwendung zumindest eines gerichteten Trockenätzverfahrens. Bei dem Vereinzelungsmuster kann es sich beispielsweise um eine auf der Deckfläche der Halbleiterschichtenfolge aufgebrauchte Maskenschicht handeln. Das verwendete Trockenätzverfahren ist zumindest teilweise ein stark anisotropes Trockenätzverfahren. Mit anderen Worten, das Ausbilden der Trenngräben erfolgt gerichtet, bevorzugt in vertikaler Richtung. Beispielsweise erfolgt das

Trockenätzverfahren unter Verwendung eines Chlorplasmas und/oder eines Fluor-Plasmas. Optional ist das Hinzufügen von Argon zu dem Plasma möglich. Die Verwendung von Argon in Verbindung mit einem Chlor- und/oder Fluor-Plasma ermöglicht insbesondere das Bereitstellen einer mechanisch abtragenden Komponente, während das besagte Plasma vor allem eine chemische Reaktion mit dem Material der abzutragenden Schichten eingeht.

10 Das Ausbilden der Trenngräben erfolgt derart, dass zumindest ein Trenngraben in zumindest einer lateralen Richtung eine Maximalausdehnung von höchstens 30 µm aufweist. Ferner kann die Maximalausdehnung wenigstens 5 µm betragen. Die Maximalausdehnung des Trenngrabens ist hierbei die maximale
15 Breite des Trenngrabens in lateraler Richtung, insbesondere senkrecht zu einer Haupterstreckungsrichtung des Trenngrabens. Bevorzugt erfolgt die Bestimmung der maximalen Breite innerhalb des Trenngrabens und nicht in der Nähe der Grundfläche und/oder der Deckfläche. Beispielsweise beträgt
20 der vertikale Abstand der maximalen Breite zur Grundfläche und/oder zur Deckfläche wenigstens 20 µm. An den Außenbereichen des Trenngrabens, in der Nähe der Grundfläche oder Deckfläche, kann der Trenngraben bedingt durch das Trockenätzverfahren breiter ausgebildet sein.

25

Das Ausbilden der Vielzahl von Trenngräben erfolgt ferner derart, dass jeder Trenngraben den Schichtenverbund in der vertikalen Richtung vollständig durchdringt. Mit anderen Worten, der Schichtenverbund wird durch den Trenngraben
30 durchtrennt beziehungsweise durchbrochen. Hierbei ist es insbesondere möglich, dass die Trenngräben miteinander verbunden sind. Mit anderen Worten, die Trenngräben können zusammenhängend ausgebildet sein. Bevorzugt umschließen die

Trenngräben Teile des Schichtenverbundes lateral vollständig. Mit anderen Worten, der Schichtenverbund ist bevorzugt durch die Trenngräben nicht mehr zusammenhängend ausgebildet. Diese Teile bilden dann im weiteren Verfahren die zu erzeugenden optoelektronischen Halbleiterchips.

Gemäß zumindest einer Ausführungsform des Verfahrens wird der Schichtenverbund entlang der Trenngräben vereinzelt und somit zumindest ein optoelektronischer Halbleiterchip erzeugt.

Bevorzugt wird eine Vielzahl optoelektronischer Halbleiterchips erzeugt. Der vereinzelt erzeugte zumindest eine optoelektronische Halbleiterchip weist einen Teil der Halbleiterschichtenfolge, des Trägers und der Verbindungsschichtenfolge auf.

Gemäß zumindest einer Ausführungsform des Verfahrens zur Herstellung zumindest eines optoelektronischen Halbleiterchips umfasst dieses die folgenden Schritte:

a) Bereitstellen eines Schichtenverbunds aufweisend eine Halbleiterschichtenfolge mit einer Haupterstreckungsebene, einer aktiven Schicht und einer Bodenfläche, einem Träger, der an der Bodenfläche der Halbleiterschichtenfolge angeordnet ist und eine der Bodenfläche abgewandte Grundfläche aufweist, und eine Verbindungsschichtenfolge, die in einer vertikalen Richtung zumindest stellenweise zwischen der Halbleiterschichtenfolge und dem Träger angeordnet ist,

b) Ausbilden einer Vielzahl von Trenngräben in dem Schichtenverbund entlang eines Vereinzelungsmusters unter Verwendung zumindest eines gerichteten Trockenätzverfahrens, wobei zumindest ein Trenngraben in zumindest einer lateralen Richtung eine Maximalausdehnung von höchstens 30 µm aufweist

und jeder Trenngraben den Schichtenverbund in der vertikalen Richtung vollständig durchdringt,

c) Vereinzeln des Schichtenverbunds entlang der Trenngräben zur Erzeugung von zumindest einem optoelektronischen Halbleiterchip, wobei der zumindest eine vereinzelt optoelektronische Halbleiterchips jeweils einen Teil der Halbleiterschichtenfolge, des Trägers und der Verbindungsschichtenfolge aufweist.

Die Verfahrensschritte können insbesondere in der angegebenen Reihenfolge durchgeführt.

Vorliegend wird insbesondere die Idee verfolgt, ein Verfahren zur Herstellung von zumindest einem optoelektronischen Halbleiterchip anzugeben, bei dem aufgrund der Verwendung eines stark gerichteten Trockenätzverfahrens besonders schmale Trenngräben ausgebildet werden können. Hierdurch kann ein Großteil des Schichtenverbundes in den optoelektronischen Halbleiterchips verwendet werden und damit ein geringer Ausschuss an epitaktischem Material erzielt werden. Ein solches Verfahren kann ferner vereinfacht in einen bestehenden Prozessfluss eingebaut werden. Somit kann ein kostengünstiges und einfaches Verfahren zur Herstellung zumindest eines optoelektronischen Halbleiterchips bereitgestellt werden.

Bei herkömmlichen Herstellungsverfahren, bei denen ein Schichtenverbund insbesondere mittels eines Schneideverfahrens, eines Sägeverfahrens und/oder eines Lasertrennverfahrens vereinzelt wird, werden Bereiche des Schichtenverbundes, insbesondere der Halbleiterschichtenfolge und der aktiven Schicht, für die Definition und Realisierung

der Trenngräben zur Vereinzelung weit über die eigentlich erforderliche Schnittbreite hinaus vorgehalten, um Ungenauigkeiten in der Justage und/oder Inhomogenitäten in der beispielsweise thermischen Ausdehnung der Schichten des Schichtenverbundes tolerieren zu können, ohne die aktiven Schichten des herzustellenden optoelektronischen Halbleiterchips zu schädigen. Bei solchen herkömmlichen Verfahren weisen die Trenngräben typischerweise eine laterale Maximalausdehnung von wenigstens 50 µm auf. Abhängig von der lateralen Ausdehnung des zu erzeugenden optoelektronischen Halbleiterchips kann ein solcher Trenngraben einen großen Teil der eingesetzten Epitaxiefläche, insbesondere der aktiven Schicht des Schichtenverbundes, zerstören. Beispielsweise benötigt ein solcher Trenngraben bei einer lateralen Ausdehnung von 200 µm mehr als 50 % der eingesetzten Epitaxiefläche.

Gemäß zumindest einer Ausführungsform des Verfahrens umfasst das Ausbilden der Trenngräben in Schritt b) mehrere Schritte, wie im Folgenden näher erläutert. Für das Ausbilden der Trenngräben wird zunächst die Halbleiterschichtenfolge im Bereich der zu erzeugenden Trenngräben teilweise entfernt. Die Erzeugung der Trenngräben wird also von oben aus durchgeführt. Die Richtungsangabe "von oben" bedeutet hierbei und im Folgenden "von der Deckfläche her kommend". Umgekehrt bedeutet die Richtungsangabe "von unten" hierbei und im Folgenden "von der Grundfläche her kommend".

Die zu erzeugenden Trenngräben werden beispielsweise mit einer auf die Deckfläche der Halbleiterschichtenfolge aufgetragenen Maskenschicht definiert. Das teilweise Entfernen der Halbleiterschichtenfolge erfolgt bevorzugt mit einem gerichteten Trockenätzverfahren, bei dem beispielsweise

ein Chlor-Plasma in Verbindung mit Argon zum Einsatz kommt.
Ferner erfolgt das teilweise Entfernen der
Halbleiterschichtenfolge derart, dass die
Halbleiterschichtenfolge vollständig von dem teilweise
5 erzeugten Trenngraben durchdrungen wird.

Gemäß zumindest einer Ausführungsform des Verfahrens wird
nach dem teilweisen Entfernen der Halbleiterschichtenfolge
die Verbindungsschichtenfolge im Bereich der teilweise
10 entfernten Halbleiterschichtenfolge ebenfalls teilweise
entfernt. Das teilweise Entfernen der
Verbindungsschichtenfolge erfolgt ebenfalls mit einem
gerichteten Trockenätzverfahren. Beispielsweise kann für das
teilweise Entfernen der Verbindungsschichtenfolge ein Fluor-
15 Plasma in Verbindung mit Argon zum Einsatz kommen.

Gemäß zumindest einer Ausführungsform des Verfahrens wird
nach dem teilweisen Entfernen der Verbindungsschichtenfolge
eine ALD-Schicht an allen der Grundfläche abgewandten
20 freiliegenden Außenflächen des Schichtenverbunds aufgebracht.
Bei der ALD-Schicht handelt es sich vorliegend um eine
mittels Atomlagendeposition (ALD: Atomic Layer Deposition)
erzeugte Schicht. Mittels Atomlagendeposition erzeugte
Schichten sind beispielsweise aus den US-
25 Veröffentlichungsschriften US 2011/0049730 A1 und US
2012/0132953 A1 bekannt, deren Offenbarung hiermit
rückbezüglich aufgenommen wird. Eine mittels
Atomlagendeposition erzeugte Schicht eignet sich als
Verkapselungsschicht und weist insbesondere eine geringe
30 Durchlässigkeit für Feuchtigkeit auf. Hierdurch kann die
Migrationsstabilität des herzustellenden optoelektronischen
Halbleiterchips ohne Platzverlust hergestellt werden.
Insbesondere bedeckt die ALD-Schicht direkt nach dem

Aufbringen sämtliche freiliegenden Flächen der Verbindungsschichtenfolge und der Halbleiterschichtenfolge. Die ALD-Schicht kann insbesondere mit Al₂O₃ gebildet sein.

- 5 Gemäß zumindest einer Ausführungsform des Verfahrens wird nach dem Aufbringen der ALD-Schicht diese teilweise im Bereich der zu erzeugenden Trenngräben von der Trägerdeckfläche des Trägers entfernt. Für das Entfernen wird beispielsweise ein gerichtetes Trockenätzverfahren verwendet.
- 10 Bei der teilweisen Entfernung der ALD-Schicht von der Trägerdeckfläche kann die ALD-Schicht auch zumindest stellenweise von der Deckfläche der Halbleiterschichtenfolge entfernt werden. Nach dem teilweisen Entfernen der ALD-Schicht ist die Trägerdeckfläche im Bereich des Trenngrabens
- 15 frei zugänglich. Die übrigen Bereiche der Trägerdeckfläche des Trägers sind beispielsweise von der Verbindungsschichtenfolge bedeckt.

- Gemäß zumindest einer Ausführungsform des Verfahrens wird
- 20 nach dem teilweisen Entfernen der ALD-Schicht der Träger teilweise entfernt. Das Entfernen erfolgt in dem Bereich der teilweise entfernten Halbleiterschichtenfolge und der teilweise entfernten Verbindungsschichtenfolge. Mit anderen Worten, das teilweise Entfernen des Trägers erfolgt in dem
- 25 Bereich der zu erzeugenden Trenngräben. Das teilweise Entfernen des Trägers erfolgt bevorzugt ebenfalls mit einem Trockenätzverfahren. Nach dem teilweisen Entfernen des Trägers durchdringt der Trenngraben den Schichtenverbund bevorzugt vollständig. Mit anderen Worten, das teilweise
- 30 Entfernen des Trägers erfolgt bevorzugt bis zur Grundfläche.

Gemäß zumindest einer Ausführungsform des Verfahrens umfasst das Ausbilden der Trenngräben in Schritt b) die folgenden Schritte:

- 5 b1) Teilweises Entfernen der Halbleiterschichtenfolge im Bereich der zu erzeugenden Trenngräben,
- b2) teilweises Entfernen der Verbindungsschichtenfolge im Bereich der teilweise entfernten Halbleiterschichtenfolge,
- 10 b3) Aufbringen einer ALD-Schicht an allen der Grundfläche abgewandten freiliegenden Außenflächen des Schichtenverbunds,
- b4) teilweises Entfernen der ALD-Schicht im Bereich der zu
15 erzeugenden Trenngräben von einer der Grundfläche abgewandten Trägerdeckfläche des Trägers,
- b5) teilweises Entfernen des Trägers im Bereich der teilweise entfernten Halbleiterschichtenfolge und der teilweise
20 entfernten Verbindungsschichtenfolge, wobei für die Schritte b1), b2) und b5) zumindest teilweise ein Trockenätzverfahren Verwendung findet.

Die angegebenen Verfahrensschritte b1) bis b5) können
25 insbesondere in der angegebenen Reihenfolge durchgeführt.

Gemäß zumindest einer Ausführungsform des Verfahrens wird die ALD-Schicht in Schritt b4) von sämtlichen im Rahmen der Herstellungstoleranzen entlang der Haupterstreckungsebene
30 verlaufenden freiliegenden Außenflächen der Halbleiterschichtenfolge, des Vereinzelungsmusters und/oder des Trägers entfernt. Bevorzugt wird die ALD-Schicht von der Trägerdeckfläche im Bereich des zu erzeugenden Trenngrabens

und von der Deckfläche der Halbleiterschichtenfolge oder im Fall, dass die Deckfläche der Halbleiterschichtenfolge von einer Maskenschicht, die als Vereinzelmuster dient, bedeckt ist, von einer der Deckfläche der

5 Halbleiterschichtenfolge abgewandten Maskenschichtdeckfläche vollständig entfernt. Das Entfernen erfolgt mit einem gerichteten Ätzverfahren, wie beispielsweise einem Trockenätzverfahren.

10 Gemäß zumindest einer Ausführungsform des Verfahrens umfasst der Schichtenverbund ferner eine zwischen der Verbindungsschichtenfolge und der Halbleiterschichtenfolge angeordnete strahlungsreflektierende Kontaktschichtenfolge. "Strahlungsreflektierend" bedeutet hierbei und im Folgenden,
15 dass eine auf die Kontaktschichtenfolge treffende Strahlung zu wenigstens 90 %, bevorzugt wenigstens 95 %, von der Kontaktschichtenfolge reflektiert wird. Die Kontaktschichtenfolge grenzt vorzugsweise direkt an die Halbleiterschichtenfolge und die Verbindungsschichtenfolge
20 an. Hierbei steht die Kontaktschichtenfolge bevorzugt in direktem elektrischem Kontakt mit einer zweiten Halbleiterschicht der Halbleiterschichtenfolge. Die Kontaktschichtenfolge ist zumindest teilweise elektrisch leitfähig ausgebildet.

25

Die Kontaktschichtenfolge weist eine Metallschicht auf, die mit einem Metall gebildet ist oder aus einem Metall besteht. Die Metallschicht wird zur Erzeugung der Trenngräben in dem Verfahrensschritt b) unter zumindest teilweiser Verwendung
30 eines nasschemischen Ätzverfahrens entfernt. Anschließend können Seitenflächen der Metallschicht Spuren eines Materialabtrags mittels eines nasschemischen Ätzverfahrens aufweisen. Beispielsweise enthält die Metallschicht Silber

oder besteht aus Silber. Ferner kann die Metallschicht Aluminium enthalten oder aus Aluminium bestehen. Insbesondere im Fall von Silber ist die Anwendung eines Trockenätzverfahrens schwer realisierbar, weshalb die Verwendung eines nasschemischen Ätzverfahrens vorteilhaft ist. Weitere Schichten der Kontaktschichtenfolge können beispielsweise mit einem Trockenätzverfahren entfernt werden.

Um ein rechtzeitiges Stoppen des in vorherigen Verfahrensschritten verwendeten Trockenätzverfahrens auf der Metallschicht zu ermöglichen, kann hierzu eine zusätzliche Stoppschicht in die Kontaktschichtenfolge eingeführt werden. Die Stoppschicht ist beispielsweise mit einem Nitrid oder einem Oxid gebildet. Die Stoppschicht kann auf einer dem Träger abgewandten Seite der Metallschicht aufgebracht sein. Während des teilweisen Entfernens der übrigen Schichten der Kontaktschichtenfolge mittels eines Trockenätzverfahrens kann die spektrale Emission der beim Trockenätzen erzeugten Reaktanden untersucht werden. Wenn die spektrale Emission anzeigt, dass die Stoppschicht erreicht ist, kann das Trockenätzverfahren gestoppt werden und nasschemisch weitergeätzt werden. Hierdurch wird eine Bildung von beispielsweise Silberfluorid aufgrund des Trockenätzens von Silber vermieden.

Gemäß zumindest einer Ausführungsform des Verfahrens werden sämtliche freiliegenden Außenflächen der Halbleiterschichtenfolge in Schritt b) und/oder nach Schritt c) gereinigt. Beispielsweise erfolgt die Reinigung vor dem Aufbringen der ALD-Schicht in Schritt b3). Die Reinigung erfolgt derart, dass Spuren eines Materials der Verbindungsschichtenfolge und/oder der Kontaktschichtenfolge von den freiliegenden Außenflächen der

Halbleiterschichtenfolge entfernt werden. Bei dem Trockenätzverfahren können Spuren eines elektrisch leitfähigen Materials, wie zum Beispiel eines Metalls, durch das Abtragen mit dem Plasma auf die Außenflächen der Halbleiterschichtenfolge gelangen und dort einen Kurzschluss hervorrufen. Diese Spuren können mit Reinigung zum Beispiel unter Hochdruck entfernt werden.

Es wird ferner ein optoelektronischer Halbleiterchip angegeben. Der optoelektronische Halbleiterchip ist vorzugsweise mit einem hier beschriebenen Verfahren herstellbar. Das heißt, sämtliche für das Verfahren offenbarten Merkmale sind auch für den optoelektronischen Halbleiterchip offenbart und umgekehrt.

Der optoelektronische Halbleiterchip umfasst einen Teil des oben im Zusammenhang mit dem Herstellungsverfahren beschriebenen Schichtenverbundes, insbesondere einen Teil der Halbleiterschichtenfolge, des Trägers, der Verbindungsschichtenfolge und gegebenenfalls der Kontaktschichtenfolge. Im Folgenden werden vereinzelte Komponenten des optoelektronischen Halbleiterchips mit denselben Begriffen wie die ursprünglichen Komponenten des Schichtenverbundes, aus denen besagte vereinzelte Komponenten hervorgehen, bezeichnet. Die vereinzelter Komponenten weisen hierbei dieselbe Funktion wie die ursprünglichen Komponenten auf. Die vereinzelter Komponenten sind hierbei ein Teil der ursprünglichen Komponenten.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips weist dieser eine Halbleiterschichtenfolge mit der Haupterstreckungsebene, der aktiven Schicht, der Bodenfläche und einer der Bodenfläche abgewandten

Strahlungsdurchtrittsfläche auf. Die Halbleiterschichtenfolge umfasst die erste Halbleiterschicht und die zweite Halbleiterschicht. Ferner umfasst der optoelektronische Halbleiterchip den Träger, der an der Bodenfläche der Halbleiterschichtenfolge angeordnet ist und die der Bodenfläche abgewandte Grundfläche aufweist, und eine Verbindungsschichtenfolge, die in der vertikalen Richtung zumindest stellenweise zwischen der Halbleiterschichtenfolge und dem Träger angeordnet ist. Der Träger überragt die Halbleiterschichtenfolge lateral um höchstens 10 μm . Der Träger kann die Halbleiterschichtenfolge ferner lateral um wenigstens 2 μm überragen. Mit anderen Worten, der Träger und die Halbleiterschichtenfolge weisen lateral eine ähnliche Ausdehnung auf.

Insbesondere handelt es sich bei dem optoelektronischen Halbleiterchip um ein so genanntes "Chip-Size-Package". Bei einem solchen "Chip-Size-Package" beträgt die gesamte laterale Ausdehnung des optoelektronischen Halbleiterchips maximal 130 %, bevorzugt 120 %, der lateralen Ausdehnung der Strahlungsdurchtrittsfläche des optoelektronischen Halbleiterchips. Der optoelektronische Halbleiterchip weist somit eine hohe Lichtausbeute pro bedeckter Fläche auf.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips ist die Verbindungsschichtenfolge aus einem elektrisch isolierenden Material gebildet. Die Verbindungsschichtenfolge bildet dann eine dielektrische Bondverbindung. Die Verbindungsschichtenfolge kann beispielsweise die erste Verbindungsschicht und die zweite Verbindungsschicht aufweisen, wobei die zweite Verbindungsschicht mit der Trägerdeckfläche des Trägers in direktem Kontakt steht. Die erste Verbindungsschicht kann mit

Siliziumnitrid und/oder Siliziumoxid gebildet sein. Die zweite Verbindungsschicht kann beispielsweise Siliziumoxid und/oder Silizium aufweisen. Bevorzugt werden für die Verbindungsschichtenfolge Materialien verwendet, die chemisch und/oder durch einen Plasmaprozess leicht durchtrennbar sind.

Bei einer dielektrischen Bondverbindung wird eine Verbindung zwischen dem Träger und weiteren Schichten des Halbleiterchips durch eine kovalente Bindung der dielektrischen Verbindungen der Verbindungsschichtenfolge erzielt. Durch die elektrisch isolierende Ausbildung der Verbindungsschichtenfolge ist der Träger elektrisch von der Halbleiterschichtenfolge und/oder gegebenenfalls der Kontaktschichtenfolge isoliert.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips ist die Verbindungsschichtenfolge aus einem elektrisch leitfähigen Material gebildet. Die erste Verbindungsschicht und die zweite Verbindungsschicht können jeweils mit einer Metalllegierung gebildet sein.

Beispielsweise umfasst die erste Verbindungsschicht der Verbindungsschichtenfolge Titan, Platin, Nickel und/oder Zinn. Die zweite Verbindungsschicht kann beispielsweise mit Nickel, Zinn und/oder Titan gebildet sein. Es ist ferner möglich, dass zumindest eine der beiden Verbindungsschichten Gold und/oder Silber enthält. Bei einer elektrisch leitfähigen Verbindungsschichtenfolge handelt es sich somit bevorzugt um eine metallische Bondverbindung. Beispielsweise ist die metallische Bondverbindung mittels Lötens hergestellt. Der Träger ist dann über die Verbindungsschichtenfolge elektrisch leitend mit zumindest einer Halbleiterschicht des optoelektronischen Halbleiterchips verbunden.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips weisen die erste Verbindungsschicht und die zweite Verbindungsschicht jeweils eine Dicke von wenigstens
5 0,4 μm und höchstens 1,5 μm auf. Hierbei ist es möglich, dass die erste Verbindungsschicht und die zweite Verbindungsschicht jeweils ein Metall enthalten oder mit einem Metall gebildet sind. Die besonders dünne Ausführung der ersten Verbindungsschicht und der zweiten
10 Verbindungsschicht ermöglicht die Verwendung eines Trockenätzverfahrens auch bei metallischen Schichten zur Erzeugung eines Trenngrabens durch die Verbindungsschichtenfolge. Alternativ können die erste Verbindungsschicht und die zweite Verbindungsschicht auch mit
15 einem nasschemischen Ätzverfahren durchtrennt werden.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips weisen alle im Rahmen der Herstellungstoleranzen vertikal zur Grundfläche und/oder zur
20 Trägerdeckfläche verlaufenden Seitenflächen des Trägers Spuren eines Materialabtrags mittels eines Trockenätzverfahrens auf. Bei den Spuren des Materialabtrags kann es sich um ein sogenanntes Locken- oder Muschelmuster (englisch: scallops) handeln. Die Seitenflächen weisen dann
25 beispielsweise Rillen und/oder Einkerbungen auf, wobei sich die Rillen entlang einer lateralen Richtung erstrecken. Anhand der Spuren des Materialabtrags kann an dem fertigen optoelektronischen Halbleiterchip nachgewiesen werden, dass zur Vereinzelung ein Trockenätzverfahren zum Einsatz gekommen
30 ist.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips ist der optoelektronische Halbleiterchip

seitlich durch die ALD-Schicht verkapselt. Die Strahlungsdurchtrittsfläche des optoelektronischen Halbleiterchips ist hierbei frei von der ALD-Schicht. Ferner sind die Seitenflächen des Trägers frei von der ALD-Schicht. Insbesondere können die Strahlungsdurchtrittsfläche und/oder die Seitenflächen des Trägers vollständig frei von der ALD-Schicht sein. Insbesondere kann eine dem Träger abgewandte Außenfläche des optoelektronischen Halbleiterchips vollständig frei von der ALD-Schicht sein.

10

Anhand der lediglich seitlichen Verkapselung des optoelektronischen Halbleiterchips ist somit am fertigen optoelektronischen Halbleiterchip feststellbar, dass die ALD-Schicht zumindest teilweise mit einem Trockenätzverfahren entfernt wurde. Die seitliche Verkapselung mit der ALD-Schicht dient hierbei insbesondere der elektrischen Isolierung und dem Schutz vor äußeren Einflüssen, wie beispielsweise dem Eindringen von Feuchtigkeit, der aktiven Schicht der Halbleiterschichtenfolge.

20

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips sind die erste Verbindungsschicht und die zweite Verbindungsschicht aus unterschiedlichen Materialien gebildet. Im Falle einer elektrisch isolierenden

25

Verbindungsschichtenfolge kann die erste Verbindungsschicht aus Siliziumnitrid und/oder Siliziumoxid bestehen, während die zweite Verbindungsschicht aus Siliziumoxid und/oder Silizium bestehen kann. Im Falle einer elektrisch leitfähigen Verbindungsschichtenfolge können die erste Verbindungsschicht und die zweite Verbindungsschicht aus unterschiedlichen Metalllegierungen bestehen. Die unterschiedlichen Materialien der beiden Verbindungsschichten dienen hierbei der

30

verbesserten Verbindung des Trägers an die übrigen Schichten des optoelektronischen Halbleiterchips.

5 Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips weist dieser die zwischen der Verbindungsschichtenfolge und der Halbleiterschichtenfolge angeordnete strahlungsreflektierende Kontaktschichtenfolge auf. Die Kontaktschichtenfolge steht hierbei bevorzugt in direktem Kontakt mit der Halbleiterschichtenfolge und der 10 Verbindungsschichtenfolge. Die Kontaktschichtenfolge ist zumindest stellenweise elektrisch leitfähig ausgebildet. Insbesondere kann die Kontaktschichtenfolge elektrisch leitend mit der Halbleiterschichtenfolge und/oder der Verbindungsschichtenfolge verbunden sein.

15 Die Kontaktschichtenfolge umfasst eine Oxidschicht, eine Isolationsstruktur und die Metallschicht. Die Oxidschicht ist bevorzugt mit einem transparenten leitfähigen Oxid, wie beispielsweise Indium-Zinn-Oxid, gebildet. Die Oxidschicht 20 grenzt bevorzugt direkt an die zweite Halbleiterschicht der Halbleiterschichtenfolge und steht in direktem elektrischem Kontakt mit der zweiten Halbleiterschicht.

Die Isolationsstruktur ist zumindest bereichsweise zwischen 25 der Metallschicht und der Oxidschicht angeordnet. Die Isolationsstruktur umfasst ein elektrisch isolierend ausgebildetes Material, wie beispielsweise Siliziumoxid. Bei der Isolationsstruktur kann es sich vorliegend um eine mehrfach zusammenhängend ausgebildete, strukturierte 30 Siliziumoxid-Schicht handeln. Hierbei ist es möglich, dass die Siliziumoxid-Schicht Ausnehmungen und/oder Durchbrüche aufweist, die strukturierte Bereiche der Isolationsstruktur bilden. Beispielsweise ist zwischen den strukturierten

Bereichen der Isolationsstruktur die Metallschicht angeordnet. Mit anderen Worten, die Isolationsstruktur grenzt direkt an die Metallschicht und die Oxidschicht an. Hierbei ist es möglich, dass die Metallschicht die Isolationsstruktur stellenweise durchdringt und an diesen Stellen direkt an die Oxidschicht angrenzt.

Durch die Verwendung einer Kontaktschichtenfolge, die insbesondere eine Isolationsstruktur enthält, anstelle einer einzigen Metallschicht ergeben sich mehrere Vorteile. So ist die Reflektivität der Kontaktschichtenfolge im Vergleich zu einer einzigen Metallschicht erhöht. Die

Kontaktschichtenfolge kann also insbesondere einen dielektrischen Spiegel bilden oder nach Art eines

dielektrischen Spiegels ausgebildet sein. Ferner kann die mechanische Haftung der Kontaktschicht an der Halbleiterschichtenfolge und die Verbindungsschichtenfolge durch die Verwendung mehrerer Schichten erhöht werden.

Beispielsweise weist die Oxidschicht im Vergleich zu einer Metallschicht eine erhöhte mechanische Haftung zu der zweiten Halbleiterschicht auf.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips weist dieser in dem Bereich der Metallschicht eine geringere laterale Ausdehnung auf als in Bereichen außerhalb der Metallschicht. Diese geringere laterale Ausdehnung ist insbesondere durch die Verwendung des nasschemischen Ätzverfahrens bedingt. So hat ein nasschemisches Ätzverfahren meist eine isotropere Ätzwirkung als ein Trockenätzverfahren, weshalb auch in lateraler Richtung geätzt wird (sogenannte Unterätzung). An der geringeren lateralen Ausdehnung der Metallschicht kann somit das verwendete nasschemische Ätzverfahren nachgewiesen

werden. Beispielsweise ist die laterale Ausdehnung der Metallschicht um wenigstens 0,5 μm bis höchstens 3 μm geringer als die laterale Ausdehnung des Trägers und/oder der Halbleiterschichtenfolge entlang derselben lateralen
5 Richtung.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips weisen Seitenflächen der Metallschicht Spuren eines Materialabtrags mittels eines nasschemischen
10 Ätzverfahrens auf. Beispielsweise weisen die Seitenflächen der Metallschicht Rillen und/oder Einkerbungen und/oder Aufrauungen auf. Hierbei ist es möglich, dass anhand der Spuren des Materialabtrags an dem fertigen optoelektronischen Halbleiterchip nachgewiesen werden kann, dass die
15 Metallschicht unter Verwendung eines nasschemischen Ätzverfahrens durchtrennt wurde.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips ist zumindest eine Durchkontaktierung
20 vorhanden, die sich vollständig durch den Träger erstreckt. Ferner erstreckt sich die Durchkontaktierung zumindest teilweise durch die Verbindungsschichtenfolge. Die Durchkontaktierung steht bevorzugt in direktem Kontakt mit der Kontaktschichtenfolge und ist elektrisch leitend mit der
25 Kontaktschichtenfolge verbunden. Die Durchkontaktierung ist zumindest stellenweise leitfähig ausgebildet. Bei der Durchkontaktierung kann es sich um eine sogenannte Silizium-Durchkontaktierung (Through Silicon Via) handeln. Eine solche Durchkontaktierung umfasst mitunter ein elektrisch
30 leitfähiges Metall, wie beispielsweise Kupfer.

Bei einer elektrisch isolierend ausgebildeten Verbindungsschichtenfolge ist der elektrisch leitfähig

ausgebildete Träger von der Halbleiterschichtenfolge und der Kontaktschichtenfolge durch die Verbindungsschichtenfolge elektrisch isoliert. Eine einfache Kontaktierung der Halbleiterschichtenfolge über den elektrisch leitfähigen Träger ist somit nicht möglich. Dementsprechend ist die Durchkontaktierung durch den Träger erforderlich.

Es ist ferner möglich, dass eine weitere Durchkontaktierung vorhanden ist, die sich durch den Träger, die Verbindungsschichtenfolge, die Kontaktschichtenfolge, die erste Halbleiterschicht und die aktive Schicht hindurch in die zweite Halbleiterschicht erstreckt und mit der zweiten Halbleiterschicht in direktem elektrischem Kontakt steht. Die weitere Durchkontaktierung kann dann elektrisch von dem Träger, der Verbindungsschichtenfolge, der Kontaktschichtenfolge, der ersten Halbleiterschicht und der aktiven Schicht isoliert sein.

Die Durchkontaktierung und die weitere Durchkontaktierung sind bevorzugt jeweils an der Grundfläche des Trägers frei zugänglich und elektrisch kontaktierbar. Hierbei ist es möglich, dass die Durchkontaktierung und die weitere Durchkontaktierung von dem Träger jeweils elektrisch isoliert sind.

Bei der Verwendung von Durchkontaktierungen ist eine direkte elektrische Kontaktierung des Metalls der Durchkontaktierung möglich. Der Träger selbst muss dann keine elektrische Stromtragefunktion erfüllen beziehungsweise dient nicht der elektrischen Kontaktierung. Somit ist ein mitunter schlecht haftender Metall-Halbleiter-Kontakt zum Material des Trägers an der Grundfläche nicht erforderlich.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterchips sind die aktive Schicht und eine zweite Halbleiterschicht der Halbleiterschichtenfolge seitlich vollständig von Bereichen der Isolationsstruktur bedeckt. Mit

5 anderen Worten, alle im Rahmen der Herstellungstoleranzen entlang der vertikalen Richtung verlaufenden Seitenflächen der aktiven Schicht und der zweiten Halbleiterschicht sind vollständig von Bereichen der Isolationsstruktur bedeckt. Beispielsweise sind die bedeckenden Bereiche der

10 Isolationsstruktur an lateralen Randbereichen des optoelektronischen Halbleiterchips dicker ausgebildet als im Inneren des optoelektronischen Halbleiterchips. Hierdurch ist es möglich, dass sich die Bereiche der Isolationsstruktur die Oxidschicht der Kontaktschichtenfolge in vertikaler Richtung

15 überragen und die oben genannten Seitenflächen verkapseln. Es ist hierbei möglich, dass die zweite Halbleiterschicht und/oder die aktive Schicht nicht mehr direkt an die ALD-Schicht angrenzen oder (falls keine ALD-Schicht vorgesehen ist) lateral nicht mehr frei zugänglich sind.

20 Es ist ferner möglich, dass der optoelektronische Halbleiterchip an der Strahlungsdurchtrittsfläche Auskoppelstrukturen aufweisen. In den lateralen Zwischenräumen zwischen den Auskoppelstrukturen kann eine

25 planar ausgebildete Kontaktfläche, die Teil der Strahlungsdurchtrittsfläche sein kann, erzeugt werden. Auf dieser Kontaktfläche können Stromstege geführt werden, die der verbesserten elektrischen Kontaktierung der ersten Halbleiterschicht dienen können. Insbesondere können solche

30 Stromstege reflektierend ausgebildet sein und eine von der aktiven Schicht erzeugte und in Richtung der Stromstege abgestrahlte Strahlung zurück in die Halbleiterschichtenfolge reflektieren.

Es wird ferner ein optoelektronisches Halbleiterbauelement angegeben. Das optoelektronische Halbleiterbauelement umfasst einen hier beschriebenen optoelektronischen Halbleiterchip.

5 Das heißt, sämtliche für den optoelektronischen Halbleiterchip und für das Herstellungsverfahren offenbarten Merkmale sind auch für das optoelektronische Halbleiterbauelement offenbart und umgekehrt.

10 Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterbauelements umfasst dieses einen oben beschriebenen optoelektronischen Halbleiterchip und einen Formkörper. Der Formkörper ist elektrisch isolierend ausgebildet. Der Formkörper kann beispielsweise mit einem Epoxidharz und/oder
15 einem Silikonharz gebildet sein. Beispielsweise kann der Formkörper mit einem Formguss-Verfahren, einem Formpress-Verfahren und/oder einem Spritzguss-Verfahren hergestellt sein. Bevorzugt ist der Formkörper strahlungsabsorbierend und/oder strahlungsreflektierend ausgebildet.

20

Der Formkörper umschließt den optoelektronischen Halbleiterchip rahmenartig. Ferner kann der Formkörper zumindest stellenweise direkt an die ALD-Schicht angrenzen. Eine Formkörperbodenfläche schließt bündig mit der

25 Grundfläche des Trägers ab. "Rahmenartig" bedeutet hierbei und im Folgenden, dass der optoelektronische Halbleiterchip in einer Aufsicht von oben von dem Formkörper lateral vollständig umgeben ist. Es ist jedoch möglich, dass der Formkörper in vertikaler Richtung durch einzelne Schichten
30 und/oder Schichtenfolgen des optoelektronischen Halbleiterchips überragt wird. Mit anderen Worten, der Formkörper kann in der vertikalen Richtung eine geringere Dicke als der optoelektronische Halbleiterchip aufweisen.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterbauelements umfasst dieses ferner einen Kontaktkörper. Der Kontaktkörper umschließt den
5 optoelektronischen Halbleiterchip rahmenartig. Ferner grenzt der Kontaktkörper direkt an eine der Formkörperbodenfläche abgewandte Formkörperdeckfläche des Formkörpers an. Der Kontaktkörper ist mit einem elektrisch leitfähigen Material wie beispielsweise einem Metall gebildet. Bevorzugt ist der
10 Kontaktkörper elektrisch leitfähig und strahlungsreflektierend ausgebildet. Durch die rahmenartige Umschließung des optoelektronischen Halbleiterchips durch den Kontaktkörper kann somit die Effizienz des optoelektronischen Halbleiterchips erhöht werden, da Strahlungsverluste zur
15 Seite vermieden werden.

Ferner ermöglicht der Kontaktkörper eine drahtfreie Kontaktierung der ersten Halbleiterschicht der Halbleiterschichtenfolge. Hierzu kann der Kontaktkörper
20 elektrisch leitend mit der ersten Halbleiterschicht verbunden sein. Der Kontaktkörper bedeckt die Strahlungsdurchtrittsfläche zumindest stellenweise, wodurch seitliche Strahlungsverluste reduziert werden.

25 Ferner kann der optoelektronische Halbleiterchip lateral zumindest stellenweise mit einem strahlungsreflektierend ausgebildeten weiteren Material bedeckt sein. Das weitere Material kann zumindest stellenweise zwischen dem Träger und dem Formkörper angeordnet sein. Hierdurch können seitliche
30 Lichtverluste reduziert werden. Zudem kann der Formkörper durch ein solches Material vor lichtinduzierter Alterung geschützt werden.

Gemäß zumindest einer Ausführungsform des optoelektronischen Halbleiterbauelements überragt der Formkörper den Träger in vertikaler Richtung. Dies ermöglicht insbesondere eine Isolation des elektrisch leitfähigen Trägers nach außen.

5 Hierbei ist es möglich, dass der Formkörper auch die Verbindungsschichtenfolge in vertikaler Richtung überragt. Beispielsweise sind lateral lediglich elektrisch isolierend ausgebildete Komponenten des optoelektronischen Halbleiterchips, wie beispielsweise die Isolationsstruktur
10 oder die ALD-Schicht, von außen frei zugänglich. Von oben oder von unten können auch elektrisch leitend ausgebildete Komponenten frei zugänglich sein.

Im Folgenden wird das hier beschriebene Verfahren, der hier
15 beschriebene optoelektronische Halbleiterchip und das hier beschriebene optoelektronische Halbleiterbauelement anhand von Ausführungsbeispielen und den zugehörigen Figuren näher erläutert.

20 Die Figur 1 zeigt ein Ausführungsbeispiel eines hier beschriebenen optoelektronischen Halbleiterchips anhand einer schematischen Schnittdarstellung.

Die Figuren 2, 3 und 4 zeigen Ausführungsbeispiele eines hier
25 beschriebenen optoelektronischen Halbleiterbauelements anhand schematischer Aufsichten.

Die Figur 5 zeigt ein Ausführungsbeispiel eines hier
30 beschriebenen optoelektronischen Halbleiterchips anhand einer schematischen Schnittdarstellung.

Die Figuren 6A, 6B, 6C und 6D zeigen ein Ausführungsbeispiel eines hier beschriebenen Verfahrens anhand einer schematischen Schnittdarstellung.

5 Gleiche, gleichartige oder gleich wirkende Elemente sind in den Figuren mit denselben Bezugszeichen versehen. Die Figuren und die Größenverhältnisse der in den Figuren dargestellten Elemente untereinander sind nicht als maßstäblich zu betrachten. Vielmehr können einzelne Elemente zur besseren
10 Darstellbarkeit und/oder zum besseren Verständnis übertrieben groß dargestellt sein.

Die Figur 1 zeigt ein Ausführungsbeispiel eines hier beschriebenen optoelektronischen Halbleiterchips 10 und eines
15 hier beschriebenen Verfahrens zur Herstellung eines optoelektronischen Halbleiterchips 10 anhand einer schematischen Schnittdarstellung. Der optoelektronische Halbleiterchip 10 ist lateral durch einen Trenngraben 71 von einem weiteren optoelektronischen Halbleiterchip 10' (nicht
20 vollständig dargestellt) getrennt.

Der optoelektronische Halbleiterchip 10 weist eine Halbleiterschichtenfolge 1 mit einer Strahlungsdurchtrittsfläche 1a und einer der
25 Strahlungsdurchtrittsfläche 1a abgewandten Bodenfläche 1c auf. Die Halbleiterschichtenfolge 1 umfasst eine erste Halbleiterschicht 11, bei der es sich beispielsweise um eine n-leitende Halbleiterschicht handeln kann, eine aktive Schicht 12, die der Strahlungserzeugung und/oder -detektion
30 dient, und eine zweite Halbleiterschicht 13, bei der es sich beispielsweise um eine p-leitende Halbleiterschicht handeln kann. Die aktive Schicht 12 ist zwischen der ersten

Halbleiterschicht 11 und der zweiten Halbleiterschicht 13 angeordnet.

Die Strahlungsdurchtrittsfläche 1a ist mit
5 Auskoppelstrukturen 6 versehen. Bei den Auskoppelstrukturen 6 handelt es sich vorliegend um gleichmäßig angeordnete und voneinander beabstandete Aufrauungen in der ersten Halbleiterschicht 11. Beispielsweise können die Auskoppelstrukturen 6 in dem dargestellten Querschnitt die
10 Form eines Ellipsensegments aufweisen. Zwischen den Auskoppelstrukturen 6 befinden sich planare Kontaktflächen 11a der ersten Halbleiterschicht 11. Diese Kontaktflächen 11a können beispielsweise der zusätzlichen elektrischen Kontaktierung der ersten Halbleiterschicht 11 mit Stromstegen
15 111 dienen (vergleiche Figur 4).

An der Bodenfläche 1c der Halbleiterschichtenfolge 1 ist die Kontaktschichtenfolge 2 angeordnet. Die Kontaktschichtenfolge 2 umfasst die Oxidschicht 21, die Isolationsstruktur 22 und
20 die Metallschicht 23. Die Oxidschicht 21 ist mit einem leitfähigen Oxid gebildet und strahlungsdurchlässig ausgebildet. Die Oxidschicht 21 grenzt direkt an die zweite Halbleiterschicht 13 und steht mit dieser in direktem elektrischem Kontakt.

25

Die Metallschicht 23 ist in einer Aufsicht von oben einfach zusammenhängend und durchgängig ausgebildet und durchdringt die Isolationsstruktur 22 zumindest stellenweise. Die Metallschicht 23 steht in direktem elektrischem Kontakt zu
30 der Oxidschicht 21. Die Metallschicht 23 ist bevorzugt mit Silber und/oder Aluminium gebildet.

Die Isolationsstruktur 22 ist zumindest stellenweise zwischen der Oxidschicht 21 und der Metallschicht 23 angeordnet. Die Isolationsstruktur 22 ist an gleichmäßig verteilten Stellen kreisförmig durchbrochen. Mit anderen Worten, die

5 Isolationsstruktur 22 ist in einer Aufsicht mehrfach zusammenhängend ausgebildet. An diesen Stellen wird die Isolationsstruktur 22 von der Metallschicht 23 durchdrungen. Die Isolationsstruktur 22 grenzt direkt an die Oxidschicht 21 und die Metallschicht 23 an.

10

An der der Bodenfläche 1c abgewandten Seite der Kontaktschichtenfolge 2 ist eine Verbindungsschichtenfolge 3 angeordnet. Die Verbindungsschichtenfolge 3 umfasst eine der Kontaktschichtenfolge 2 zugewandte erste Verbindungsschicht

15 31 und eine der Kontaktschichtenfolge 2 abgewandte zweite Verbindungsschicht 32. An der zweiten Verbindungsschicht 32 ist der Träger 41 mit der der Verbindungsschichtenfolge 3 zugewandten Trägerdeckfläche 41a und der der Verbindungsschichtenfolge 3 abgewandten Grundfläche 41c

20 angeordnet. Die Grundfläche 41c bildet vorliegend eine freiliegende Außenfläche des optoelektronischen Halbleiterchips 10. Die Trägerdeckfläche 41a steht in direktem Kontakt zur zweiten Verbindungsschicht 32. Der Träger 41 ist mittels der Verbindungsschichtenfolge 3 mit der

25 Kontaktschichtenfolge 2 und der Halbleiterschichtenfolge 1 mechanisch verbunden.

30

Die erste Verbindungsschicht 31 steht in direktem Kontakt mit der Metallschicht 23 der Kontaktschichtenfolge 2. Die zweite Verbindungsschicht 32 steht in direktem Kontakt mit dem

Träger 41. In dem vorliegend gezeigten Ausführungsbeispiel des optoelektronischen Halbleiterchips 10 ist die Verbindungsschichtenfolge 3 mit einem elektrisch isolierenden

Material gebildet. Hierdurch ist der Träger 41 von der Kontaktschichtenfolge 2 durch die Verbindungsschichtenfolge 3 elektrisch isoliert. Um eine Kontaktierung der Kontaktschichtenfolge 2 zu ermöglichen, ist eine Durchkontaktierung 42 vorgesehen. Die Durchkontaktierung 42 durchdringt den Träger 41 und die Verbindungsschichtenfolge 3 vollständig. Die Durchkontaktierung 42 grenzt direkt an die Kontaktschichtenfolge 2 an und steht in direktem elektrischem Kontakt mit der Kontaktschichtenfolge 2.

10

Lateral ist der optoelektronische Halbleiterchip 10 zumindest teilweise von einer ALD-Schicht 5 bedeckt und durch diese elektrisch isolierend verkapselt. Insbesondere sind alle im Rahmen der Herstellungstoleranzen entlang der vertikalen Richtung verlaufenden Seitenflächen der Halbleiterschichtenfolge 1, der Kontaktschichtenfolge 2 und der Verbindungsschichtenfolge 3 von der ALD-Schicht bedeckt.

15

In dem gezeigten Ausführungsbeispiel wurde der Vereinzelungsschritt des hier beschriebenen Verfahrens bereits durchgeführt. Lateral neben dem optoelektronischen Halbleiterchip 10 ist ein weiterer optoelektronischer Halbleiterchip 10' angeordnet. Der weitere optoelektronische Halbleiterchip 10' ist durch einen Trenngraben 71 von dem ersten optoelektronischen Halbleiterchip 10 getrennt. Der Trenngraben weist eine laterale Maximalausdehnung d von höchstens 30 μm , bevorzugt höchstens 20 μm , auf. Bevorzugt befindet sich die Maximalausdehnung d im Bereich der Metallschicht 23. Dies ist dadurch bedingt, dass die Metallschicht 23 in dem Verfahren mit einem nasschemischen Ätzverfahren durchtrennt wurde und somit eine Unterätzung, das heißt eine laterale Einätzung der Metallschicht 23, stattgefunden hat. Hierdurch weist die Metallschicht 23 eine

25

30

geringere laterale Ausdehnung als die übrigen Schichten des optoelektronischen Halbleiterchips 10, 10' auf.

5 Gemäß der schematischen Schnittdarstellung der Figur 2 ist ein Ausführungsbeispiel eines optoelektronischen Halbleiterbauelements näher erläutert. Das optoelektronische Halbleiterbauelement umfasst einen optoelektronischen Halbleiterchip 10, einen Formkörper 82 und einen Kontaktkörper 81. Der Formkörper 82 grenzt zumindest
10 stellenweise direkt an den optoelektronischen Halbleiterchip 10 und umgibt diesen in einer Aufsicht lateral vollständig. Eine Formkörperbodenfläche 82c schließt bündig mit der Grundfläche 41c ab. Eine der Formkörperbodenfläche 82c abgewandt Formkörperdeckfläche 82a überragt den Träger 41 und
15 die Verbindungsschichtenfolge 3 in vertikaler Richtung vollständig.

Die Formkörperdeckfläche 82a ist nicht eben beziehungsweise planar ausgebildet. Vielmehr weist die Formkörperdeckfläche
20 82a eine Krümmung auf. Insbesondere weist der Formkörper 82 in Bereichen, die einen geringeren lateralen Abstand zum optoelektronischen Halbleiterchip 10 aufweisen, eine geringere Dicke auf als in Bereichen, die einen größeren lateralen Abstand zum optoelektronischen Halbleiterchip 10
25 aufweisen. Diese Einkerbung des Formkörpers 81 am optoelektronischen Halbleiterchip 10 ist durch das Herstellungsverfahren bedingt.

Der Kontaktkörper 81 grenzt direkt an die
30 Formkörperdeckfläche 82a an. Der Kontaktkörper 81 steht in direktem elektrischem Kontakt mit der ersten Halbleiterschicht 11. Hierzu bedeckt der Kontaktkörper 81 die Strahlungsdurchtrittsfläche 1a zumindest stellenweise.

Beispielsweise ist der Kontaktkörper 81 strahlungsreflektierend ausgebildet. Der Kontaktkörper 81 kann beispielsweise galvanisch auf den Formkörper 82 aufgebracht sein.

5

Im Gegensatz zu dem Ausführungsbeispiel der Figur 1 weist der optoelektronische Halbleiterchip 10 keine Durchkontaktierung 42 auf. Vorliegend ist die Verbindungsschichtenfolge 3 somit mit einem elektrisch leitfähigen Material, wie beispielsweise einem Metall, gebildet. Die elektrische Kontaktierung der
10 zweiten Halbleiterschicht 13 erfolgt dann über den elektrisch leitfähig ausgebildeten Träger 41.

Der optoelektronische Halbleiterchip 10 weist ferner Bereiche
15 der Isolationsstruktur 22' auf, die die zweite Halbleiterschicht 13 und die aktive Schicht 12 seitlich vollständig bedecken. Insbesondere bedecken die Bereiche der Isolationsstruktur 22' die Seitenflächen der aktiven Schicht und der zweiten Halbleiterschicht 13 vollständig. Die aktive
20 Schicht 12 und die zweite Halbleiterschicht 13 grenzen somit nicht mehr direkt an die ALD-Schicht 5 an. Eine elektrische Kontaktierung der zweiten Halbleiterschicht 13 ist über die Kontaktschichtenfolge 2 möglich.

25 Anhand der schematischen Aufsicht der Figur 3 ist ein Ausführungsbeispiel eines hier beschriebenen optoelektronischen Halbleiterbauelements näher erläutert. Die Aufsicht erfolgt hierbei von oben, also auf die Strahlungsdurchtrittsfläche 1a.

30

Das optoelektronische Halbleiterbauelement umfasst einen optoelektronischen Halbleiterchip 10. Der optoelektronische Halbleiterchip 10 ist rahmenartig von dem Kontaktkörper 81

und dem Formkörper 82 umschlossen. Hierbei sind Bereiche 11' der Strahlungsdurchtrittsfläche 1a von dem Kontaktkörper 81 bedeckt. Diese teilweise Bedeckung ist in der gezeigten Aufsicht durch die Trennlinie 115 und den lateralen

5 Chipabschluss 116 angedeutet. Der Chipabschluss 116 entspricht hierbei den entlang der vertikalen Richtung verlaufenden Außenflächen des optoelektronischen Halbleiterchips 10. Die Auskoppelstrukturen 6 sind in der Form eines regelmäßigen Gitters an der

10 Strahlungsdurchtrittsfläche 1a angeordnet.

Gemäß der schematischen Aufsicht der Figur 4 ist ein weiteres Ausführungsbeispiel eines hier beschriebenen optoelektronischen Halbleiterbauelements näher erläutert. Das

15 Ausführungsbeispiel unterscheidet sich von dem in Figur 3 dadurch, dass auf der Strahlungsdurchtrittsfläche 1a zwischen den Auskoppelstrukturen 6 Stromstege 111 angeordnet sind, die insbesondere einstückig mit dem Kontaktkörper 81 ausgebildet sind. Alternativ können die Stromstege 111 auch mit einem

20 anderen Material gebildet sein und lediglich elektrisch leitend mit dem Kontaktkörper 81 verbunden sein. Die Stromstege 111 sind vorliegend linear zwischen Reihen der Auskoppelstrukturen 6 angeordnet. Die Stromstege 111 dienen insbesondere einer verbesserten Stromverteilung über die

25 erste Halbleiterschicht 11. Ferner können die Stromstege strahlungsreflektierend ausgebildet sein und damit die Effizienz des optoelektronischen Halbleiterbauelements erhöhen.

30 Gemäß der schematischen Schnittdarstellung der Figur 5 ist ein weiteres Ausführungsbeispiel eines hier beschriebenen optoelektronischen Halbleiterchips näher erläutert. In dem dargestellten Ausführungsbeispiel ist der optoelektronische

Halbleiterchip 10 als sogenanntes "Chip-Size-Package" ausgeführt. Zur elektrischen Kontaktierung der Halbleiterschichten 11, 13 sind zwei Durchkontaktierungen 42, 42' vorgesehen. Eine erste Durchkontaktierung 42 erstreckt sich vollständig durch den Träger 41 und die Verbindungsschichtenfolge 3 zur Kontaktschichtenfolge 2 und ist elektrisch leitend mit der Kontaktschichtenfolge 2, und damit der zweiten Halbleiterschicht 13, verbunden.

10 Eine zweite Durchkontaktierung 42' erstreckt sich vollständig durch den Träger 41, die Verbindungsschichtenfolge 3, die Kontaktschichtenfolge 2, die zweite Halbleiterschicht 13 und die aktive Schicht 12. Die zweite Durchkontaktierung 42' ist elektrisch leitend mit der ersten Halbleiterschicht 11
15 verbunden. Im Bereich der Kontaktschichtenfolge 2, der zweiten Halbleiterschicht 13 und der aktiven Schicht 12 ist die zweite Durchkontaktierung 42' von weiteren Bereichen der Isolationsstruktur 22'' umgeben. Diese weiteren Bereiche der Isolationsstruktur 22'' dienen der elektrischen Isolation der
20 zweiten Durchkontaktierung 42' von der Kontaktschichtenfolge 2, der zweiten Halbleiterschicht 13 und der aktiven Schicht 12.

Gemäß der schematischen Schnittdarstellungen der Figuren 6A, 6B, 6C und 6D sind Verfahrensschritte eines hier
25 beschriebenen Verfahrens näher erläutert. Die Figur 6A zeigt einen ersten Verfahrensschritt eines hier beschriebenen Verfahrens. Zunächst wird ein Schichtenverbund 14 mit einer Halbleiterschichtenfolge 1, einer Kontaktschichtenfolge 2, einer Verbindungsschichtenfolge 3 und einem Träger 41
30 bereitgestellt. Auf einer Deckfläche 1a' des Schichtenverbunds 14 ist eine Maskenschicht 72 aufgebracht.

Die Maskenschicht 72 bildet ein Vereinzelungsmuster 72 des Schichtenverbunds 14.

Gemäß der schematischen Schnittdarstellung der Figur 6B ist ein weiterer Verfahrensschritt eines hier beschriebenen Verfahrens näher erläutert. In dem Schichtenverbund 14 wird unter zumindest teilweiser Verwendung eines

Trockenätzverfahrens ein Trenngrabens 71 erzeugt, der sich vorliegend bis zur Trägerdeckfläche 41a erstreckt. Die

Metallschicht 23 kann hierbei mittels einem nasschemischen Ätzverfahren durchtrennt worden sein. Die Erzeugung des Trenngrabens 71 erfolgt hierbei an nicht von der Maskenschicht 72 bedeckten, freiliegenden Bereichen der Deckfläche 1a'.

Nach dem teilweisen Erzeugen des Trenngrabens 71 wird eine ALD-Schicht 5 ganzflächig auf freiliegende Außenflächen des Schichtenverbunds 14 aufgebracht.

Gemäß der schematischen Schnittdarstellung der Figur 6C ist ein weiterer Verfahrensschritt eines hier beschriebenen Verfahrens näher erläutert. Vorliegend werden sämtliche entlang der Haupterstreckungsrichtung des Trägers 41 verlaufende Außenflächen durch ein gerichtetes

Trockenätzverfahren (Pfeile in der Figur 6C) von der ALD-Schicht 5 freigelegt. Anschließend ist die Trägerdeckfläche 41a im Bereich des Trenngrabens 71 frei zugänglich. Ferner ist eine dem Träger 41 abgewandte Maskenschichtdeckfläche 72a nach dem teilweisen Entfernen der ALD-Schicht 5 frei zugänglich.

Gemäß der schematischen Schnittdarstellung der Figur 6D ist ein weiterer Verfahrensschritt eines hier beschriebenen

Verfahrens näher erläutert. Bei dem gezeigten Verfahrensschritt wird der Träger 41 im Bereich des Trenngrabens 71 mit einem Trockenätzverfahren durchtrennt. Der Trenngraben 71 erstreckt sich dann vollständig durch den Schichtenverbund 14. Hierdurch ist ein Vereinzeln des Schichtenverbunds 14 in einzelne optoelektronische Halbleiterchips 10 entlang des Trenngrabens 71 möglich. Aufgrund des Trockenätzverfahrens weist der Träger im Bereich des Trenngrabens 71 Spuren von Vereinzelung 73 durch das Trockenätzverfahren auf. Diese Spuren von Vereinzelungen 73 weisen ein schuppenähnliches beziehungsweise muschelähnliches Muster auf. Die Spuren von Vereinzelung 73 können sich entlang einer lateralen Richtung erstrecken. Anhand dieser Spuren von Vereinzelung 73 ist somit das verwendete Verfahren an dem fertiggestellten optoelektronischen Halbleiterchip 10 nachweisbar.

Das hier beschriebene Verfahren ist kostengünstig und ermöglicht die Bereitstellung eines effizienten optoelektronischen Halbleiterchips. Beim Durchtrennen des Schichtenverbundes mit einem Trockenätzverfahren entstehen senkrechte Kanten und ferner bei der Metallschicht durch die Verwendung des nasschemischen Ätzverfahrens leichte Unterätzungen. Diese leichten Unterätzungen können auch gezielt gesteuert werden. Mittels einer sogenannten "Spacer"-Technologie oder mittels einer Verkapselung mit einer ALD-Schicht oder anderen feuchtedichten dielektrischen Schichten, kann eine Migrationsstabilität ohne lateralen Platzverlust hergestellt werden. Der Flächenverlust ist im Wesentlichen durch die Maximalausdehnung des Trenngrabens bestimmt und kann im Extremfall weniger als 15 µm betragen. Gleichzeitig kommen bei diesem Design bevorzugt keine strahlungsabsorbierenden Schichten zum Einsatz.

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele auf diese beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von
5 Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

- 10 Die vorliegende Anmeldung beansprucht die Priorität der deutschen Anmeldung DE 10 2014 116 141.6, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Bezugszeichenliste

	10	optoelektronischer Halbleiterchip
	1	Halbleiterschichtenfolge
5	11, 11'	erste Halbleiterschicht
	11a	Kontaktfläche
	111	Stromstege
	115	Trennlinie
	116	Chipabschluss
10	12	aktive Schicht
	13	zweite Halbleiterschicht
	1a'	Deckfläche
	1a	Strahlungsdurchtrittsfläche
	1c	Bodenfläche
15	2	Kontaktschichtenfolge
	21	Oxidschicht
	22	Isolationsstruktur
	22', 22''	Bereiche der Isolationsstruktur
	23	Metallschicht
20	41	Träger
	41c	Grundfläche
	41a	Trägerdeckfläche
	42, 42'	Durchkontaktierung
	5	ALD-Schicht
25	6	Auskoppelstrukturen
	71	Trenngräben
	72	Maskenschicht, Vereinzelungsmuster
	72a	Maskenschichtdeckfläche
	73	Spuren von Vereinzelung
30	81	Kontaktierung
	82	Formkörper
	82a	Formkörperdeckfläche
	82c	Formkörperbodenfläche

Patentansprüche:

1. Verfahren zur Herstellung zumindest eines
optoelektronischen Halbleiterchips (10) mit den folgenden
5 Schritten:

a) Bereitstellen eines Schichtenverbundes (14) aufweisend
- eine Halbleiterschichtenfolge (1) mit einer
Haupterstreckungsebene, einer aktiven Schicht (12) und einer
Bodenfläche (1c),

10 - einen Träger (41), der an der Bodenfläche (1c) der
Halbleiterschichtenfolge (1) angeordnet ist und eine der
Bodenfläche (1c) abgewandte Grundfläche (41c) aufweist, und
- eine Verbindungsschichtenfolge (3), die in einer vertikalen
Richtung zumindest stellenweise zwischen der
15 Halbleiterschichtenfolge (1) und dem Träger (41) angeordnet
ist,

b) Ausbilden einer Vielzahl von Trenngräben (71) in dem
Schichtenverbund (14) entlang eines Vereinzelungsmusters (72)
unter Verwendung zumindest eines gerichteten

20 Trockenätzverfahrens (9), wobei
- zumindest ein Trenngraben (71) in zumindest einer lateralen
Richtung eine Maximalausdehnung (d) von höchstens 30 µm
aufweist und

- jeder Trenngraben (71) den Schichtenverbund (14) in der
25 vertikalen Richtung vollständig durchdringt,

c) Vereinzeln des Schichtenverbundes (14) entlang der
Trenngräben (71) zur Erzeugung zumindest eines
optoelektronischen Halbleiterchips (10), wobei der
vereinzelte zumindest eine optoelektronische Halbleiterchip

30 (10) jeweils einen Teil der Halbleiterschichtenfolge (1), des
Trägers (41) und der Verbindungsschichtenfolge (3) aufweisen.

2. Verfahren nach dem vorherigen Anspruch,
wobei das Ausbilden der Trenngräben (71) in Schritt b) die
folgenden Schritte umfasst:

- 5 b1) teilweises Entfernen der Halbleiterschichtenfolge (1) im
Bereich der zu erzeugenden Trenngräben (71),
- b2) teilweises Entfernen der Verbindungsschichtenfolge (3) in
dem Bereich der teilweise entfernten Halbleiterschichtenfolge
(1),
- 10 b3) Aufbringen einer ALD-Schicht (5) an allen der Grundfläche
(41c) abgewandten freiliegenden Außenflächen des
Schichtenverbundes (14),
- b4) teilweises Entfernen der ALD-Schicht (5) im Bereich der
zu erzeugenden Trenngräben (71) von einer der Grundfläche
15 (41c) abgewandten Trägerdeckfläche (41a) des Trägers (41),
- b5) teilweises Entfernen des Trägers (41) in dem Bereich der
teilweise entfernten Halbleiterschichtenfolge (1) und der
teilweise entfernten Verbindungsschichtenfolge (3), wobei
für die Schritte b1), b2) und b5) zumindest teilweise ein
20 Trockenätzverfahren Verwendung findet.

3. Verfahren nach einem der vorherigen Ansprüche,
wobei die ALD-Schicht (5) in Schritt b4) von sämtlichen im
Rahmen der Herstellungstoleranzen entlang der
25 Haupterstreckungsebene verlaufenden freiliegenden
Außenflächen (1a', 41a) der Halbleiterschichtenfolge (1), des
Vereinzelungsmusters (72) und/oder des Trägers (41) entfernt
wird.

30 4. Verfahren nach einem der vorherigen Ansprüche,
wobei der Schichtenverbund (14) ferner eine zwischen der
Verbindungsschichtenfolge (3) und der
Halbleiterschichtenfolge (1) angeordnete

strahlungsreflektierende Kontaktschichtenfolge (2) mit einer Metallschicht (23) aufweist, wobei die Metallschicht (23) zur Erzeugung der Trenngräben (71) in Schritt b) teilweise unter Verwendung eines nasschemischen Ätzverfahrens entfernt wird.

5

5. Verfahren nach einem der vorherigen Ansprüche, wobei sämtliche freiliegende Außenflächen der Halbleiterschichtenfolge (1) in Schritt b) und/oder nach Schritt c) gereinigt werden derart, dass Spuren eines Materials der Verbindungsschichtenfolge (3) und/oder der Kontaktschichtenfolge (2) von den freiliegenden Außenflächen der Halbleiterschichtenfolge (1) entfernt werden.

6. Optoelektronischer Halbleiterchip (10) aufweisend
15 - eine Halbleiterschichtenfolge (1) mit einer Haupterstreckungsebene, einer aktiven Schicht (12) und einer Bodenfläche (1c),
- einen Träger (41), der an der Bodenfläche (1c) der Halbleiterschichtenfolge (1) angeordnet ist und eine der
20 Bodenfläche (1c) abgewandte Grundfläche (41c) aufweist und
- eine Verbindungsschichtenfolge (3), die in einer vertikalen Richtung zumindest stellenweise zwischen der Halbleiterschichtenfolge (1) und dem Träger (41) angeordnet ist, wobei
25 - der Träger (41) die Halbleiterschichtenfolge (1) lateral um höchstens 10 µm überragt.

7. Optoelektronischer Halbleiterchip (10) nach dem vorherigen Anspruch,
30 bei dem die Verbindungsschichtenfolge (3) eine erste Verbindungsschicht (31) und zumindest eine zweite Verbindungsschicht (32) aufweist und bei dem die Verbindungsschichtenfolge (3) aus einem elektrisch

isolierenden Material gebildet ist und eine dielektrische Bondverbindung bildet.

8. Optoelektronischer Halbleiterchip (10) nach einem der
5 vorherigen Ansprüche,
bei dem die Verbindungsschichtenfolge (3) eine erste
Verbindungsschicht (31) und zumindest eine zweite
Verbindungsschicht (32) aufweist und bei dem die
Verbindungsschichtenfolge (3) aus einem elektrisch
10 leitfähigen Material gebildet ist.

9. Optoelektronischer Halbleiterchip (10) nach einem der
vorherigen Ansprüche,
wobei die erste Verbindungsschicht (31) und die zweite
15 Verbindungsschicht (32) jeweils eine Dicke von wenigstens 0,4
µm und höchstens 1 µm aufweisen.

10. Optoelektronischer Halbleiterchip (10) nach einem der
vorherigen Ansprüche,
20 bei dem alle im Rahmen der Herstellungstoleranzen vertikal
zur Grundfläche (41c) und/oder zur Trägerdeckfläche (41a)
verlaufende Seitenflächen (41b) des Trägers Spuren eines
Materialabtrags mittels eines Trockenätzverfahrens aufweist.

25 11. Optoelektronischer Halbleiterchip (10) nach einem der
vorherigen Ansprüche,
der seitlich durch eine ALD-Schicht (5) verkapselt ist, wobei
eine der Grundfläche (41c) abgewandte
Strahlungsdurchtrittsfläche (1a) frei von der ALD-Schicht (5)
30 ist.

12. Optoelektronischer Halbleiterchip (10) nach dem
vorherigen Anspruch,

bei dem alle im Rahmen der Herstellungstoleranzen vertikal zur Grundfläche (41c) und/oder zur Trägerdeckfläche (41a) verlaufenden Seitenflächen (41b) des Trägers (41) und die Strahlungsdurchtrittsfläche (1a) frei von der ALD-Schicht (5) sind.

13. Optoelektronischer Halbleiterchip (10) nach einem der vorherigen Ansprüche,
bei dem die Verbindungsschichtenfolge (3) eine erste
10 Verbindungsschicht (31) und zumindest eine zweite Verbindungsschicht (32) aufweist, wobei die erste Verbindungsschicht (31) und die zweite Verbindungsschicht (32) aus unterschiedlichen Materialien gebildet sind.

15 14. Optoelektronischer Halbleiterchip (10) nach einem der vorherigen Ansprüche,
ferner aufweisend eine zwischen der Verbindungsschichtenfolge (3) und der Halbleiterschichtenfolge (1) angeordnete strahlungsreflektierende Kontaktschichtenfolge (2), mit einer
20 Oxidschicht (21), einer Isolationsstruktur (22, 22') und einer Metallschicht (23), wobei
- die Isolationsstruktur (22, 22') zumindest bereichsweise zwischen der Metallschicht (23) und der Oxidschicht (21) angeordnet ist und
25 - die Oxidschicht (21) direkt an die Halbleiterschichtenfolge (1) angrenzt und elektrisch leitend mit der Metallschicht (23) verbunden ist.

15. Optoelektronischer Halbleiterchip (10) nach einem der
30 vorherigen Ansprüche,
der in dem Bereich der Metallschicht (23) eine geringere laterale Ausdehnung aufweist als in Bereichen außerhalb der Metallschicht (23).

16. Optoelektronischer Halbleiterchip (10) nach einem der vorherigen Ansprüche,
bei dem zumindest eine Durchkontaktierung (42) vorhanden ist,
5 die sich vollständig durch den Träger (41) erstreckt, wobei der Träger (41) elektrisch leitend ausgebildet ist.

17. Optoelektronischer Halbleiterchip (10) nach einem der vorherigen Ansprüche,
10 bei dem die aktive Schicht (12) und eine zweite Halbleiterschicht (13) der Halbleiterschichtenfolge (1) seitlich vollständig von Bereichen der Isolationsstruktur (22, 22') bedeckt sind.

15 18. Optoelektronisches Halbleiterbauelement umfassend zumindest einen optoelektronischen Halbleiterchip (10) nach einem der vorherigen Ansprüche und einen Formkörper (81), wobei der Formkörper (82)
- den optoelektronischen Halbleiterchip (10) rahmenartig
20 umschließt, wobei eine Formkörperbodenfläche (82c) bündig mit der Grundfläche (41c) abschließt und
- zumindest stellenweise direkt an die ALD-Schicht (5) grenzt.

25 19. Optoelektronisches Halbleiterbauelement nach dem vorherigen Anspruch,
bei dem ferner ein Kontaktkörper (81) vorhanden ist, der
- den optoelektronischen Halbleiterchip (10) rahmenartig umschließt,
30 - direkt an eine der Formkörperbodenfläche (82c) abgewandte Formkörperdeckfläche (82a) des Formkörpers (81) angrenzt,
- elektrisch leitend mit zumindest einer Halbleiterschicht (11) der Halbleiterschichtenfolge (1) verbunden ist und

- die Strahlungsdurchtrittsfläche (1a) zumindest stellenweise bedeckt.

20. Optoelektronisches Halbleiterbauelement nach einem der
5 vorherigen Ansprüche,
bei dem der Formkörper (82) den Träger (41) in vertikaler
Richtung überragt.

1/4

FIG 1

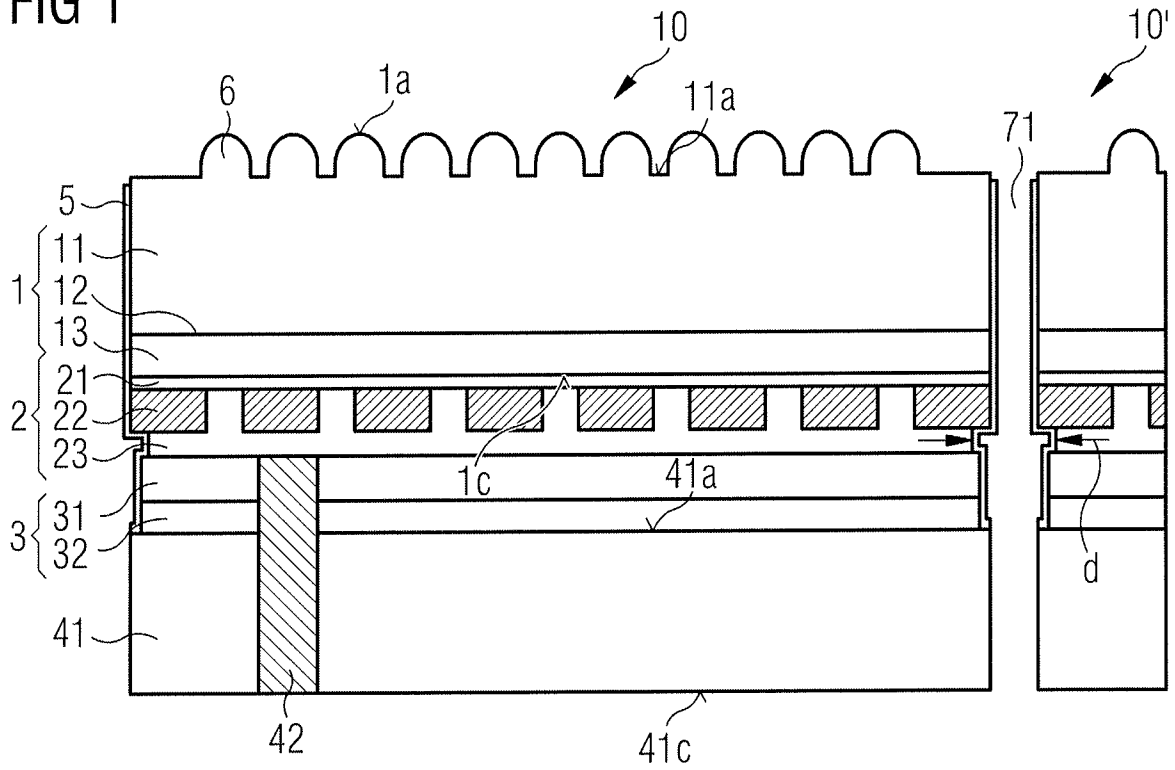
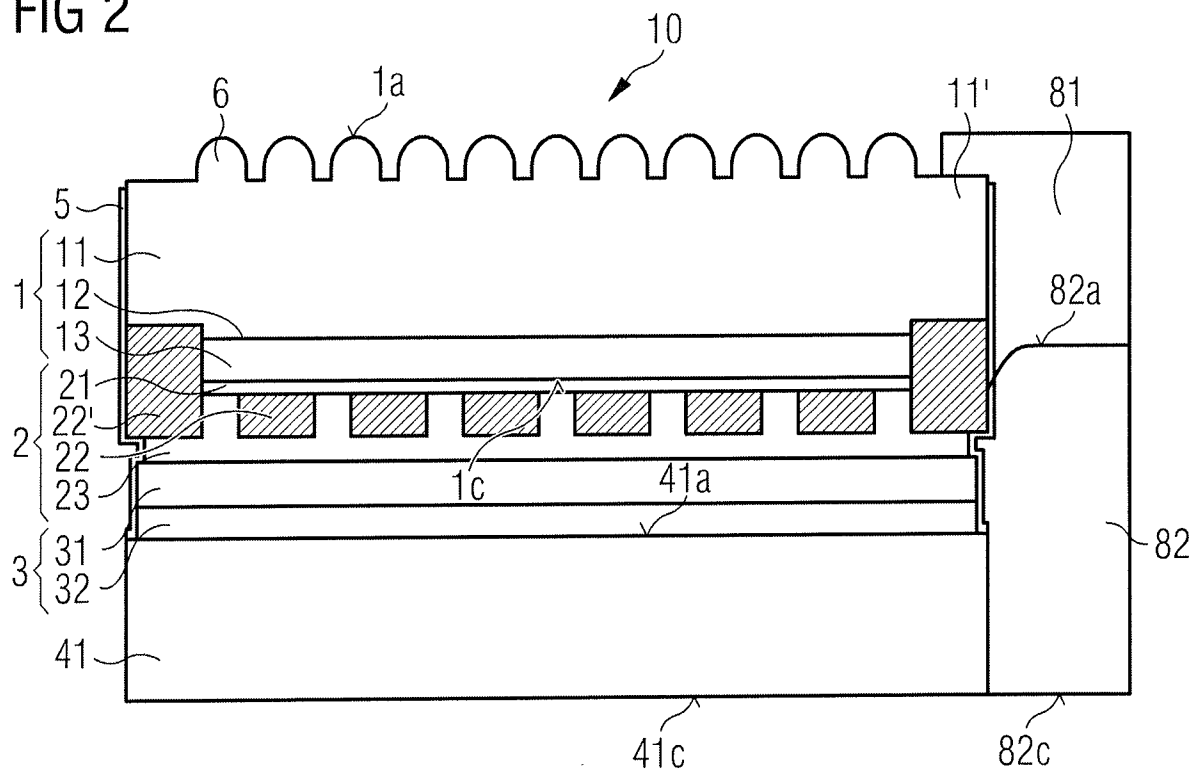


FIG 2



2/4

FIG 3

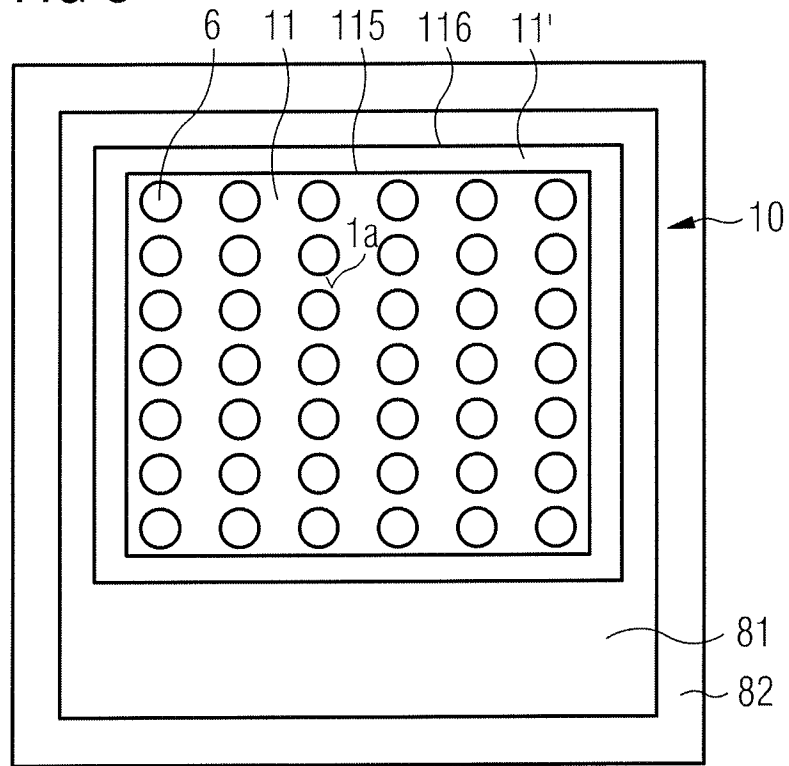


FIG 4

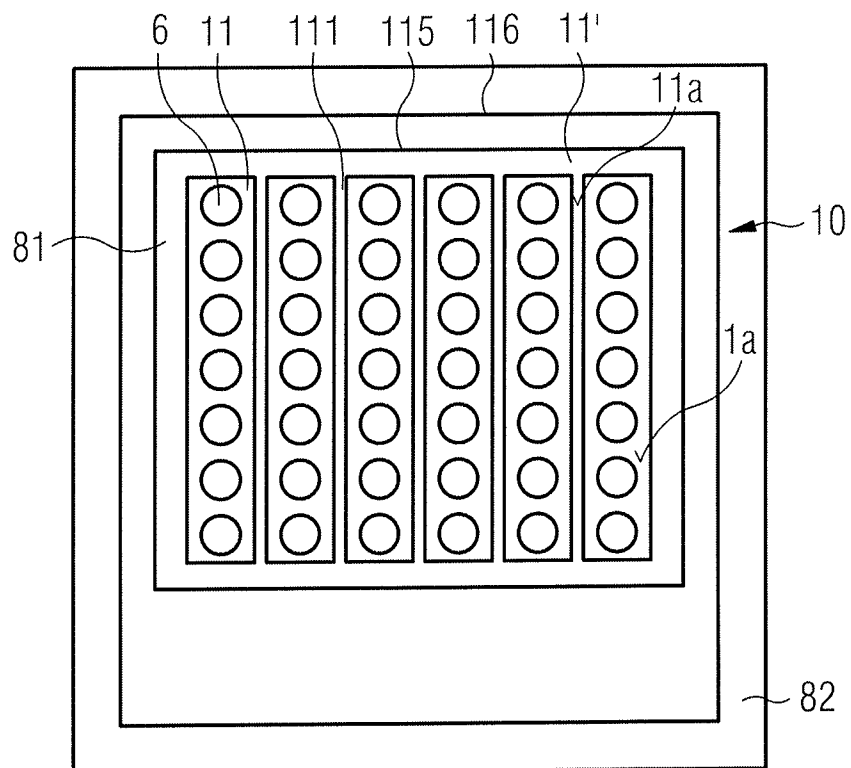


FIG 5

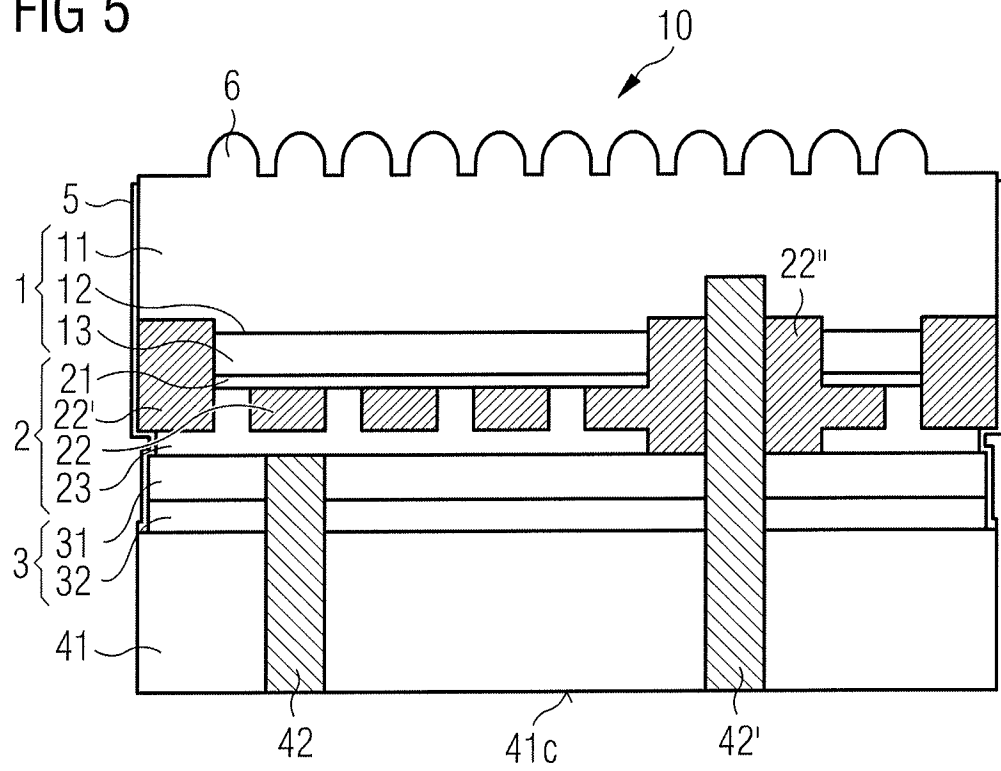


FIG 6A

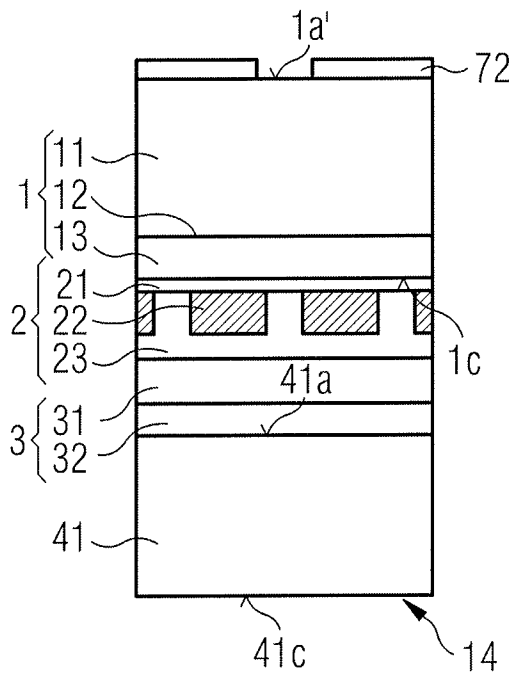


FIG 6B

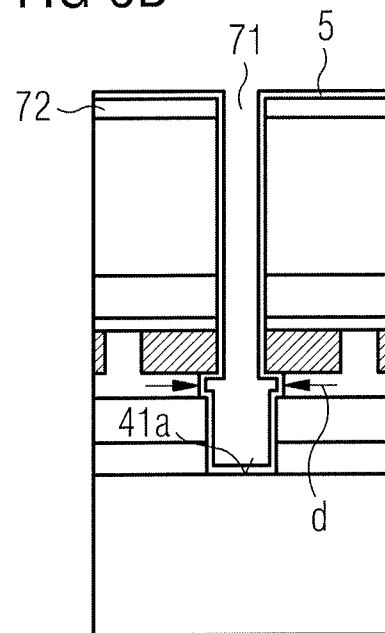


FIG 6C

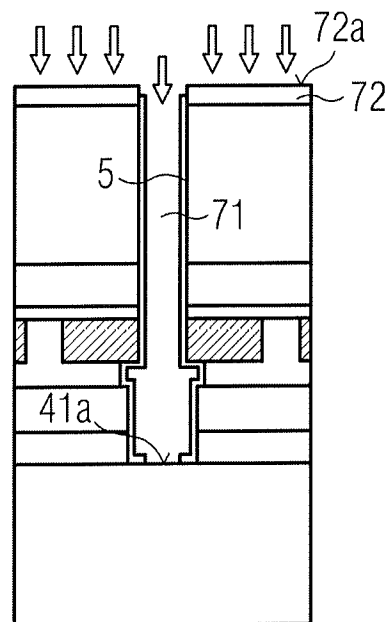
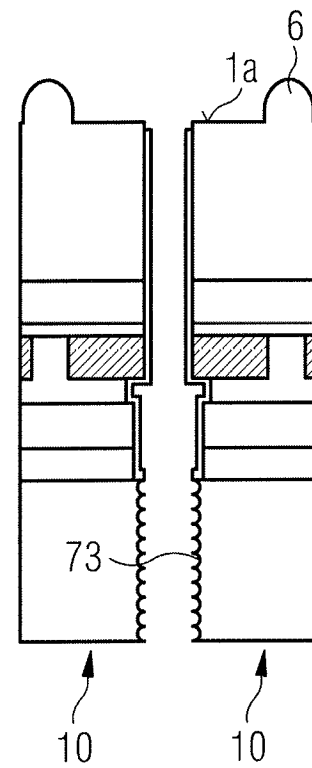


FIG 6D



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2015/075602

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L33/00 H01L33/44 ADD. H01L33/40 H01L33/42 H01L33/46 H01L33/52 H01L33/54 H01L33/48		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/105542 A1 (YOO MYUNG C [US]) 18 May 2006 (2006-05-18)	1,4-6,8, 10,13, 18-20
Y	paragraphs [0001] - [0024], [0058] - [0105]; figures 2-16 -----	2,3,11, 12
X	WO 2012/164437 A2 (KONINKL PHILIPS ELECTRONICS NV [NL]; BHAT JEROME CHANDRA [US]; AKRAM S) 6 December 2012 (2012-12-06) pages 1-11, 14; figures 1-3, 5, 7 -----	6,7,9,16
X	EP 1 906 460 A2 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 2 April 2008 (2008-04-02) paragraphs [0001] - [0048], [0111] - [0121], [0126] - [0140]; figure 6 ----- -/--	6,14,15, 17
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 2 February 2016		Date of mailing of the international search report 09/02/2016
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Saynova, Desislava

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2015/075602

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2011/073027 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; LELL ALFRED [DE]; FEHRER MICHAEL) 23 June 2011 (2011-06-23) pages 25-31; figures 1A-1D -----	2,3,11, 12
A	WO 2014/095556 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 26 June 2014 (2014-06-26) pages 14-22; figures 1A-1K -----	4
A	WO 2013/045576 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; GEBUHR TOBIAS [DE]; GALLMEIER HAN) 4 April 2013 (2013-04-04) pages 10-17 -----	18-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2015/075602

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2006105542	A1	18-05-2006	CN 101371338 A	18-02-2009
			EP 1815503 A2	08-08-2007
			JP 2008521220 A	19-06-2008
			KR 20070085374 A	27-08-2007
			TW I389334 B	11-03-2013
			US 2006105542 A1	18-05-2006
			WO 2006055601 A2	26-05-2006

WO 2012164437	A2	06-12-2012	CN 103563099 A	05-02-2014
			EP 2715807 A2	09-04-2014
			JP 2014515560 A	30-06-2014
			KR 20140034262 A	19-03-2014
			RU 2013158689 A	20-07-2015
			TW 201306322 A	01-02-2013
			US 2014077246 A1	20-03-2014
			WO 2012164437 A2	06-12-2012

EP 1906460	A2	02-04-2008	DE 102006057747 A1	03-04-2008
			EP 1906460 A2	02-04-2008
			JP 2008085337 A	10-04-2008
			US 2008073658 A1	27-03-2008

WO 2011073027	A1	23-06-2011	CN 102668140 A	12-09-2012
			DE 102009058796 A1	22-06-2011
			EP 2513984 A1	24-10-2012
			JP 5710638 B2	30-04-2015
			JP 2013514642 A	25-04-2013
			JP 2015146431 A	13-08-2015
			KR 20120114311 A	16-10-2012
			TW 201143162 A	01-12-2011
			US 2012326178 A1	27-12-2012
			WO 2011073027 A1	23-06-2011

WO 2014095556	A1	26-06-2014	DE 102012112530 A1	18-06-2014
			DE 112013006060 A5	27-08-2015
			KR 20150097556 A	26-08-2015
			US 2015333047 A1	19-11-2015
			WO 2014095556 A1	26-06-2014

WO 2013045576	A1	04-04-2013	DE 102011055549 A1	04-04-2013
			US 2014227811 A1	14-08-2014
			WO 2013045576 A1	04-04-2013

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES		
INV.	H01L33/00	H01L33/44
ADD.	H01L33/40	H01L33/42
	H01L33/48	
		H01L33/46
		H01L33/52
		H01L33/54
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE		
Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)		
H01L		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)		
EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2006/105542 A1 (YOO MYUNG C [US]) 18. Mai 2006 (2006-05-18)	1,4-6,8, 10,13, 18-20
Y	Absätze [0001] - [0024], [0058] - [0105]; Abbildungen 2-16	2,3,11, 12
X	WO 2012/164437 A2 (KONINKL PHILIPS ELECTRONICS NV [NL]; BHAT JEROME CHANDRA [US]; AKRAM S) 6. Dezember 2012 (2012-12-06) Seiten 1-11, 14; Abbildungen 1-3, 5, 7	6,7,9,16
X	EP 1 906 460 A2 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 2. April 2008 (2008-04-02) Absätze [0001] - [0048], [0111] - [0121], [0126] - [0140]; Abbildung 6	6,14,15, 17
	-/--	
☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Absendedatum des internationalen Recherchenberichts
2. Februar 2016		09/02/2016
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Saynova, Desislava

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	WO 2011/073027 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; LELL ALFRED [DE]; FEHRER MICHAEL) 23. Juni 2011 (2011-06-23) Seiten 25-31; Abbildungen 1A-1D -----	2,3,11, 12
A	WO 2014/095556 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 26. Juni 2014 (2014-06-26) Seiten 14-22; Abbildungen 1A-1K -----	4
A	WO 2013/045576 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]; GEBUHR TOBIAS [DE]; GALLMEIER HAN) 4. April 2013 (2013-04-04) Seiten 10-17 -----	18-20

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2015/075602

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 2006105542	A1	18-05-2006	CN	101371338 A	18-02-2009
			EP	1815503 A2	08-08-2007
			JP	2008521220 A	19-06-2008
			KR	20070085374 A	27-08-2007
			TW	1389334 B	11-03-2013
			US	2006105542 A1	18-05-2006
			WO	2006055601 A2	26-05-2006

WO 2012164437	A2	06-12-2012	CN	103563099 A	05-02-2014
			EP	2715807 A2	09-04-2014
			JP	2014515560 A	30-06-2014
			KR	20140034262 A	19-03-2014
			RU	2013158689 A	20-07-2015
			TW	201306322 A	01-02-2013
			US	2014077246 A1	20-03-2014
			WO	2012164437 A2	06-12-2012

EP 1906460	A2	02-04-2008	DE	102006057747 A1	03-04-2008
			EP	1906460 A2	02-04-2008
			JP	2008085337 A	10-04-2008
			US	2008073658 A1	27-03-2008

WO 2011073027	A1	23-06-2011	CN	102668140 A	12-09-2012
			DE	102009058796 A1	22-06-2011
			EP	2513984 A1	24-10-2012
			JP	5710638 B2	30-04-2015
			JP	2013514642 A	25-04-2013
			JP	2015146431 A	13-08-2015
			KR	20120114311 A	16-10-2012
			TW	201143162 A	01-12-2011
			US	2012326178 A1	27-12-2012
			WO	2011073027 A1	23-06-2011

WO 2014095556	A1	26-06-2014	DE	102012112530 A1	18-06-2014
			DE	112013006060 A5	27-08-2015
			KR	20150097556 A	26-08-2015
			US	2015333047 A1	19-11-2015
			WO	2014095556 A1	26-06-2014

WO 2013045576	A1	04-04-2013	DE	102011055549 A1	04-04-2013
			US	2014227811 A1	14-08-2014
			WO	2013045576 A1	04-04-2013
