

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/48 (2006.01)

H01L 21/60 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200610083641.3

[43] 公开日 2006年12月6日

[11] 公开号 CN 1873935A

[22] 申请日 2006.5.31

[21] 申请号 200610083641.3

[30] 优先权

[32] 2005.5.31 [33] JP [31] 2005-159993

[32] 2006.1.23 [33] JP [31] 2006-014199

[71] 申请人 新光电气工业株式会社

地址 日本长野县

[72] 发明人 中村顺一 小林祐治

[74] 专利代理机构 北京天昊联合知识产权代理有限公司

代理人 顾红霞 张天舒

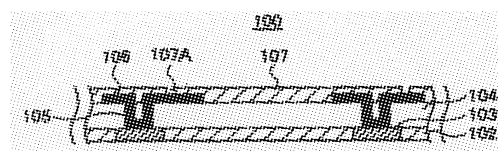
权利要求书 3 页 说明书 22 页 附图 17 页

[54] 发明名称

配线基板的制造方法及半导体器件的制造方法

[57] 摘要

本发明公开一种制造配线基板的方法，其特征在于，包括以下步骤：第一步，在支撑基板上形成第一阻焊层，并在所述第一阻焊层形成第一开口部；第二步，在所述第一开口部形成电极；第三步，在所述电极上形成绝缘层，并在所述绝缘层形成配线部，所述配线部连接到所述电极上；第四步，在所述配线部上形成第二阻焊层，并在所述第二阻焊层形成第二开口部；以及第五步，去除所述支撑基板。



1. 一种制造配线基板的方法，包括以下步骤：

第一步，在支撑基板上形成第一阻焊层，所述第一阻焊层具有第一开口部；

第二步，在所述第一开口部形成电极；

第三步，在所述电极上形成绝缘层，并在所述绝缘层形成配线部，所述配线部连接到所述电极上；

第四步，在所述配线部上形成第二阻焊层，所述第二阻焊层具有第二开口部；以及

第五步，去除所述支撑基板。

2. 根据权利要求1所述的制造配线基板的方法，其中，所述支撑基板包括导电材料，并且所述电极通过电解电镀法形成。

3. 根据权利要求1所述的制造配线基板的方法，其中，所述第二步包括下述步骤：通过蚀刻所述支撑基板而形成凹部，并且所述电极是对应于所述凹部而形成的。

4. 根据权利要求1所述的制造配线基板的方法，其中，所述第二步包括下述步骤：在所述第一开口部形成电极高度调节层，并且所述电极是在所述电极高度调节层上形成的。

5. 根据权利要求4所述的制造配线基板的方法，其中，在所述第五步中，将所述电极高度调节层与所述支撑基板一起去除。

6. 根据权利要求4所述的制造配线基板的方法，其中，所述支撑基板和所述高度调节层包括铜或铜合金。

7. 根据权利要求 4 所述的制造配线基板的方法，其中，所述电极高度调节层的厚度等于或大于所述第一阻焊层的厚度。

8. 根据权利要求 7 所述的制造配线基板的方法，其中，所述电极的面积大于所述第一开口部的面积。

9. 根据权利要求 1 所述的制造配线基板的方法，还包括以下步骤：

第六步，在所述第一步之前，将所述支撑基板与单独支撑基板粘贴在一起；

第七步，在所述单独支撑基板形成第三阻焊层，所述第三阻焊层具有第三开口部；

第八步，在所述第三开口部形成单独电极；

第九步，形成单独绝缘层，以覆盖所述单独电极；并在所述单独绝缘层形成单独配线部，所述单独配线部连接到所述单独电极上；

第十步，形成第四阻焊层，以覆盖所述单独配线部，所述第四阻焊层具有第四开口部；以及

第十一步，去除所述单独支撑基板。

10. 一种制造半导体器件的方法，其使用根据权利要求 1 所述的制造配线基板的方法，所述制造半导体器件的方法还包括：

安装步骤，其在所述第四步之后安装半导体芯片，以使所述半导体芯片从所述第二开口部电连接到所述配线部。

11. 根据权利要求 10 所述的制造半导体器件的方法，还包括下述步骤：

在所述第一步之后，蚀刻从所述第一开口部露出的所述支撑基板，并在被蚀刻的所述支撑基板形成外部连接端子。

12. 一种制造半导体器件的方法，其使用根据权利要求 1 所述的制造配线基板的方法，所述制造半导体器件的方法还包括：

安装步骤，其在所述第五步之后安装半导体芯片，以使所述半导体芯片经由所述电极电连接到所述配线部。

13. 根据权利要求 12 所述的制造半导体器件的方法，还包括下述步骤：

在所述第一步之后，蚀刻从所述第一开口部露出的所述支撑基板，并在被蚀刻的所述支撑基板形成半导体芯片连接端子，

其中，所述半导体芯片是安装在所述半导体芯片连接端子上的。

14. 一种制造配线基板的方法，包括以下步骤：

第一步，在支撑基板上形成电镀抗蚀层，所述电镀抗蚀层具有开口部；

第二步，在所述开口部形成电极，并去除所述电镀抗蚀层；

第三步，在所述电极上形成绝缘层，并在所述绝缘层形成配线部，所述配线部连接到所述电极上；

第四步，在所述配线部上形成第一阻焊层，所述第一阻焊层具有第一开口部；

第五步，去除所述支撑基板；以及

第六步，在所述绝缘层上形成第二阻焊层，所述第二阻焊层具有第二开口部。

配线基板的制造方法及半导体器件的制造方法

技术领域

本发明涉及配线基板的制造方法和半导体器件的制造方法，该配线基板形成在支撑基板上，该半导体器件通过在该配线基板上安装半导体芯片而构成。

背景技术

近年来，伴随着半导体器件的高速化和高度集成化，促进了半导体芯片的高密度化和薄型化，并且对于与半导体芯片连接的配线基板，同样也要求高密度化/薄型化。

为了应对配线基板的配线的高密度化及其薄型化，近年来，由通过所谓的增层法形成配线基板的方法成为主流的方法。当通过增层法形成多层配线基板时，以如下方式形成多层配线基板。

首先，在具有适当刚性的支撑基板（芯板）上，形成由绝缘树脂层构成的增层（build up layer），并在该增层形成导通孔，此后，通过电镀法在该导通孔形成导通塞，并形成连接到该导通塞的图案配线。此后，通过重复以上步骤，可以通过增层法形成多层配线基板。

由于增层（绝缘树脂层）是由例如热固性环氧树脂等的软材料构成的，因此，为了保持该增层的平面度，采用在具有适当刚性的支撑基板上形成增层的方法（例如，参见日本专利文献JP-A-2002-198462）。

然而，要求进一步使得通过增层法形成的配线基板薄型化，因此，已经提出了具有去除支撑基板的结构或所谓的无芯结构的配线基板。

然而，当配线基板由无芯结构构成时，该配线基板的刚性会减小。因此，产生了这样的问题，即：在去除支撑基板或使配线基板脱离支撑基板之后，当进行下述步骤，即，在配线基板上层压必要层并

加工该配线基板时，会变得困难。对以上步骤的实例说明如下。

举例来说，增层的吸水性能较高，在使其表面露出的状态下，会存在对经过长时间的绝缘可靠性的担心，所以优选用阻焊层等保护层覆盖该表面。然而，根据现有技术的增层法，当形成阻焊层时，该阻焊层对恰好在支撑基板的上方形成的增层的表面进行覆盖，有必要去除支撑基板或使增层脱离支撑基板。

在这种情况下，在去除支撑基板而使得刚性减小的加工过程中，有必要对配线基板进行搬运，但会产生这样的问题，即：对损伤配线基板的担心增加。此外，在去除支撑基板之后，当在增层形成阻焊层时，会出现刚性不足，因此，存在这样的情况，即在配线基板的平面度方面产生问题。

因此，存在这样的情况，即难以很好地保持阻焊层的加工精度。特别是当形成与近年来的经过高密度化/高度集成化的高性能半导体芯片对应的配线基板时，阻焊层的加工精度的问题会变得显著。

发明内容

下面的公开内容说明了新型和有用的、解决上述问题的配线基板的形成方法。

本公开内容说明了配线基板的制造方法和半导体器件的制造方法，该半导体器件通过在配线基板上安装半导体芯片而构成。

根据本发明的第一方面，提供一种制造配线基板的方法，该方法包括以下步骤：第一步，在支撑基板上形成第一阻焊层，该第一阻焊层具有第一开口部；第二步，在该第一开口部形成电极；第三步，在该电极上形成绝缘层，并在该绝缘层中形成配线部，该配线部连接到该电极；第四步，在配线部上形成第二阻焊层，该第二阻焊层具有第二开口部；以及第五步，去除支撑基板。

根据制造配线基板的方法，可以提供配线基板的制造方法，该配线基板能够构成为薄型，并且能够应对高密度配线。

此外，当支撑基板由导电材料构成且通过电解电镀法形成电极时，可以通过简易方法并以优良的加工精度形成该电极。

此外，当第二步包括通过蚀刻支撑基板而形成凹部的步骤，并且以与该凹部相对应而形成电极时，该电极可以由从第一阻焊层凸出的结构构成。

此外，当第二步包括在第一开口部形成电极高度调节层的步骤，并且在该电极高度调节层上形成电极时，该电极可以由从第一阻焊层凹进的结构构成。

此外，当在第五步中，将电极高度调节层连同支撑基板一起去除时，去除该电极高度调节层的步骤变得简单，这是优选的。

此外，支撑基板和高度调节层包括铜或铜合金时，可以用相同的蚀刻溶液去除该支撑基板和该高度调节层。

此外，当电极高度调节层的厚度等于或大于第一阻焊层的厚度时，电极可以由嵌入绝缘层中的结构构成。

此外，当电极的面积大于第一开口部的面积时，提高了该电极的强度。

此外，当提供制造配线基板的方法时，该方法还包括以下步骤：第六步，在第一步之前，将该支撑基板与单独支撑基板粘贴在一起；第七步，在该单独支撑基板形成第三阻焊层，该第三阻焊层具有第三开口部；第八步，在该第三开口部形成单独电极；第九步，形成单独绝缘层，以覆盖该单独电极，并在该单独绝缘层中形成单独配线部，该单独配线部连接到该单独电极；第十步，形成第四阻焊层，以覆盖该单独配线部，该第四阻焊层具有第四开口部；以及第十一步，去除该单独支撑基板。

此外，根据本发明的第二方面，提供一种制造半导体器件的方法，其使用上述制造配线基板的方法，该方法还包括安装步骤，其在第四步之后安装半导体芯片，以使半导体芯片从第二开口部电连接到配线部。

根据制造半导体器件的方法，可以提供半导体器件的制造方法，该半导体器件能够构成为薄型，并且能够应对高密度配线。

此外，当该方法还包括这样的步骤时：即，在第一步之后，蚀刻从第一开口部露出的支撑基板，并在该蚀刻的支撑基板形成外部连

接端子，可容易地形成连接半导体芯片和待连接物的部分。

此外，根据本发明的第三方面，提供一种制造半导体器件的方法，其使用上述制造配线基板的方法，该方法还包括安装步骤，其在第五步之后安装半导体芯片，以使半导体芯片经由电极电连接到配线部。

根据制造半导体器件的方法，可以提供半导体器件的制造方法，该半导体器件能够构成为薄型，并且能够应对高密度配线。

此外，当该方法还包括这样的步骤：即，在第一步之后，蚀刻从第一开口部露出的支撑基板，并在该蚀刻的支撑基板形成半导体芯片连接端子，在该半导体芯片连接端子上安装半导体芯片时，可容易地安装该半导体芯片。

一个或更多下列优点可以存在于某些实施方案中。举例来说，可以提供配线基板的制造方法和半导体器件的制造方法，该配线基板能够构成为薄型，并且能够应对高密度配线，该半导体器件通过在配线基板上安装半导体芯片而构成。

此外，可以提供由无芯结构构成、其两侧由阻焊层覆盖并通过增层法形成的配线基板。

此外，可以形成由无芯结构构成并经过薄型化的配线基板。此外，在第一抗蚀层的平面度是优良的状态下，形成第一开口部，因此，第一开口部的加工精度变得优良。因此，可以制造配线基板和半导体器件，该配线基板能够应对高密度配线，该半导体器件通过在配线基板上安装半导体芯片而构成。

从下列详细的说明书、附图和权利要求书来看，本发明的其它特征和优点是显而易见的。

附图说明

图 1A 为示出根据示范例，即非限制性实施例 1 的配线基板的制造方法的视图（部分 1）。

图 1B 为示出根据示范例，即非限制性实施例 1 的配线基板的制造方法的视图（部分 2）。

图 1C 为示出根据示范例，即非限制性实施例 1 的配线基板的制造方法的视图（部分 3）。

图 1D 为示出根据示范例，即非限制性实施例 1 的配线基板的制造方法的视图（部分 4）。

图 1E 为示出根据示范例，即非限制性实施例 1 的配线基板的制造方法的视图（部分 5）。

图 2A 为示出根据示范例，即非限制性实施例 2 的配线基板的制造方法的视图（部分 1）。

图 2B 为示出根据示范例，即非限制性实施例 2 的配线基板的制造方法的视图（部分 2）。

图 2C 为示出根据示范例，即非限制性实施例 2 的配线基板的制造方法的视图（部分 3）。

图 2D 为示出根据示范例，即非限制性实施例 2 的配线基板的制造方法的视图（部分 4）。

图 2E 为示出根据示范例，即非限制性实施例 2 的配线基板的制造方法的视图（部分 5）。

图 2F 为示出根据示范例，即非限制性实施例 2 的配线基板的制造方法的视图（部分 6）。

图 3A 为示出根据示范例，即非限制性实施例 3 的配线基板的制造方法的视图（部分 1）。

图 3B 为示出根据示范例，即非限制性实施例 3 的配线基板的制造方法的视图（部分 2）。

图 3C 为示出根据示范例，即非限制性实施例 3 的配线基板的制造方法的视图（部分 3）。

图 3D 为示出根据示范例，即非限制性实施例 3 的配线基板的制造方法的视图（部分 4）。

图 3E 为示出根据示范例，即非限制性实施例 3 的配线基板的制造方法的视图（部分 5）。

图 3F 为示出根据示范例，即非限制性实施例 3 的配线基板的制造方法的视图（部分 6）。

图 4A 为示出根据示范例，即非限制性实施例 4 的配线基板的制造方法的视图（部分 1）。

图 4B 为示出根据示范例，即非限制性实施例 4 的配线基板的制造方法的视图（部分 2）。

图 4C 为示出根据示范例，即非限制性实施例 4 的配线基板的制造方法的视图（部分 3）。

图 4D 为示出根据示范例，即非限制性实施例 4 的配线基板的制造方法的视图（部分 4）。

图 4E 为示出根据示范例，即非限制性实施例 4 的配线基板的制造方法的视图（部分 5）。

图 4F 为示出根据示范例，即非限制性实施例 4 的配线基板的制造方法的视图（部分 6）。

图 5 为示出根据示范例，即非限制性实施例 5 的配线基板的制造方法的视图。

图 6A 为示出根据示范例，即非限制性实施例 6 的半导体器件的制造方法的视图（部分 1）。

图 6B 为示出根据示范例，即非限制性实施例 6 的半导体器件的制造方法的视图（部分 2）。

图 6C 为示出根据示范例，即非限制性实施例 6 的半导体器件的制造方法的视图（部分 3）。

图 6D 为示出根据示范例，即非限制性实施例 6 的半导体器件的制造方法的视图（部分 4）。

图 6E 为示出根据示范例，即非限制性实施例 6 的半导体器件的制造方法的视图（部分 5）。

图 6F 为示出根据示范例，即非限制性实施例 6 的半导体器件的制造方法的视图（部分 6）。

图 7 为示出根据示范例，即非限制性实施例 7 的配线基板的制造方法的视图。

图 8A 为示出根据示范例，即非限制性实施例 8 的半导体器件的制造方法的视图（部分 1）。

图 8B 为示出根据示范例，即非限制性实施例 8 的半导体器件的制造方法的视图（部分 2）。

图 9A 为示出根据示范例，即非限制性实施例 9 的半导体器件的制造方法的视图（部分 1）。

图 9B 为示出根据示范例，即非限制性实施例 9 的半导体器件的制造方法的视图（部分 2）。

图 9C 为示出根据示范例，即非限制性实施例 9 的半导体器件的制造方法的视图（部分 3）。

图 9D 为示出根据示范例，即非限制性实施例 9 的半导体器件的制造方法的视图（部分 4）。

图 9E 为示出根据示范例，即非限制性实施例 9 的半导体器件的制造方法的视图（部分 5）。

图 9F 为示出根据示范例，即非限制性实施例 9 的半导体器件的制造方法的视图（部分 6）。

图 10A 为示出根据示范例，即非限制性实施例 10 的半导体器件的制造方法的视图（部分 1）。

图 10B 为示出根据示范例，即非限制性实施例 10 的半导体器件的制造方法的视图（部分 2）。

图 10C 为示出根据示范例，即非限制性实施例 10 的半导体器件的制造方法的视图（部分 3）。

图 10D 为示出根据示范例，即非限制性实施例 10 的半导体器件的制造方法的视图（部分 4）。

图 10E 为示出根据示范例，即非限制性实施例 10 的半导体器件的制造方法的视图（部分 5）。

图 10F 为示出根据示范例，即非限制性实施例 10 的半导体器件的制造方法的视图（部分 6）。

图 11A 为示出根据示范例，即非限制性实施例 11 的配线基板的制造方法的视图（部分 1）。

图 11B 为示出根据示范例，即非限制性实施例 11 的配线基板的制造方法的视图（部分 2）。

图 11C 为示出根据示范例，即非限制性实施例 11 的配线基板的制造方法的视图（部分 3）。

图 11D 为示出根据示范例，即非限制性实施例 11 的配线基板的制造方法的视图（部分 4）。

图 11E 为示出根据示范例，即非限制性实施例 11 的配线基板的制造方法的视图（部分 5）。

图 11F 为示出根据示范例，即非限制性实施例 11 的配线基板的制造方法的视图（部分 6）。

具体实施方式

接下来，将参照附图对本发明的实施例进行说明。

[示范例，即非限制性实施例 1]

图 1A 到 1E 为按照其工艺规程，示出根据本发明的示范例，即非限制性实施例 1 的配线基板的制造方法的视图。

首先，在图 1A 中示出的步骤，通过例如丝网印刷法，在支撑基板 101 上形成阻焊层 102，该支撑基板包括，例如，铜等导电材料，该阻焊层包括感光树脂材料。在这种情况下，也可以通过层压或涂敷例如膜状抗蚀材料的方法来形成阻焊层 102。

接下来，经由掩模图案（未示出）将紫外线照射到阻焊层 102 上，通过使该阻焊层 102 曝光，以制作配线图案，从而形成开口部 102A。这就产生了这样的状态，即：使支撑基板 101 从开口部 102A 露出。

接下来，在图 1B 中示出的步骤，通过利用支撑基板 101 构成导电通路的电解电镀，在支撑基板 101 上，以嵌入开口部 102A 的方式形成由例如金/镍构成的电极 103。此外，由金/镍构成的电极是指这样的电极，即：该电极通过层压金层和镍层而构成，并且这样形成，即：当完成配线基板时，使金布置在表面侧（连接面）（与以下相同）。在这种情况下，当支撑基板 101 由导电材料构成时，可以通过电解电镀形成电极 103，并且当支撑基板 101 由铜等具有低电阻的导电材料

构成时，会更为优选。

接下来，在图 1C 中示出的步骤，在阻焊层 102 和电极 103 上形成绝缘层（增层）104，该绝缘层由例如热固性环氧树脂构成。接下来，通过例如激光器在绝缘层 104 上形成导通孔。

接下来，在导通孔中形成导通塞 105，并通过例如半添加法在绝缘层 104 上形成图案配线 106，该图案配线连接到导通塞 105。在这种情况下，优选通过化学电镀在绝缘层 104 上形成种晶层（seed layer），此后，通过电解电镀在图案配线 106 上形成导通塞 105。这样，形成了由导通塞 105 和图案配线 106 构成的配线层。

接下来，在图 1D 中示出的步骤，通过例如丝网印刷法在绝缘层 104 上形成阻焊层 107，以覆盖图案配线 106。接下来，经由掩模图案（未示出）将紫外线照射到阻焊层 107 上，通过使该阻焊层 107 曝光，以制作配线图案，从而形成开口部 107A。这就产生了这样的状态，即：使图案配线 106 的一部分从开口部 107A 露出。

接下来，在图 1E 中示出的步骤中，通过例如湿法蚀刻去除支撑基板 101，以形成配线基板 100。

在基板 100 中，电极 103 布置在连接到例如母板等外部连接装置的一侧（所谓的焊盘侧（land side）），并且从开口部 107A 露出的图案配线 106 与例如半导体芯片连接。在这种情况下，电极 103 可以形成有例如焊球等。此外，从开口部 107A 露出的图案配线 106 可以形成有例如由金/镍构成的电极、或焊球、或用于回流的焊料层等。

根据本实施例，其一个特性在于，在形成绝缘层 104 之前，在支撑基板上形成阻焊层 102。因此，通过增层法，可以形成由无芯结构构成、且其两侧由阻焊层覆盖的配线基板。

在这种情况下，达到了这样的效果，即：能够用阻焊层保护绝缘层 104 的两侧，能够减小作用于绝缘层 104 的两侧的应力之间的差异，并且能够抑制配线基板发生翘曲。

此外，在本实施例的情况下，在用支撑基板 101 支撑阻焊层 107 的状态下，形成开口部 107A，因此，当形成开口部 107A 时，阻焊层

107 的平面度是优良的。因此，开口部 107A 的加工精度优良，并且可以以精细形状和精细间距形成开口部 107A。

在近年的半导体芯片中，高度集成化/高密度配线化取得进展，并且在连接半导体芯片和配线基板的部分上，精细间距化和高密度配线化也取得进展，因此，特别要求定位开口部 107A 的精度和开口部 107A 的形狀的加工精度。根据本实施例的配线基板的制造方法，可以形成符合要求和符合精细间距化/高密度配线化的配线基板。

此外，根据本实施例的配线基板的制造方法，与高密度配线相对应，通过去除支撑基板以实现所谓的无芯结构，并且，实现配线基板的薄型化。

此外，根据本实施例的配线基板，电极 103 布置在连接母板等外部装置的一侧（所谓的焊盘侧）。因此，开口部 102A 的面积（开口直径）大于开口部 107A 的面积（开口直径）。举例来说，在开口直径之间存在较大差异，这样，与半导体芯片连接的开口部 107A 的开口直径大约为 $80\mu\text{m}$ 到 $100\mu\text{m}$ ，与母板等连接的开口部 102A 的开口直径大约为 0.5mm 到 1mm。

举例来说，在使用激光的情况下，当形成较大的开口部时，会产生费时的问题。根据本实施例，通过光敏处理进行开口部 102A 的图案形成，这样可以比在使用激光的情况下更迅速地形成开口部。

此外，在形成阻焊层 107 之前，通过重复地执行图 1C 中示出的步骤，可以形成具有多层配线结构的配线基板。

举例来说，环氧丙烯酸类树脂、环氧类树脂或丙烯酸类树脂可以用作构成阻焊层 102、107 的材料。此外，对阻焊层 102、107 进行制作图案的方法并不局限于上述利用曝光/显影的方法。举例来说，可以通过丝网印刷法形成阻焊层，该阻焊层形成（形成图案）有开口部。在这种情况下，不同于感光材料的材料可以用于阻焊层。

此外，尽管根据本实施例，电极 103 和阻焊层 102 的厚度大致相同，但是本发明并不局限于此，而是在必要时，可以对电极 103 进行如下所示的各种修改或变更。

[示范例，即非限制性实施例 2]

图 2A 到 2F 为按照其工艺规程，示出根据本发明的示范例，即非限制性实施例 2 的配线基板的制造方法的视图。顺便提及，在以上说明的附图中的部分给予相同的参考标号，并且省略其说明。此外，可以通过与在示范例，即非限制性实施例 1 的情况下的方法相似的方法，形成未特别说明的部分。

在图 2A 中示出的步骤与在图 1A 中示出的步骤相似，在支撑基板 101 上形成阻焊层 102，并且在阻焊层 102 形成开口部 102A。

接下来，在图 2B 中示出的步骤中，通过蚀刻从开口部 102A 露出的支撑基板 101 形成凹部 101A。

接下来，在图 2C 中示出的步骤，与示范例即非限制性实施例 1 的图 1B 中示出的步骤相似，通过利用支撑基板 101 构成导电通路的电解电镀，形成由例如金/镍构成的电极 103A，该电极嵌入支撑基板 101 的凹部 101A 和开口部 102A 的一部分中。在这种情况下，当支撑基板 101 由导电材料构成时，可以通过电解电镀形成电极 103A，并且当支撑基板 101 由铜等具有低电阻的导电材料构成时，会更为优选。

接下来，在图 2D 到图 2F 中示出的步骤，与示范例即非限制性实施例 1 的图 1C 到图 1E 中示出的步骤相似，形成绝缘层 104、导通塞 105、图案配线 106、阻焊层 107 和开口部 107A，从而通过去除支撑基板 101 形成配线基板 100A。在本实施例的情况下，除了在凹部 101A 形成电极 103A 之外，可以与示范例即非限制性实施例 1 相似，以形成配线基板，并且达到与在示范例即非限制性实施例 1 的情况下的效果相似的效果。

根据本实施例的布线基板 101A，电极 103A 由从阻焊层 102 凸出的结构构成。因此，当用焊球连接电极 103A 和母板等的连接部分时，该焊球和电极 103A 的接触面积增加，因此，达到了提高电连接可靠性的效果。

[示范例，即非限制性实施例 3]

此外，图 3A 到 3F 为按照其工艺规程，示出根据本发明的示范例，即非限制性实施例 3 的配线基板的制造方法的视图。顺便提及，在以上说明的附图中的部分给予相同的参考标号，并且省略其说明。此外，可以通过与在示范例，即非限制性实施例 1 的情况下的方法相似的方法，形成未特别说明的部分。

首先，在图 3A 中示出的步骤与在图 1A 中示出的步骤相似，在支撑基板 101 上形成阻焊层 102，并且在阻焊层 102 形成开口部 102A。

接下来，在图 3B 中示出的步骤，通过例如电解电镀法在从开口部 102A 露出的支撑基板 101 上形成电极高度调节层 103B。在这种情况下，当支撑基板 101 由导电材料构成时，可以通过电解电镀形成电极高度调节层 103B，并且当支撑基板 101 由铜等具有低电阻的导电材料构成时，会更为优选。

接下来，在图 3C 中示出的步骤，与在示范例即非限制性实施例 1 的图 1B 中示出的步骤相似，通过利用支撑基板 101 构成导电通路的电解电镀，在电极高度调节层 103B 上形成由例如金/镍构成的电极 103C。

接下来，在图 3D 到图 3F 中示出的步骤，与在示范例即非限制性实施例 1 的图 1C 到图 1E 中示出的步骤相似，形成绝缘层 104、导通塞 105、图案配线 106、阻焊层 107 和开口部 107A，并且通过去除支撑基板 101 以形成配线基板 100B。

在本实施例的情况下，在图 3F 中示出的步骤，当通过湿法蚀刻去除支撑基板 101 时，同样地去除了电极高度调节层 103B。因此，优选的是支撑基板 101 和电极高度调节层 103B 由相同的材料例如铜或铜合金构成。

在本实施例的情况下，除了形成电极 103C 的方法之外，可以与示范例即非限制性实施例 1 相似，形成配线基板，并且达到与示范例即非限制性实施例 1 的效果相似的效果。

根据本实施例的配线基板 100B，电极 103C 由这样的结构构成，即其从阻焊层 102 的外侧面凹进。

因此，达到了提高电极 103C 的机械强度的效果。此外，当通过

焊接连接电极 103C 和连接端子等时，达到了这样的效果，即通过使焊料流出以抑制邻近的电极发生短路。此外，当将焊球接合到电极 103C 时，达到了优选地安装该焊球的效果。

此外，可以将使电极从在本实施例中示出的阻焊层凹进的结构修改为如下的示范例，即非限制性实施例 4 中示出的结构。

[示范例，即非限制性实施例 4]

此外，图 4A 到 4F 为按照其工艺规程，示出根据本发明的示范例，即非限制性实施例 4 的配线基板的制造方法的视图。顺便提及，在以上说明的附图中的部分给予相同的参考标号，并且省略其说明。此外，可以通过与在示范例，即非限制性实施例 3 的情况下的方法相似的方法，形成未特别说明的部分。

首先，在图 4A 中示出的步骤与在图 3A 中示出的步骤相似，在支撑基板 101 上形成阻焊层 102，并且在阻焊层 102 形成开口部 102A。

接下来，在图 4B 中示出的步骤，通过例如电解电镀法在从开口部 102A 露出的支撑基板 101 上形成电极高度调节层 103D。尽管在示范例，即非限制性实施例 3 的情况下，举例来说，电极高度调节层 103B 的厚度薄于阻焊层 102 的厚度，但是在本实施例的情况下，电极高度调节层 103D 的厚度变为大致与阻焊层 102 的厚度相同。

接下来，在图 4C 中示出的步骤，与在示范例即非限制性实施例 3 的图 3C 中示出的步骤相似，通过利用支撑基板 101 和电极高度调节层 103D 构成导电通路的电解电镀，在电极高度调节层 103D 上形成由例如金/镍构成的电极 103E。

接下来，在图 4D 到图 4F 中示出的步骤，与在示范例，即非限制性实施例 3 的图 3D 到图 3F 中示出的步骤相似，形成绝缘层 104、导通塞 105、图案配线 106、阻焊层 107 和开口部 107A，以形成配线基板 100C。

在本实施例的情况下，与在示范例，即非限制性实施例 3 的图 3F 中示出的步骤相似，当通过湿法蚀刻去除支撑基板 101 时，同样地去除了电极高度调节层 103D。因此，优选的是支撑基板 101 和电

极高度调节 103D 由相同的材料例如铜构成。

在本实施例的情况下，除了形成电极 103E 的方法之外，可以与在示范例即非限制性实施例 3 相似，形成配线基板，并且达到与在示范例即非限制性实施例 3 的情况下的效果的相似的效果。

根据本实施例的配线基板 100C，电极 103E 由这样的结构构成，即其从阻焊层 102 的外侧面凹进，并且电极 103E 由基本上嵌入绝缘层 104 中的结构构成。也就是说，电极 103E 的侧壁面的全部形成为与绝缘层 104 接触。因此，与在示范例即非限制性实施例 3 的情况下的效果相比较，除了达到在示范例，即非限制性实施例 3 的情况下的效果，还达到了进一步提高电极 103E 的机械强度的效果。

此外，电极 103E 的面积大于开口部 102A 的面积。这是因为，当通过电解电镀形成电极 103E 时，电极 103E 大致呈各向同性生长的缘故，因此，该电极沿横向生长。因此，构成了用阻焊层 102 覆盖电极 103E 的周缘部分的结构，从而达到提高电极 103E 的强度的效果。

此外，尽管根据本实施例，已通过列举以下情况的实例给出了说明，所述情况是：电极高度调节层的厚度大致与阻焊层 102 的厚度相同，但当电极高度调节层的厚度等于或大于阻焊层 102 的厚度时，也可以达到与在上述情况下的效果相似的效果。

[示范例，即非限制性实施例 5]

此外，举例来说，在示范例即非限制性实施例 1 到示范例即非限制性实施例 4 的情况下，可以使用将两块支撑基板 101 粘贴在一起的结构，以在各个支撑基板上形成配线基板，在这种情况下，可以提高形成配线基板的效率。

图 5 为示出根据本发明的示范例，即非限制性实施例 5 的配线基板的制造方法的视图。顺便提及，在以上说明的附图中的部分给予相同的参考标号，并且省略其说明。

图 5 示出了与在示范例，即非限制性实施例 1 的图 1D 中示出的步骤对应的步骤。参照图 5，根据本实施例，支撑基板 101 具有与支撑基板 101a 粘贴在一起的结构。支撑基板 101a 形成有阻焊层 102a、

电极 103a、绝缘层 104a、导通塞 105a、图案配线 106a、阻焊层 107a 和开口部 107b。

阻焊层 102a、电极 103a、绝缘层 104a、导通塞 105a、图案配线 106a、阻焊层 107a 和开口部 107b，分别对应于阻焊层 102、电极 103、绝缘层 104、导通塞 105、图案配线 106、阻焊层 107 和开口部 107A，并且可以与示范例即非限制性实施例 1 的情况相似而形成。

此外，在附图中示出的步骤之后，分离支撑基板 101 和支撑基板 101a，执行与在示范例，即非限制性实施例 1 的图 1E 中示出的步骤对应的步骤，通过湿法蚀刻去除支撑基板 101 和支撑基板 101a，从而可以形成两个配线基板。

显然，可以对在本实施例中说明的结构、材料等进行适当地修改或变更。举例来说，构成电极 103、103A、103C、103E、103a 等材料并不局限于金/镍，例如，可以使用金/镍/铜、金/钯/镍、金/钯/镍/铜、金/钯/镍/钯、金/钯/镍/钯/铜、锡-铅/镍、锡-铅/镍/铜、锡-银/镍、锡-银/镍/铜等。此外，上述材料是从完成配线基板时构成表面（外侧）的金属层依次进行叙述的。

此外，通过在配线基板的周缘部分提供例如加强板，可以构成增强该配线基板的刚性的结构。

[示范例，即非限制性实施例 6]

接下来，按照其工艺规程，参照图 6A 到图 6F 给出对于以下实例的说明，即：通过将半导体芯片安装到上述配线基板，从而制造半导体器件。然而，在以上说明的附图中的部分给予相同的参考标号，并且省略其说明。此外，尽管在下列实例中通过列举以下情况的实例给出了说明，所述情况是：在示范例即非限制性实施例 1 中说明的安装基板上安装半导体芯片，但也可以通过相似的工艺规程，在示范例即非限制性实施例 2 到示范例即非限制性实施例 5 中说明的安装基板上安装半导体芯片，制造半导体器件。

根据本实施例的半导体器件的制造方法，首先，执行在示范例，即非限制性实施例 1 的图 1A 到图 1E 中示出的步骤。

接下来，在图 6A 中示出的步骤，通过例如溅射法、电解电镀法或化学电镀法等，在从阻焊层 107 的开口部 107A 露出的图案配线 106 上形成由金/镍构成的电极 108。

接下来，在图 6B 中示出的步骤，通过芯片倒装法安装形成有半导体芯片连接端子（例如焊球）202 的半导体芯片 201，这样，半导体芯片连接端子 202 和电极 108 为电连接。

接下来，通过在半导体芯片 201 和阻焊层 107 之间充满并固化底层填料 203，保证安装部分的绝缘性和可靠性。

接下来，在图 6C 中示出的步骤，与图 1E 中示出的步骤相似，通过例如湿法蚀刻去除支撑基板 101。

接下来，在图 6D 中示出的步骤，在通过去除支撑基板 101 而露出的电极 103 上，形成外部连接端子（例如焊球）109。此外，在本实施例的情况下，通过列举以下情况的实例给出了说明，所述情况是：制造具有 BGA（球栅阵列）结构的半导体器件，因此，在电极 103 上形成焊球，然而，本发明并不局限于此。

举例来说，根据本实施例，具有 PGA（针栅阵列）结构的半导体器件形成有作为外部连接端子的引脚。此外，通过省去形成外部连接端子，使用配线基板（半导体器件）的电极本身作为外部连接端子，可以构成 LGA（焊盘栅格阵列 Land Grid Array）结构。

接下来，在图 6E 中示出的步骤，通过将基板 104、阻焊层 102、107 切成小块，可以形成在图 6F 中示出的半导体器件 200。在这种情况下，可以通过形成这样的结构，即在基板 104 上安装多个半导体芯片 201，并且在此后切割基板 104（阻焊层 102、107），以将其切成小块从而形成多个半导体器件。此外，根据本实施例，在本实施例中仅示出单块半导体器件。

根据本实施例的半导体器件的制造方法，可以制造这样的半导体器件：即，其可以达到与示范例即非限制性实施例 1 中说明的效果相似的效果，不仅能够薄型化，而且能够应对高密度配线。

[示范例，即非限制性实施例 7]

此外，安装半导体芯片的方法并不局限于示范例，即非限制性实施例 6 中说明的情况。图 7 为示出根据示范例，即非限制性实施例 7 的半导体器件的制造方法的示图。然而，在以上说明的附图中的部分给予相同的参考标号，并且省略其说明。

根据本实施例的半导体器件的制造方法，首先，执行直到示范例即非限制性实施例 6 的图 6A 的步骤。

接下来，在图 7 中示出的步骤（与示范例，即非限制性实施例 6B 的步骤对应），在阻焊层上安装半导体芯片 201A，并且用导线 202A 连接半导体芯片 201A 和电极 108。在这种情况下，可以将由树脂构成的薄膜插入并粘附在半导体芯片 201A 和阻焊层 107 之间。此外，用树脂层 203A 密封半导体芯片 201A。

在图 7 的步骤之后，当进行与在示范例，即非限制性实施例 6 中示出的图 6C 到图 6F 对应的步骤时，可以与示范例即非限制性实施例 6 的情况相似，以制造半导体装置。这样，也可以通过引线接合法安装半导体芯片（与下列实例中相同）。

[示范例，即非限制性实施例 8]

此外，在示范例即非限制性实施例 6 或示范例即非限制性实施例 7 中，可以改变形成外部连接端子（焊球）109 的方法。

图 8A 到图 8B 为示出根据示范例，即非限制性实施例 8 的半导体器件的制造方法的视图。然而，在附图中，以上说明的部分给予相同的参考标号，并且省略其说明。

根据本实施例的半导体芯片的制造方法，首先，进行在示范例即非限制性实施例 1 的图 1A 中示出的步骤。

接下来，在图 8A 中示出的步骤中，通过利用阻焊层 102 构成掩模，对从开口部 102A 露出的支撑基板 101 进行蚀刻，以形成凹部 101H。

接下来，在图 8B 中示出的步骤，利用支撑基板 101 构成导电通路，通过焊料等的电解电镀形成外部连接端子 109，以嵌入凹部 101H。此外，与图 1B 中示出的步骤相似，通过电解电镀在外部连接端子 109

上形成由例如金/镍构成的电极 103。

在下列步骤中，可以进行与示范例即非限制性实施例 7 或示范例即非限制性实施例 8 的步骤相似的步骤。也就是说，可以进行在图 1C 到图 1D 中示出的步骤和在图 6A 到图 6B 中示出的步骤。此外，图 7 的步骤可以代替图 6B 的步骤。在这种情况下，可以免去在图 6D 中示出的形成外部连接端子的步骤。这样，可以改变形成外部连接端子的方法/步骤。

[示范例，即非限制性实施例 9]

此外，尽管根据示范例即非限制性实施例 6 到示范例即非限制性实施例 8，将半导体芯片安装到阻焊层 107 的一侧，但是根据本发明的半导体器件的制造方法并不局限于此。举例来说，如以下说明，可以安装半导体芯片，以使其连接到通过去除支撑基板而露出的电极上。

图 9A 到图 9F 为示出根据示范例，即非限制性实施例 9 的半导体器件的制造方法的视图。然而，以上说明的部分给予相同的参考标号，并且省略其说明。

根据本实施例的半导体芯片的制造方法，首先，进行与在图 1A 到图 1D 中示出的步骤对应的步骤。

接下来，在图 9A 中示出的步骤，通过例如溅射法、电解电镀法或化学电镀法等，在从阻焊层 107 的开口部 107A 露出的图案配线的 106 上，形成由金/镍构成的电极 108F。

此外，在本实施例的情况下，半导体芯片安装在电极 103F 上（与在示范例，即非限制性实施例 6 到 8 的情况下的电极 103 对应），因此，电极 103F 的面积变为小于示范例即非限制性实施例 6 到 8 的电极 103 的面积。此外，在后面的步骤中，在电极 108F（与在示范例，即非限制性实施例 6 到 8 的情况下的电极 108 对应）上形成外部连接端子（例如焊球等），因此，电极 108F 的面积变为大于示范例即非限制性实施例 6 到 8 的电极 108 的面积。除了电极（与电极对应的阻焊层的开口部）的形状之外，直到此步骤的步骤与在示范例即非限制

性实施例 6 到 8 的情况下的步骤相似。

接下来，在图 9B 中示出的步骤，与在图 1E 中示出的步骤相似，通过蚀刻去除支撑基板 101。这里，电极 103F 露出。

接下来，在图 9C 中示出的步骤，通过芯片倒装法安装形成有半导体芯片连接端子（例如焊球）202F 的半导体芯片 201F，这样，半导体芯片连接端子 202F 和电极 103F 为电连接。经由电极 103F 将半导体芯片 201F 电连接到图案配线 106。也就是说，在本实施例的情况下，将半导体芯片安装到通过去除基片 101 而露出的电极 103F 的一侧。

接下来，通过在半导体芯片 201F 和阻焊层 102 之间充满并固化底层填料 203F，保证安装部分的绝缘性和可靠性。

接下来，在图 9D 中示出的步骤，在电极 108F 上形成外部连接端子（焊球 109F）。此外，与示范例即非限制性实施例 6 的情况相似，可以省去形成外部连接端子 109F，或可以在电极 108F 上形成引脚作为外部连接端子。

接下来，可以通过在图 9E 中示出的步骤，将基板 104、阻焊层 102、107 切成小块，从而形成图 9F 中示出的半导体器件 200A。

根据本实施例的半导体器件的制造方法，可以制造这样的半导体器件，即：其达到与在示范例即非限制性实施例 6 中说明的效果相似的效果，不仅能够薄型化，而且能够应对高密度配线。此外，如通过示范例即非限制性实施例 7 所示，可以通过引线接合和树脂密封来安装半导体芯片。

[示范例，即非限制性实施例 10]

此外，在示范例即非限制性实施例 9 中，如以下说明，用于安装半导体芯片的半导体芯片连接端子（例如焊球）可以设在基板的一侧。

图 10A 到图 10F 为示出根据示范例，即非限制性实施例 10 的半导体器件的制造方法的视图。然而，以上说明的附图中的部分给予相同的参考标号，并且省略其说明。

根据本示范例的半导体器件的制造方法，首先，进行与在示范例，即非限制性实施例 1 的图 1A 中示出的步骤对应的步骤。然而，如在示范例即非限制性实施例 9 中的说明，与安装半导体芯片对应，使阻焊层 102 的开口部 102A 小于在示范例即非限制性实施例 1 的情况下的开口部 102A。

接下来，在图 10A 中示出的步骤，通过利用例如阻焊层 102 构成掩模，通过蚀刻从开口部 102A 露出的支撑基板 101 以形成凹部 101h。

接下来，在图 10B 中示出的步骤，通过利用支撑基板 101 构成导电通路的焊料等的电解电镀，形成半导体芯片连接端子（例如焊球）200G，以嵌入凹部 101h。此外，通过电解电镀在半导体芯片连接端子 202G 上形成由例如金/镍构成的电极 103F。

接下来，在图 10C 中示出的步骤，与示范例，即非限制性实施例 1 的图 1C 中示出的步骤相似，形成绝缘层 104、导通塞 105 和图案配线 106。

接下来，在图 10D 中示出的步骤，与示范例即非限制性实施例 1 的图 1D 中的步骤相似，形成具有开口部 107A 的阻焊层 107，该开口部使图案配线 106 的一部分露出。

接下来，与实施例 9 的图 9A 的步骤相似，在从阻焊层 107 的开口部 107A 露出的图案配线 106 上形成由金/镍构成电极 108F。

接下来，在图 10E 中示出的步骤，通过例如湿法蚀刻去除支撑基板 101。这里，焊球 202G 露出。

接下来，在图 10F 中示出的步骤，在露出的半导体芯片连接端子 202G 上安装半导体芯片 201G。在这种情况下，由于半导体芯片连接端子是在基板侧形成的，因此，没有必要在半导体芯片侧形成半导体芯片连接端子。

此外，通过在半导体芯片 201G 和阻焊层 102 之间充满并固化底层填料 203G，保证安装部分的绝缘性和可靠性。

在图 10F 及其后的步骤，可以通过进行与在示范例即非限制性实施例 9 的图 9E 的步骤对应的步骤，形成半导体器件。

这样，也可以在基板侧形成用于连接半导体芯片和基板的半导体芯片连接端子（例如焊球）。

此外，尽管在示范例即非限制性实施例 6 到示范例即非限制性实施例 10 中示出的半导体器件的制造方法中，通过列举以下情况的实例给出了说明，所述情况是：由单层构成配线部，但是本发明并不局限于此。举例来说，显然本发明可适用于制造具有多层配线结构的半导体器件（配线基板）的情况，该多层配线结构通过将配线部层压为多层而形成，该配线部由导通塞 105 和图案配线 106 构成。

在近年的半导体芯片中，在连接半导体芯片和配线基板的部分处，精细间距化和高密度配线化取得了进展。因此，根据本实施例的配线基板的制造方法，可以形成符合精细间距化的半导体芯片连接端子。

[示范例，即非限制性实施例 11]

尽管根据示范例即非限制性实施例 1 到示范例即非限制性实施例 10，在去除支撑基板 101 之前，在支撑基板上形成阻焊层 102，但是根据本发明的形成阻焊层的方法并不局限于此。举例来说，如以下说明，可以在去除支撑基板之后，在绝缘层上形成阻焊层。

图 11A 到 11F 为按照其工艺规程，示出根据本发明的示范例，即非限制性实施例 11 的配线基板的制造方法的视图。顺便提及，在以上说明的附图中的部分给予相同的参考标号，并且省略其说明。此外，可以通过与在示范例即非限制性实施例 1 的情况下的方法相似的方法，形成未特别说明的部分。

图 11A 中示出的步骤与图 1A 和图 1B 中示出的步骤相似，在支撑基板 101 上形成电镀抗蚀层 302，并且在电镀抗蚀层 302 上形成开口部。然后，通过利用支撑基板 101 构成导电通路的电解电镀，在支撑基板 101 上形成由例如金/镍构成的电极 103，以嵌入电镀抗蚀层 302 的开口部中。在这种情况下，当支撑基板 101 由导电材料构成时，可以通过电解电镀形成电极 103，并且当支撑基板 101 由铜等具有低电阻的导电材料构成时，会更为优选。

接下来，在图 11B 中示出的步骤，去除电镀抗蚀层 302，然后，在支撑基板 101 和电极 103 上形成由例如热固性环氧树脂构成的绝缘层（增层）104。

在图 11C 到图 11E 中示出的步骤，与在示范例即非限制性实施例 1 的图 1C 到图 1E 中示出的步骤相似，形成导通塞 105、图案配线 106、阻焊层 107 和开口部 107A，以通过去除支撑基板 101 形成配线基板。在形成阻焊层 107 之前，通过重复地执行图 11C 中示出的步骤，可以形成具有多层配线结构的配线基板。

接下来，在图 11F 中示出的步骤中，与上述实施例的阻焊层 102、107 相似，通过例如曝光/显影或丝网印刷法，在绝缘层 104 上形成第二阻焊层 308 和开口部。

在本实施例的情况下，除了在涂布绝缘层 104 之前，去除电镀抗蚀层 302，并在去除支撑基板 101 之后，在绝缘层 104 上形成第二阻焊层 308 之外，可以与示范例即非限制性实施例 1 相似，形成配线基板，并且达到与在示范例即非限制性实施例 1 的情况下的效果相似的效果。

此外，如实施例 6 到 10 中所示，可以通过将半导体芯片安装到配线基板的方法，制造半导体器件。

尽管已经参考优选实施例给出了对于本发明的说明，但是本发明并不局限于特定实施例，而是在权利要求书的保护范围中说明的要旨之内，可以进行各种修改和变更。

根据前面的设置，在某些实施方案中可以获得以下示出的各种优点。举例来说，可以提供配线基板的制造方法和半导体器件的制造方法，该配线基板能够构成为薄型，并且能够应对高密度配线，该半导体器件通过在配线基板上安装半导体芯片而构成。

本申请基于在 2005 年 5 月 31 日提交的日本专利申请 No. 2005-159993 和在 2006 年 1 月 23 日提交的日本专利申请 No. 2006-014199，并要求该两项申请的外国优先权，其内容在此以引用的方式并入本文。

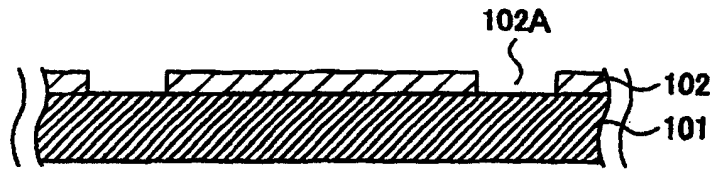


图 1A

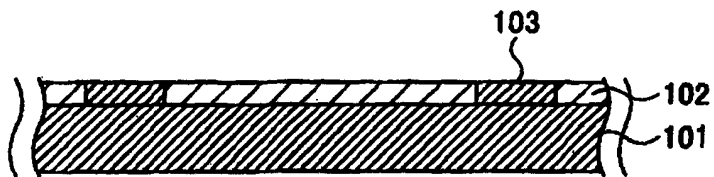


图 1B

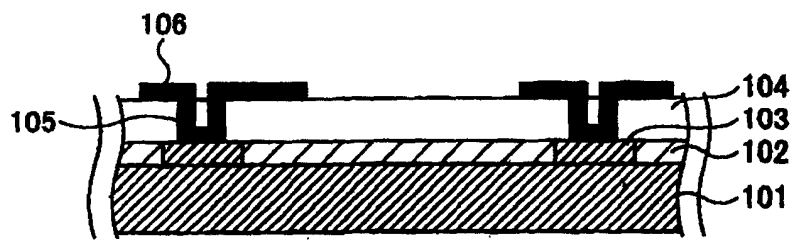


图 1C

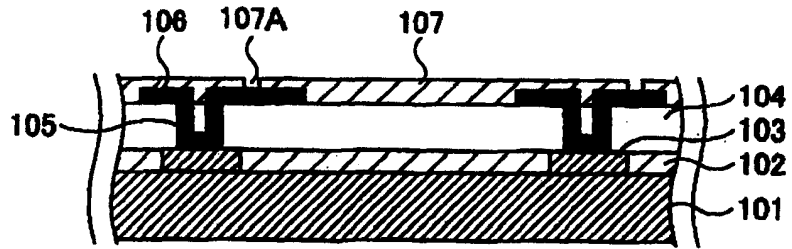


图 1D

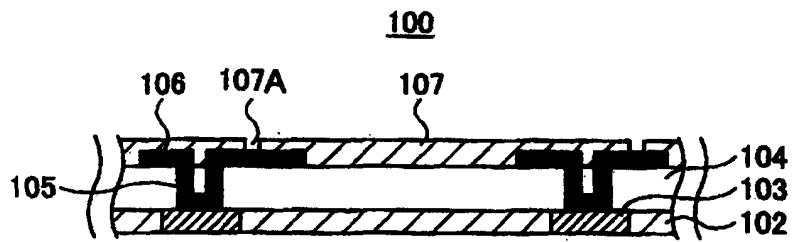


图 1E

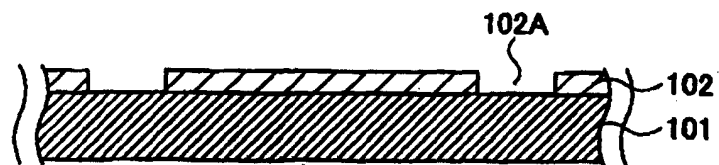


图 2A

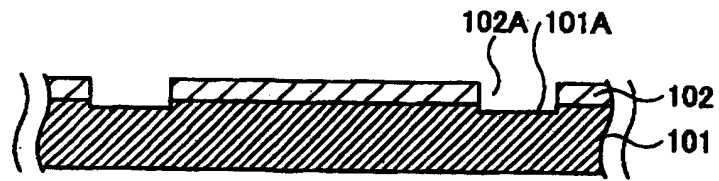


图 2B

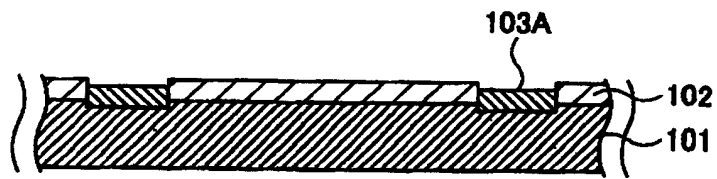


图 2C

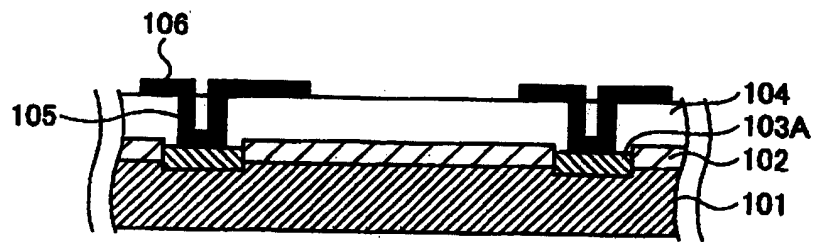


图 2D

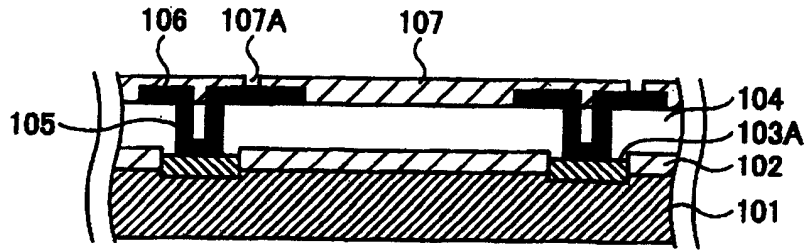


图 2E

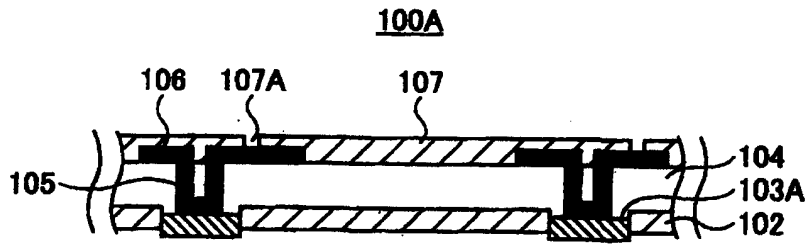


图 2F

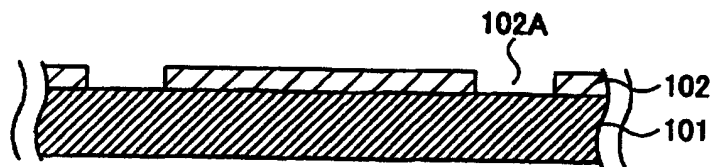


图 3A

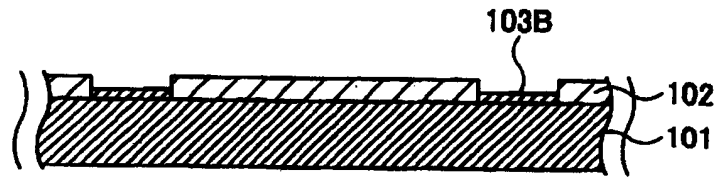


图 3B

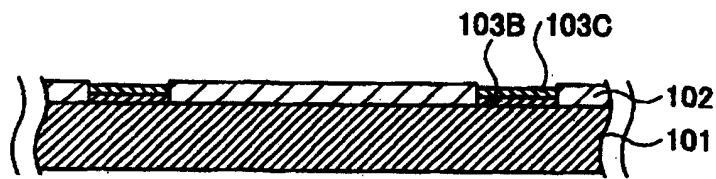


图 3C

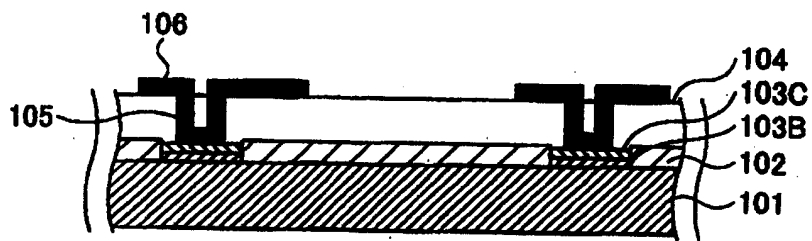


图 3D

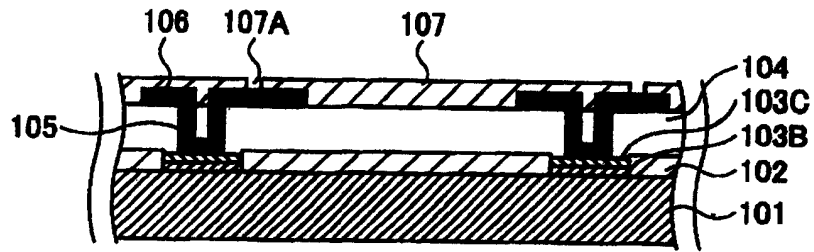


图 3E

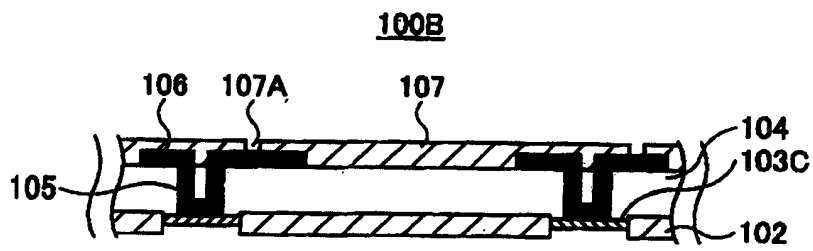


图 3F

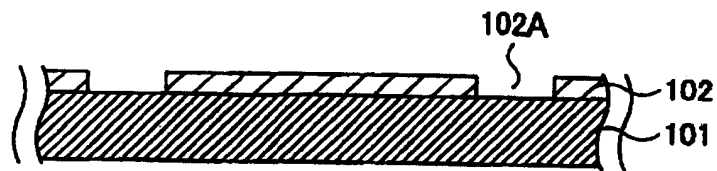


图 4A

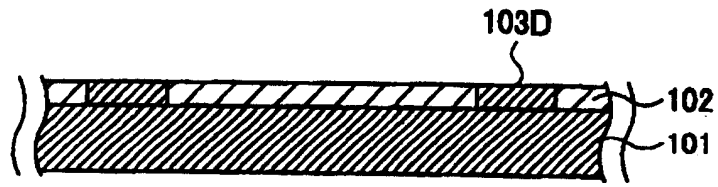


图 4B

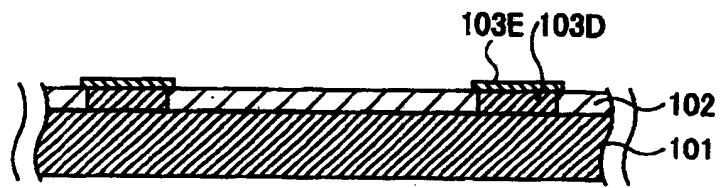


图 4C

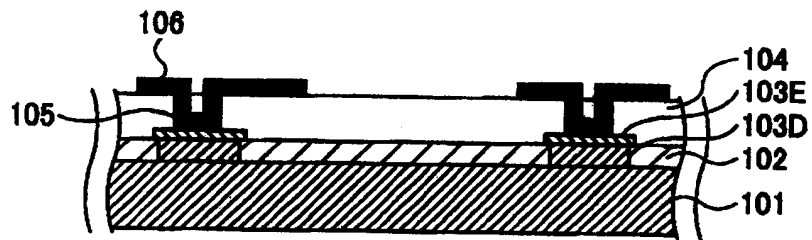


图 4D

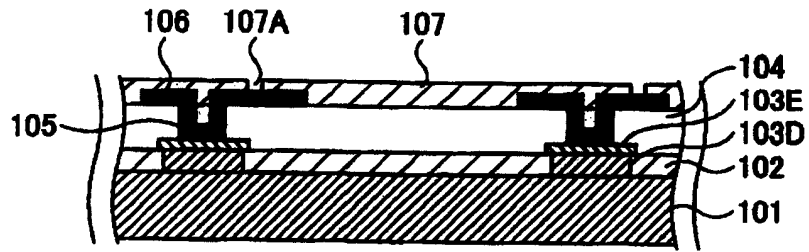


图 4E

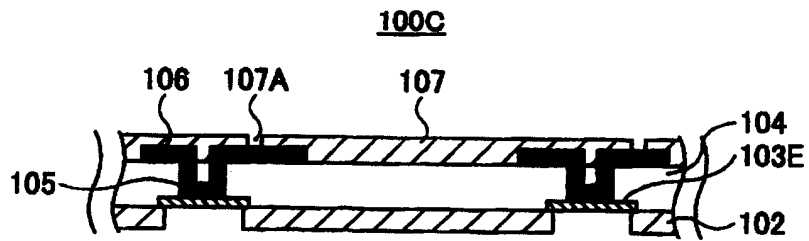


图 4F

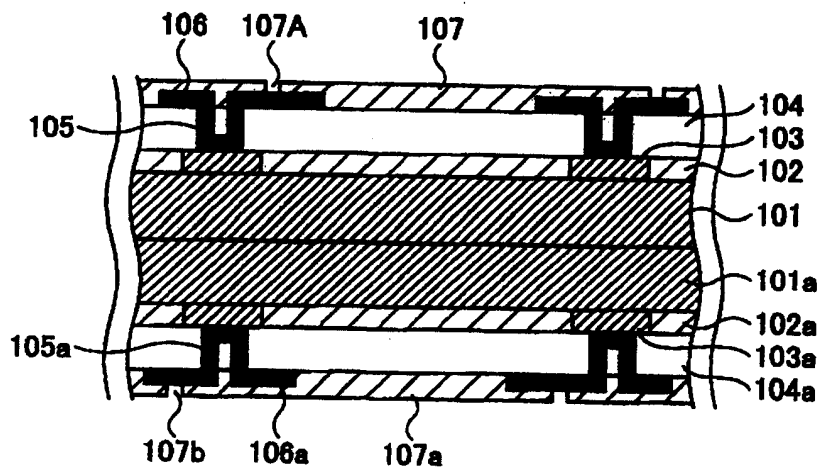


图 5

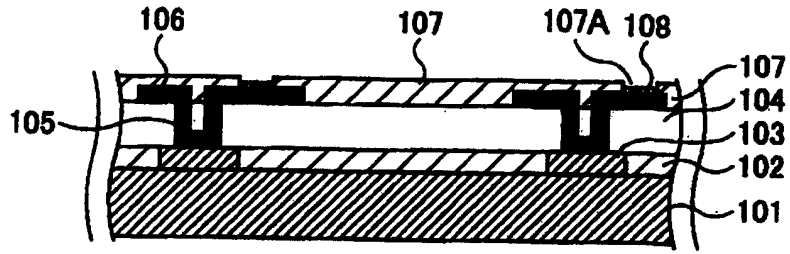


图 6A

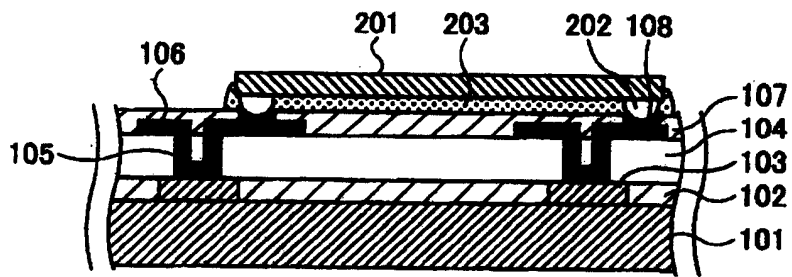


图 6B

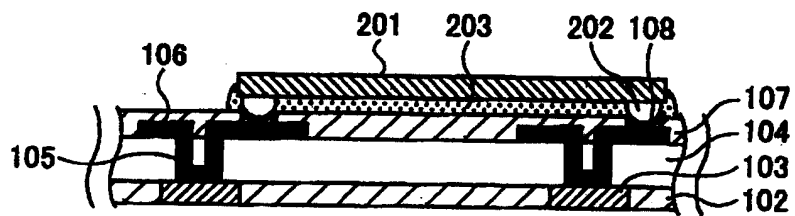


图 6C

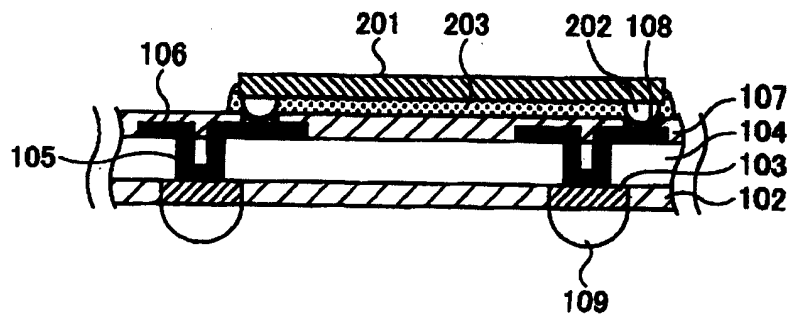


图 6D

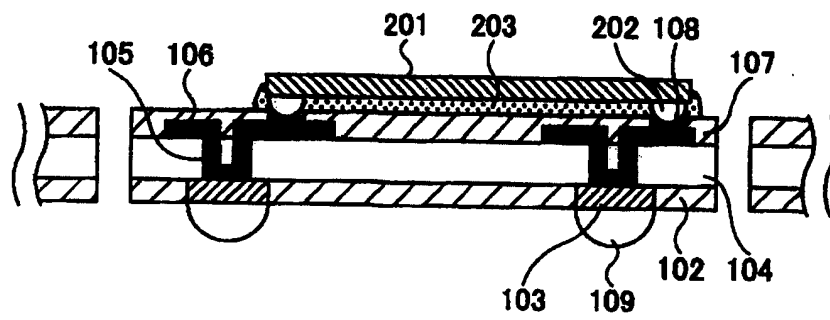


图 6E

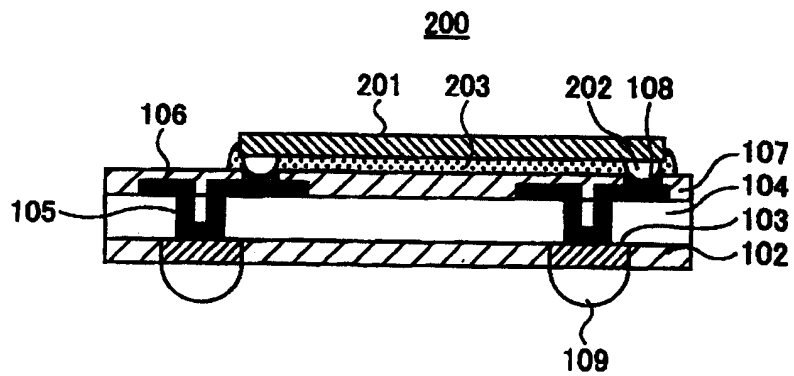


图 6F

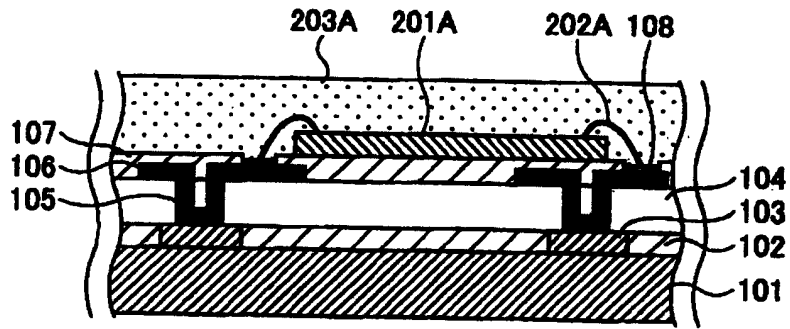


图 7

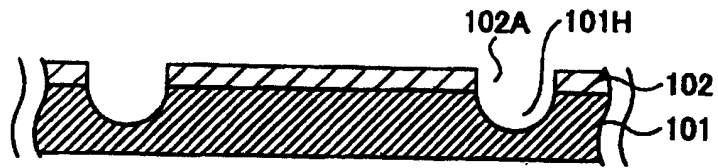


图 8A

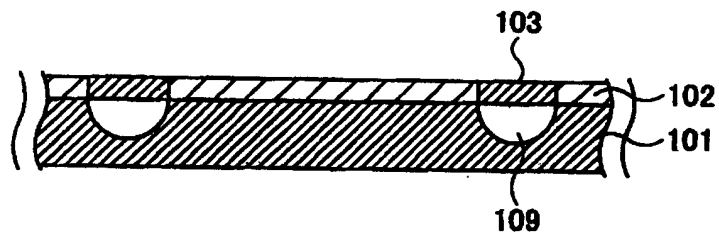


图 8B

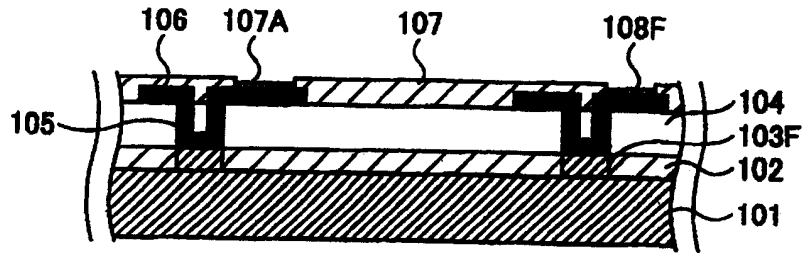


图 9A

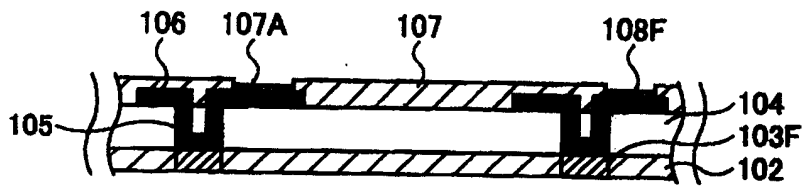


图 9B

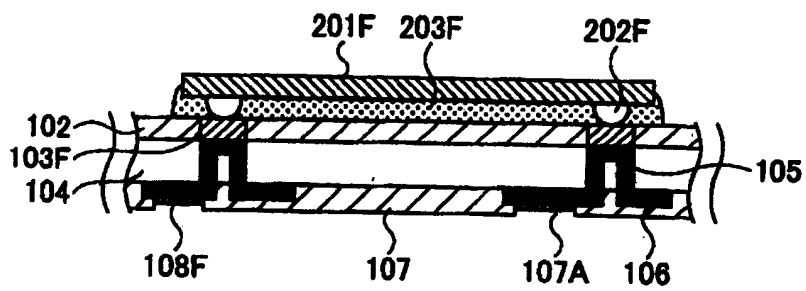


图 9C

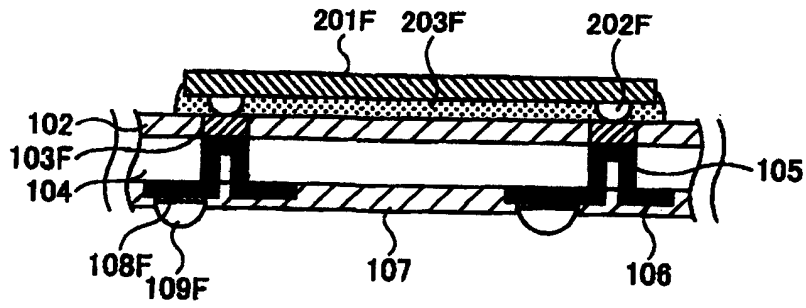


图 9D

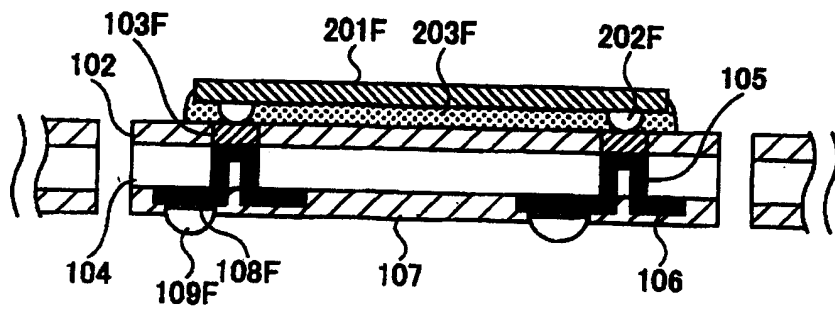


图 9E

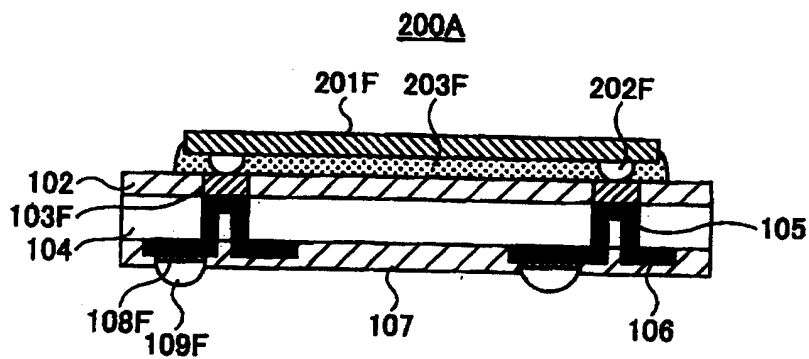


图 9F

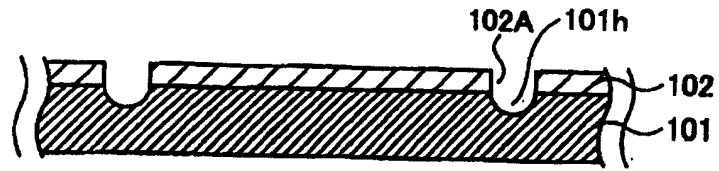


图 10A

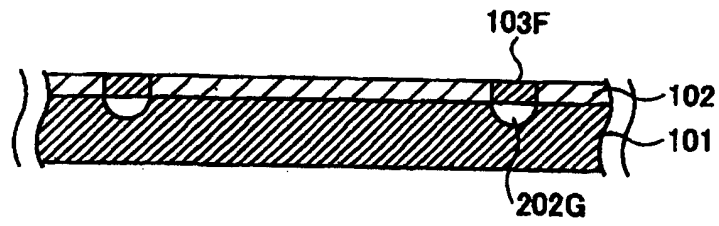


图 10B

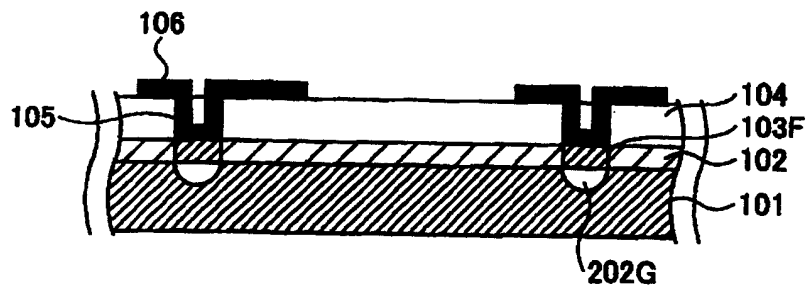


图 10C

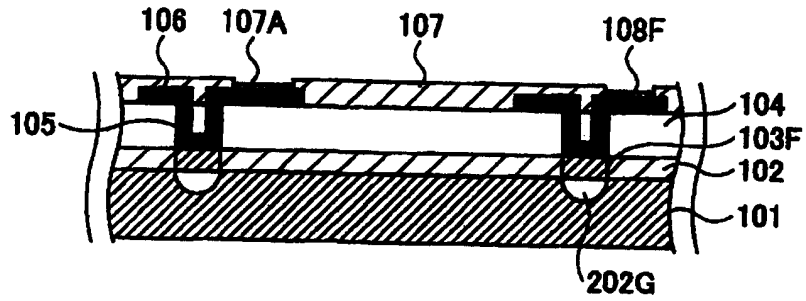


图 10D

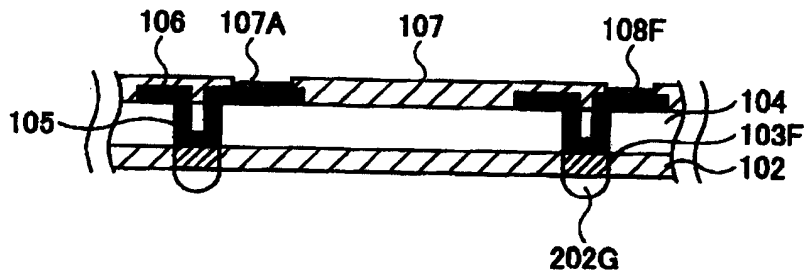


图 10E

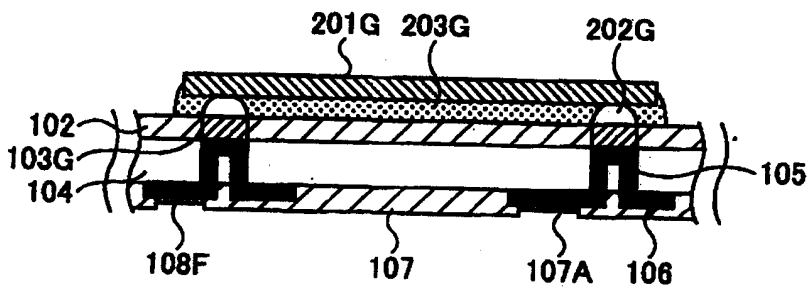


图 10F

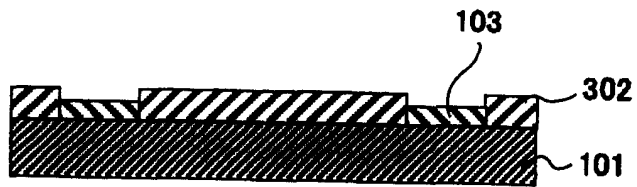


图 11A



图 11B

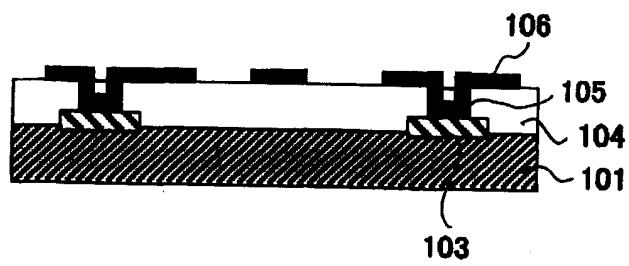


图 11C

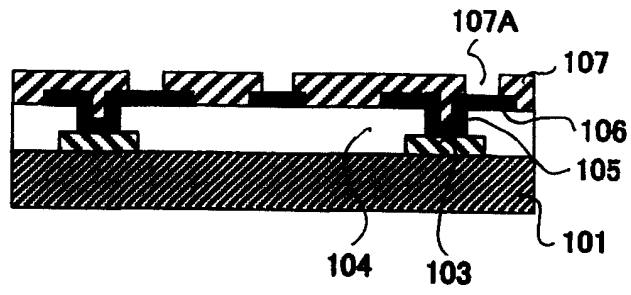


图 11D

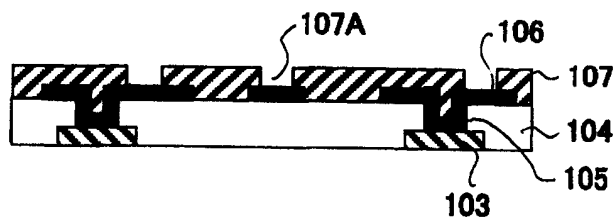


图 11E

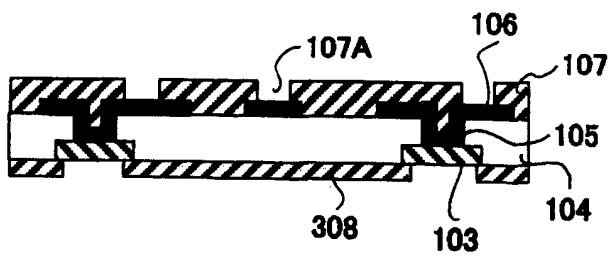


图 11F