



(12) 发明专利

(10) 授权公告号 CN 111788697 B

(45) 授权公告日 2024. 06. 28

(21) 申请号 201980016069.4

长塚修平 国武宽司 塚本阳子

(22) 申请日 2019.02.21

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

(65) 同一申请的已公布的文献号
申请公布号 CN 111788697 A

专利代理师 宋俊寅

(43) 申请公布日 2020.10.16

(51) Int.Cl.

(30) 优先权数据

H01L 29/786 (2006.01)

2018-039854 2018.03.06 JP

G09F 9/30 (2006.01)

2018-075977 2018.04.11 JP

H01L 21/336 (2006.01)

2018-149313 2018.08.08 JP

H01L 21/82 (2006.01)

H01L 21/822 (2006.01)

(85) PCT国际申请进入国家阶段日
2020.08.28

H01L 21/8234 (2006.01)

H01L 27/04 (2006.01)

(86) PCT国际申请的申请数据
PCT/IB2019/051406 2019.02.21

H01L 27/088 (2006.01)

H10B 41/00 (2023.01)

H10B 43/00 (2023.01)

(87) PCT国际申请的公布数据
W02019/171198 JA 2019.09.12

(56) 对比文件

US 2015255139 A1, 2015.09.10

(73) 专利权人 株式会社半导体能源研究所
地址 日本神奈川县

审查员 李宁馨

(72) 发明人 山崎舜平 加藤清 热海知昭

权利要求书2页 说明书49页 附图44页

(54) 发明名称

半导体装置

(57) 摘要

提供一种抑制特性波动、元件劣化、形状异常或导致绝缘击穿的带电现象的半导体装置。一种半导体装置,在同一平面上包括:第一区域;以及第二区域,其中,第一区域包括晶体管,第二区域包括伪晶体管,晶体管包括第一布线层、配置在第一布线层的上方的包含氧化物的半导体层、配置在半导体层的上方的第二布线层及配置在第二布线层的上方的第三布线层,并且,伪晶体管的面积与选自第一布线层、第二布线层、半导体层及第三布线层中之一或多个相同。

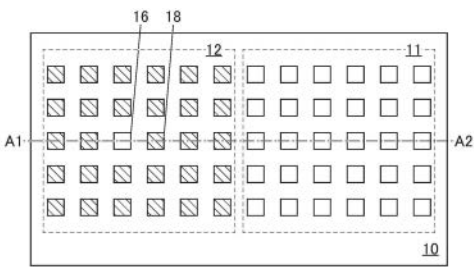


图4A

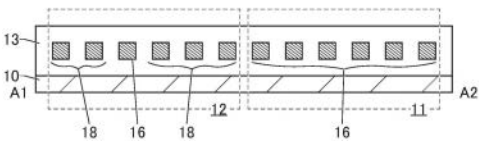


图4B

1. 一种半导体装置,包括:

衬底上的第一晶体管 and 伪晶体管,

其中,所述第一晶体管包括作为第一栅电极的第一导电体、第一氧化物半导体、作为源电极或漏电极的第二导电体、以及作为第二栅电极的第三导电体,

所述伪晶体管包括第二氧化物半导体和第四导电体,

在与所述第一氧化物半导体相同的步骤中形成所述第二氧化物半导体,

在与所述第一导电体、所述第二导电体和所述第三导电体中的一个相同的步骤中形成所述第四导电体,并且

所述伪晶体管不包括在与所述第一导电体、所述第二导电体和所述第三导电体中的另一个相同的步骤中形成的导电体。

2. 根据权利要求1所述的半导体装置,

其中所述第一晶体管 and 所述伪晶体管位于第一区域中,

多个第二晶体管位于第二区域中,并且

所述第一区域中的所述第一晶体管 and 所述伪晶体管的密度等于所述第二区域中的所述多个第二晶体管的密度。

3. 根据权利要求1所述的半导体装置,

其中所述第一氧化物半导体 and 所述第二氧化物半导体中的每一个包含In、Ga和Zn。

4. 一种半导体装置,包括:

衬底上的晶体管 and 伪晶体管,

其中,所述晶体管 and 所述伪晶体管具有不同的结构,

所述晶体管包括作为第一栅电极的第一导电体、第一氧化物半导体、作为源电极或漏电极的第二导电体、以及作为第二栅电极的第三导电体,

所述伪晶体管包括第二氧化物半导体,

在与所述第一氧化物半导体相同的步骤中形成所述第二氧化物半导体,

所述第二导电体与所述第一氧化物半导体 and 所述第二氧化物半导体重叠,并且

所述第二氧化物半导体不与除所述第二导电体以外的任何导电体接触。

5. 根据权利要求4所述的半导体装置,

其中所述第一氧化物半导体 and 所述第二氧化物半导体中的每一个包含In、Ga和Zn。

6. 根据权利要求4所述的半导体装置,

其中所述晶体管与所述伪晶体管相邻。

7. 根据权利要求4所述的半导体装置,

其中所述第二导电体与所述第一氧化物半导体 and 所述第二氧化物半导体接触。

8. 根据权利要求4所述的半导体装置,

其中所述伪晶体管还包括第四导电体,并且

在与所述第一导电体 and 所述第三导电体中的一个相同的步骤中形成所述第四导电体。

9. 一种半导体装置,包括:

衬底上的晶体管 and 伪晶体管,

其中,所述晶体管 and 所述伪晶体管具有不同的结构,

所述晶体管包括作为第一栅电极的第一导电体、第一氧化物半导体、作为源电极或漏

电极的第二导电体、以及作为第二栅电极的第三导电体，

所述伪晶体管包括第二氧化物半导体，

在与所述第一氧化物半导体相同的步骤中形成所述第二氧化物半导体，

所述第二氧化物半导体包含硼或磷，并且

所述伪晶体管不包括在与所述第一导电体、所述第二导电体和所述第三导电体中的一个相同的步骤中形成的导电体。

10. 根据权利要求9所述的半导体装置，

其中所述第一氧化物半导体和所述第二氧化物半导体中的每一个包含In、Ga和Zn。

半导体装置

技术领域

[0001] 本发明的一个方式涉及一种半导体材料及半导体装置。

[0002] 注意,在本说明书等中,半导体装置是指能够通过利用半导体特性而工作的所有装置。除了晶体管等的半导体元件之外,半导体电路、运算装置或存储装置也是半导体装置的一个方式。显示装置(液晶显示装置、发光显示装置等)、投影装置、照明装置、电光装置、蓄电装置、存储装置、半导体电路、成像装置及电子设备等有时包括半导体装置。

[0003] 注意,本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的一个方式涉及一种物体、方法或制造方法。此外,本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。

背景技术

[0004] 作为可以应用于晶体管的半导体薄膜,硅类半导体材料被广泛地周知。此外,作为其他材料,氧化物半导体受到关注。作为氧化物半导体,例如,已知除了如氧化铟、氧化锌等单元金属氧化物之外还有多元金属氧化物。在多元金属氧化物中,有关In-Ga-Zn氧化物(以下也称为IGZO)的研究尤为火热。

[0005] 通过对IGZO的研究,在氧化物半导体中,发现了既不是单晶也不是非晶的CAAC(c-axis aligned crystalline:c轴取向结晶)结构及nc(nanocrystalline:纳米晶)结构(参照非专利文献1至非专利文献3)。非专利文献1及非专利文献2中公开了使用具有CAAC结构的氧化物半导体制造晶体管的技术。非专利文献4及非专利文献5中公开了其结晶性比CAAC结构及nc结构更低的氧化物半导体中也具有微小的结晶。

[0006] 再者,将IGZO用于活性层的晶体管具有极低的关态电流(off-state current)(参照非专利文献6),报告了利用了该特性的LSI及显示器(参照非专利文献7及非专利文献8)。

[0007] [先行技术文献]

[0008] [非专利文献]

[0009] [非专利文献1]S.Yamazaki et al.,“SID Symposium Digest of Technical Papers”,2012,volume 43,issue 1,p.183-186

[0010] [非专利文献2]S.Yamazaki et al.,“Japanese Journal of Applied Physics”,2014,volume 53,Number 4S,p.04ED18-1-04ED18-10

[0011] [非专利文献3]S.Ito et al.,“The Proceedings of AM-FPD’13Digest of Technical Papers”,2013,p.151-154

[0012] [非专利文献4]S.Yamazaki et al.,“ECS Journal of Solid State Science and Technology”,2014,volume 3,issue 9,p.Q3012-Q3022

[0013] [非专利文献5]S.Yamazaki,“ECS Transactions”,2014,volume 64,issue 10,p.155-164

[0014] [非专利文献6]K.Kato et al.,“Japanese Journal of Applied Physics”,2012,volume 51,p.021201-1-021201-7

[0015] [非专利文献7]S.Matsuda et al.,“2015Symposium on VLSI Technology Digest of Technical Papers”,2015,p.T216-T217

[0016] [非专利文献8]S.Amano et al.,“SID Symposium Digest of Technical Papers”,2010,volume 41,issue 1,p.626-629

发明内容

[0017] 发明所要解决的技术问题

[0018] 本发明的一个方式的目的之一是在半导体装置所包括的多个元件中抑制电特性及形状的偏差。另外,本发明的一个方式的目的之一是在半导体装置中抑制特性波动及元件劣化。

[0019] 另外,本发明的一个方式的目的之一是抑制导致绝缘击穿的带电现象。因为栅极绝缘膜等各种绝缘膜的厚度随着微型化而减少,所以异常带电所导致的绝缘击穿是更严重的问题。

[0020] 本发明的一个方式的目的之一是提供一种能够长期保持数据的半导体装置。本发明的一个方式的目的之一是提供一种使用氧化物半导体的晶体管的电特性及可靠性稳定的半导体装置。

[0021] 本发明的一个方式的目的之一是提供一种具有良好的电特性的半导体装置。本发明的一个方式的目的之一是提供一种能够微型化或高集成化的半导体装置。本发明的一个方式的目的之一是提供一种生产率高的半导体装置。本发明的一个方式的目的之一是提供一种设计自由度高的半导体装置。

[0022] 本发明的一个方式的目的之一是提供一种能够抑制功耗的半导体装置。本发明的一个方式的目的之一是提供一种信息写入速度快的半导体装置。本发明的一个方式的目的之一是提供一种新颖的半导体装置。

[0023] 注意,上述目的的记载不妨碍其他目的的存在。此外,本发明的一个方式并不需要达到所有上述目的。此外,上述目的之外的目的是可以从说明书、附图、权利要求书等的记载中自然得知并衍生出来的。

[0024] 解决技术问题的手段

[0025] 一种半导体装置,在同一平面上包括:第一区域;以及第二区域。其中,第一区域包括晶体管,第二区域包括伪晶体管,晶体管包括第一布线层、配置在第一布线层的上方的包含氧化物的半导体层、配置在半导体层的上方的第二布线层及配置在第二布线层的上方的第三布线层,并且,伪晶体管的面积与选自第一布线层、第二布线层、半导体层及第三布线层中之一或多个相同。

[0026] 一种半导体装置,在衬底上包括:第一区域;以及第二区域。其中,第一区域包括多个第一晶体管及伪晶体管,第二区域包括多个第二晶体管,并且,第一区域中的第一晶体管和伪晶体管的总图案密度与第二区域中的第二晶体管的图案密度相等。

[0027] 在上述半导体装置中,第一晶体管和第二晶体管具有相同结构,并且第一晶体管所具有的结构体包含与伪晶体管所具有的结构体相同的材料,并配置在同一层中。

[0028] 在上述半导体装置中,第一晶体管包括第一氧化物及第一导电体,伪晶体管包括第二氧化物,并且第一晶体管和伪晶体管相邻地配置,且第一导电体包括与第一氧化物及

第二氧化物重叠的区域。

[0029] 在上述半导体装置中,第一导电体与第一氧化物及第二氧化物接触。

[0030] 在上述半导体装置中,第一晶体管包括第一氧化物,第一氧化物包括高电阻区域及低电阻区域,伪晶体管包括第二氧化物,并且第二氧化物被低电阻化。

[0031] 在上述半导体装置中,第一氧化物或第二氧化物包含In、元素M(M是Al、Ga、Y或Sn)及Zn。

[0032] 发明效果

[0033] 根据本发明的一个方式,可以提供一种在多个元件中抑制电特性及形状的偏差的半导体装置。根据本发明的一个方式,可以提供一种抑制元件劣化或绝缘击穿的半导体装置。

[0034] 根据本发明的一个方式,可以提供一种使用氧化物半导体的晶体管的电特性及可靠性稳定的半导体装置。根据本发明的一个方式,可以提供一种能够长期保持数据的半导体装置。

[0035] 根据本发明的一个方式,可以提供一种具有良好的电特性的半导体装置。根据本发明的一个方式,可以提供一种能够微型化或高集成化的半导体装置。根据本发明的一个方式,可以提供一种生产率高的半导体装置。根据本发明的一个方式,可以提供一种设计自由度高的半导体装置。

[0036] 根据本发明的一个方式,可以提供一种信息写入速度快的半导体装置。根据本发明的一个方式,可以提供一种能够抑制功耗的半导体装置。根据本发明的一个方式,可以提供一种新颖的半导体装置。

[0037] 注意,上述效果的记载不妨碍其他效果的存在。此外,本发明的一个方式并不需要实现所有上述效果。此外,上述效果之外的效果是可以从说明书、附图、权利要求书等的记载中自然得知并衍生出来的。

[0038] 附图简要说明

[0039] [图1]根据本发明的一个方式的半导体装置的俯视图及截面图。

[0040] [图2]根据本发明的一个方式的半导体装置的俯视图及截面图。

[0041] [图3]根据本发明的一个方式的半导体装置的俯视图及截面图。

[0042] [图4]根据本发明的一个方式的半导体装置的俯视图及截面图。

[0043] [图5]根据本发明的一个方式的半导体装置的俯视图及截面图。

[0044] [图6]根据本发明的一个方式的半导体装置的俯视图及截面图。

[0045] [图7]根据本发明的一个方式的半导体装置的俯视图及截面图。

[0046] [图8]根据本发明的一个方式的半导体装置的截面图。

[0047] [图9]说明根据本发明的一个方式的晶体管的结构实例的图。

[0048] [图10]说明根据本发明的一个方式的晶体管的结构实例的图。

[0049] [图11]说明根据本发明的一个方式的晶体管的结构实例的图。

[0050] [图12]说明根据本发明的一个方式的晶体管的结构实例的图。

[0051] [图13]说明根据本发明的一个方式的晶体管的结构实例的图。

[0052] [图14]说明根据本发明的一个方式的晶体管的结构实例的图。

[0053] [图15]示出根据本发明的一个方式的存储装置的结构实例的框图。

[0054] [图16]示出根据本发明的一个方式的存储装置的结构实例的电路图。

[0055] [图17]根据本发明的一个方式的半导体装置的示意图。

[0056] [图18]根据本发明的一个方式的存储装置的示意图。

[0057] [图19]说明显示装置的一个例子及像素的电路结构实例的图。

[0058] [图20]说明像素的电路结构实例的图。

[0059] [图21]说明驱动电路的结构实例的图。

[0060] [图22]说明显示装置的一个例子的图。

[0061] [图23]说明显示装置的一个例子的图。

[0062] [图24]说明显示模块的一个例子的图。

[0063] [图25]示出根据本发明的一个方式的电子设备的图。

[0064] [图26]说明根据本实施例的半导体装置的结构图。

[0065] [图27]说明根据本实施例的半导体装置的结构及电特性的图。

[0066] [图28]说明根据本实施例的半导体装置的结构及电特性的图。

[0067] [图29]说明根据本实施例的半导体装置的结构及电特性的图。

[0068] [图30]说明根据本实施例的半导体装置的电特性的图。

[0069] 实施发明的方式

[0070] 下面,参照附图对实施方式进行说明。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面的实施方式所记载的内容中。

[0071] 另外,在附图中,为便于清楚地说明有时对大小、层的厚度和/或区域进行夸张的描述。因此,本发明并不局限于附图中的尺寸。此外,在附图中,示意性地示出理想的例子,而不局限于附图所示的形状或数值等。另外,在附图中,在不同的附图之间共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略其重复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加附图标记。

[0072] 在本说明书中,为了方便起见,使用“上”、“下”等表示配置的词句以参照附图说明构成要素的位置关系。另外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书中所说明的词句,根据情况可以适当地换词句。

[0073] 在本说明书等中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极(漏极端子、漏区域或漏电极)与源极(源极端子、源区域或源电极)之间具有沟道将形成于其中的区域,并且电流能够流过漏极、沟道将形成于其中的区域以及源极。注意,在本说明书等中,形成沟道的区域是指电流主要流过的区域。

[0074] 另外,在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下,源极及漏极的功能有时互相调换。因此,在本说明书等中,源极和漏极可以互相调换。

[0075] 另外,在本说明书等中,“电连接”包括隔着“具有某种电作用的物质”连接的情况。这里,“具有某种电作用的元件”只要可以进行连接对象间的电信号的授受,就对其没有特别的限制。例如,“具有某种电作用的元件”不仅包括电极和布线,而且还包括晶体管等的开关元件、电阻元件、电感器、电容器、其他具有各种功能的元件等。

[0076] 注意,在本说明书等中,氮氧化物是指氮含量大于氧含量的化合物。另外,氧氮化

物是指氧含量大于氮含量的化合物。另外,例如可以使用卢瑟福背散射光谱学法(RBS: Rutherford Backscattering Spectrometry)等来测定各元素的含量。

[0077] 在本说明书等中,“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态。因此,也包括该角度为 -5° 以上且 5° 以下的状态。另外,“大致平行”是指两条直线形成的角度为 -30° 以上且 30° 以下的情况。另外,“垂直”是指两条直线的角度为 80° 以上且 100° 以下的状态。因此,也包括该角度为 85° 以上且 95° 以下的状态。“大致垂直”是指两条直线形成的角度为 60° 以上且 120° 以下的状态。

[0078] 注意,在本说明书中,阻挡膜是指具有抑制氢等杂质或氧的透过的功能的膜,在该阻挡膜具有导电性的情况下,有时也将其称为导电阻挡膜。

[0079] 另外,在本说明书等中,晶体管的常开启特性是指在电源不施加电位(0V)时处于导通状态的特性。例如,晶体管的常开启特性有时是指在对晶体管的栅极施加的电压(V_g)为0V的情况下电流(I_d)流过漏极与源极间的电特性。

[0080] 在本说明书等中,氧化物半导体是一种金属氧化物(metal oxide)。金属氧化物是包含金属元素的氧化物。金属氧化物有时根据组成及形成方法呈现绝缘性、半导体性以及导电性。呈现半导体性的金属氧化物被称为金属氧化物半导体或氧化物半导体(Oxide Semiconductor,也可以简称为OS)等。呈现绝缘性的金属氧化物被称为金属氧化物绝缘体或氧化物绝缘体。呈现导电性的金属氧化物被称为金属氧化物导电体或氧化物导电体。换言之,用于晶体管的沟道形成区域中等的金属氧化物可以被称为氧化物半导体。

[0081] (实施方式1)

[0082] 在本实施方式中,参照图1至图8说明本发明的一个方式的包括使用氧化物半导体的元件的半导体装置。

[0083] 作为上述使用氧化物半导体的元件,有开关元件(晶体管等)、电容器、电感元件、存储元件、显示元件(发光元件等)等。

[0084] 此外,氧化物半导体可以使用包含镉的金属氧化物。例如,可以使用In-M-Zn氧化物(元素M是选自铝、镓、铟、铜、钒、铍、硼、钛、铁、镍、钴、锆、钼、镧、铈、钨或镁等中的一种或多种)等金属氧化物。另外,作为氧化物半导体也可以使用In-Ga氧化物、In-Zn氧化物。

[0085] 例如,由于在形成沟道的区域中使用氧化物半导体的晶体管在非导通状态下具有极小的泄漏电流,因此可以提供低功耗的半导体装置。

[0086] 此外,通过使用氧化物半导体,可以层叠各种元件来立体地集成化。也就是说,可以通过溅射法等形成氧化物半导体,由此可以形成不但在衬底的平面上设置有电路而且在垂直方向上也设置有电路的立体集成电路(三维集成电路)。

[0087] 另一方面,使用氧化物半导体的晶体管的电特性因氧化物半导体中的杂质(典型地说,氢、水等)及氧空位而波动,因此该晶体管容易具有常开启特性(该特性是指即便在不对栅电极施加电压的情况下也存在沟道晶体管中有电流流动)。另外,在氧化物半导体包含超过适当值的过剩氧的状态下驱动该晶体管时,有时因过剩的氧原子的化合价变化而使该晶体管的电特性变化导致可靠性降低。

[0088] 由此,用于晶体管的氧化物半导体优选使用不具有杂质、氧空位及超过化学计量组成的氧(下面也称为过剩氧)的高纯度本征的氧化物半导体。

[0089] 然而,在使用氧化物半导体的晶体管中,由于氧化物半导体中的氧被构成晶体管

的导体或者用于与晶体管连接的插头或布线的导体吸收,因此有时在氧化物半导体中产生氧空位。例如,在当形成晶体管时进行加热处理的情况下,有时由于该加热处理而氧化物半导体中的氧被构成晶体管的导体吸收。

[0090] 此外,有时由于形成晶体管时的工艺损伤而使氧化物半导体中形成氧空位。再者,有时由于氧化物半导体中的氧被构成晶体管的导体或者用于与晶体管连接的插头或布线的导体吸收,导致氧化物半导体中产生氧空位。

[0091] 因此,优选在该晶体管的氧化物半导体附近设置包括包含超过化学计量组成的氧的氧化物的结构体。例如,该氧化物优选形成有存在与化学计量组成相比过剩的氧的区域(下面也称为过剩氧区域)。具体而言,可以在位于该晶体管的上下的层间膜等设置过剩氧区域。

[0092] 在采用上述结构时,包括该过剩氧区域的结构体的过剩氧扩散到产生在氧化物半导体的氧空位中,从而可以补偿该氧空位。另一方面,在超过适当值的上述包括过剩氧区域的结构体的过剩氧扩散时,过剩地被供应的氧有时改变氧化物半导体的结构。

[0093] 在此,在半导体装置中,有时将具有不同功能的多个电路配置在同一衬底上。在此,构成电路所需的元件或布线的密度根据所要求的电路结构不同。具体而言,在以存储单元或像素区域等为代表的规律地排列并高集成化了的电路区域与驱动电路或校正电路等根据需要决定布局的电路区域中,元件及布线的配置(下面也称为电路区域中的布局)的疏密有差异。

[0094] 例如,参照图5进行说明。图5A是半导体装置的俯视图。图5B是由图5A的点划线A1-A2表示的部分的截面图。注意,在图5中,为了明确起见,省略部分构成要素。

[0095] 如图5A所示,在衬底10上包括区域12及区域11。区域12包括以低密度配置的元件16。另一方面,区域11包括以高密度配置的多个元件16。注意,图中的元件16是包括氧化物半导体的元件的简化版。

[0096] 此外,如图5B所示,多个元件16附近配置有包括包含超过化学计量组成的氧的氧化物的结构体13。

[0097] 在此,在结构体13均匀地包括过剩氧区域时,配置在区域12中的元件16和配置在区域11的多个元件16中的扩散在一个元件16中的氧量有时不同。例如,在以区域12中的元件16的特性为标准设计结构体13的过剩氧区域时,在区域11的元件16中,过剩氧不够的可能性高。另一方面,在以区域11的元件16的特性为标准设计结构体13的过剩氧区域时,在区域12的元件16中,超过适当值的过剩氧扩散的可能性高。如此,在包括氧化物半导体的元件中存在当以不同密度配置该元件时难以均匀地控制过剩氧区域的问题。

[0098] 为了解决上述问题,可以采用在区域11和区域12中分别形成结构体13的方法。然而,在分开形成结构体13时,因为工序数增加,特别是伴随促进过剩氧的扩散的加热处理的工序增加,所以工艺设计变得复杂。再者,伴随工序数增加形成晶体管时的工艺损伤也增加,由此有时氧化物半导体中产生氧空位。

[0099] 另外,元件的各构成要素可以通过反复使用适用于各构成要素的材料进行成膜并对该膜进行加工成型来制造。

[0100] 例如,可以通过溅射法、化学气相成长(CVD:Chemical Vapor Deposition)法、分子束外延(MBE:Molecular Beam Epitaxy)法、脉冲激光沉积(PLD:Pulsed Laser

Deposition)法或ALD(Atomic Layer Deposition)法等形成上述膜。

[0101] CVD法可以分为利用等离子体的等离子体CVD(PECVD:Plasma Enhanced CVD)法、利用热的热CVD(TCVD:Thermal CVD)法及利用光的光CVD(Photo CVD)法等。再者,CVD法可以根据使用的源气体分为金属CVD(MCVD:Metal CVD)法及有机金属CVD(MOCVD:Metal Organic CVD)法。

[0102] 在利用等离子体CVD法时可以以较低的温度得到高品质的膜。另一方面,半导体装置所包括的布线、电极、元件(晶体管、电容器等)等有时由于在沉积时从等离子体接收电荷而产生带电现象(charging)(也将该变为带电状态称为电荷积聚)。此时,积累的电荷有时造成半导体装置所包括的布线、电极或元件等的损坏。

[0103] 此外,作为对上述膜进行的加工成型的方法,有干蚀刻、湿蚀刻及化学机械抛光(Chemical Mechanical Polishing;也称为CMP)处理等。伴随装置的尺寸缩小,在进行微细加工时通常进行使用等离子体的干蚀刻。另一方面,在干蚀刻中,有时因等离子体而产生电荷积聚。

[0104] 例如,在布线的形成工序中,布线的分开容易使各布线成为电浮动状态。分开后的各布线在后面工序中也产生电荷积聚导致元件的静电破坏(ESD:Electro-Static Discharge)。特别是,在晶体管的各电极带不同电位时,栅极绝缘体被损坏的可能性高。

[0105] 特别是,在垂直方向上设置有电路的立体集成电路(三维集成电路)中,垂直方向上的集成度越高,膜的沉积及对该膜进行的加工成型的工序数越多。也就是说,有电荷积聚导致静电破坏的可能性与膜的沉积及对该膜进行的加工成型的工序数成比例地增大的倾向。

[0106] 另一方面,在上述的沉积工序及上述加工工序中,为了抑制偏差,优选在衬底上均匀地分布有等离子体。当在衬底上均感应同样的等离子体带电时,例如存在如下问题:以高密度配置的元件布局的区域中的元件之一与以低密度配置的元件布局的区域中的元件之一的等离子体带电量彼此不同。

[0107] 具体而言,参照图7进行说明。图7A是半导体装置的俯视图。图7B及图7C是由图7A的点划线A1-A2表示的部分的截面图。注意,在图7中,为了明确起见,省略部分构成要素。

[0108] 如图7A所示,在衬底10上包括区域12及区域11。区域12包括以低密度配置的元件16。另一方面,区域11包括以高密度配置的多个元件16。注意,图中的元件16是使包括氧化物半导体的元件简化而表示的。

[0109] 图7B示意性地示出在衬底10上形成成为构成元件16的结构体的膜15,并使用掩模17通过干蚀刻法对该膜15进行加工的工序。另外,图7C示意性地示出在加工处理后膜15被分开的状态。另外,通过分开膜15,形成多个元件16。

[0110] 如图7B所示,被等离子体19加速的离子通过溅射去除膜15的表面,来选择性地去除膜15的一部分。例如,在膜15是导电膜时,膜15在被暴露于等离子体的期间保持相同电位。

[0111] 接着,如图7C所示,分开膜15来形成多个元件16。在此,如果在衬底上均感应同样的等离子体带电,则在区域11中每个元件16的等离子体带电量比区域12少。也就是说,在配置于区域12的元件16产生电荷积聚,因此导致元件16的静电破坏的可能性增大。

[0112] 再者,在蚀刻工序中产生的电荷积聚有时导致元件的形状异常及微观负载现象

等。例如,图案宽度越窄,在掩模的表面附近产生电荷积聚的可能性越高。当在掩模的表面附近产生电荷积聚时,到达掩模的表面附近的离子的速度根据带电电位而改变,且面内的蚀刻速度产生偏差,因此产生形状异常。

[0113] 尤其是,在对伴随沉积反应的窄小的孔或较细的沟槽进行加工时产生沉积膜,因此加工速度降低。另一方面,在广范围中进行去除时不容易产生沉积膜,加工速度的降低少。也就是说,在电路布局的疏密有大差异时,有产生形状异常的可能性增大的倾向。

[0114] 图8A示出产生微观负载现象时的具体例子。图8A是由图7A的点划线A1-A2表示的部分的截面图。此外,图8A示意性地示出在衬底10上形成成为构成元件16的结构体的膜15,并使用掩模17通过干蚀刻法对该膜15进行加工的工序。

[0115] 由于在区域11中进行伴随沉积反应的较细的沟槽的加工,因此产生沉积膜14,该沉积膜14造成加工速度的降低。另一方面,在区域12中不容易产生沉积膜14,加工速度的降低少。由此,区域11和区域12的元件形状及特性有偏差。

[0116] 于是,在本发明的一个方式中,通过在稀疏的电路区域中以使元件或布线的密度相等的方式设置伪元件(下面也称为牺牲元件),减小电路区域中的布局的疏密差。

[0117] 以扩散到配置于各区域的每个元件的过剩氧量之间不容易产生差异的程度减小电路区域中的布局的疏密或使电路区域中的图案密度相等。通过采用该结构,在多个区域中都可以抑制扩散到各区域所包括的元件的过剩氧量。

[0118] 或者,通过以不容易产生加工异常或静电破坏的程度减小电路区域中的布局的疏密或者使电路区域中的图案密度相等,可以减少元件的等离子体损伤,并抑制静电破坏及形状异常。注意,在本说明书中,某个值和其他值相等的记载不一定表示严格的一致,而表示技术常识的范围内的相同程度、同等或近似值。

[0119] 另外,在本说明书中,图案密度是指任意区域中的所形成的结构体的面积率。例如,在任意区域的整个面中形成导电膜时,图案密度为100%。另一方面,在去除该导电膜的一部分并形成多个导电体的情况下,该导电体的图案密度可以通过以残留的导电体的面积除以任意区域的面积的方式求出。

[0120] 例如,在某个结构体中,虽然整个衬底的平均图案密度为40%,但是有时衬底中的某个区域的图案密度为70%,其他区域的图案密度为10%。因此,图案密度为10%的区域是稀疏的区域,所以可以以图案密度大致为70%的方式形成伪元件。也就是说,在不配置伪元件的情况下,整个衬底的平均图案密度为 d_{ave} %,比 d_{ave} %稠密的区域的图案密度为 d_{high} %,比 d_{ave} %稀疏的区域的图案密度为 d_{low} %。另外,可以通过在图案密度为 d_{low} %的区域设置伪元件使该图案密度为 d_{ave} %以上,优选为 d_{high} %。

[0121] 此外,上述伪元件通过与具有电路功能的元件相同的工序制造。因此,伪元件设置在与具有电路功能的元件相同的层中。构成伪元件的结构体中的至少一个与构成具有电路功能的元件的结构体的材质相同。

[0122] 另外,伪元件也可以采用与具有电路功能的元件相同的构成要素。此外,伪元件至少具有一个与电路功能的元件相同的构成要素即可。因此,构成伪元件的构成要素的数量有时比构成具有电路功能的元件的构成要素的数量少。也就是说,构成电路的元件有时除了构成伪元件的构成要素之外还包括导电体、绝缘体或半导体等。

[0123] 作为具有电路功能的元件,可以使用电容器、电感元件、电阻元件(开关元件、发光

元件、存储元件等)等。

[0124] 例如,参照图4进行说明。图4A是半导体装置的俯视图。图4B是由图4A的点划线A1-A2表示的部分的截面图。注意,在图4中,为了明确起见,省略部分构成要素。

[0125] 如图4A所示,在衬底10上包括区域12及区域11。区域12包括以低密度配置的元件16及多个伪元件18。注意,为了明确起见,对表示伪元件18的多个结构体附加阴影。另一方面,区域11包括以高密度配置的多个元件16。通过在区域12中配置多个伪元件18,可以使区域12的图案密度与区域11的图案密度同等(下面也称为近似值)。

[0126] 此外,如图4B所示,在区域11及区域12均配置包括包含超过化学计量组成的氧的氧化物的结构体13。

[0127] 通过采用该结构,在结构体13均匀地包括过剩氧区域时,配置在区域12中的元件16和配置在区域11的多个元件16中的扩散在一个元件16中的氧量同等。因此,在区域12及区域11中,元件特性的偏差得到抑制,从而可以设置可靠性良好的元件16。

[0128] 此外,通过配置伪元件18,由于形成晶体管的工序中的热履历而有时氧化物半导体中的杂质(典型的是氢、水等)被伪元件18所包括的导电体吸收。也就是说,伪元件18俘获杂质,因此可以抑制杂质扩散到元件16。由此,可以提高元件16的可靠性。

[0129] 再者,对本发明的一个方式参照图6进行说明。图6A是半导体装置的俯视图。图6B及图6C是由图6A的点划线A1-A2表示的部分的截面图。注意,在图6中,为了明确起见,省略部分构成要素。

[0130] 如图6A所示,在衬底10上包括区域12及区域11。区域12包括以低密度配置的元件16及多个伪元件18。注意,为了明确起见,对表示伪元件18的多个结构体附加阴影。另一方面,区域11包括以高密度配置的多个元件16。通过在区域12中配置多个伪元件18,可以使区域12的图案密度与区域11的图案密度同等(下面也称为近似值)。

[0131] 图6B示意性地示出在衬底10上形成成为构成元件16及伪元件18的结构体的膜15,并使用掩模17通过干蚀刻法对该膜15进行加工的工序。此外,图6C示意性地示出膜15通过加工处理被分开的瞬间。另外,通过分开膜15,形成多个元件16及多个伪元件18。

[0132] 如图6B所示,通过利用被等离子体19加速的离子对膜15的表面进行溅射去除,选择性地去除膜15的一部分。

[0133] 接着,如图6C所示,分开膜15来形成多个元件16及多个伪元件18。在此,例如,多个元件16和多个伪元件18具有相同结构,当在衬底上均感应同样的等离子体带电时,区域12和区域11中每个元件16的等离子体带电量相等。也就是说,在区域12中,不仅是元件16,伪元件18中也感应等离子体带电,因此每个元件16的等离子体带电量得到降低。由此,可以减少区域12中的元件16的等离子体损伤并抑制静电破坏。

[0134] 再者,如图8B所示,可以抑制微观负载现象。图8B是由图6A的点划线A1-A2表示的部分的截面图。此外,图8B示意性地示出在衬底10上形成成为构成元件16的结构体的膜15,并使用掩模17通过干蚀刻法对该膜15进行加工的工序。另外,附图中的箭头表示被加速的离子。

[0135] 在区域11及区域12中,进行伴随沉积反应的较细的沟槽的加工,因此产生沉积膜14,但是在区域11及区域12中,以同等的加工速度进行加工,由此可以抑制元件的形状及特性的偏差。

[0136] <半导体装置的结构实例1>

[0137] 下面,参照图1至图3示出半导体装置的具体例子。另外,图1至图3示出相当于图6所示的区域12的区域的一部分。由此,半导体装置除图1至图3所示的区域12外还包括以高密度配置有元件的区域11。通过使区域12除了包括被用作晶体管的晶体管之外还包括伪晶体管,可以使其具有与区域11同等的元件图案密度。

[0138] 具体而言,如图1A、图1B及图1C所示,在半导体装置的区域12中,与以高密度配置有元件的区域11同等的元件密度配置被用作晶体管的晶体管及被用作牺牲元件的晶体管(下面也称为伪晶体管)。

[0139] 此外,图1D是根据本发明的一个方式的晶体管200的示意图的一个例子。注意,在图1D中,为了明确起见,省略部分构成要素。

[0140] [晶体管200]

[0141] 如图1D所示,晶体管200至少包括被用作第一栅极的导电体260、包括形成沟道的区域(下面也称为沟道形成区域)的氧化物230、被用作源极的导电体240s及被用作漏极的导电体240d。

[0142] 此外,晶体管200也可以在氧化物230的下方包括被用作第二栅极的导电体205。例如,通过独立地改变施加到导电体205的电位而不使其与施加到导电体260的电位联动,可以控制晶体管200的阈值电压。尤其是,通过对导电体205施加负电位,可以使晶体管200的阈值电压大于0V来减小关态电流。因此,与不对导电体205施加负电位时相比,在对导电体205施加负电位的情况下,可以减小施加到导电体260的电位为0V时的漏极电流。

[0143] 另外,例如通过将导电体205重叠于导电体260,在对导电体260及导电体205施加相同电位的情况下,从导电体260产生的电场和从导电体205产生的电场连接,可以覆盖形成在氧化物230中的沟道形成区域。就是说,可以由被用作第一栅电极的导电体260的电场和被用作第二栅电极的导电体205的电场电围绕沟道形成区域。在本说明书中,将由第一栅电极的电场和第二栅电极的电场电围绕沟道形成区域的晶体管的结构称为surrounded channel (S-channel:围绕沟道)结构。

[0144] 另外,作为氧化物230可以使用包含铟的金属氧化物。例如,可以使用In-M-Zn氧化物(元素M1为选自铝、镓、铋、铜、钒、铍、硼、钛、铁、镍、锗、钴、钼、镧、钽、钨和镁等中的一种或多种)等金属氧化物。作为氧化物230,也可以使用In-Ga氧化物、In-Zn氧化物。

[0145] 由于将氧化物半导体用于形成沟道的区域的晶体管200的非导通状态下的泄漏电流极小,所以可以提供功耗低的半导体装置。此外,晶体管200可以通过将氧化物半导体用作活性层,来层叠而立体地集成化。

[0146] 在此,当区域12中作为晶体管或伪晶体管以矩阵状配置共计 $n \times m$ 个(n, m 为自然数)晶体管200时,对任意的晶体管200附加坐标,以晶体管200(i, j)表示。

[0147] 另外,区域12至少具有相同于以比区域12高的密度配置有元件的区域(图4及、图6所示的区域11)的元件图案密度即可。由此,为了简化说明,图1至图3示出配置为矩阵状的例子,但是包括伪元件的布局不局限于矩阵状。根据所需要的电路而适当地设计即可。

[0148] 图1A是根据本发明的一个方式的半导体装置的区域12中的下述区域的俯视图,该区域包括配置为矩阵状的 $n \times m$ 个晶体管或伪晶体管中的被用作位于第 i 行第 j 列的晶体管的晶体管200(i, j)和配置在其附近的伪晶体管200($i-1, j$)、伪晶体管200($i+1, j$)、伪晶体

管200(i,j-1)及伪晶体管200(i,j+1)。

[0149] 注意,在附图中,为了方便说明在晶体管200(i,j)的四方配置伪晶体管,但是不局限于本结构。与晶体管200(i,j)相邻的元件中的至少一个为伪晶体管即可。

[0150] 图1B是由图1A的点划线A1-A2表示的部分的截面图。图1C是由图1A的点划线A3-A4表示的部分的截面图。注意,在图1中,为了明确起见,省略部分构成要素。

[0151] 在此,晶体管200(i,j)、伪晶体管200(i-1,j)、伪晶体管200(i+1,j)、伪晶体管200(i,j-1)及伪晶体管200(i,j+1)因在同工序中形成而配置在同一层中。因此,作为伪晶体管200(i-1,j)、伪晶体管200(i+1,j)、伪晶体管200(i,j-1)及伪晶体管200(i,j+1),也可以使用具有与晶体管200(i,j)相同结构的晶体管。

[0152] 另外,如图1D所示,晶体管200(i,j)至少包括被用作第一栅极的导电体260、包括形成沟道的区域(下面也称为沟道形成区域)的氧化物230、被用作源极的导电体240s及被用作漏极的导电体240d。

[0153] 另一方面,伪晶体管200(i-1,j)、伪晶体管200(i+1,j)、伪晶体管200(i,j-1)及伪晶体管200(i,j+1)不一定需要具有与晶体管200(i,j)相同的结构。

[0154] 伪晶体管200(i-1,j)、伪晶体管200(i+1,j)、伪晶体管200(i,j-1)及伪晶体管200(i,j+1)包括由导电体构成的结构体和由半导体构成的结构体中的至少一个。另外,伪晶体管所包括的该导电体是在与晶体管200(i,j)所包括的导电体同一工序中形成的导电体。或者,伪晶体管所包括的该半导体是在与晶体管200(i,j)所包括的导电体同一工序中形成的半导体。

[0155] 例如,如图1所示,伪晶体管200(i-1,j)、伪晶体管200(i+1,j)、伪晶体管200(i,j-1)及伪晶体管200(i,j+1)包括氧化物230、导电体240s及导电体240d。

[0156] 此外,伪晶体管200(i,j-1)及伪晶体管200(i,j+1)还包括导电体260及导电体205。伪晶体管200(i,j-1)及伪晶体管200(i,j+1)所包括的导电体260及导电体205可以通过与晶体管200(i,j)的导电体260及导电体205电连接来具有布线功能。导电体260及导电体205可以通过插头246t及插头246b与外部端子电连接。

[0157] 另外,在晶体管200(i,j)中,导电体240s及导电体240d与插头246s及插头246d电连接。虽然附图中伪晶体管的导电体240s及导电体240d处于浮动状态,但是也可以在连接于晶体管200(i,j)的插头246s及插头246d的同一工序中在导电体240s及导电体240d设置插头,来使导电体240s及导电体240d与外部端子电连接。

[0158] 例如,图1所示的半导体装置包括伪晶体管200(i-1,j)、伪晶体管200(i+1,j)、伪晶体管200(i,j-1)及伪晶体管200(i,j+1)中的各氧化物230、导电体240s及导电体240d,由此可以控制从配置于晶体管200(i,j)附近的包含过剩氧的氧化物(未图示)扩散到晶体管200(i,j)的过剩氧的扩散量。

[0159] 例如,在图1所示的半导体装置中,在形成晶体管200(i,j)的氧化物230或导电体240s及导电体240d的同时形成伪晶体管200(i-1,j)、伪晶体管200(i+1,j)、伪晶体管200(i,j-1)及伪晶体管200(i,j+1)中的各氧化物230、导电体240s及导电体240d,可以抑制加工所导致的形状异常。此外,通过抑制晶体管200(i,j)的氧化物230的电荷积聚,可以防止配置于氧化物230和导电体205之间的绝缘体的静电破坏。

[0160] 此外,虽然未图示,但是也可以在伪晶体管200(i+1,j)及伪晶体管200(i-1,j)设

置导电体260。通过采用该结构,可以控制从配置在晶体管200(i、j)附近的包含过剩氧的氧化物扩散到晶体管200(i、j)的过剩氧的扩散量。

[0161] 此外,在与形成晶体管200(i、j)的导电体260的同一工序中,在伪晶体管200(i+1、j)及伪晶体管200(i-1、j)设置导电体260,由此可以抑制晶体管200(i、j)的导电体260的电荷积聚。因此,可以防止配置在导电体260和氧化物230之间的绝缘体的静电破坏。

[0162] 由此,可以抑制晶体管的电特性的偏差。此外,可以提供可靠性高的晶体管。此外,可以抑制晶体管的形状异常及静电破坏。因此,成品率得到提高,从而半导体装置的生产率也可以得到提高。

[0163] <半导体装置的结构实例2>

[0164] 下面,参照图2说明本发明的一个方式的包括使用氧化物半导体的元件的半导体装置的另一个例子。

[0165] 在此,图2A示出本发明的一个方式的包括使用氧化物半导体的元件的半导体装置中的区域12的俯视图。图2B是由图2A的点划线A1-A2表示的部分的截面图。此外,图2C是由图2A的点划线A3-A4表示的部分的截面图。另外,在图2中,为了明确起见,省略部分构成要素。

[0166] 另外,在图2所示的半导体装置中,由相同标记表示具有与构成<半导体装置的结构实例1>所示的半导体装置的构成要素相同的功能的结构。

[0167] 图2所示的半导体装置和图1所示的半导体装置的不同之处是伪晶体管200(i-1、j)、伪晶体管200(i+1、j)、伪晶体管200(i、j-1)及伪晶体管200(i、j+1)中的相当于导电体240s及导电体240d的导电体的形状。

[0168] 如图2所示,在伪晶体管200(i-1、j)、伪晶体管200(i+1、j)、伪晶体管200(i、j-1)及伪晶体管200(i、j+1)中,导电体240s及导电体240d不一定需要分开。伪晶体管的导电体240s及240d也可以重叠于相当于沟道形成区域的区域上。

[0169] 此外,在是邻接于晶体管200(i、j)的伪晶体管的情况下,该伪晶体管和晶体管200(i、j)也可以具有相同结构。例如,如图2A及图2C所示,晶体管200(i、j)的导电体240s也可以重叠于伪晶体管200(i+1、j)的氧化物230上。此外,同样地,晶体管200(i、j)的导电体240d也可以重叠于伪晶体管200(i-1、j-1)的氧化物230。

[0170] 通过采用本结构,可以形成足够宽的导电体240s及导电体240d。因此,可以适当地调节过剩氧的扩散量。

[0171] 此外,通过采用本结构,可以形成足够宽的导电体240s及导电体240d,从而可以减少制造过程中的电荷积聚。也就是说,由于导电体240s及导电体240d充分大于晶体管200(i、j),因此不容易发生因被导电体240s及导电体240d吸收的电荷所导致的电位波动。因此,在对晶体管200(i、j)的导电体260进行加工的工序中,导电体260和导电体240s及导电体240d之间不容易产生电位差,由此可以抑制设置在导电体260和导电体240s及导电体240d之间的绝缘体因电荷积聚而产生静电破坏。

[0172] 此外,在本结构中,可以将导电体240s及导电体240d用作布线。

[0173] <半导体装置的结构实例3>

[0174] 下面,参照图3说明本发明的一个方式的包括使用氧化物半导体的元件的半导体装置的另一个例子。

[0175] 在此,图3A示出本发明的一个方式的包括使用氧化物半导体的元件的半导体装置中的区域12的俯视图。图3B是由图3A的点划线A1-A2表示的部分的截面图。此外,图3C是由图3A的点划线A3-A4表示的部分的截面图。另外,在图3中,为了明确起见,省略部分构成要素。

[0176] 注意,在图3所示的半导体装置中,对具有与构成<半导体装置的结构实例1>所示的半导体装置的构成要素相同的功能的结构附加相同附图标记。

[0177] 在图3所示的半导体装置中,通过使氧化物230选择性地低电阻化而不使相当于图1所示的半导体装置的伪晶体管200(i-1,j)的导电体240s及导电体240d的导电体低电阻化来设置源区域或漏区域。

[0178] 在此,通过对可用于氧化物230的氧化物半导体添加形成氧空位的元素或者与氧空位键合的元素,氧化物230的载流子密度可能增大而被低电阻化。例如,通过选择性地使使用氧化物230低电阻化,可以在半导体层中设置源区域或漏区域。

[0179] 另外,作为使氧化物半导体低电阻化的元素,典型的有硼或磷。另外,也可以使用氢、碳、氮、氟、硫、氯、钛、稀有气体等。作为稀有气体元素的典型例子,有氦、氖、氩、氪及氙等。

[0180] 作为该元素的添加方法,可以使用:对离子化了的源气体进行质量分离而添加的离子注入法;不对离子化了的源气体进行质量分离而添加的离子掺杂法;以及等离子体浸没离子注入法等。

[0181] 此外,如图3所示,与晶体管200(i,j)不同地,伪晶体管200(i-1,j)、伪晶体管200(i+1,j)、伪晶体管200(i,j-1)及伪晶体管200(i,j+1)的氧化物230的整个面也可以被低电阻化。

[0182] 此外,如图2所示的半导体装置所示,伪晶体管中的低电阻化了的氧化物230也可以延伸而与晶体管200(i,j)中的氧化物230的源区域或漏区域一体地形成。

[0183] 通过采用本结构,可以形成足够宽的导电体240s及导电体240d。因此,适当地调节过剩氧的扩散量。此外,通过采用本结构,可以形成足够宽的晶体管200(i,j)的源区域及漏区域,从而可以减少制造过程中的电荷积聚。

[0184] 此外,在本结构中,可以将晶体管200(i,j)的源区域及漏区域用作布线。

[0185] 由此,可以容易地使用高集成型半导体装置。另外,可以提供一种具有关态电流大的晶体管的半导体装置。另外,可以提供一种具有关态电流小的晶体管的半导体装置。另外,可以提供一种在抑制电特性的波动而具有稳定的电特性的同时可靠性得到提高的半导体装置。

[0186] 本实施方式所示的构成、结构和方法等可以与其他实施方式所示的构成、结构和方法等适当地组合而实施。

[0187] (实施方式2)

[0188] 在本实施方式中说明上述实施方式所示的晶体管的结构实例。

[0189] <晶体管的结构实例1>

[0190] 参照图9A至图9C说明晶体管200A的结构实例。图9A是晶体管200A的俯视图。图9B是在图9A中由点划线L1-L2表示的部分的截面图。图9C是在图9A中由点划线W1-W2表示的部分的截面图。在图9A的俯视图中,为了明确起见,省略构成部分要素而进行表示。

[0191] 在图9A至图9C中示出晶体管200A、被用作层间膜的绝缘体210、绝缘体212、绝缘体214、绝缘体216、绝缘体280、绝缘体282及绝缘体284。此外,还示出与晶体管200A电连接且被用作接触插头的插头246(导电体246s及导电体246d)及被用作布线的导电体203。

[0192] 晶体管200A包括被用作第一栅(也称为顶栅极)电极的导电体260(导电体260a及导电体260b)、被用作第二栅(也称为底栅极)电极的导电体205(导电体205a及导电体205b)、被用作第一栅极绝缘体的绝缘体250、被用作第二栅极绝缘体的绝缘体220、绝缘体222及绝缘体224、包括形成沟道的区域的氧化物230(氧化物230a、氧化物230b及氧化物230c)、被用作源极和漏极中的一个的导电体240s、被用作源极和漏极中的另一个的导电体240d、绝缘体274。

[0193] 绝缘体210及绝缘体212被用作层间膜。

[0194] 作为层间膜,可以使用氧化硅、氧氮化硅、氮氧化硅、氧化铝、氧化铪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶(SrTiO_3)、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST)等绝缘体的单层或叠层。或者,例如也可以对这些绝缘体添加氧化铝、氧化铍、氧化锆、氧化铈、氧化硅、氧化钛、氧化钨、氧化钼、氧化锆。此外,也可以对这些绝缘体进行氮化处理。此外,还可以将氧化硅、氧氮化硅或氮化硅层叠于上述绝缘体。

[0195] 例如,绝缘体210优选被用作抑制水、氢等杂质从衬底一侧进入晶体管200A的阻挡膜。因此,作为绝缘体210优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。此外,例如,优选作为绝缘体210使用氧化铝或氮化硅等。通过采用该结构,可以抑制水、氢等杂质从与绝缘体210相比更靠近衬底一侧扩散到晶体管200A一侧。

[0196] 例如,绝缘体212的介电常数优选比绝缘体210低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0197] 导电体203以嵌入在绝缘体212中的方式形成。在此,导电体203的顶面的高度与绝缘体212的顶面的高度可以大致相同。导电体203具有单层结构,但是本发明不局限于此。例如,导电体203也可以具有两层以上的多层膜结构。作为导电体203,优选使用以钨、铜或铝为主要成分的导电性较高的导电材料。

[0198] 在晶体管200A中,导电体260有时被用作第一栅电极。导电体205有时被用作第二栅电极。在此情况下,通过独立地改变施加到导电体205的电位而不使其与施加到导电体260的电位联动,可以控制晶体管200A的阈值电压。尤其是,通过对导电体205施加负电位,可以使晶体管200A的阈值电压大于0V且可以减小关态电流。因此,与不对导电体205施加负电位时相比,在对导电体205施加负电位的情况下,可以减小施加到导电体260的电位为0V时的漏极电流。

[0199] 另外,例如通过将导电体205重叠于导电体260,在对导电体260及导电体205施加电位的情况下,从导电体260产生的电场和从导电体205产生的电场连接,可以覆盖形成在氧化物230中的沟道形成区域。

[0200] 就是说,可以由被用作第一栅电极的导电体260的电场和被用作第二栅电极的导电体205的电场电围绕沟道形成区域。在本说明书中,将由第一栅电极的电场和第二栅电极的电场电围绕沟道形成区域的晶体管的结构称为surrounded channel(S-channel:围绕沟

道)结构。

[0201] 与绝缘体210及绝缘体212同样,绝缘体214及绝缘体216被用作层间膜。例如,绝缘体214优选被用作抑制水、氢等杂质从衬底一侧进入晶体管200A的阻挡膜。通过采用该结构,可以抑制水、氢等杂质从与绝缘体214相比更靠近衬底一侧扩散到晶体管200A一侧。例如,绝缘体216的介电常数优选比绝缘体214低。通过将介电常数低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0202] 在被用作第二栅电极的导电体205中,以与绝缘体214及绝缘体216的开口的内壁接触的方式形成有导电体205a,其内侧形成有导电体205b。在此,导电体205a及导电体205b的顶面的高度与绝缘体216的顶面的高度可以大致相同。另外,在晶体管200A中,层叠有导电体205a与导电体205b,但是本发明不局限于此。例如,导电体205可以具有单层结构,也可以具有三层以上的叠层结构。

[0203] 在此,作为导电体205a优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的导电材料。在本说明书中,抑制杂质或氧的扩散的功能是指抑制该杂质或该氧中的任一个或全部的扩散的功能。

[0204] 例如,通过使导电体205a具有抑制氧的扩散的功能,可以抑制因导电体205b氧化而导致导电率的下降。

[0205] 另外,在导电体205还具有布线的功能的情况下,作为导电体205b,优选使用以钨、铜或铝为主要成分的导电性高的导电材料。在此情况下,不一定需要设置导电体203。在附图中,导电体205b具有单层结构,但是也可以具有叠层结构,例如,可以采用钛、氮化钛和上述导电材料的叠层结构。

[0206] 绝缘体220、绝缘体222及绝缘体224被用作第二栅极绝缘体。

[0207] 在此,在与氧化物230接触的绝缘体224中,优选通过加热使氧脱离。在本说明书中,有时将通过加热脱离的氧称为过剩氧。例如,作为绝缘体224适当地使用氧化硅或氧氮化硅等,即可。通过以与氧化物230接触的方式设置包含氧的绝缘体,可以减少氧化物230中的氧空位,从而可以提高晶体管200A的可靠性。

[0208] 作为绝缘体224,具体而言,优选使用通过加热使部分氧脱离的氧化物材料。通过加热使氧脱离的氧化物是指在TDS(Thermal Desorption Spectroscopy:热脱附谱)分析中换算为氧原子的氧的脱离量为 1.0×10^{18} atoms/cm³以上,优选为 1.0×10^{19} atoms/cm³以上,进一步优选为 2.0×10^{19} atoms/cm³以上,或者 3.0×10^{20} atoms/cm³以上的氧化物。另外,进行上述TDS分析时的膜的表面温度优选在100℃以上且700℃以下,或者100℃以上且400℃以下的范围内。

[0209] 绝缘体222优选具有阻挡性。当绝缘体222具有阻挡性时,绝缘体222被用作抑制氢等杂质从晶体管200A的周围部进入晶体管200A的层。

[0210] 作为绝缘体222,例如优选使用包含氧化铝、氧化钪、含有铝及钪的氧化物(铝酸钪)、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶(SrTiO₃)、(Ba,Sr)TiO₃(BST)等所谓的high-k材料的绝缘体的单层或叠层。当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料,可

以在保持物理厚度的同时降低晶体管工作时的栅电位。

[0211] 例如,绝缘体220优选具有热稳定性。例如,因为氧化硅及氧氮化硅具有热稳定性,所以通过使用high-k材料的绝缘体的绝缘体222与氧化硅或氧氮化硅组合,可以实现具有热稳定性且相对介电常数高的叠层结构。

[0212] 注意,在图9中,第二栅极绝缘体具有三层的叠层结构,但是也可以具有单层结构、两层或四层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料形成的叠层结构。

[0213] 包括被用作沟道形成区域的区域的氧化物230包括氧化物230a、氧化物230a上的氧化物230b及氧化物230b上的氧化物230c。当在氧化物230b下设置有氧化物230a时,可以防止杂质从形成在氧化物230a下的结构物扩散到氧化物230b。当在氧化物230b上设置有氧化物230c时,可以防止杂质从形成在氧化物230c的上方的结构物扩散到氧化物230b。作为氧化物230,可以使用下述金属氧化物之一的氧化物半导体。

[0214] 此外,图9所示的晶体管200A包括导电体240(导电体240s及导电体240d)与氧化物230c、绝缘体250及导电体260重叠的区域。通过采用该结构,可以提供通态电流大的晶体管。此外,可以提供控制性高的晶体管。

[0215] 导电体240中的一个被用作源电极,另一个被用作漏电极。

[0216] 导电体240可以使用铝、钛、铬、镍、铜、钇、锆、钼、银、钽、钨等金属或者以该金属为主要成分的合金。尤其是,氮化钽等金属氮化物膜对氢或氧具有阻挡性,且耐腐蚀性较高,所以是优选的。

[0217] 此外,虽然在图9中作为导电体240示出单层结构,但是也可以采用两层以上的叠层结构。例如,优选层叠氮化钽膜及钨膜。另外,也可以层叠钛膜及铝膜。另外,也可以采用在钨膜上层叠铝膜的两层结构、在铜-镁-铝合金膜上层叠铜膜的两层结构、在钛膜上层叠铜膜的两层结构、在钨膜上层叠铜膜的两层结构。

[0218] 另外,也可以使用:在钛膜或氮化钛膜上层叠铝膜或铜膜并在其上形成钛膜或氮化钛膜的三层结构、在钼膜或氮化钼膜上层叠铝膜或铜膜而并在其上形成钼膜或氮化钼膜的三层结构等。另外,也可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。

[0219] 此外,也可以在导电体240上设置阻挡层。阻挡层优选使用对氧或氢具有阻挡性的物质。通过采用该结构,可以抑制在形成绝缘体274时导电体240氧化。

[0220] 阻挡层例如可以使用金属氧化物。尤其是,优选使用氧化铝、氧化钪、氧化镓等对氧或氢具有阻挡性的绝缘膜。此外,也可以使用利用CVD法形成的氮化硅。

[0221] 通过包括阻挡层,可以扩大导电体240的材料的选择范围。例如,导电体240可以使用钨或铝等耐腐蚀性低且导电性高的材料。另外,例如可以使用容易进行沉积或加工的导电体。

[0222] 绝缘体250被用作第一栅极绝缘体。

[0223] 当进行晶体管的微型化及高集成化时,由于栅极绝缘体的薄膜化,有时发生泄漏电流等问题。此时,与第二栅极绝缘体同样,绝缘体250也可以具有叠层结构。通过作为用作栅极绝缘体的绝缘体采用high-k材料与具有热稳定性的材料的叠层结构,可以在保持物理厚度的同时降低晶体管工作时的栅电位。此外,可以实现具有热稳定性及高相对介电常数的叠层结构。

[0224] 被用作第一栅电极的导电体260包括导电体260a及导电体260a上的导电体260b。与导电体205a同样,作为导电体260a优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能的导电材料。另外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0225] 当导电体260a具有抑制氧的扩散的功能时,可以提高导电体260b的材料的选择性。也就是说,通过包括导电体260a,可以抑制导电体260b的氧化,而可以防止导电率的下降。

[0226] 作为具有抑制氧的扩散的功能的导电材料,例如,优选使用钽、氮化钽、钇、氧化钇等。此外,作为导电体260a,可以使用可用于氧化物230的氧化物半导体。在此情况下,通过利用溅射法形成导电体260b,可以降低成为导电体260a的氧化物半导体的电阻率而使其成为导电体。该导电体可以称为OC(Oxide Conductor)电极。

[0227] 另外,由于导电体260被用作布线,所以优选使用导电性高的导电体。例如,导电体260b可以使用以钨、铜或铝为主要成分的导电材料。另外,导电体260b也可以采用叠层结构,例如,可以使用钛、氮化钛与上述导电材料的叠层。

[0228] 此外,优选以覆盖导电体260的顶面及侧面、绝缘体250的侧面以及氧化物230c的侧面的方式设置绝缘体274。作为绝缘体274优选使用具有抑制水或氢等杂质及氧的扩散的功能的绝缘材料。例如优选使用氧化铝、氧化铪等。此外,例如,可以使用氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钐等金属氧化物、氮氧化硅、氮化硅等。

[0229] 通过设置绝缘体274,可以抑制导电体260的氧化。此外,通过包括绝缘体274,可以抑制绝缘体280所包含的水、氢等杂质扩散到晶体管200A。

[0230] 绝缘体280、绝缘体282及绝缘体284被用作层间膜。

[0231] 与绝缘体214同样,绝缘体282优选被用作抑制水或氢等杂质从外部进入晶体管200A的阻挡绝缘膜。

[0232] 此外,与绝缘体216同样,绝缘体280及绝缘体284的介电常数优选比绝缘体282低。通过将介电常数较低的材料用于层间膜,可以减少产生在布线之间的寄生电容。

[0233] 另外,晶体管200A也可以通过嵌入在绝缘体280、绝缘体282及绝缘体284中的插头246等插头或布线电连接到其他结构。

[0234] 另外,与导电体205同样,作为插头246的材料,可以使用金属材料、合金材料、金属氮化物材料或金属氧化物材料等导电材料的单层或叠层。例如,优选使用兼具耐热性和导电性的钨或钼等高熔点材料。或者,优选使用铝或铜等低电阻导电材料。通过使用低电阻导电材料可以降低布线电阻。

[0235] 例如,通过作为插头246使用对氢及氧具有阻挡性的导电体的氮化钽等与导电性高的钨的叠层结构,可以在保持布线的导电性的同时抑制来自外部的杂质的扩散。

[0236] 另外,也可以在插头246与绝缘体280之间配置具有阻挡性的绝缘体276(绝缘体276s及绝缘体276d)。通过设置绝缘体276,可以抑制绝缘体280的氧与插头246起反应而导致插头246氧化。

[0237] 另外,通过设置具有阻挡性的绝缘体276,可以扩大用于插头或布线的导电体的材料的选择范围。例如,通过作为插头246使用具有吸收氧的性质且具有高导电性的金属材料,可以提供低功耗的半导体装置。具体而言,可以使用钨、铝等抗氧化性低且导电性高的

材料。另外,例如可以使用容易进行成膜或加工的导电体。

[0238] 通过具有上述结构,可以提供一种具有通态电流大的晶体管的半导体装置。或者,可以提供一种具有关态电流小的晶体管的半导体装置。或者,可以提供一种在电特性波动受到抑制而具有稳定电特性的同时可靠性得到提高的半导体装置。

[0239] <构成材料>

[0240] [衬底]

[0241] 虽然对可用于衬底的材料没有较大的限制,但是衬底必需至少具有足够高的耐热性来耐受后面进行的加热处理。例如,作为衬底,可以使用以硅或碳化硅为材料的单晶半导体衬底或多晶半导体衬底、以硅锗等为材料的化合物半导体衬底等。此外,也可以使用SOI衬底或者在半导体衬底上设置有应变晶体管或FIN型晶体管等半导体元件的衬底等。另外,也可以使用可用于高电子迁移率晶体管(HEMT:High Electron Mobility Transistor)的砷化镓、砷化铝镓、砷化铟镓、氮化镓、磷化铟、硅锗等。也就是说,衬底不仅是支撑衬底,也可以是形成有晶体管等其他装置的衬底。

[0242] 此外,作为衬底,可以使用硼硅酸钡玻璃和硼硅酸铝玻璃等玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。此外,作为衬底可以使用柔性衬底。当使用柔性衬底时,既可以在柔性衬底上直接制造晶体管或电容器等,又可以在其他制造衬底上制造晶体管或电容器等,然后剥离该晶体管而将它转置到柔性衬底上。另外,为了从制造衬底剥离晶体管和电容器等并将其转置到柔性衬底上,优选在制造衬底与晶体管和电容器等之间设置剥离层。

[0243] 作为柔性衬底,例如可以使用金属、合金、树脂、玻璃或其纤维等。被用作衬底的柔性衬底的线性膨胀系数越低,因环境而发生的变形越受到抑制,所以是优选的。被用作衬底的柔性衬底例如可以使用线性膨胀系数为 $1 \times 10^{-3}/\text{K}$ 以下、 $5 \times 10^{-5}/\text{K}$ 以下或 $1 \times 10^{-5}/\text{K}$ 的材料。作为树脂,例如可以举出聚酯、聚烯烃、聚酰胺(尼龙、芳族聚酰胺等)、聚酰亚胺、聚碳酸酯、丙烯酸树脂等。尤其是,芳族聚酰胺的线性膨胀系数较低,因此适合用于柔性衬底。

[0244] [绝缘体]

[0245] 作为绝缘体采用选自如下材料的单层或叠层:氮化铝、氧化铝、氮氧化铝、氧氮化铝、氧化镁、氮化硅、氧化硅、氮氧化硅、氧氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钐、氧化铽、铝硅酸盐等。另外,也可以使用在氧化物材料、氮化物材料、氧氮化物材料、氮氧化物材料中混合其多种的材料。

[0246] 注意,在本说明书等中,氮氧化物是指氮含量大于氧含量的化合物。另外,氧氮化物是指氧含量大于氮含量的化合物。另外,例如可以使用卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)等来测定各元素的含量。

[0247] 此外,当将为金属氧化物的一种的氧化物半导体用作半导体层时,为了防止半导体层中的氢浓度增加,优选降低绝缘体中的氢浓度。具体地说,通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测量的绝缘体的氢浓度为 $2 \times 10^{20} \text{atoms}/\text{cm}^3$ 以下,优选为 $5 \times 10^{19} \text{atoms}/\text{cm}^3$ 以下,更优选为 $1 \times 10^{19} \text{atoms}/\text{cm}^3$ 以下,进一步优选为 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下。尤其是,优选降低与半导体层接触的绝缘体中的氢浓度。

[0248] 此外,为了防止半导体层中的氮浓度增加,优选降低绝缘体中的氮浓度。具体地说,通过SIMS测量的绝缘体的氮浓度为 $5 \times 10^{19} \text{atoms}/\text{cm}^3$ 以下,优选为 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下,更优选为 $1 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下,进一步优选为 $5 \times 10^{17} \text{atoms}/\text{cm}^3$ 以下。

[0249] 绝缘体中的至少与半导体层接触的区域缺陷优选少,典型的是通过电子自旋共振法(ESR:Electron Spin Resonance)观察的信号优选少。例如,作为上述信号可举出在g值为2.001时观察的E'中心。E'中心起因于硅的悬空键。例如,作为绝缘体使用氧化硅层或氮化硅层时,可以使用起因于E'中心的自旋密度为 3×10^{17} spins/cm³以下、优选为 5×10^{16} spins/cm³以下的氧化硅层或氮化硅层。

[0250] 有时观察到除了上述信号以外起因于二氧化氮(NO₂)的信号。该信号因氮的核自旋而分裂成三个信号,各个g值为2.037以上且2.039以下(第一信号)、g值为2.001以上且2.003以下(第二信号)及g值为1.964以上且1.966以下(第三信号)。

[0251] 例如,作为绝缘体,优选使用起因于二氧化氮(NO₂)的信号的自旋密度为 1×10^{17} spins/cm³以上且小于 1×10^{18} spins/cm³的绝缘体。

[0252] 二氧化氮(NO₂)的氮氧化物(NO_x)在绝缘体中形成能级。该能级位于氧化物半导体层的能隙中。由此,当氮氧化物(NO_x)扩散到绝缘体与氧化物半导体层的界面时,有时该能级在绝缘体一侧俘获电子。其结果是,被俘获的电子留在绝缘体与氧化物半导体层的界面附近,由此使晶体管的阈值电压向正方向漂移。因此,当作为绝缘体使用氮氧化物的含量少的膜时,可以降低晶体管的阈值电压的漂移。

[0253] 作为氮氧化物(NO_x)的释放量少的绝缘体例如可以使用氮化硅层。该氮化硅层是在热脱附谱分析法(TDS:Thermal Desorption Spectroscopy)中氮释放量比氮氧化物(NO_x)的释放量多的膜,典型的是氮释放量为 1×10^{18} 个/cm³以上且 5×10^{19} 个/cm³以下。另外,上述氮释放量为在TDS中在加热处理的温度为50℃以上且650℃以下或者50℃以上且550℃以下的范围内的总量。

[0254] 由于当进行加热处理时,氮氧化物(NO_x)与氮及氧起反应,所以通过使用氮释放量多的绝缘体可以减少氮氧化物(NO_x)。

[0255] 与氧化物半导体层接触的绝缘体中的至少一个优选使用通过加热释放氧的绝缘体形成。具体来说,优选使用如下绝缘体:在进行TDS分析(其中进行膜表面温度为100℃以上且700℃以下,优选为100℃以上且500℃以下的加热处理)时换算为氧原子的氧的脱离量为 1.0×10^{18} atoms/cm³以上,优选为 1.0×10^{19} atoms/cm³以上或 1.0×10^{20} atoms/cm³以上。另外,在本说明书等中,将通过加热释放的氧称为“过剩氧”。

[0256] 另外,包含过剩氧的绝缘体可以进行对绝缘体添加氧的处理来形成。作为氧添加处理,可以使用氧化气氛下的热处理、等离子体处理等进行。或者,也可以利用离子注入法、离子掺杂法、等离子体浸没离子注入法等进行氧添加。作为氧添加处理所使用的气体,可以举出¹⁶O₂或¹⁸O₂等氧气体、一氧化二氮气体或臭氧气体等含氧气体。注意,在本说明书中,有时将添加氧的处理称为“氧掺杂处理”。氧掺杂处理也可以边对衬底进行加热边进行。

[0257] 作为绝缘体,可以使用聚酰亚胺、丙烯酸类树脂、苯并环丁烯类树脂、聚酰胺、环氧类树脂等具有耐热性的有机材料。此外,除了上述有机材料以外,还可以使用低介电常数材料(low-k材料)、硅氧烷类树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。此外,也可以通过层叠多个由这些材料形成的绝缘膜,形成平坦化绝缘体。

[0258] 硅氧烷类树脂相当于以硅氧烷类材料为起始材料而形成的包含Si-O-Si键的树脂。基于硅氧烷的树脂可以包括有机基(例如,烷基或者芳基)或者氟基作为代替。另外,有机基也可以具有氟基团。

[0259] 对绝缘体的形成方法没有特别的限制。注意,有时根据绝缘体所使用的材料需要焙烧工序。在该情况下,通过将绝缘体的焙烧工序和其他热处理工序兼并在一起,可以高效地制造晶体管。

[0260] [电极]

[0261] 作为用来形成电极的导电材料,可以使用包含选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、钐、钒、铌、锰、镁、锆、铍、铟等中的一种以上的金属元素的材料。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。

[0262] 另外,也可以使用包含上述金属元素和氧的导电材料。另外,也可以使用包含上述金属元素和氮的导电材料。例如,也可以使用氮化钛、氮化钽等包含氮的导电材料。另外,也可以使用铟锡氧化物(ITO:Indium Tin Oxide)、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、铟镓锌氧化物、添加有硅的铟锡氧化物。另外,也可以使用包含氮的铟镓锌氧化物。

[0263] 另外,也可以层叠多个由上述材料形成的导电体。例如,也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。另外,也可以采用组合包含上述金属元素的材料和包含氮的导电材料的叠层结构。另外,也可以采用组合包含上述金属元素的材料、包含氧的导电材料和包含氮的导电材料的叠层结构。另外,也可以采用组合包含氮的导电材料和包含氧的导电材料的叠层结构。

[0264] 另外,在作为半导体层使用氧化物半导体,并且作为栅电极使用组合包含上述金属元素的材料与包含氧的导电材料的叠层结构的情况下,优选在半导体层一侧设置包含氧的导电材料。通过在半导体层一侧设置包含氧的导电材料,从该导电材料脱离的氧容易供应给半导体层中。

[0265] 另外,作为电极,例如可以使用钨或多晶硅等埋入性高的导电材料。此外,也可以使用埋入性高的导电材料与钛层、氮化钛层、氮化钽层等阻挡层(扩散防止层)的组合。有时将电极称为“接触插头”。

[0266] 尤其是,作为与栅极绝缘体接触的电极优选使用不容易使杂质透过的导电材料。作为不容易使杂质透过的导电材料,例如可以举出氮化铝。

[0267] 通过作为绝缘体使用不容易使杂质透过的绝缘材料并作为电极使用不容易使杂质透过的导电材料,可以进一步抑制杂质扩散到晶体管中。因此,可以进一步提高晶体管的可靠性。也就是说,可以进一步提高存储装置的可靠性。

[0268] [半导体层]

[0269] 作为半导体层,可以使用单晶半导体、多晶半导体、微晶半导体或非晶半导体等中的一个或多个。作为半导体材料,例如可以使用硅或锗等。另外,也可以使用硅锗、碳化硅、砷化镓、氧化物半导体、氮化物半导体等化合物半导体或有机半导体等。

[0270] 另外,当作为半导体层使用有机半导体时,可以使用具有芳环的低分子有机材料或 π 电子共轭导电高分子等。例如,可以使用红荧烯、并四苯、并五苯、花二酰亚胺、四氰基对醌二甲烷、聚噻吩、聚乙炔、聚对亚苯基亚乙烯基等。

[0271] 半导体层也可以采用叠层结构。当半导体层采用叠层结构时,可以使用具有不同结晶状态的半导体,也可以使用不同半导体材料。

[0272] 另外,由于作为金属氧化物的一种的氧化物半导体的带隙为2eV以上,当作为半导

体层使用氧化物半导体时,可以实现关态电流极小的晶体管。具体而言,可以将源极与漏极间的电压为3.5V且室温(典型的是25℃)下的每沟道宽度为1 μ m的关态电流设定为低于 1×10^{-20} A、低于 1×10^{-22} A或低于 1×10^{-24} A。就是说,开关比可以为20位数以上。另外,在作为半导体层使用氧化物半导体的晶体管(0S晶体管)中,源极与漏极间的绝缘耐压高。由此,可以提供可靠性良好的晶体管。另外,可以提供输出电压大且高耐压的晶体管。另外,可以提供可靠性良好的存储装置等。另外,可以提供输出电压大且高耐压的存储装置。

[0273] 此外,在本说明书等中,将在形成沟道的半导体层中使用具有结晶性的硅的晶体管称为“Si晶体管”。

[0274] 与OS晶体管相比,晶体Si晶体管容易得到较高的迁移率。另一方面,晶体Si晶体管难以实现如OS晶体管那样的极小的关态电流。因此,用于半导体层的半导体材料根据其目的和用途适当地选择是重要的。例如,根据目的或用途,可以使用OS晶体管和晶体Si晶体管等的组合。

[0275] 当作为半导体层使用氧化物半导体层时,优选通过溅射法形成氧化物半导体层。通过溅射法形成的氧化物半导体层的密度较高,所以是优选的。在通过溅射法形成氧化物半导体层的情况下,作为溅射气体,可以使用稀有气体(典型为氩)、氧、稀有气体和氧的混合气体。另外,需要进行溅射气体的高纯化。例如,作为用作溅射气体的氧气体或稀有气体,使用露点为-60℃以下,优选为-100℃以下的高纯度气体。通过使用高纯度溅射气体形成薄膜,可以尽可能地防止水分等混入氧化物半导体层中。

[0276] 在通过溅射法形成氧化物半导体层的情况下,优选尽可能地去掉溅射装置所具有的成膜处理室内的水分。例如,优选使用低温泵等吸附式真空泵对成膜处理室进行高真空抽气(抽空到 5×10^{-7} Pa至 1×10^{-4} Pa左右)。尤其是,在溅射装置的待机时成膜处理室内的相当于 H_2O 的气体分子(相当于 $m/z=18$ 的气体分子)的分压优选为 1×10^{-4} Pa以下,更优选为 5×10^{-5} Pa以下。

[0277] [金属氧化物]

[0278] 作为金属氧化物之一的氧化物半导体优选至少包含镉或锌。尤其优选包含镉及锌。另外，除此之外，优选还包含铝、镓、铊或锡等。或者，也可以包含硼、钛、铁、镍、锗、钴、钼、钽、钨、铅、银、铜、镁等多种中的一种或多种。

[0279] 在此,考虑氧化物半导体包含铟、元素M及锌的情况。注意,元素M为铝、镓、钪或锡等。作为可用作元素M的其他元素,有硼、钛、铁、镍、锗、铅、钼、镧、铈、钕、钐、铉、铊、铋、镁等。注意,作为元素M有时也可以组合多个上述元素。

[0280] 另外,在本说明书等中,有时将包含氮的金属氧化物称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0281] [金属氧化物的结构]

[0282] 金属氧化物之一的氧化物半导体被分为单晶氧化物半导体和非单晶氧化物半导体。作为非单晶氧化物半导体例如有CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多晶氧化物半导体、nc-OS(nanocrystalline oxide semiconductor)、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0283] CAAC-OS具有c轴取向性,其多个纳米晶在a-b面方向上连结而结晶结构具有畸变。畸变是指在多个纳米晶连结的区域中晶格排列一致的区域与其他晶格排列一致的区域之

间的晶格排列的方向变化的部分。

[0284] 纳米晶基本上为六角形,但是不局限于正六角形,有时为非正六角形。另外,纳米晶有时在畸变中具有五角形或七角形等晶格排列。另外,在CAAC-OS中,即使在畸变附近也难以观察到明确的晶界(grain boundary)。即,可知由于晶格排列畸变,可抑制晶界的形成。这是由于CAAC-OS因为a-b面方向上的氧原子排列的低密度或因金属元素被取代而使原子间的键合距离产生变化等而能够包容畸变。

[0285] CAAC-OS有具有层状结晶结构(也称为层状结构)的倾向,在该层状结晶结构中中层叠有包含铟及氧的层(下面称为In层)和包含元素M、锌及氧的层(下面称为(M,Zn)层)。另外,铟和元素M彼此可以取代,在用铟取代(M,Zn)层中的元素M的情况下,也可以将该层表示为(In,M,Zn)层。另外,在用元素M取代In层中的铟的情况下,也可以将该层表示为(In,M)层。

[0286] CAAC-OS是结晶性高的金属氧化物。另一方面,在CAAC-OS中不容易观察明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。此外,金属氧化物的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧空位等)少的金属氧化物。因此,包含CAAC-OS的金属氧化物的物理性质稳定。因此,具有CAAC-OS的金属氧化物具有耐热性及高可靠性。

[0287] 在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。另外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在整个膜中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。

[0288] a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的金属氧化物。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。

[0289] 氧化物半导体(金属氧化物)具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-like OS、nc-OS、CAAC-OS中的两种以上。

[0290] [包含金属氧化物的晶体管]

[0291] 接着,说明将上述金属氧化物用于晶体管的沟道形成区域情况。

[0292] 通过将上述金属氧化物用于晶体管的沟道形成区域,可以实现场效应迁移率高的晶体管。另外,可以实现可靠性高的晶体管。

[0293] 另外,优选将载流子密度低的金属氧化物用于晶体管。在降低金属氧化物膜的载流子密度的情况下,降低金属氧化物膜中的杂质浓度而降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。例如,金属氧化物中的载流子密度可以低于 $8 \times 10^{11}/\text{cm}^3$,优选低于 $1 \times 10^{11}/\text{cm}^3$,更优选低于 $1 \times 10^{10}/\text{cm}^3$,且为 $1 \times 10^{-9}/\text{cm}^3$ 以上。

[0294] 因为高纯度本征或实质上高纯度本征的金属氧化物膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。

[0295] 此外,被金属氧化物的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,在陷阱态密度高的金属氧化物中具有沟道形成区域的晶体管的电特

性有时不稳定。

[0296] 因此,为了使晶体管的电特性稳定,减少金属氧化物中的杂质浓度是有效的。为了降低金属氧化物中的杂质浓度,优选还降低邻接的膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0297] [杂质]

[0298] 在此,说明金属氧化物中的各杂质的影响。

[0299] 在金属氧化物包含第十四族元素之一的硅或碳时,金属氧化物中形成缺陷能级。因此,将金属氧化物中或金属氧化物的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测得的浓度)设定为 2×10^{18} atoms/cm³以下,优选为 2×10^{17} atoms/cm³以下。

[0300] 另外,当金属氧化物包含碱金属或碱土金属时,有时形成缺陷能级而形成载流子。因此,作为沟道形成区域使用包含碱金属或碱土金属的金属氧化物的晶体管容易具有常开启特性。由此,优选降低金属氧化物中的碱金属或碱土金属的浓度。具体而言,使通过SIMS测得的金属氧化物中的碱金属或碱土金属的浓度为 1×10^{18} atoms/cm³以下,优选为 2×10^{16} atoms/cm³以下。

[0301] 当金属氧化物包含氮时,产生作为载流子的电子,并载流子密度增加,而金属氧化物容易被n型化。其结果是,在将包含氮的金属氧化物用于沟道形成区域的晶体管容易具有常开启特性。因此,在该金属氧化物中,优选尽可能地减少沟道形成区域中的氮。例如,利用SIMS测得的金属氧化物中的氮浓度低于 5×10^{19} atoms/cm³,优选为 5×10^{18} atoms/cm³以下,更优选为 1×10^{18} atoms/cm³以下,进一步优选为 5×10^{17} atoms/cm³以下。

[0302] 包含在金属氧化物中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位。当氢进入该氧空位时,有时会生成作为载流子的电子。另外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,作为沟道形成区域使用包含氢的金属氧化物的晶体管容易具有常开启特性。由此,优选尽可能减少金属氧化物中的氢。具体而言,将利用SIMS分析测得的金属氧化物中的氢浓度设定为低于 1×10^{20} atoms/cm³,优选低于 1×10^{19} atoms/cm³,更优选低于 5×10^{18} atoms/cm³,进一步优选低于 1×10^{18} atoms/cm³。

[0303] 通过将杂质被充分降低的金属氧化物用于晶体管的沟道形成区域可以使晶体管具有稳定的电特性。

[0304] 作为用于晶体管的半导体的金属氧化物,优选使用结晶性高的薄膜。通过使用该薄膜可以提高晶体管的稳定性或可靠性。作为该薄膜,例如,可以举出单晶金属氧化物薄膜或多晶金属氧化物薄膜。但是,在衬底上形成单晶金属氧化物薄膜或多晶金属氧化物薄膜需要进行高温或激光加热的工序。因此,制造工序的成本变高且处理量下降。

[0305] 非专利文献1及非专利文献2中报告了2009年发现了具有CAAC结构的In-Ga-Zn氧化物(也称为CAAC-IGZO)。在此报告了CAAC-IGZO具有c轴取向性、晶界不明确、可以低温形成在衬底上。另外,还报告了使用CAAC-IGZO的晶体管具有优良的电特性及可靠性。

[0306] 另外,2013年发现了具有nc结构的In-Ga-Zn氧化物(称为nc-IGZO)(参照非专利文献3)。在此报告了nc-IGZO在微小的区域(例如,1nm以上且3nm以下的区域)中的原子排列具有周期性,在不同区域间观察不到结晶取向的规律性。

[0307] 非专利文献4及非专利文献5示出分别对上述CAAC-IGZO、nc-IGZO及结晶性低的

IGZO的薄膜照射电子束时的平均结晶尺寸的推移。在结晶性低的IGZO薄膜中,在对其照射电子束之前就能够观察到1nm左右的结晶性IGZO。因此,在非专利文献4及非专利文献5中报告了在IGZO中没能确认到完全的非晶结构(completely amorphous structure)的存在。再者,公开了与结晶性低的IGZO薄膜相比CAAC-IGZO薄膜及nc-IGZO薄膜的相对于电子束照射的稳定性较高。因此,作为晶体管的半导体优选使用CAAC-IGZO薄膜或nc-IGZO薄膜。

[0308] 非专利文献6公开了使用金属氧化物的晶体管的在非导通状态下的泄漏电流极低,具体而言,晶体管的每沟道宽度1 μm 的关态电流为 $\text{yA}/\mu\text{m}$ ($10^{-24}\text{A}/\mu\text{m}$) 等级(order)。例如,已公开了一种应用了使用金属氧化物的晶体管的泄漏电流小这一特性的低功耗CPU等(参照非专利文献7)。

[0309] 此外,还有利用使用金属氧化物的晶体管的泄漏电流小这一特性将该晶体管应用于显示装置的报告(参照非专利文献8)。在显示装置中,显示图像在1秒间被切换数十次。每1秒钟的图像切换次数被称为“刷新频率”。另外,刷新频率有时被称为“驱动频率”。这样的人眼难以识别的高速画面切换被认为是导致眼睛疲劳的原因。于是,提出了降低显示装置的刷新频率以减少图像改写次数的技术。刷新频率得到降低的驱动可以减少显示装置的耗电量。将该驱动方法称为“空转停止(IDS)驱动”。

[0310] CAAC结构及nc结构的发现有助于使用CAAC结构或具有nc结构的金属氧化物的晶体管的电特性及可靠性的提高、制造工序的成本的降低以及处理量的提高。另外,已进行利用上述晶体管的泄漏电流小这一特性将该晶体管应用于显示装置及LSI的研究。

[0311] <成膜方法>

[0312] 用来形成绝缘体的绝缘材料、用来形成电极的导电材料、用来形成半导体层的半导体材料可以利用溅射法、旋涂法、CVD(Chemical Vapor Deposition:化学气相沉积)法(包括热CVD法、MOCVD(Metal Organic Chemical Vapor Deposition:有机金属化学气相沉积)法、PECVD(Plasma Enhanced Chemical Vapor Deposition:等离子体增强化学气相沉积)法、高密度等离子体CVD(High Density Plasma CVD)法、LPCVD(Low Pressure CVD:减压化学气相沉积)法、APCVD(Atmospheric Pressure CVD:常压化学气相沉积)法等)、ALD(Atomic Layer Deposition:原子层沉积)法、PAALD(Plasma Assist Atomic Layer Deposition:等离子体辅助原子层沉积)法或MBE(Molecular Beam Epitaxy:分子束外延)法、PLD(Pulsed Laser Deposition:脉冲激光沉积)法、浸涂法、喷涂法、液滴喷射法(喷墨法等)、印刷法(丝网印刷、胶版印刷等)等形成。

[0313] 通过利用等离子体CVD法,可以以较低的温度得到高质量的膜。在利用不使用等离子体的诸如MOCVD法、ALD法或热CVD法等成膜方法的情况下,在被形成面不容易产生损伤。例如,包括在存储装置中的布线、电极、元件(晶体管、电容器等)等有时因从等离子体接收电荷而会产生电荷积聚。此时,有时由于所累积的电荷而使包括在存储装置中的布线、电极、元件等受损伤。另一方面,在采用不使用等离子体的成膜方法的情况下,因为不发生这种等离子体损伤,所以能够提高存储装置的成品率。此外,不生成膜时的等离子体损伤,所以能够得到缺陷较少的膜。

[0314] 不同于从靶材等中被释放的粒子沉积的成膜方法,CVD法及ALD法是因被处理物表面的反应而形成膜的成膜方法。因此,通过CVD法及ALD法形成的膜不易受被处理物的形状的影响而具有良好的台阶覆盖性。尤其是,通过ALD法形成的膜具有良好的台阶覆盖性和厚

度均匀性,所以ALD法适合用于形成覆盖纵横比高的开口部的表面的膜。但是,ALD法的成膜速度比较慢,所以有时优选与成膜速度快的CVD法等其他成膜方法组合而使用。

[0315] CVD法或ALD法可以通过调整源气体的流量比控制所得到的膜的组成。例如,当使用CVD法或ALD法时,可以通过调节源气体的流量比形成任意组成的膜。此外,例如,当使用CVD法或ALD法时,可以通过一边形成膜一边改变源气体的流量比来形成其组成连续变化的膜。在一边改变源气体的流量比一边形成膜时,因为可以省略传送及调整压力所需的时间,所以与使用多个成膜室进行成膜的情况相比可以使其成膜时所需的时间缩短。因此,有时可以提高存储装置的生产率。

[0316] 注意,在利用ALD法进行成膜的情况下,作为材料气体优选使用不包含氯的气体。

[0317] <晶体管的结构实例2>

[0318] 参照图10A至图10C对晶体管200B的结构例进行说明。图10A是晶体管200B的俯视图。图10B是由图10A中的点划线L1-L2所示的部位的截面图。图10C是由图10A中的点划线W1-W2所示的部位的截面图。另外,在图10A的俯视图中,为了明确起见,省略部分构成要素。

[0319] 晶体管200B是晶体管200A的变形例子。因此,为了防止重复说明,主要对其与晶体管200A的不同之处进行说明。

[0320] 此外,在图10所示的晶体管200B中,氧化物230c、绝缘体250及导电体260隔着绝缘体274配置在设置于绝缘体280的开口部内。另外,氧化物230c、绝缘体250及导电体260配置在导电体240s与导电体240d之间。

[0321] 此外,氧化物230c优选隔着绝缘体274形成在设置于绝缘体280的开口部内。当绝缘体274具有阻挡性时,可以抑制来自绝缘体280的杂质扩散到氧化物230。

[0322] 绝缘体250被用作第一栅极绝缘体。绝缘体250优选在设置于绝缘体280的开口部中隔着氧化物230c及绝缘体274设置。

[0323] 在该结构中,在绝缘体280与晶体管200B之间设置绝缘体274。绝缘体274优选使用具有抑制水、氢等杂质及氧扩散的功能的绝缘材料。例如,优选使用氧化铝、氧化钪等。此外,例如还可以使用氧化镁、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钽等金属氧化物、氮氧化硅、氮化硅等。

[0324] 通过包括绝缘体274,可以抑制绝缘体280中的水、氢等杂质通过氧化物230c及绝缘体250扩散到氧化物230b中。此外,可以抑制绝缘体280所包含的过剩氧使导电体260氧化。

[0325] <晶体管的结构实例3>

[0326] 参照图11A至图11C对晶体管200B2的结构例进行说明。图11A是晶体管200B2的俯视图。图11B是由图11A中的点划线L1-L2所示的部位的截面图。图11C是由图11A中的点划线W1-W2所示的部位的截面图。另外,在图11A的俯视图中,为了明确起见,省略一部分的构成要素。

[0327] 晶体管200B2是晶体管200B的变形例子。由此,为了防止重复说明,主要对晶体管200B2与上述晶体管200B的不同之处进行说明。

[0328] 如图11所示的晶体管200B2那样,不一定需要设置绝缘体274。因此,氧化物230c、绝缘体250及导电体260配置在设置于绝缘体280的开口部内。另外,氧化物230c、绝缘体250及导电体260配置在导电体240a与导电体240b之间。

[0329] 此外,氧化物230c优选与绝缘体280接触地设置于绝缘体280的开口部内。在绝缘体280具有过剩氧时,从绝缘体280扩散到氧化物230的过剩氧可以补充沟道形成区域的氧空位。

[0330] 〈晶体管的结构实例4〉

[0331] 图12示出包括晶体管200C的半导体装置的一个例子。图12A示出半导体装置的顶面。注意,为了明确起见,在图12A中省略部分膜。此外,图12B是对应于图12A所示的点划线L1-L2的截面图,图12C是对应于点划线W1-W2的截面图。

[0332] 注意,在图12所示的半导体装置中,对具有与构成图2、图3及图6所示的半导体装置的构成要素相同的功能的构成要素附加相同附图标记。

[0333] 在图12A至图12C中,在露出的氧化物230b的表面的一部分包括区域231s及区域231d而不设置导电体240。区域231s和区域231d中的一个被用作源区域,另一个被用作漏区域。此外,在氧化物230b与绝缘体274之间包括绝缘体273。

[0334] 图12所示的区域231(区域231s及区域231d)是氧化物230b被添加上述元素而成的区域。区域231例如可以利用伪栅极形成。

[0335] 具体而言,在氧化物230b上设置伪栅极,将该伪栅极用作掩模,对氧化物230b添加使该氧化物230b低电阻化的元素。也就是说,该元素被添加到氧化物230的不与伪栅极重叠的区域中,由此形成区域231。作为该元素的添加方法,可以使用:对离子化了的源气体进行质量分离而添加的离子注入法;不对离子化了的源气体进行质量分离而添加的离子掺杂法;以及等离子体浸没离子注入法等。

[0336] 另外,作为使氧化物230低电阻化的元素,典型的有硼或磷。另外,也可以使用氢、碳、氮、氟、硫、氯、钛、稀有气体等。作为稀有气体的典型例子有氦、氖、氩、氪及氙等。该元素的浓度可以利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)等进行测量。

[0337] 尤其是,硼及磷可以使用非晶硅或低温多晶硅的生产线的装置,所以是优选的。可以使用已有的设置,由此可以降低设备投资。

[0338] 接着,也可以在氧化物230b及伪栅极上形成成为绝缘体273的绝缘膜及成为绝缘体274的绝缘膜。通过设置成为绝缘体273的绝缘膜和绝缘体274的叠层,可以设置区域231与氧化物230c及绝缘体250重叠的区域。

[0339] 具体而言,在成为绝缘体274的绝缘膜上设置成为绝缘体280的绝缘膜,然后对成为绝缘体280的绝缘膜进行CMP(Chemical Mechanical Polishing)处理,去除成为绝缘体280的绝缘膜的一部分,使伪栅极露出。接着,在去除伪栅极时,优选还去除与伪栅极接触的绝缘体273的一部分。由此,在设置于绝缘体280中的开口的侧面,绝缘体274及绝缘体273露出,在该开口的底面,设置在氧化物230b中的区域231的一部分露出。接着,在该开口部依次形成成为氧化物230c的氧化膜,成为绝缘体250的绝缘膜及成为导电体260的导电膜,然后利用CMP处理等去除成为氧化物230c的氧化膜、成为绝缘体250的绝缘膜及成为导电体260的导电膜的一部分直到露出绝缘体280为止,由此可以形成图12所示的晶体管。

[0340] 注意,不一定需要设置绝缘体273及绝缘体274。根据所需要的晶体管特性,适当地设计即可。

[0341] 图12所示的晶体管可以利用已有的装置,并且不设置导电体240,由此可以降低成

本。

[0342] 〈晶体管的结构实例5〉

[0343] 参照图13A至图13C说明晶体管200D的结构实例。图13A是晶体管200D的俯视图。图13B是在图13A中由点划线L1-L2表示的部分的截面图。图13C是在图13A中由点划线W1-W2表示的部分的截面图。在图13A的俯视图中,为了明确起见,省略部分构成要素。

[0344] 晶体管200D是上述晶体管200B的变形例子。由此,为了防止重复说明,主要对晶体管200D与上述晶体管200B的不同之处进行说明。

[0345] 图13所示的晶体管200D在导电体240s与氧化物230b之间配置有导电体242s,在导电体240d与氧化物230b之间配置有导电体242d。在此,导电体240s(导电体240d)具有超过导电体242s(导电体242d)的顶面及导电体260一侧的侧面延伸并与氧化物230b的顶面接触的区域。在此,作为导电体242,可以使用可用于导电体240的导电体。此外,导电体242的厚度优选至少厚于导电体240。

[0346] 由于图13所示的晶体管200D具有上述结构,与晶体管200B相比,可以使导电体240靠近导电体260。或者,可以使导电体240s的端部及导电体240d的端部重叠于导电体260。由此,可以减小晶体管200D的实际沟道长度,而可以提高通态电流及频率特性。

[0347] 另外,导电体242s(导电体242d)优选与导电体240s(导电体240d)重叠。通过采用该结构,在形成埋入插头246s(插头246d)的开口的蚀刻时,导电体242s(导电体242d)被用作蚀刻停止层而可以防止氧化物230b的过蚀刻。

[0348] 此外,在图13所示的晶体管200D中,也可以以接触于绝缘体244之上的方式配置绝缘体245。绝缘体244优选被用作抑制水或氢等杂质或过剩氧从绝缘体280一侧进入晶体管200D的阻挡绝缘膜。作为绝缘体245,可以使用可用于绝缘体244的绝缘体。此外,作为绝缘体245,例如也可以使用氮化铝、氮化钛、氮化硅或氮氧化硅等氮化物绝缘体。

[0349] 另外,在图13所示的晶体管200D中,与图10所示的晶体管200B不同,导电体205也可以具有单层结构。此时,可以在已形成图案的导电体205上形成成为绝缘体216的绝缘膜,通过利用化学机械抛光(CMP)法等去除该绝缘膜的顶部直到露出导电体205的顶面为止。在此,优选提高导电体205的顶面的平坦性。例如,导电体205的顶面的平均表面粗糙度(Ra)可以为1nm以下,优选为0.5nm以下,更优选为0.3nm以下。由此,可以提高形成在导电体205上的绝缘体的平坦性,而可以提高氧化物230b及氧化物230c的结晶性。

[0350] 〈晶体管的结构实例6〉

[0351] 参照图14A至图14C说明晶体管200E的结构实例。图14A是晶体管200E的俯视图。图14B是在图14A中由点划线L1-L2表示的部分的截面图。图14C是在图14A中由点划线W1-W2表示的部分的截面图。在图14A的俯视图中,为了明确起见,省略构成部分要素。

[0352] 晶体管200E是上述晶体管的变形例子。由此,为了防止重复说明,主要对与上述晶体管不同的部分进行说明。

[0353] 在图14A至图14C中,将被用作第二栅极的导电体205还用作布线而不设置导电体203。此外,在氧化物230c上包括绝缘体250,在绝缘体250上包括金属氧化物252。此外,在金属氧化物252上包括导电体260,在导电体260上包括绝缘体270。此外,在绝缘体270上包括绝缘体271。

[0354] 金属氧化物252优选具有抑制氧扩散的功能。通过在绝缘体250与导电体260之间

设置抑制氧扩散的金属氧化物252,向导电体260的氧扩散受到抑制。换言之,可以抑制供应到氧化物230的氧量的减少。另外,可以抑制因氧导致的导电体260的氧化。

[0355] 另外,金属氧化物252可以被用作第一栅电极的一部分。例如,可以将可用作氧化物230的氧化物半导体用作金属氧化物252。在此情况下,通过利用溅射法形成导电体260,可以降低金属氧化物252的电阻值使其变为导电层。

[0356] 另外,金属氧化物252有时被用作第一栅极绝缘体的一部分。因此,在将氧化硅或氮化硅等用于绝缘体250的情况下,作为金属氧化物252优选使用作为相对介电常数高的high-k材料的金属氧化物。通过采用该叠层结构,可以形成具有热稳定性且相对介电常数高的叠层结构。因此,可以在保持物理厚度的同时降低在晶体管工作时施加的栅电位。另外,可以减少被用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。

[0357] 虽然示出晶体管200E中的金属氧化物252是单层的结构,但是也可以采用两层以上的叠层结构。例如,可以层叠被用作第一栅电极的一部分的金属氧化物与被用作第一栅极绝缘体的一部分的金属氧化物。

[0358] 当将金属氧化物252用作第一栅电极时,可以在不减弱来自导电体260的电场的影响的情况下提高晶体管200E的通态电流。另外,当将金属氧化物252用作第一栅极绝缘体时,通过利用绝缘体250及金属氧化物252的物理厚度保持导电体260与氧化物230之间的距离,可以抑制导电体260与氧化物230之间的泄漏电流。由此,通过设置绝缘体250及金属氧化物252的叠层结构,容易调节导电体260与氧化物230之间的物理距离及从导电体260施加到氧化物230的电场强度。

[0359] 具体而言,可以通过使可用于氧化物230的氧化物半导体低电阻化来将其用作金属氧化物252。或者,可以使用包含选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锗和镁等中的一种或两种以上的金属氧化物。

[0360] 尤其是,优选使用作为包含铝和铪中的一方或双方的氧化物的绝缘体的氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。尤其是,铝酸铪的耐热性比氧化铪膜高。因此,在后面的工序的加热处理中不容易晶化,所以是优选的。注意,金属氧化物252不是必需的构成要素,可以根据所需的晶体管特性适当地设计。

[0361] 作为绝缘体270优选使用具有抑制水或氢等杂质及氧的透过的功能的绝缘材料。例如优选使用氧化铝或氧化铪等。由此,可以防止导电体260因来自绝缘体270的上方的氧而氧化。另外,可以抑制来自绝缘体270的上方的水或氢等杂质通过导电体260及绝缘体250进入氧化物230中。

[0362] 绝缘体271被用作硬掩模。通过设置绝缘体271,可以使导电体260的侧面与衬底表面大致垂直的方式对导电体260进行加工,具体而言,可以使导电体260的侧面与衬底表面所形成的角度为75°以上且100°以下,优选为80°以上且95°以下。

[0363] 另外,也可以通过作为绝缘体271使用抑制水、氢等杂质及氧的透过的功能的绝缘材料,来将绝缘体271兼作用阻挡层。在此情况下,也可以不设置绝缘体270。

[0364] 通过将绝缘体271用作硬掩模,选择性地去除绝缘体270、导电体260、金属氧化物252、绝缘体250及氧化物230c的一部分,可以使它们的侧面大致一致,且使氧化物230b的表面的一部分露出。

[0365] 另外,晶体管200E在露出的氧化物230b的表面的一部分具有区域231s及区域

231d。区域231s和区域231d中的一个被用作源区域,另一个被用作漏区域。

[0366] 例如通过利用离子注入法、离子掺杂法、等离子体浸没离子注入法或等离子体处理等,对露出的氧化物230b的表面引入磷或硼等杂质元素,由此可以形成区域231s及区域231d。注意,在本实施方式等中,“杂质元素”是指主要成分元素之外的元素。

[0367] 另外,也可以在使氧化物230b的表面的一部分露出之后形成金属膜,然后进行加热处理,来将包含在该金属膜中的元素扩散到氧化物230b中,由此形成区域231s及区域231d。

[0368] 氧化物230b中的被引入杂质元素的区域的电阻率下降。由此,有时将区域231s及区域231d称为“杂质区域”或“低电阻区域”。

[0369] 通过将绝缘体271或导电体260用作掩模,可以自对准地形成区域231s及区域231d。因此,区域231s或区域231d不与导电体260重叠,可以减小寄生电容。此外,偏置区域不形成在沟道形成区域与源漏区域(区域231s或区域231d)之间。通过自对准地形成区域231s及区域231d,可以实现通态电流的增加、阈值电压的降低、工作频率的提高等。

[0370] 另外,为了进一步降低关态电流,也可以在沟道形成区域与源漏区域之间设置偏置区域。偏置区域是电阻率高的区域,且是不被进行上述杂质元素的引入的区域。通过在形成绝缘体275后进行上述杂质元素的引入,可以形成偏置区域。在此情况下,与绝缘体271等同样,绝缘体275也被用作掩模。因此,氧化物230b的与绝缘体275重叠的区域不被引入杂质元素,由此可以将该区域的电阻率保持为高。

[0371] 晶体管200E在绝缘体270、导电体260、金属氧化物252、绝缘体250及氧化物230c的侧面包括绝缘体275。绝缘体275优选为相对介电常数低的绝缘体。例如,优选使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅、树脂等。尤其是,当将氧化硅、氧氮化硅、氮氧化硅或具有空孔的氧化硅用于绝缘体275时,在后面的工序中可在绝缘体275中容易形成过剩氧区域,所以是优选的。另外,氧化硅及氧氮化硅具有热稳定性,所以是优选的。此外,绝缘体275优选具有扩散氧的功能。

[0372] 另外,晶体管200E在绝缘体275及氧化物230上包括绝缘体274。绝缘体274优选利用溅射法形成。通过利用溅射法,可以形成水或氢等杂质少的绝缘体。例如,作为绝缘体274,优选使用氧化铝。

[0373] 有时利用溅射法形成的氧化膜从被形成的结构体抽出氢。因此,绝缘体274从氧化物230及绝缘体275抽出氢及水,从而可以降低氧化物230及绝缘体275的氢浓度。

[0374] 本实施方式可以与其他实施方式、实施例等所记载的结构适当地组合而实施。

[0375] (实施方式3)

[0376] 在本实施方式中,参照图15及图16,对根据本发明的一个方式的使用将氧化物用于半导体的晶体管(以下有时称为0S晶体管)及电容器的存储装置(以下有时称为0S存储装置)进行说明。0S存储装置是至少包括电容器和控制该电容器的充放电的0S晶体管的存储装置。因0S晶体管的关态电流极小所以0S存储装置具有优良的保持特性,从而可以被用作非易失性存储器。

[0377] <存储装置的结构实例>

[0378] 图15A示出0S存储装置的结构的一个例子。存储装置1400包括外围电路1411及存

储单元阵列1470。外围电路1411包括行电路1420、列电路1430、输出电路1440、控制逻辑电路1460。

[0379] 列电路1430例如包括列译码器、预充电电路、读出放大器、写入电路等。预充电电路具有对布线进行预充电的功能。读出放大器具有放大从存储单元读出的数据信号的功能。注意,上述布线是连接到存储单元阵列1470所包括的存储单元的布线,下面描述其详细内容。被放大的数据信号作为数据信号RDATA通过输出电路1440输出到存储装置1400的外部。此外,行电路1420例如包括行译码器、字线驱动器电路等,并可以选择要存取的行。

[0380] 对存储装置1400从外部供应作为电源电压的低电源电压(VSS)、外围电路1411用高电源电压(VDD)及存储单元阵列1470用高电源电压(VIL)。此外,对存储装置1400从外部输入控制信号(CE、WE、RE)、地址信号ADDR及数据信号WDATA。地址信号ADDR被输入到行译码器及列译码器,WDATA被输入到写入电路。

[0381] 控制逻辑电路1460对来自外部的输入信号(CE、WE、RE)进行处理来生成行译码器及列译码器的控制信号。CE是芯片使能信号,WE是写入使能信号,并且RE是读出使能信号。控制逻辑电路1460所处理的信号不局限于此,根据需要而输入其他控制信号即可。

[0382] 存储单元阵列1470包括配置为行列状的多个存储单元MC及多个布线。注意,连接存储单元阵列1470和行电路1420的布线的数量取决于存储单元MC的结构、包括在一个列中的存储单元MC的数量等。此外,连接存储单元阵列1470和列电路1430的布线的数量取决于存储单元MC的结构、包括在一个行中的存储单元MC的数量等。

[0383] 另外,虽然在图15A中示出在同一平面上形成外围电路1411和存储单元阵列1470的例子,但是本实施方式不局限于此。例如,如图15B所示,也可以以重叠于外围电路1411的一部分上的方式设置存储单元阵列1470。例如,也可以采用以重叠于存储单元阵列1470下的方式设置读出放大器的结构。

[0384] 图16说明能够适用于上述存储单元MC的存储单元的结构实例。

[0385] [DOSRAM]

[0386] 图16A至图16C示出DRAM的存储单元的电路结构实例。在本说明书等中,有时将使用1OS晶体管1电容器型存储单元的DRAM称为DOSRAM。图16A所示的存储单元1471包括晶体管M1及电容器CA。另外,晶体管M1包括栅极(有时称为顶栅极)及背栅极。

[0387] 晶体管M1的第一端子与电容器CA的第一端子连接,晶体管M1的第二端子与布线BIL连接,晶体管M1的栅极与布线WOL连接,晶体管M1的背栅极与布线BGL连接。电容器CA的第二端子与布线CAL连接。

[0388] 布线BIL被用作位线,布线WOL被用作字线。布线CAL被用作用来对电容器CA的第二端子施加指定的电位的布线。在数据的写入及读出时,优选对布线CAL施加低电平电位。布线BGL被用作用来对晶体管M1的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增加或减少晶体管M1的阈值电压。

[0389] 此外,存储单元MC不局限于存储单元1471,而可以改变其电路结构。例如,存储单元MC也可以采用如图16B所示的存储单元1472那样的晶体管M1的背栅极不与布线BGL连接,而与布线WOL连接的结构。另外,例如,存储单元MC也可以是如图16C所示的存储单元1473那样的由单栅极结构的晶体管,即不包括背栅极的晶体管M1构成的存储单元。

[0390] 在将上述实施方式所示的半导体装置用于存储单元1471等的情况下,作为晶体管

M1可以使用之前的实施方式所示的晶体管。通过作为晶体管M1使用0S晶体管,可以使晶体管M1的泄漏电流为极低。换言之,因为可以由晶体管M1长时间保持写入的数据,所以可以降低存储单元的刷新频率。此外,还可以不进行存储单元的刷新工作。此外,由于泄漏电流极低,因此可以将多值数据或模拟数据保持在存储单元1471、存储单元1472、存储单元1473中。

[0391] 此外,在DOSRAM中,在如上所述那样地采用以重叠于存储单元阵列1470下的方式设置读出放大器的结构时,可以缩短位线。由此,位线电容减小,从而可以减少存储单元的存储电容。

[0392] [NOSRAM]

[0393] 图16D至图16G示出2晶体管1电容器的增益单元型存储单元的电路结构实例。图16D所示的存储单元1474包括晶体管M2、晶体管M3、电容器CB。另外,晶体管M2包括顶栅极(有时简称为栅极)及背栅极。在本说明书等中,有时将包括将0S晶体管用于晶体管M2的增益单元型存储单元的存储装置称为NOSRAM(Nonvolatile Oxide Semiconductor RAM)。

[0394] 晶体管M2的第一端子与电容器CB的第一端子连接,晶体管M2的第二端子与布线WBL连接,晶体管M2的栅极与布线WOL连接,晶体管M2的背栅极与布线BGL连接。电容器CB的第二端子与布线CAL连接。晶体管M3的第一端子与布线RBL连接,晶体管M3的第二端子与布线SL连接,晶体管M3的栅极与电容器CB的第一端子连接。

[0395] 布线WBL被用作写入位线,布线RBL被用作读出位线,布线WOL被用作字线。布线CAL被用作用来对电容器CB的第二端子施加指定的电位的布线。在数据的写入、保持及读出时,优选对布线CAL施加低电平电位。布线BGL被用作用来对晶体管M2的背栅极施加电位的布线。通过对布线BGL施加任意电位,可以增加或减少晶体管M2的阈值电压。

[0396] 此外,存储单元MC不局限于存储单元1474,而可以适当地改变其电路结构。例如,存储单元MC也可以采用如图16E所示的存储单元1475那样的晶体管M2的背栅极不与布线BGL连接,而与布线WOL连接的结构。另外,例如,存储单元MC也可以是如图16F所示的存储单元1476那样的由单栅极结构的晶体管,即不包括背栅极的晶体管M2构成的存储单元。此外,例如,存储单元MC也可以具有如图16G所示的存储单元1477那样的将布线WBL和布线RBL组合为一个布线BIL的结构。

[0397] 在将上述实施方式所示的半导体装置用于存储单元1474等的情况下,作为晶体管M2可以使用之前的实施方式所示的晶体管。通过作为晶体管M2使用0S晶体管,可以使晶体管M2的泄漏电流为极低。由此,因为可以由晶体管M2长时间保持写入的数据,所以可以降低存储单元的刷新频率。此外,还可以不进行存储单元的刷新工作。此外,由于泄漏电流极低,因此可以将多值数据或模拟数据保持在存储单元1474中。存储单元1475至存储单元1477也是同样的。

[0398] 另外,晶体管M3也可以是在沟道形成区域中包含硅的晶体管(以下有时称为Si晶体管)。Si晶体管的导电型可以是n沟道型或p沟道型。Si晶体管的场效应迁移率有时比0S晶体管高。因此,作为用作读出晶体管的晶体管M3,也可以使用Si晶体管。此外,通过将Si晶体管用于晶体管M3,可以层叠于晶体管M3上地设置晶体管M2,从而可以减少存储单元的占有面积,并可以实现存储装置的高集成化。

[0399] 此外,晶体管M3也可以是0S晶体管。在将0S晶体管用于晶体管M2、晶体管M3时,在

存储单元阵列1470中可以只使用n型晶体管构成电路。

[0400] 另外,图16H示出3晶体管1电容器的增益单元型存储单元的一个例子。图16H所示的存储单元1478包括晶体管M4至晶体管M6及电容器CC。电容器CC可以适当地设置。存储单元1478与布线BIL、布线RWL、布线WWL、布线BGL及布线GNDL电连接。布线GNDL是供应低电平电位的布线。另外,也可以将存储单元1478电连接到布线RBL、布线WBL,而不与布线BIL电连接。

[0401] 晶体管M4是包括背栅极的0S晶体管,该背栅极与布线BGL电连接。另外,也可以使晶体管M4的背栅极和栅极互相电连接。或者,晶体管M4也可以不包括背栅极。

[0402] 另外,晶体管M5、晶体管M6各自可以是n沟道型Si晶体管或p沟道型Si晶体管。或者,晶体管M4至晶体管M6都是0S晶体管。在此情况下,可以在存储单元阵列1470中只使用n型晶体管构成电路。

[0403] 在将上述实施方式所示的半导体装置用于存储单元1478时,作为晶体管M4可以使用之前的实施方式所示的晶体管。通过作为晶体管M4使用0S晶体管,可以使晶体管M4的泄漏电流为极低。

[0404] 注意,本实施方式所示的外围电路1411、存储单元阵列1470等的结构不局限于上述结构。另外,也可以根据需要改变,去除或追加这些电路及连接到该电路的布线、电路元件等的配置或功能。

[0405] 本实施方式可以与其他实施方式、实施例等所记载的结构适当地组合而实施。

[0406] (实施方式4)

[0407] 在本实施方式中,参照图17说明安装有本发明的半导体装置的芯片1200的一个例子。在芯片1200上安装有多个电路(系统)。如此,在一个芯片上集成有多个电路(系统)的技术有时被称为系统芯片(System on Chip:SoC)。

[0408] 如图17A所示,芯片1200包括CPU(Central Processing Unit:中央处理器)1211、GPU(Graphics Processing Unit:图形处理器)1212、一个或多个模拟运算部1213、一个或多个存储控制器1214、一个或多个接口1215、一个或多个网络电路1216等。

[0409] 在芯片1200上设置有凸块(未图示),该凸块如图17B所示那样与印刷线路板(PCB: Printed Circuit Board)1201的第一面连接。此外,在PCB1201的第一面的背面设置有多个凸块1202,该凸块1202与母板1203连接。

[0410] 此外,也可以在母板1203上设置有DRAM1221、闪存1222等的存储装置。例如,可以将上述实施方式所示的DOSRAM应用于DRAM1221。此外,例如,可以将上述实施方式所示的NOSRAM应用于闪存1222。

[0411] CPU1211优选具有多个CPU核。此外,GPU1212优选具有多个GPU核。此外,CPU1211和GPU1212可以分别具有暂时储存数据的存储器。或者,也可以在芯片1200上设置有CPU1211和GPU1212共同使用的存储器。可以将上述NOSRAM或DOSRAM应用于该存储器。此外,GPU1212适合用于多个数据的并行计算,其可以用于图像处理或积和运算。通过作为GPU1212设置使用本发明的氧化物半导体的图像处理电路或积和运算电路,可以以低功耗执行图像处理及积和运算。

[0412] 此外,因为同一芯片上设置有CPU1211和GPU1212,所以可以缩短CPU1211和GPU1212之间的布线,并可以以高速进行从CPU1211到GPU1212的数据传送、CPU1211及

GPU1212所具有的存储器之间的数据传送以及GPU1212中的运算结束之后的从GPU1212到CPU1211的运算结果传送。

[0413] 模拟运算部1213具有模拟/数据(A/D)转换电路和数据/模拟(D/A)转换电路中的一方或双方。此外,也可以在模拟运算部1213中设置上述积和运算电路。

[0414] 存储控制器1214具有用作DRAM1221的控制器的电路及用作闪存1222的接口的电路。

[0415] 接口1215具有与如显示装置、扬声器、麦克风、影像拍摄装置、控制器等外部连接设备之间的接口电路。控制器包括鼠标、键盘、游戏机用控制器等。作为上述接口,可以使用USB(Universal Serial Bus:通用串行总线)、HDMI(High-Definition Multimedia Interface:高清晰度多媒体接口)(注册商标)等。

[0416] 网络电路1216具有LAN(Local Area Network:局域网)等网络电路。此外,还可以具有网络安全用电路。

[0417] 上述电路(系统)可以经同一制造工序形成在芯片1200上。由此,即使芯片1200所需的电路个数增多,也不需要增加制造工序,可以以低成本制造芯片1200。

[0418] 可以将包括设置有具有GPU1212的芯片1200的PCB1201、DRAM1221以及闪存1222的基板1203称为GPU模块1204。

[0419] GPU模块1204因具有使用SoC技术的芯片1200而可以减少其尺寸。此外,GPU模块1204因具有高图像处理能力而适合用于智能手机、平板终端、膝上型个人计算机、便携式(可携带)游戏机等便携式电子设备。此外,通过利用用于GPU1212的积和运算电路,可以执行深度神经网络(DNN)、卷积神经网络(CNN)、递归神经网络(RNN)、自动编码器、深度玻尔兹曼机(DBM)、深度置信网络(DBN)等方法,由此可以将芯片1200用作AI芯片,或者,可以将GPU模块用作AI系统模块。

[0420] 本实施方式所示的结构可以与其他实施方式、实施例等所示的结构适当地组合而实施。

[0421] (实施方式5)

[0422] 在本实施方式中,说明使用上述实施方式所示的半导体装置的存储装置的应用例子。上述实施方式所示的半导体装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器终端、数码相机(也包括摄像机)、录像再现装置、导航系统等)的存储装置。注意,在此,计算机包括平板电脑、笔记型计算机、台式计算机以及大型计算机诸如服务器系统。或者,上述实施方式所示的半导体装置应用于存储器卡(例如,SD卡)、USB存储器、SSD(固态硬盘)等各种可移动存储装置。图18示意性地示出可移动存储装置的几个结构实例。例如,上述实施方式所示的半导体装置加工为被封装的存储器芯片并用于各种存储装置或可移动存储器。

[0423] 图18A是USB存储器的示意图。USB存储器1100包括外壳1101、盖子1102、USB连接器1103及衬底1104。衬底1104被容纳在外壳1101中。例如,衬底1104上安装有存储器芯片1105及控制器芯片1106。可以将上述实施方式所示的半导体装置组装于衬底1104上的存储器芯片1105等。

[0424] 图18B是SD卡的外观示意图,图18C是SD卡的内部结构的示意图。SD卡1110包括外壳1111、连接器1112及衬底1113。衬底1113被容纳在外壳1111中。例如,衬底1113上安装有

存储器芯片1114及控制器芯片1115。通过在衬底1113的背面一侧也设置存储器芯片1114,可以增大SD卡1110的容量。此外,也可以将具有无线通信功能的无线芯片设置于衬底1113。由此,通过主机装置与SD卡1110之间的无线通信,可以进行存储器芯片1114的数据的读出及写入。可以将上述实施方式所示的半导体装置组装于衬底1113上的存储器芯片1114等。

[0425] 图18D是SSD的外观示意图,图18E是SSD的内部结构的示意图。SSD1150包括外壳1151、连接器1152及衬底1153。衬底1153被容纳在外壳1151中。例如,衬底1153上安装有存储器芯片1154、存储器芯片1155及控制器芯片1156。存储器芯片1155为控制器芯片1156的工作存储器,例如,可以使用DOSRAM芯片。通过在衬底1153的背面一侧也设置存储器芯片1154,可以增大SSD1150的容量。可以将上述实施方式所示的半导体装置组装于衬底1153上的存储器芯片1154等。

[0426] 本实施方式可以与其他实施方式、实施例等所记载的结构适当地组合而实施。

[0427] (实施方式6)

[0428] 在本实施方式中,作为使用本说明书等所公开的晶体管的半导体装置的一个例子说明显示装置及显示模块。

[0429] 此外,下面有时将参照晶体管200等说明的使用氧化物半导体的晶体管称为OS晶体管。

[0430] <显示装置>

[0431] 接着,对可以使用上述晶体管和/或半导体装置的显示装置的一个例子进行说明。图19A是说明显示装置500的结构实例的方框图。

[0432] 图19A所示的显示装置500包括驱动电路511、驱动电路521a、驱动电路521b及显示区域531。另外,有时将驱动电路511、驱动电路521a及驱动电路521b统称为“驱动电路”或“外围驱动电路”。

[0433] 可以将驱动电路521a及驱动电路521b用作例如扫描线驱动电路。另外,可以将驱动电路511用作例如信号线驱动电路。另外,也可以仅设置驱动电路521a和驱动电路521b中的某一个。此外,也可以在隔着显示区域531与驱动电路511相对的位置设置某种电路。

[0434] 另外,图19A所示的显示装置500包括分别大致平行地设置且由驱动电路521a和/或驱动电路521b控制电位的p条布线535以及分别大致平行地设置且由驱动电路511控制电位的q条布线536(p、q都是1以上的自然数)。并且,显示区域531包括配置为矩阵状的多个像素532。像素532包括像素电路534及显示元件。

[0435] 另外,通过将三个像素532用作一个像素,可以实现全彩色显示。三个像素532分别控制红色光、绿色光或蓝色光的透射率、反射率或发光光量等。另外,由三个像素532控制的光的颜色不局限于红色、绿色、蓝色的组合,也可以是黄、青色、品红色。

[0436] 另外,除了控制红色光、绿色光、蓝色光的像素之外还可以追加控制白色光的像素532并将四个像素532用作一个像素。通过追加控制白色光的像素532,可以提高显示区域的亮度。另外,通过增加用作一个像素的像素532可以适当地组合红色、绿色、蓝色、黄、青色及品红色而使用,由此可以扩大能够再现的色域。

[0437] 当将像素配置为 1920×1080 的矩阵状时,可以实现以所谓全高清(也称为“2K分辨率”、“2K1K”或“2K”等)的分辨率能够显示的显示装置500。另外,例如,当将像素配置为 3840×2160 的矩阵状时,可以实现以所谓超高清(也称为“4K分辨率”、“4K2K”或“4K”等)的分

率能够显示的显示装置500。另外,例如,当将像素配置为 7680×4320 的矩阵状时,可以实现以所谓超高清(也称为“8K分辨率”、“8K4K”或“8K”等)的分辨率能够显示的显示装置500。通过增加像素,也可以实现以16K或32K的分辨率进行显示的显示装置500。

[0438] 第g行的布线535_g(g为1以上且p以下的自然数)与显示区域531中配置在p行q列的多个像素532中的配置于g行的q个像素532电连接。另外,第h列的布线536_h(h为1以上且q以下的自然数)与配置于p行q列的像素532中的配置于h列的p个像素532电连接。

[0439] [显示元件]

[0440] 显示装置500可以采用各种方式或具有各种显示元件。作为显示元件的一个例子,可以举出其对比度、亮度、反射率、透射率等因电或磁作用而变化的显示媒体,如EL(电致发光)元件(有机EL元件、无机EL元件或包含有机物及无机物的EL元件)、LED(白色LED、红色LED、绿色LED、蓝色LED等)、晶体管(根据电流而发光的晶体管)、电子发射元件、液晶元件、电子墨水、电泳元件、光栅光阀(GLV)、使用MEMS(微电子机械系统)的显示元件、数字微镜设备(DMD)、DMS(数码微快门)、MIRASOL(注册商标)、IMOD(干涉测量调节)元件、快门方式的MEMS显示元件、光干涉方式的MEMS显示元件、电润湿(electrowetting)元件、压电陶瓷显示器、使用碳纳米管的显示元件等。此外,作为显示元件,可以使用量子点。

[0441] 作为使用EL元件的显示装置的一个例子,有EL显示器等。作为使用电子发射元件的显示装置的例子,有场致发射显示器(FED)或SED方式平面型显示器(SED: Surface-conduction Electron-emitter Display: 表面传导电子发射显示器)等。作为使用量子点的显示装置的一个例子,有量子点显示器等。作为使用液晶元件的显示装置的一个例子,有液晶显示器(透射型液晶显示器、半透射型液晶显示器、反射型液晶显示器、直观型液晶显示器、投射型液晶显示器)等。作为使用电子墨水、电子粉流体(注册商标)或电泳元件的显示装置的一个例子,有电子纸等。此外,显示装置也可以为等离子体显示器(PDP)。另外,显示装置也可以为视网膜扫描型成像装置。

[0442] 注意,当实现半透射型液晶显示器或反射式液晶显示器时,使像素电极的一部分或全部具有作为反射电极的功能即可。例如,使像素电极的一部分或全部包含铝、银等即可。并且,此时也可以将SRAM等存储电路设置在反射电极下方。由此,可以进一步降低功耗。

[0443] 注意,当使用LED时,也可以在LED的电极或氮化物半导体下配置石墨烯或石墨。石墨烯或石墨也可以为层叠有多个层的多层膜。如此,通过设置石墨烯或石墨,可以更容易地在其上形成氮化物半导体,如具有结晶的n型GaN半导体层等。并且,在其上设置具有结晶的p型GaN半导体层等,由此能够构成LED。另外,也可以在石墨烯或石墨与具有结晶的n型GaN半导体层之间设置AlN层。此外,LED所包括的GaN半导体层也可以通过MOCVD形成。注意,也可以通过设置石墨烯,以溅射法形成LED所包括的GaN半导体层。

[0444] 图19B、图19C、图20A和图20B示出能够用于像素532的电路结构实例。

[0445] [发光显示装置用像素电路的一个例子]

[0446] 图19B所示的像素电路534包括晶体管461、电容器463、晶体管468和晶体管464。另外,图19B所示的像素电路534与能够用作显示元件的发光元件469电连接。

[0447] 可以将0S晶体管用作晶体管461、晶体管468及晶体管464。尤其是,优选将0S晶体管用作晶体管461。

[0448] 晶体管461的源极和漏极中的一个与布线536_h电连接。再者,晶体管461的栅极与

布线535_g电连接。从布线536_h供应视频信号。

[0449] 晶体管461具有控制对节点465写入视频信号的功能。

[0450] 电容器463的一对电极中的一个与节点465电连接,另一个与节点467电连接。另外,晶体管461的源极和漏极中的另一个与节点465电连接。

[0451] 电容器463具有保持写入节点465中的数据的数据的存储电容器的功能。

[0452] 晶体管468的源极和漏极中的一个与电位供应线VL_a电连接,另一个与节点467电连接。并且,晶体管468的栅极与节点465电连接。

[0453] 晶体管464的源极和漏极中的一个与电位供应线V0电连接,另一个与节点467电连接。并且,晶体管464的栅极与布线535_g电连接。

[0454] 发光元件469的阳极和阴极中的一个与电位供应线VL_b电连接,另一个与节点467电连接。

[0455] 作为发光元件469,例如可以使用有机电致发光元件(也称为有机EL元件)等。但是,发光元件469不限于于此,例如也可以使用由无机材料构成的无机EL元件。

[0456] 例如,高电源电位VDD施加到电位供应线VL_a和电位供应线VL_b中的一个,低电源电位VSS施加到另一个。

[0457] 在具有图19B的像素电路534的显示装置500中,通过驱动电路521a和/或驱动电路521b依次选择各行的像素532,使晶体管461及晶体管464成为导通状态以将视频信号写入节点465。

[0458] 当晶体管461及晶体管464处于截止状态时,使数据被写入到节点465的像素532成为保持状态。再者,根据写入到节点465的数据的电位,来控制流过晶体管468的源电极与漏电极之间的电流,并且,发光元件469以对应于流过的电流的亮度发光。通过逐行依次进行上述步骤,可以显示图像。

[0459] 另外,也可以如图20A所示地使用具有背栅极的晶体管作为晶体管461、晶体管464及晶体管468。在图20A所示的晶体管461及晶体管464中,栅极与背栅极电连接。因此,栅极与背栅极一直为相同电位。另外,在晶体管468中背栅极与节点467电连接。因此,背栅极与节点467一直为相同电位。

[0460] 可以将上述0S晶体管用作晶体管461、晶体管468及晶体管464中的至少一个。

[0461] [液晶显示装置用像素电路的一个例子]

[0462] 图19C所示的像素电路534包括晶体管461、电容器463。另外,图19C所示的像素电路534与能够用作显示元件的液晶元件462电连接。优选将0S晶体管用作晶体管461。

[0463] 液晶元件462的一对电极中的一个的电位根据像素电路534的规格适当地设定。例如,可以对液晶元件462的一对电极中的一个施加共同电位(公共电位)或与下述电容线CL相同的电位。另外,也可以对各像素532中的液晶元件462的一对电极中的一个施加不同的电位。液晶元件462的一对电极中的另一个与节点466电连接。液晶元件462的取向状态取决于写入节点466的数据。

[0464] 作为具有液晶元件462的显示装置的驱动方法,例如可以采用TN(Twisted Nematic:扭曲向列)模式、STN(Super Twisted Nematic:超扭曲向列)模式、VA模式、ASM(Axially Symmetric Aligned Micro-cell:轴对称排列微单元)模式、OCB(Optically Compensated Birefringence:光学补偿弯曲)模式、FLC(Ferroelectric Liquid Crystal:

铁电性液晶)模式、AFLC(AntiFerroelectric Liquid Crystal:反铁电液晶)模式、MVA模式、PVA(Patterned Vertical Alignment:垂直取向构型)模式、IPS模式、FFS模式或TBA(Transverse Bend Alignment:横向弯曲取向)模式等。另外,作为显示装置的驱动方法,除了上述驱动方法之外,还有ECB(Electrically Controlled Birefringence:电控双折射)模式、PDLC(Polymer Dispersed Liquid Crystal:聚合物分散型液晶)模式、PNLC(Polymer Network Liquid Crystal:聚合物网络型液晶)模式、宾主模式等。但是并不局限于此,作为显示装置的驱动方法可以使用各种液晶元件及其驱动方式。

[0465] 当作为显示元件使用液晶元件时,可以使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶、铁电液晶、反铁电液晶等。这些液晶材料根据条件呈现出胆甾相、近晶相、立方相、手向列相、各向同性相等。

[0466] 另外,也可以采用不使用取向膜的呈现蓝相(Blue Phase)的液晶。蓝相是液晶相的一种,是指当使胆甾型液晶的温度上升时在即将从胆甾相转变到各向同性相之前出现的相。由于蓝相只出现在较窄的温度范围内,所以为了改善温度范围而将混合有5wt.%以上的手性试剂的液晶组成物用于液晶层。由于包括呈现蓝相的液晶和手性试剂的液晶组成物的响应速度短,即为1msec以下,并且它具有光学各向同性,所以不需要取向处理,并且视角依赖性低。另外,因可以不设置取向膜而不需要摩擦处理,因此可以防止由于摩擦处理而引起的静电破坏,由此可以降低制造工序中的液晶显示装置的不良和破损。因此,可以提高液晶显示装置的生产率。

[0467] 此外,也可以使用将像素(pixel)分成几个区域(子像素)且使分子分别倒向不同方向的被称为多畴化或多畴设计的方法。

[0468] 此外,液晶材料的固有电阻为 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上,优选为 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上,更优选为 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。另外,本说明书中的固有电阻的值为在20℃测量的值。

[0469] 在第g行第h列的像素电路534中,晶体管461的源极和漏极中的一个与布线536_h电连接,另一个与节点466电连接。晶体管461的栅极与布线535_g电连接。布线536_h供应视频信号。晶体管461具有控制向节点466写入视频信号的功能。

[0470] 电容器463的一对电极中的一个与被供应特定电位的布线(以下称为电容线CL)电连接,另一个与节点466电连接。另外,电容线CL的电位的值根据像素电路534的规格适当地设定。电容器463具有保持写入节点466中的数据的存储电容器的功能。

[0471] 例如,在包括图19C的像素电路534的显示装置500中,通过驱动电路521a和/或驱动电路521b依次选择各行的像素电路534,使晶体管461变为导通状态来对节点466写入视频信号。

[0472] 节点466被写入视频信号的像素电路534当晶体管461为关闭状态时变为保持状态。通过按行依次进行上述步骤,可以在显示区域531上显示图像。

[0473] 另外,也可以如图20B所示地使用具有背栅极的晶体管作为晶体管461。图20B所示的晶体管461的栅极与背栅极电连接。因此,栅极与背栅极一直为相同电位。

[0474] [外围电路的结构实例]

[0475] 图21A示出驱动电路511的结构实例。驱动电路511包括移位寄存器512、锁存电路513及缓冲器514。此外,图21B示出驱动电路521a的结构实例。驱动电路521a包括移位寄存器522及缓冲器523。驱动电路521b也可以具有与驱动电路521a相同的结构。

[0476] 移位寄存器512及移位寄存器522被输入起始脉冲SP、时钟信号CLK等。

[0477] [显示装置的结构实例]

[0478] 通过利用上述实施方式所示的OS晶体管,可以将包括移位寄存器的驱动电路的一部分或整体与像素部形成在同一衬底上,来形成系统化面板(system-on-panel)。

[0479] 在本实施方式中,对使用液晶元件的显示装置的结构实例及使用EL元件的显示装置的结构实例进行说明。在图22A中,以围绕设置在第一衬底4001上的像素部4002的方式设置密封剂4005,并且,使用密封剂4005及第二衬底4006对像素部4002进行密封。在图22A中,在第一衬底4001上的与由密封剂4005围绕的区域不同的区域中安装有使用单晶半导体或多晶半导体形成在另行准备的衬底上的信号线驱动电路4003、扫描线驱动电路4004。此外,供应到另行形成的信号线驱动电路4003、扫描线驱动电路4004或者像素部4002的各种信号及电位从FPC4018a(FPC:Flexible Printed Circuit,柔性印刷电路)、FPC4018b供应。

[0480] 在图22B及图22C中,以围绕设置在第一衬底4001上的像素部4002和扫描线驱动电路4004的方式设置有密封剂4005。此外,在像素部4002和扫描线驱动电路4004上设置有第二衬底4006。因此,像素部4002及扫描线驱动电路4004与显示元件一起由第一衬底4001、密封剂4005以及第二衬底4006密封。在图22B及图22C中,在第一衬底4001上的与由密封剂4005围绕的区域不同的区域中安装有使用单晶半导体或多晶半导体形成在另行准备的衬底上的信号线驱动电路4003。在图22B及图22C中,供应到信号线驱动电路4003、扫描线驱动电路4004或者像素部4002的各种信号及电位从FPC4018供应。

[0481] 虽然在图22B及图22C中示出另行形成信号线驱动电路4003并将其安装到第一衬底4001的例子,但是不局限于该结构。既可以另行形成扫描线驱动电路并进行安装,又可以仅另行形成信号线驱动电路的一部分或者扫描线驱动电路的一部分并进行安装。

[0482] 另外,对另行形成的驱动电路的连接方法没有特别的限制,而可以采用引线键合方法、COG(Chip On Glass,玻璃覆晶封装)方法、TCP(Tape Carrier Package:带载封装)、COF(Chip On Film:覆晶薄膜封装)等。图22A是通过COG方法安装信号线驱动电路4003、扫描线驱动电路4004的例子,图22B是通过COG方法安装信号线驱动电路4003的例子,而图22C是通过TCP方法安装信号线驱动电路4003的例子。

[0483] 此外,显示装置有时包括显示元件为密封状态的面板和在该面板中安装有包括控制器的IC等的模块。

[0484] 此外,设置在第一衬底上的像素部及扫描线驱动电路包括多个晶体管,可以应用上述实施方式所示的OS晶体管。

[0485] 图23A及图23B是示出由图22B中的虚线N1-N2表示的部分的截面构成的截面图。图23A是作为显示元件使用液晶元件的液晶显示装置的一个例子。此外,图23B是作为显示元件使用发光元件的发光显示装置(也称为“EL显示装置”)的一个例子。

[0486] 图23A和图23B所示的显示装置包括电极4015,并且,电极4015通过各向异性导电体4019电连接到FPC4018所包括的端子。另外,电极4015在形成在绝缘体4112、绝缘体4111及绝缘体4110中的开口中与布线4014电连接。

[0487] 电极4015由与第一电极层4030相同的导电体形成,布线4014由与晶体管4010及晶体管4011的源电极及漏电极相同的导电体形成。

[0488] 此外,设置在第一衬底4001上的像素部4002和扫描线驱动电路4004包括多个晶体

管。在图23A及图23B中例示像素部4002所包括的晶体管4010和扫描线驱动电路4004所包括的晶体管4011。在图23A中,在晶体管4010及晶体管4011上设置有绝缘体4112,并且在图23B中,在绝缘体4112上还设置有分隔壁4510。

[0489] 另外,晶体管4010及晶体管4011设置在绝缘体4102上。另外,晶体管4010及晶体管4011包括形成在绝缘体4103上的电极4017,电极4017上形成有绝缘体4112。电极4017可以用作背栅电极。

[0490] 晶体管4010及晶体管4011可以使用上述实施方式所示的晶体管。作为晶体管4010及晶体管4011优选使用0S晶体管。0S晶体管的电特性波动受到抑制,所以在电性上稳定。因此,可以使图23A及图23B所示的本实施方式的显示装置成为高可靠性的显示装置。

[0491] 另外,0S晶体管可以降低关闭状态下的电流值(关态电流值)。因此,可以延长图像信号等的电信号的保持时间,并且,还可以延长电源导通状态下的写入间隔。因此,可以降低刷新工作的频度,所以具有抑制功耗的效果。

[0492] 此外,由于0S晶体管也可以得到较高的场效应迁移率,因此可以进行高速驱动。由此,通过在显示装置的驱动电路部或像素部中使用上述0S晶体管,可以提供高品质的图像。另外,由于可以在同一衬底上分别制造驱动电路及像素部,所以可缩减显示装置的构件个数。

[0493] 另外,图23A及图23B所示的显示装置包括电容器4020。电容器4020包括在与晶体管4010的栅电极相同的工序中形成的电极4021以及在与源电极及漏电极相同的工序中形成的电极。各电极隔着绝缘体4103彼此重叠。

[0494] 一般而言,考虑在像素部中配置的晶体管的泄漏电流等设定在显示装置的像素部中设置的电容器的容量以使其能够在指定期间保持电荷。电容器的容量考虑晶体管的关态电流等设定即可。

[0495] 例如,通过在液晶显示装置的像素部中使用0S晶体管,可以将电容器的容量降低至液晶容量的1/3以下、进而1/5以下。当使用0S晶体管时,可以不设置电容器。

[0496] 设置在像素部4002中的晶体管4010与显示元件电连接。在图23A中,作为显示元件的液晶元件4013包括第一电极层4030、第二电极层4031以及液晶层4008。注意,以夹持液晶层4008的方式设置有用取向膜的绝缘体4032、绝缘体4033。第二电极层4031设置在第二衬底4006一侧,第一电极层4030与第二电极层4031隔着液晶层4008重叠。

[0497] 此外,间隔物4035是通过绝缘体选择性地蚀刻而得到的柱状间隔物,并且它是为控制第一电极层4030和第二电极层4031之间的间隔(单元间隙)而设置的。注意,还可以使用球状间隔物。

[0498] 此外,在显示装置中,可以适当地设置黑矩阵(遮光层)、偏振构件、相位差构件、抗反射构件等的光学构件(光学衬底)等。例如,也可以使用利用偏振衬底以及相位差衬底的圆偏振。此外,作为光源,也可以使用背光、侧光等。

[0499] 此外,图23A及图23B所示的显示装置包括绝缘体4111及绝缘体4104。作为绝缘体4111及绝缘体4104,使用不容易使杂质元素透过的绝缘体。通过由绝缘体4111和绝缘体4104夹持晶体管的半导体层,可以防止来自外部的杂质的混入。此外,当绝缘体4111及绝缘体4104在像素部4002的外侧接触时,可以提高防止杂质从外部混入的效果。

[0500] 例如,使用与绝缘体222同样的材料及方法形成绝缘体4104,即可。例如,使用与绝

缘体274同样的材料及方法形成绝缘体4111,即可。

[0501] 作为显示装置所包括的显示元件,可以应用利用电致发光的发光元件(也称为EL元件)。EL元件在一对电极之间具有包含发光化合物的层(也称为EL层)。当使一对电极之间产生高于EL元件的阈值电压的电位差时,空穴从阳极一侧注入到EL层中,而电子从阴极一侧注入到EL层中。被注入的电子和空穴在EL层中重新结合,由此,包含在EL层中的发光物质发光。

[0502] EL元件根据发光材料是有机化合物还是无机化合物被区别,通常前者被称为有机EL元件,而后者被称为无机EL元件。

[0503] 在有机EL元件中,通过施加电压,电子从一个电极注入到EL层中,而空穴从另一个电极注入到EL层中。通过这些载流子(电子及空穴)重新结合,发光有机化合物形成激发态,当从该激发态回到基态时发光。由于这种机理,这种发光元件被称为电流激发型发光元件。

[0504] EL层除了发光化合物以外也可以还包括空穴注入性高的物质、空穴传输性高的物质、空穴阻挡材料、电子传输性高的物质、电子注入性高的物质或双极性的物质(电子传输性及空穴传输性高的物质)等。

[0505] EL层可以通过蒸镀法(包括真空蒸镀法)、转印法、印刷法、喷墨法、涂敷法等的方法形成。

[0506] 无机EL元件根据其元件结构而分类为分散型无机EL元件和薄膜型无机EL元件。分散型无机EL元件包括发光层,其中发光材料的粒子分散在粘合剂中,并且其发光机理是利用供体能级和受主能级的供体-受主重新结合型发光。薄膜型无机EL元件是其中发光层夹在电介质层之间,并且该夹着发光层的电介质层夹在电极之间的结构,其发光机理是利用金属离子的内壳层电子跃迁的局部型发光。注意,这里作为发光元件使用有机EL元件进行说明。

[0507] 为了取出发光,使发光元件的一对电极中的至少一个为透明即可。在衬底上形成有晶体管及发光元件。作为发光元件可以采用从与该衬底相反一侧的表面取出发光的顶部发射结构;从衬底一侧的表面取出发光的底部发射结构;以及从两个表面取出发光的双面发射结构。

[0508] 发光元件4513与设置在像素部4002中的晶体管4010电连接。虽然发光元件4513具有第一电极层4030、发光层4511及第二电极层4031的叠层结构,但是不局限于该结构。根据从发光元件4513取出光的方向等,可以适当地改变发光元件4513的结构。

[0509] 分隔壁4510使用有机绝缘材料或无机绝缘材料形成。尤其优选使用感光树脂材料,在第一电极层4030上形成开口部,并且将该开口部的侧面形成为具有连续曲率的倾斜面。

[0510] 发光层4511可以使用一个层构成,也可以使用多个层的叠层构成。

[0511] 为了防止氧、氢、水分、二氧化碳等侵入发光元件4513,也可以在第二电极层4031及分隔壁4510上形成保护层。作为保护层,可以形成氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜、氮氧化铝膜、DLC(Diamond Like Carbon)膜等。此外,在由第一衬底4001、第二衬底4006以及密封剂4005密封的空间中设置有填充剂4514并被密封。如此,为了不暴露于外部气体,优选使用气密性高且脱气少的保护薄膜(粘合薄膜、紫外线固化树脂薄膜等)、覆盖材料进行封装(封入)。

[0512] 作为填充剂4514,除了氮或氩等惰性气体以外,也可以使用紫外线固化树脂或热固化树脂,例如可以使用PVC(聚氯乙烯)、丙烯酸类树脂、聚酰亚胺、环氧类树脂、硅酮类树脂、PVB(聚乙烯醇缩丁醛)或EVA(乙烯-醋酸乙烯酯)等。填充剂4514也可以包含干燥剂。

[0513] 作为密封剂4005,可以使用玻璃粉等玻璃材料或者两液混合型树脂等在常温下固化的固化树脂、光固化树脂、热固化树脂等树脂材料。密封剂4005也可以包含干燥剂。

[0514] 另外,根据需要,也可以在发光元件的光射出面上适当地设置诸如偏振片或者圆偏振片(包括椭圆偏振片)、相位差板($\lambda/4$ 板, $\lambda/2$ 板)、滤色片等的光学薄膜。此外,也可以在偏振片或者圆偏振片上设置抗反射膜。例如,可以进行抗眩光处理,该处理是通过利用表面的凹凸扩散反射光来降低反射眩光的处理。

[0515] 通过使发光元件具有微腔结构,能够提取色纯度高的光。另外,通过组合微腔结构和滤色片,可以防止反射眩光,而可以提高图像的可见度。

[0516] 关于对显示元件施加电压的第一电极层及第二电极层(也称为像素电极层、公共电极层、对置电极层等),根据取出光的方向、设置电极层的地方以及电极层的图案结构而选择其透光性、反射性,即可。

[0517] 作为第一电极层4030及第二电极层4031,可以使用包含氧化钨的氧化铟、包含氧化钨的铟锌氧化物、包含氧化钛的氧化铟、铟锡氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等具有透光性的导电材料。

[0518] 此外,第一电极层4030及第二电极层4031可以使用钨(W)、钼(Mo)、锆(Zr)、铪(Hf)、钒(V)、铌(Nb)、钽(Ta)、铬(Cr)、钴(Co)、镍(Ni)、钛(Ti)、铂(Pt)、铝(Al)、铜(Cu)、银(Ag)等金属、其合金和其氮化物中的一种以上形成。

[0519] 此外,第一电极层4030及第二电极层4031可以使用包含导电高分子(也称为导电聚合物)的导电组成物形成。作为导电高分子,可以使用所谓的 π 电子共轭导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者由苯胺、吡咯及噻吩中的两种以上构成的共聚物或其衍生物等。

[0520] 此外,由于晶体管容易因静电等而损坏,所以优选设置用来保护驱动电路的保护电路。保护电路优选使用非线性元件构成。

[0521] 通过采用上述实施方式所示的晶体管,可以提供高可靠性的显示装置。此外,通过采用上述实施方式所示的晶体管,可以进一步提高显示装置的可靠性。另外,通过采用上述实施方式所示的晶体管,可以提供具有高分辨率、大尺寸且高显示质量的显示装置。另外,可以提供一种功耗得到降低的显示装置。

[0522] <显示模块>

[0523] 作为采用上述OS晶体管的半导体装置的一个例子对显示模块进行说明。在图24所示的显示模块6000中,在上盖6001与下盖6002之间设置有连接于FPC6003的触摸传感器6004、连接于FPC6005的显示面板6006、背光单元6007、框架6009、印刷电路板6010和电池6011。注意,有时没有设置背光单元6007、电池6011、触摸传感器6004等。

[0524] 例如,可以将本发明的一个方式的半导体装置用于安装在触摸传感器6004、显示面板6006、印刷电路板6010上的集成电路等。例如,可以将之前所述的显示装置用于显示面板6006。

[0525] 上盖6001和下盖6002的形状和尺寸可以根据触摸传感器6004和显示面板6006等

的尺寸适当地改变。

[0526] 触摸传感器6004可以为电阻膜式或电容式,并且能够与显示面板6006重叠而使用。可以对显示面板6006附加触摸传感器功能。例如,也可以通过在显示面板6006的每个像素内设置触摸传感器用电极,附加电容式触摸面板的功能等。或者,也可以通过在显示面板6006的每个像素内设置光传感器,附加光学式触摸传感器的功能等。在不需要设置触摸传感器6004的情况下,也可以省略触摸传感器6004。

[0527] 背光单元6007包括光源6008。可以将光源6008设置于背光单元6007的端部,并且可以使用光扩散板。另外,当将发光显示装置等用于显示面板6006时,可以省略背光单元6007。

[0528] 框架6009除了保护显示面板6006的功能之外还具有阻挡从印刷电路板6010一侧产生的电磁波的电磁屏蔽的功能。框架6009可以具有散热板的功能。

[0529] 印刷电路板6010包括电源电路以及用来输出视频信号及时钟信号的信号处理电路等。作为对电源电路供电的电源,可以使用电池6011或商用电源。注意,当作为电源使用商用电源时可以省略电池6011。

[0530] 另外,显示模块6000还可以追加设置有诸如偏振片、相位差板、棱镜片等的构件。

[0531] 本实施方式可以与其他实施方式等所记载的结构适当地组合而实施。

[0532] (实施方式7)

[0533] 根据本发明的一个方式的半导体装置可以应用于如CPU、GPU等处理器或芯片。图25示出具有根据本发明的一个方式的如CPU、GPU等处理器或芯片的电子设备的例子。

[0534] 〈电子设备及系统〉

[0535] 根据本发明的一个方式的GPU或芯片可以安装在各种各样的电子设备。作为电子设备的例子,例如除了电视装置、台式或笔记本型个人计算机、用于计算机等的显示器、数字标牌(Digital Signage)、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外,还可以举出数码相机、数码摄像机、数码相框、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。此外,通过将根据本发明的一个方式的集成电路或芯片设置在电子设备中,可以使电子设备具备人工智能。

[0536] 本发明的一个方式的电子设备也可以包括天线。通过由天线接收信号,可以在显示部上显示影像或信息等。此外,在电子设备包括天线及二次电池时,可以将天线用于非接触电力传送。

[0537] 本发明的一个方式的电子设备也可以包括传感器(该传感器具有测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0538] 本发明的一个方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上的功能;触控面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据的功能;等。图25示出电子设备的例子。

[0539] [移动电话机]

[0540] 图25A示出信息终端之一的移动电话机(智能手机)。信息终端5500包括外壳5510及显示部5511,作为输入接口在显示部5511中具备触控面板,并且在外壳5510上设置有按

钮。

[0541] 通过将本发明的一个方式的芯片应用于信息终端5500,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出识别会话来将该会话的内容显示在显示部5511上的应用程序、识别由使用者输入到显示部5511所具备的触控面板的文字或图形等来将该文字或该图形显示在显示部5511上的应用程序、执行指纹或声纹等的生物识别的应用程序等。

[0542] [信息终端]

[0543] 图25B示出台式信息终端5300。台式信息终端5300包括信息终端主体5301、显示器5302及键盘5303。

[0544] 与上述信息终端5500同样,通过将本发明的一个方式的芯片应用于台式信息终端5300,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出设计支援软件、文章校对软件、菜单自动生成软件等。此外,通过使用台式信息终端5300,可以研发新颖的人工智能。

[0545] 注意,在上述例子中,图25A及图25B示出智能手机及台式信息终端作为电子设备的例子,但是也可以应用智能手机及台式信息终端以外的信息终端。作为智能手机及台式信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、笔记本式信息终端、工作站等。

[0546] [电器产品]

[0547] 图25C示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。

[0548] 通过将本发明的一个方式的芯片应用于电冷藏冷冻箱5800,可以实现具备人工智能的电冷藏冷冻箱5800。通过利用人工智能,可以使电冷藏冷冻箱5800具有基于储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等自动生成菜单的功能、根据所储存的食品自动调整电冷藏冷冻箱5800的温度的功能。

[0549] 在上述例子中,作为电器产品说明了电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空调机、洗衣机、干衣机、视听设备等。

[0550] [游戏机]

[0551] 图25D示出游戏机的一个例子的便携式游戏机5200。便携式游戏机包括外壳5201、显示部5202及按钮5203等。

[0552] 通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5200,可以实现低功耗的便携式游戏机5200。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0553] 此外,通过将本发明的一个方式的GPU或芯片应用于便携式游戏机5200,可以实现具备人工智能的便携式游戏机5200。

[0554] 游戏的进展、游戏中出现的生物的言行、游戏上发生的现象等的表现本来是由该游戏所具有的程序规定的,但是通过将人工智能应用于便携式游戏机5200,可以实现不局限于游戏的程序的表现。例如,可以实现游戏玩者提问的内容、游戏的进展情况、时间、游戏上出现的人物的言行变化等的表现。

[0555] 此外,当使用便携式游戏机5200玩需要多个人玩的游戏时,可以利用人工智能构成拟人的游戏玩者,由此可以将人工智能的游戏玩者当作对手,一个人也可以玩多个人玩的游戏。

[0556] 虽然图25D示出便携式游戏机作为游戏机的一个例子,但是应用本发明的一个方式的GPU或芯片的游戏机不局限于此。作为应用本发明的一个方式的GPU或芯片的游戏机,例如可以举出家用固定式游戏机、设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0557] [移动体]

[0558] 本发明的一个方式的GPU或芯片可以应用于作为移动体的汽车及汽车的驾驶席周边。

[0559] 图25E1是示出移动体的一个例子的汽车5700的图,图25E2是示出汽车室内的前挡风玻璃周边的图。图25E2示出安装在仪表盘的显示面板5701、显示面板5702、显示面板5703以及安装在支柱的显示面板5704。

[0560] 显示面板5701至显示面板5703可以通过显示速度表、转速计、行驶距离、加油量、排档状态、空调的设定而提供各种信息。此外,使用者可以根据喜好适当地改变显示面板所显示的显示内容及布局等,可以提高设计性。显示面板5701至显示面板5703还可以用作照明装置。

[0561] 通过将由设置在汽车5700的摄像装置(未图示)拍摄的影像显示在显示面板5704上,可以补充被支柱遮挡的视野(死角)。也就是说,通过显示由设置在汽车5700外侧的摄像装置拍摄的影像,可以补充死角,从而可以提高安全性。此外,通过显示补充看不到的部分的影像,可以更自然、更舒适地确认安全。显示面板5704还可以用作照明装置。

[0562] 因为可以将本发明的一个方式的GPU或芯片用作人工智能的构成要素,例如可以将该芯片用于汽车5700的自动驾驶系统。该芯片也可以用于进行导航、危险预测等的系统。此外,可以在显示面板5701至显示面板5704上显示导航、危险预测等信息。

[0563] 虽然在上述例子中作为移动体的一个例子说明了汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等,可以对这些移动体应用本发明的一个方式的芯片,以提供利用人工智能的系统。

[0564] [广播电视系统]

[0565] 本发明的一个方式的GPU或芯片可以应用于广播电视系统。

[0566] 图25F示意性地示出广播电视系统中的数据传送。具体而言,图25F示出从广播电视台5680发送的电波(广播电视信号)到达每个家庭的电视接收机(TV)5600的路径。TV5600具备接收机(未图示),由此天线5650所接收的广播电视信号通过该接收机输入TV5600。

[0567] 虽然在图25F中示出超高频率(UHF:Ultra High Frequency)天线作为天线5650,但是可以使用BS及110度CS天线、CS天线等作为天线5650。

[0568] 电波5675A及电波5675B为地面广播电视信号,电波塔5670放大所接收的电波5675A并发送电波5675B。各家庭通过用天线5650接收电波5675B,就可以用TV5600收看地面TV播放。此外,广播电视系统可以为利用人造卫星的卫星广播电视、利用光路线的数据广播电视等而不局限于图25F所示的地面广播电视。

[0569] 此外,也可以将本发明的一个方式的芯片应用于上述广播电视系统,以形成利用人工智能的广播电视系统。当从广播电视台5680向每个家庭的TV5600发送广播电视数据时,利用编码器进行广播电视数据的压缩;当天线5650接收该广播电视数据时,利用包括在TV5600中的接收机的译码器进行该广播电视数据的恢复。通过利用人工智能,例如可以在编码器的压缩方法之一的波动补偿预测中识别包含在显示图像中的显示模型。此外,也可以进行利用人工智能的帧内预测等。例如,当TV5600接收低分辨率的广播电视数据而进行高分辨率的显示时,可以在译码器所进行的广播电视数据的恢复中进行上转换等图像的补充处理。

[0570] 上述利用人工智能的广播电视系统适合用于广播电视数据量增大的超高清晰度电视(UHDTV:4K、8K)播放。

[0571] 此外,作为TV5600一侧的人工智能的应用,例如,可以在TV5600内设置具备人工智能的录像装置。通过采用这种结构,可以使该具备人工智能的录像装置学习使用者的爱好,而可以自动对符合使用者的爱好的电视节目录像。

[0572] 在本实施方式中说明的电子设备、该电子设备的功能、人工智能的应用例子以及其效果等可以与其他的电子设备的记载适当地组合而实施。

[0573] 本实施方式可以与其他的实施方式、实施例等所记载的结构适当地组合而实施。

[0574] [实施例1]

[0575] 在本实施例中,制造晶体管900的周围配置有伪图案900D(伪图案905D、伪图案930D、伪图案960D、伪图案948D及伪图案946D)的半导体装置,对晶体管900的电特性进行测定。另外,晶体管900的沟道长度为60nm,沟道宽度为60nm。另外,在同一工序中形成四个晶体管900。

[0576] 图26示出晶体管900及伪图案900D的示意图。图26的最左列的上侧示出晶体管900的俯视示意图,下侧示出L长度方向上的示意图。晶体管900至少包括被用作第一栅极的导电体960、被用作第二栅极的导电体905、具有形成沟道的区域(下面也称为沟道形成区域)的氧化物930、与氧化物930电连接的导电体946(导电体946s及导电体946d)及与导电体946电连接的导电体948(导电体948s及导电体948d)。

[0577] 此外,伪图案900D包括导电体905D、氧化物930D、导电体960D、导电体948D及导电体946D中的至少一个。具体而言,图26的从右边起第一列至第五列的下侧示出导电体905D、氧化物930D、导电体960D、导电体948D及导电体946D的L长度方向上的示意图。此外,图26的从右边起第一列至第五列的上侧示出在晶体管900的周围配置导电体905D、氧化物930D、导电体960D、导电体948D及导电体946D时的布局的示意图。

[0578] 另外,以与晶体管900所包括的结构体同一工序及形状制造伪图案900D所包括的结构体。例如,导电体905D以与导电体905同一工序形成并具有与导电体905同一形状。与同样地,氧化物930D、导电体960D、导电体948D及导电体946D也分别以与氧化物930、导电体960、导电体948及导电体946同一工序形成并具有与它们同一形状。

[0579] 在本实施例中,组合导电体905D、氧化物930D、导电体960D、导电体948D及导电体946D制造19种伪图案900D。此外,在晶体管900的周围配置同一结构的伪图案900D,来制造19个半导体装置。另外,作为比较例子制造没有设置伪图案900D的半导体装置。

[0580] 注意,在半导体装置中,在将伪图案900D看作晶体管900时将晶体管900的密度设

定为0.88个/ μm^2 。

[0581] 此外,下表示出用于晶体管900及伪图案900D的结构体的材料。

[0582] [表1]

[0583]	结构	材料
	948	钨
	946	氮化钛\钨
	960	氮化钛\钨
	930	氧化物半导体
	905	钨

[0584] <样品的制造方法>

[0585] 下面,说明晶体管900的制造方法。

[0586] 通过溅射法形成钨膜,进行加工来形成导电体905。

[0587] 氧化物930具有由四层构成的叠层结构。作为第一氧化物,通过溅射法使用In:Ga:Zn=1:3:4[原子个数比]的靶材来形成In-Ga-Zn氧化物。接着,作为第二氧化物,在第一氧化物上通过溅射法使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材来形成In-Ga-Zn氧化物。另外,连续形成第一氧化物和第二氧化物。

[0588] 作为第三氧化物,在第二氧化物上通过溅射法使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材来形成In-Ga-Zn氧化物。接着,作为第四氧化物,在第三氧化物上通过溅射法使用In:Ga:Zn=1:3:4[原子个数比]的靶材来形成In-Ga-Zn氧化物。另外,连续形成第三氧化物和第四氧化物。

[0589] 对通过CVD法连续形成的氮化钛膜及钨膜进行加工来形成导电体960。

[0590] 对通过CVD法连续形成的氮化钛膜及钨膜进行加工来形成导电体946。

[0591] 对通过溅射法形成的钨膜进行加工来形成导电体948。

[0592] 通过上述工序制造晶体管900及伪图案900D。

[0593] <晶体管的电特性>

[0594] 接着,作为19个半导体装置的每一个所包括的晶体管900的电特性,对Id-Vg特性及场效应迁移率(下面也统称为电特性)进行测定。

[0595] 在此,图27及图28的第一级及第三级示出各半导体装置所包括的伪图案900D的L长度方向上的示意图。此外,图27及图28的第二级及第四级示出19个半导体装置的每一个所包括的六个晶体管的Id-Vg特性的初始特性及场效应迁移率。

[0596] 另外,第二级示出第一级的伪图案900D所包括的半导体装置的电特性的图表,第四级示出第三级的伪图案900D所包括的半导体装置的电特性的图表。此外,图27的上侧的最左端示出没有设置伪图案900D的半导体装置的电特性作为比较例子。

[0597] 另外,在Id-Vg特性的测定中,测定使施加到晶体管900的导电体960的电位(下面也称为栅电位(Vg))从第一值变为第二值时的导电体946s和导电体946d之间的电流(下面也称为漏极电流(Id))的变化。

[0598] 在此,将施加到导电体946s的电位(下面也称为源电位Vs)和施加到导电体946d的电位(下面也称为漏极电位Vd)之差的电压(下面也称为漏极电压)设定为+0.1V或+1.2V,并测定使源电位和栅电位之差的电压(下面也称为栅极电压)从-4.0V变为+4.0V时的漏极电

流(I_d)的变化。

[0599] 注意,在本测定中,被用作第二栅电极(背栅电极)的导电体905的电位(下面也称为背栅电位(V_{bg}))为0.00V。

[0600] 此外,在电特性的图表中,点划线表示 V_d 为1.2V时的 I_d ,实线表示 V_d 为0.1V时的 I_d 。此外,虚线表示场效应迁移率。另外,在电特性的图表中,第一纵轴表示 I_d [A],第二纵轴表示场效应迁移率(μ_{FE} [cm^2/Vs]),横轴表示 V_g [V]。此外,场效应迁移率根据将 V_d 设定为1.2V时测定出的值算出。

[0601] 由图27及图28所示的结果可知由于在晶体管900的周围配置伪图案900D而晶体管900的电特性发生变化。特别是,场效应迁移率显著地受到伪图案900D的有无或结构所带来的影响。

[0602] 由此可以推测能够通过配置伪图案900D来控制晶体管900的电特性。

[0603] 本实施例的至少一部分可以与本说明书中所示的其他实施方式适当地组合而实施。

[0604] [实施例2]

[0605] 在本实施例中,制造晶体管800的周围配置有伪图案800D的半导体装置,并对晶体管800的电特性进行测定。注意,晶体管800的沟道长度的设计值为60nm,沟道宽度的设计值为60nm。

[0606] 在本实施例中制造配置在晶体管800的周围的伪图案800D的布局不同的四种半导体装置(样品2A、样品2B、样品2C及样品2D)。此外,作为晶体管800及伪图案800D,制造图10所说明的晶体管200B2。

[0607] 另外,以与晶体管800所包括的结构体同一工序及形状制造伪图案800D所包括的结构体。

[0608] 在此,在样品2A及样品2C中,在将伪图案800D看作晶体管800时将晶体管800的密度设定为0.88个/ μm^2 。此外,同样地,在样品2B中,在将伪图案800D看作晶体管800时将晶体管800的密度设定为2.0个/ μm^2 。此外,在样品2D中,在将伪图案800D看作为晶体管800时将晶体管800的密度设定为2.9个/ μm^2 。

[0609] 再者,样品2A及样品2B采用在晶体管800和伪图案800D之间具有空隙的布局。另一方面,样品2C及样品2D采用在晶体管800和伪图案800D之间没有空隙的布局。

[0610] 此外,样品2B及样品2D采用为以高密度配置晶体管800或伪图案800D而使晶体管800和伪图案800D发生短路的布局。另外,本实施例中的短路在晶体管800和伪图案800D中的各导电体260和导电体205由同一结构体构成时发生。

[0611] <样品的制造方法>

[0612] 下面说明晶体管800及伪图案800D的制造方法。

[0613] 氧化物230具有由四层构成的叠层结构。作为氧化物230a,通过溅射法使用In:Ga:Zn=1:3:4[原子个数比]的靶材来形成In-Ga-Zn氧化物。接着,作为氧化物230b,通过溅射法使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材来形成In-Ga-Zn氧化物。另外,连续形成氧化物230a及氧化物230b。

[0614] 作为氧化物230c的第一层,在氧化物230b上通过溅射法使用In:Ga:Zn=4:2:4.1[原子个数比]的靶材来形成In-Ga-Zn氧化物。接着,作为氧化物230c的第二层,在氧化物

230c的第一层中通过溅射法使用In:Ga:Zn=1:3:4[原子个数比]的靶材来形成In-Ga-Zn氧化物。另外,连续形成氧化物230c的第一层及氧化物230c的第二层。

[0615] 通过上述工序制造晶体管800及伪图案800D。

[0616] <晶体管的电特性>

[0617] 接着,作为19个半导体装置的每一个所包括的晶体管800的电特性,对Id-Vg特性及场效应迁移率(下面也统称为电特性)进行测定。

[0618] 另外,在Id-Vg特性的测定中,测定使施加到被用作晶体管800的栅电极的导电体260的电位(下面也称为栅电位(Vg))从第一值改变至第二值时的导电体242s和导电体242d之间的电流(下面也称为漏极电流(Id))的变化。

[0619] 在此,将施加到导电体242s的电位(下面也称为源电位Vs)和施加到导电体242d的电位(下面也称为漏极电位Vd)之差的电压(下面也称为漏极电压)设定为+0.1V或+1.2V,并测定使源电位和栅电位之差的电压(下面也称为栅极电压)从-4.0V改变至+4.0V时的漏极电流(Id)的变化。

[0620] 注意,在本测定中,被用作第二栅电极(背栅电极)的导电体205的电位(下面也称为背栅电位(Vbg))为0.00V。

[0621] 另外,在电特性的图表中,第一纵轴表示Id[A],第二纵轴表示场效应迁移率(μ_{FE} [cm^2/Vs]),横轴表示Vg[V]。此外,场效应迁移率根据将Vd设定为1.2V时测定出的值算出。

[0622] 图29的第一级示出表示样品2A至样品2D的布局的平面图。此外,图29的第二级示出各样品的Id-Vg特性的初始特性及场效应迁移率。此外,在电特性的图表中,点划线表示Vd为1.2V时的Id,实线表示Vd为0.1V时的Id。此外,虚线表示场效应迁移率。

[0623] <晶体管的可靠性>

[0624] 接着,为了检查晶体管的可靠性,对样品2A至样品2D所包括的多个晶体管中的任意一个进行GBT(Gate Bias Temperature)应力测试。GBT应力测试是一种可靠性测试,可以对长期使用所导致的晶体管的特性变化进行评价。

[0625] 在GBT应力测试中,将形成有晶体管的衬底维持为恒定的温度,使晶体管的源极及漏极具有相同电位,对第一栅电位施加不同于源电位及漏电位的电位一定时间。在本实施例中,作为形成有样品2A至样品2D的衬底温度维持150℃来进行加速测试。此外,晶体管的源电位和漏极电位为0.00V,第一栅电位为+3.63V。

[0626] 另外,在GBT应力测试中,在经过任意时间后以上述条件测定Id-Vg特性。注意,将背栅电位设定为0.00V。

[0627] 此外,GBT应力测试在经过12小时后停止。具体而言,在停止对各电极施加电位并以将衬底温度维持为150℃的状态经过任意时间后,以上述条件测定Id-Vg特性。

[0628] 图30示出本实施例中的GBT应力测试结果。图30的第一级示出各样品的Id-Vg特性的初始特性(实线)、经过12小时后的Id-Vg特性(点划线)及从测试的开始起经过14小时,即,从GBT应力测试的停止起经过2小时的Id-Vg特性(虚线)。

[0629] 此外,图30的第二级示出GBT应力测试结果。此外,作为晶体管的电特性的波动量的指标,使用晶体管的阈值电压(以下,也称为Vsh)的随时间的变化(以下,也称为 ΔV_{sh})。注意,在Id-Vg特性中,将Vsh定义为 $I_d = 1.0 \times 10^{-12}$ [A]时的Vg的值。这里,例如,在开始应力测试时的Vsh为+0.50V且开始应力测试100sec后的Vsh为-0.55V的情况下,施加应力100sec

后的 ΔV_{sh} 为 -1.05V。

[0630] 由图29及图30所示的结果可知由于在晶体管800的周围配置伪图案800D而晶体管800的电特性产生变化。

[0631] 由此可以推测能够通过配置伪图案800D来控制晶体管800的电特性。

[0632] 本实施例的至少一部分可以与本说明书中所示的其他实施方式适当地组合而实施。

[0633] [符号说明]

[0634] 10衬底、11区域、12区域、13结构体、14沉积膜、15膜、16元件、17掩模、18伪元件、19等离子体、100sec应力、110BS • 、200晶体管、200A晶体管、200B晶体管、200B2晶体管、200C晶体管、200D晶体管、203导电体、205导电体、205a导电体、205b导电体、210绝缘体、212绝缘体、214绝缘体、216绝缘体、220绝缘体、222绝缘体、224绝缘体、230氧化物、230a氧化物、230b氧化物、230c氧化物、231区域、231d区域、231s区域、240导电体、240d导电体、240s导电体、242导电体、242s导电体、242d导电体、242d导电体、242s导电体、244绝缘体、245绝缘体、246插头、246b插头、246d插头、246s插头、246t插头、250绝缘体、252金属氧化物、260导电体、260a导电体、260b导电体、270绝缘体、271绝缘体、273绝缘体、274绝缘体、275绝缘体、276绝缘体、276s绝缘体、276d绝缘体、280绝缘体、282绝缘体、284绝缘体

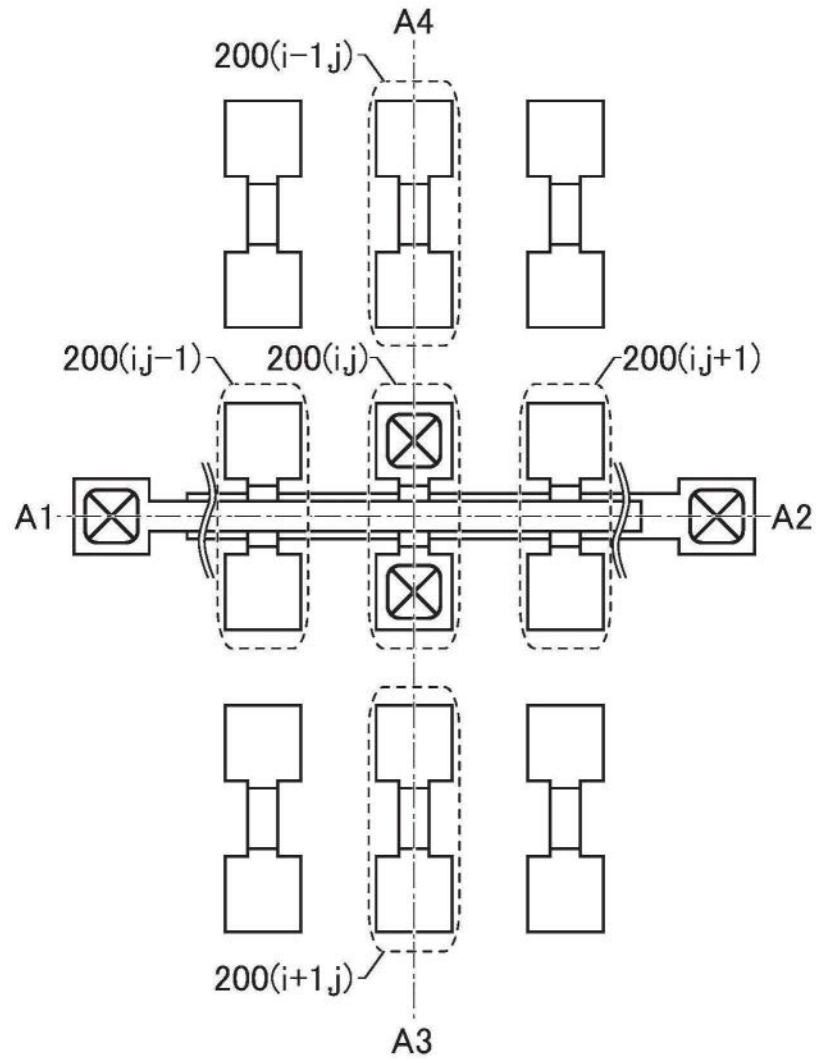


图1A

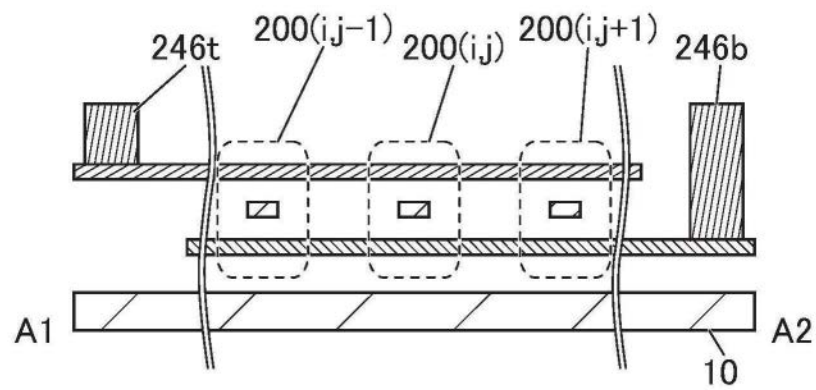


图1B

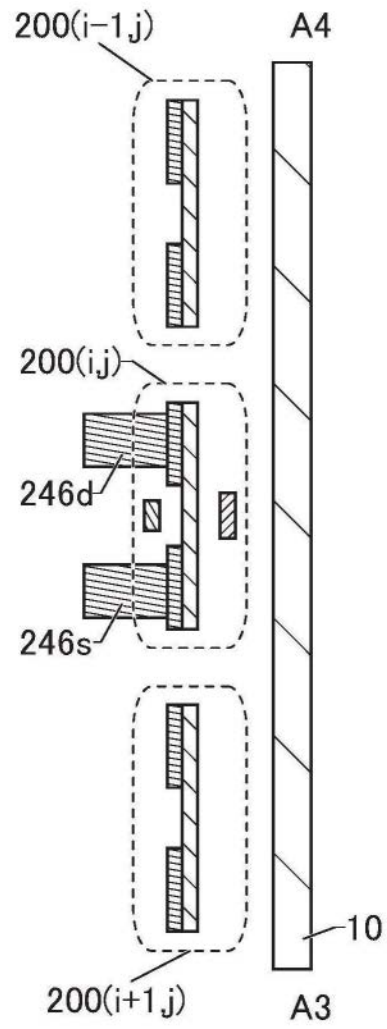


图1C

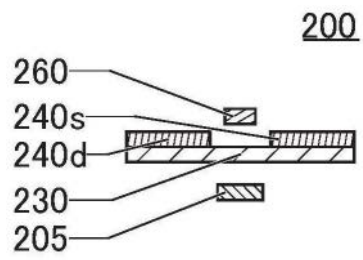


图1D

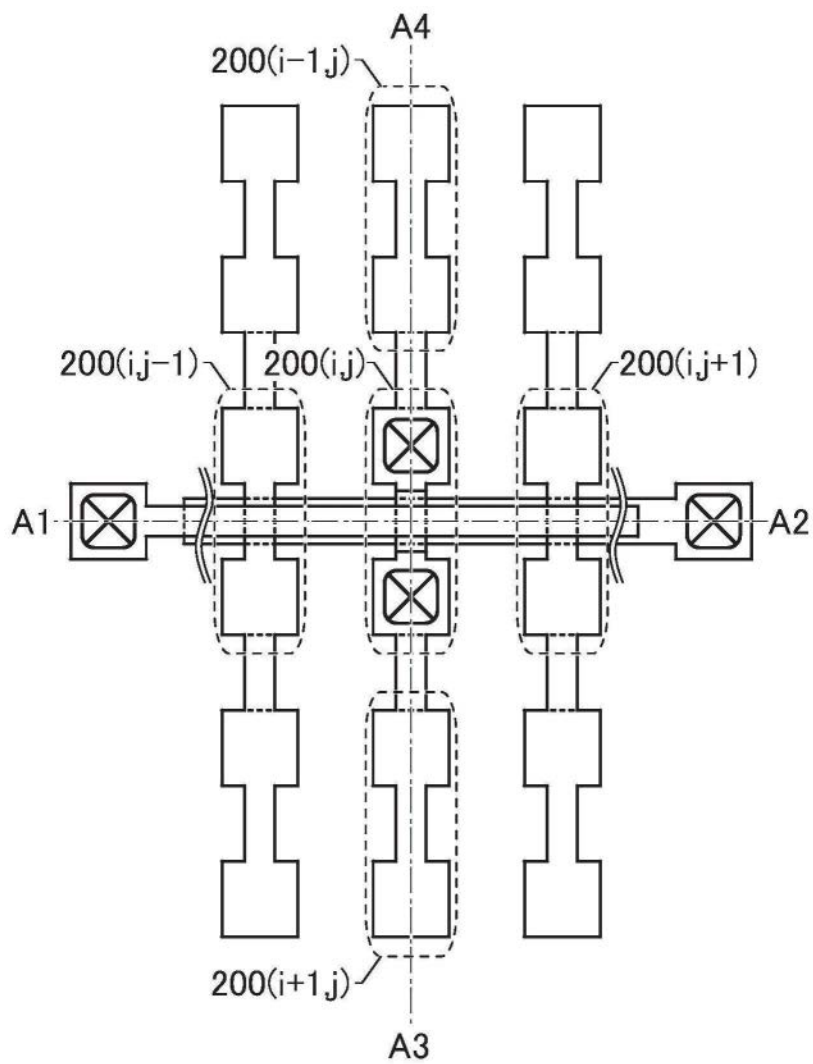


图2A

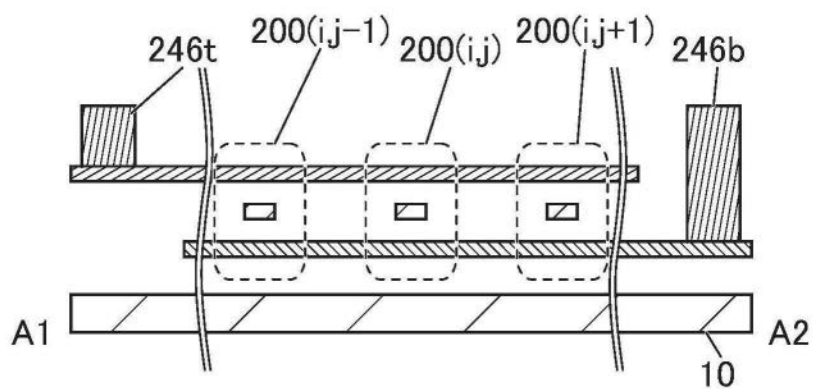


图2B

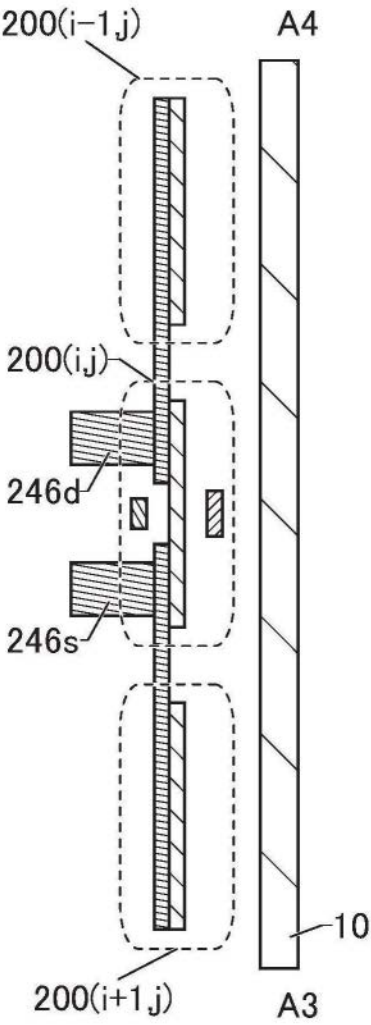


图2C

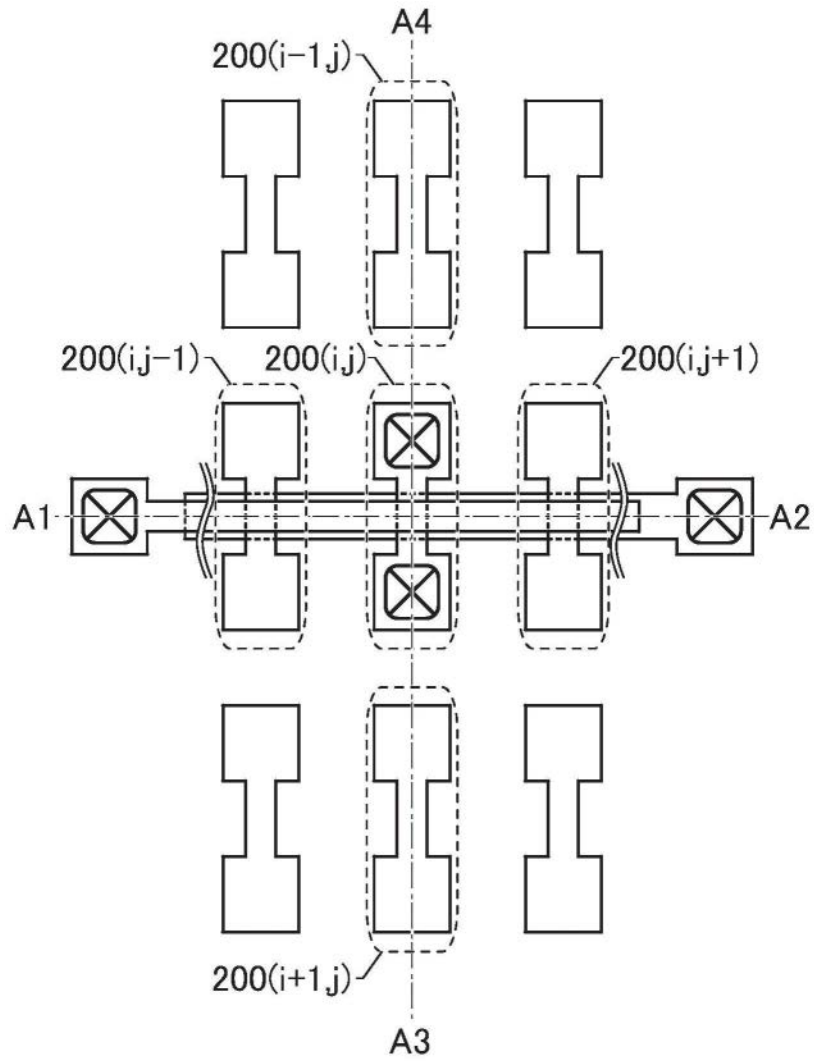


图3A

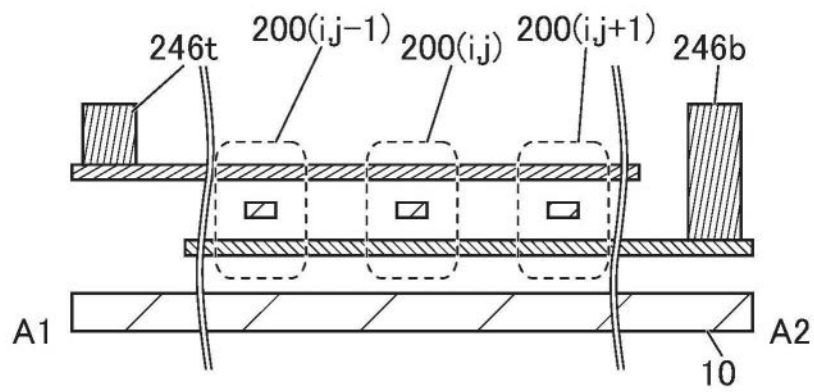


图3B

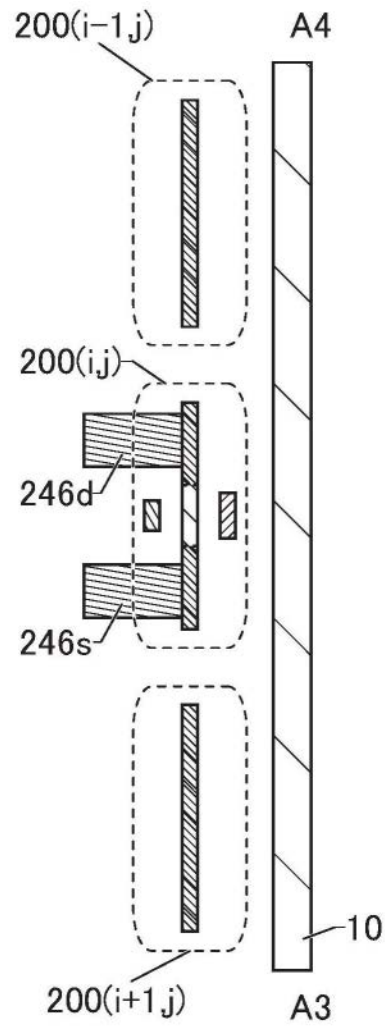


图3C

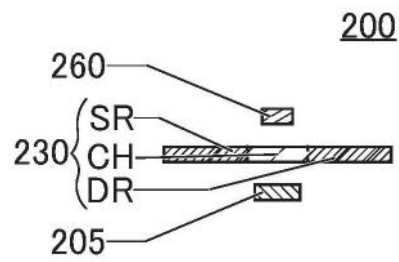


图3D

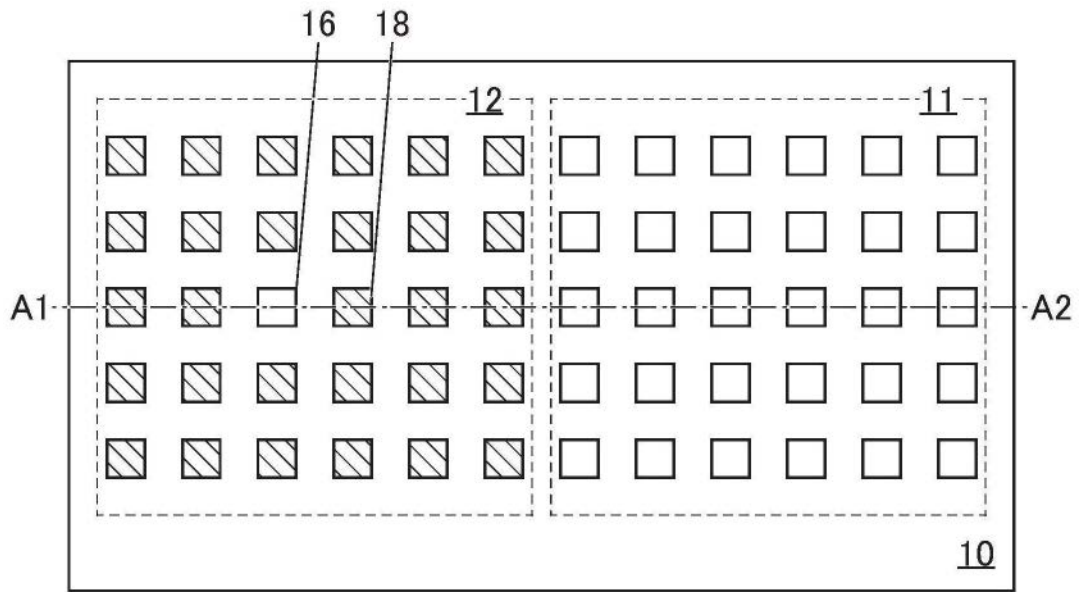


图4A

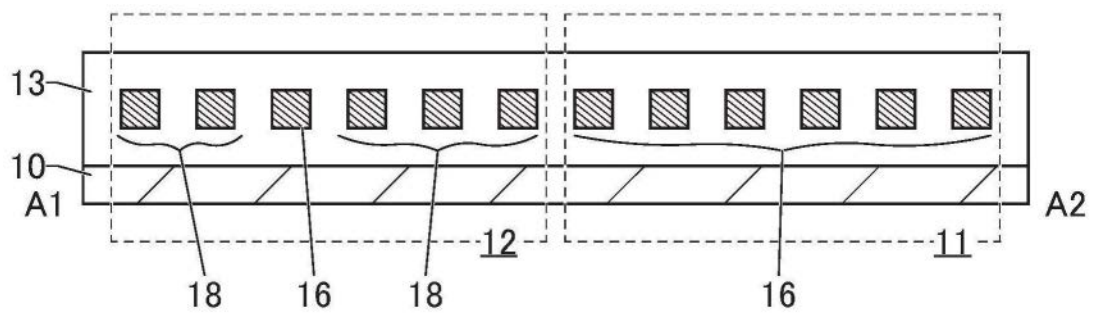


图4B

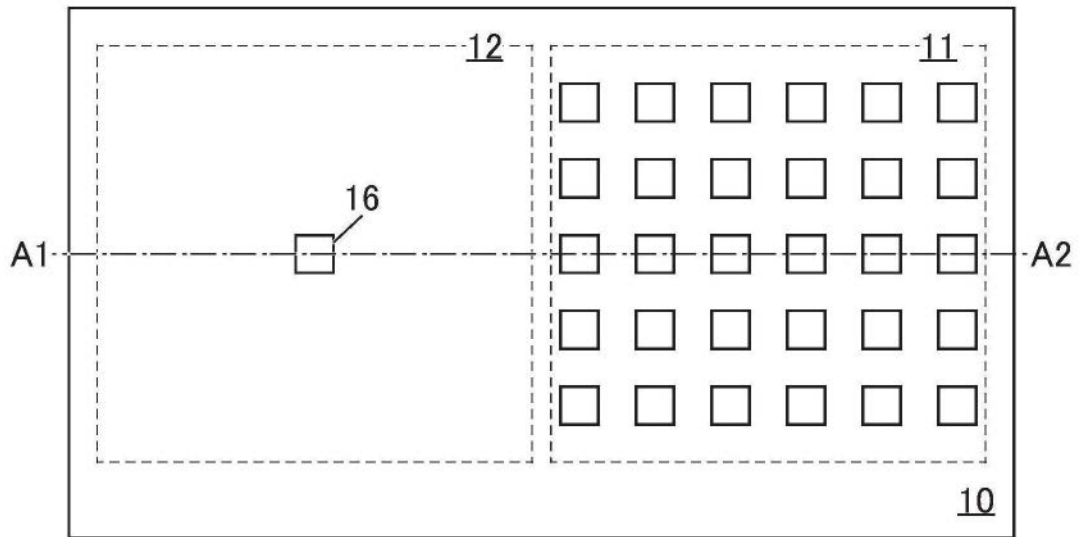


图5A

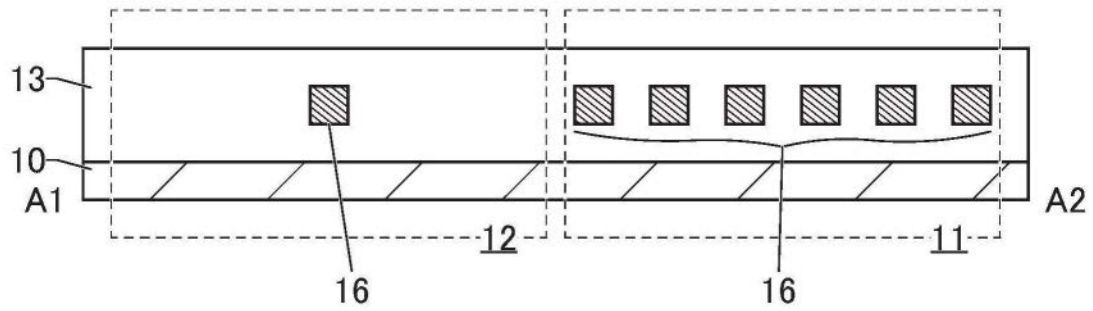


图5B

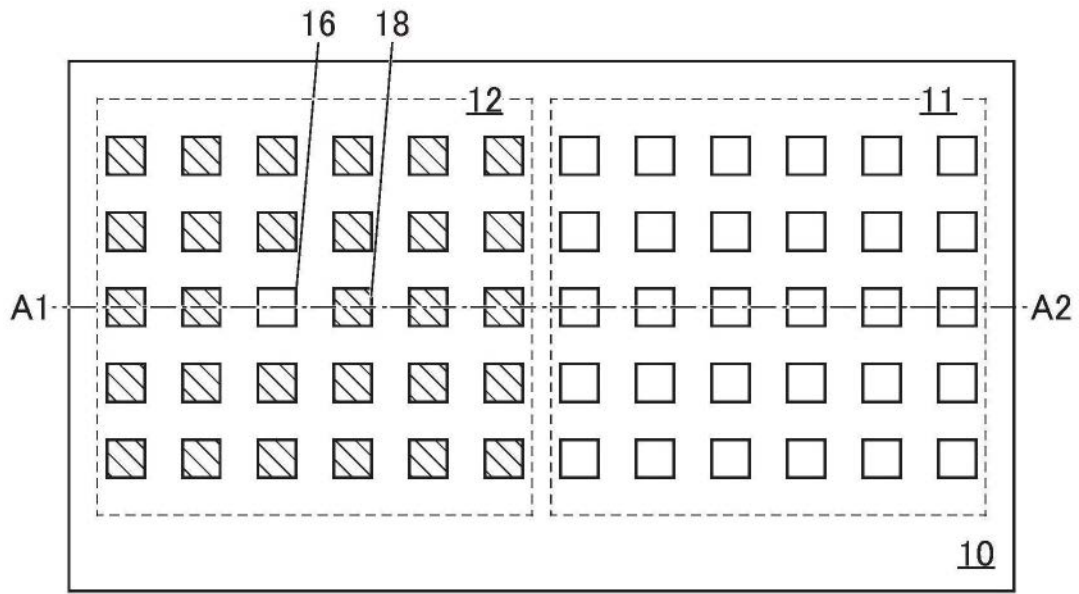


图6A

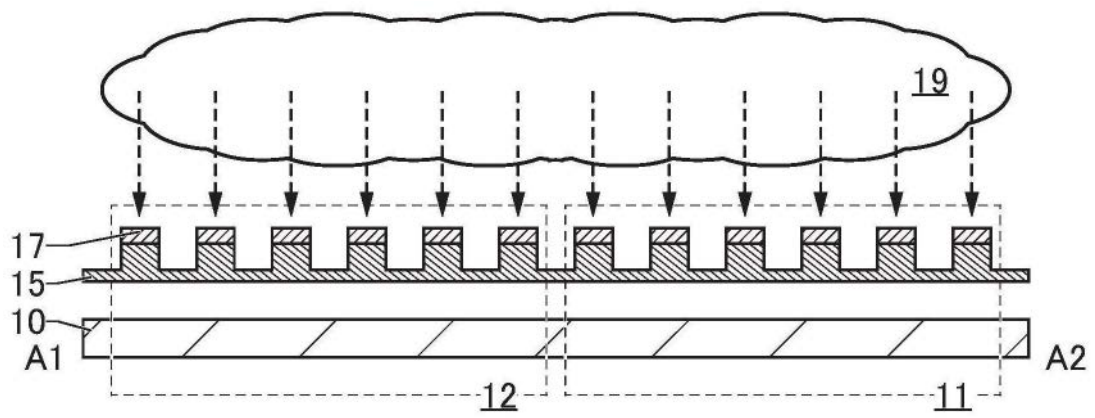


图6B

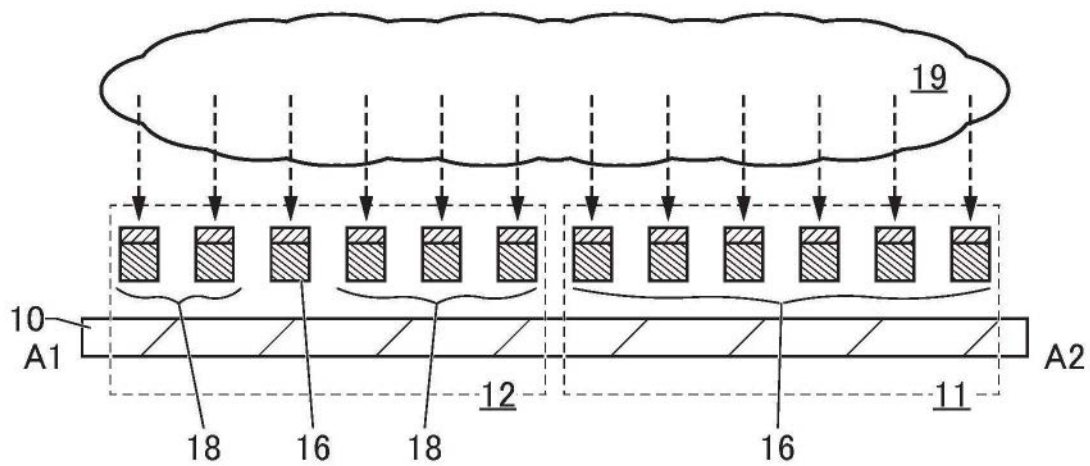


图6C

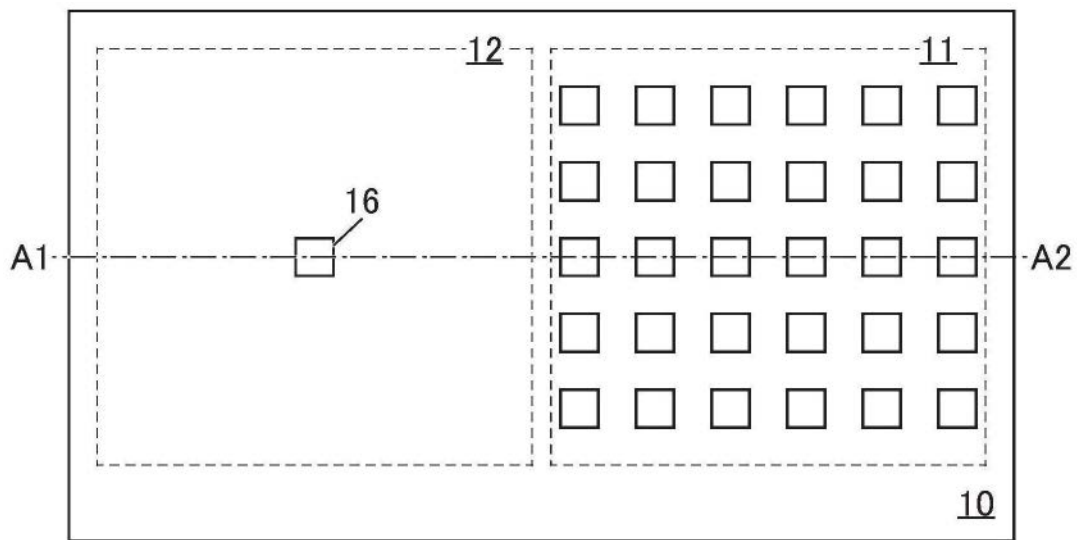


图7A

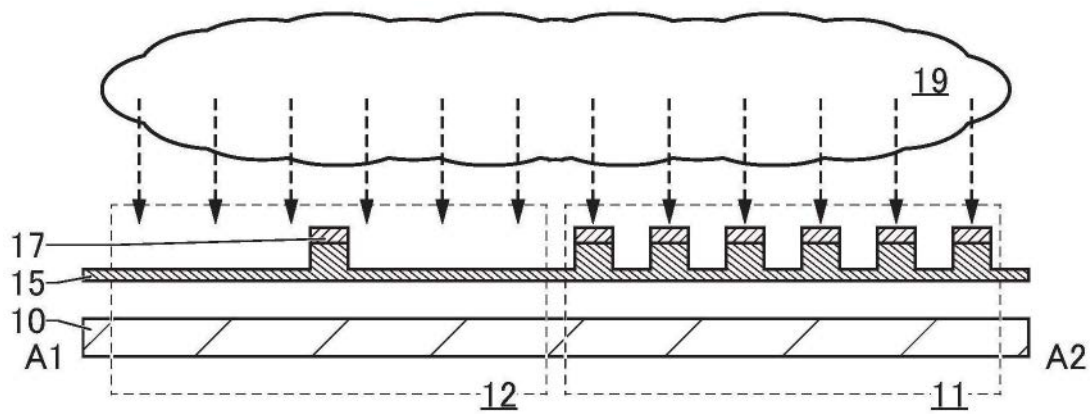


图7B

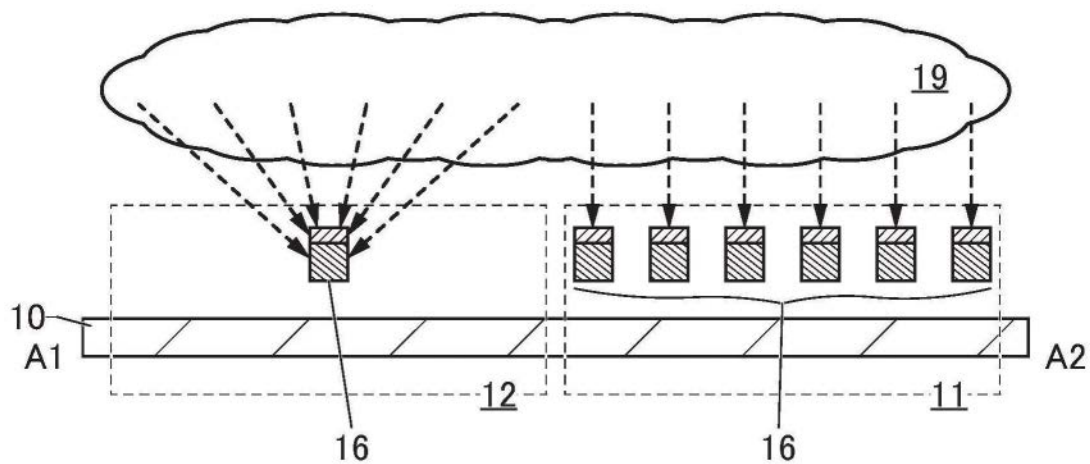


图7C

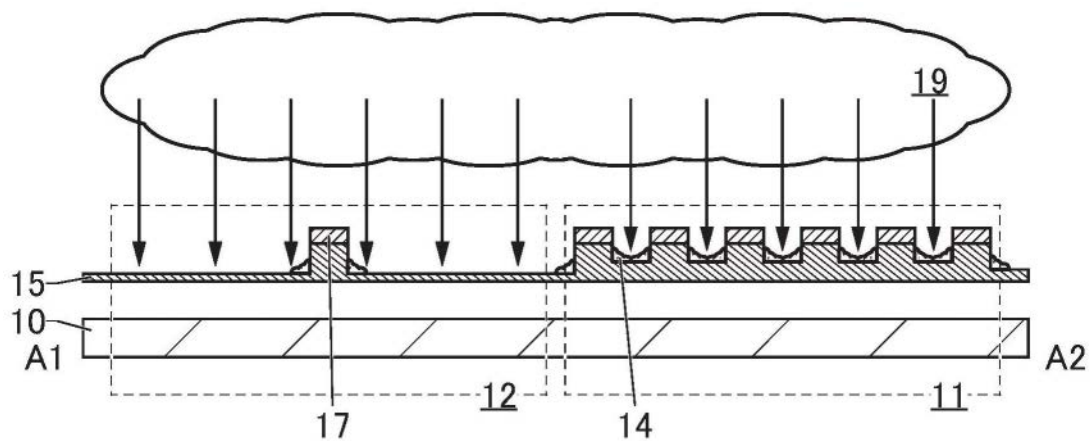


图8A

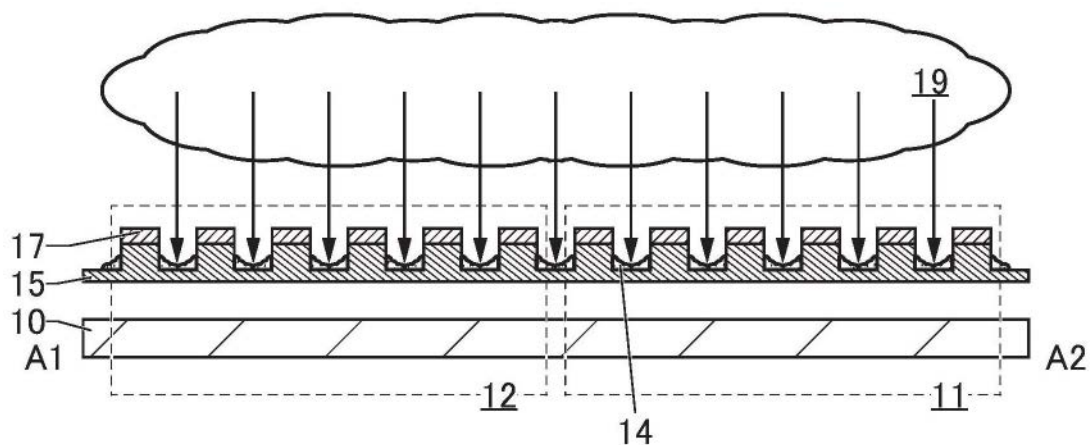


图8B

200A

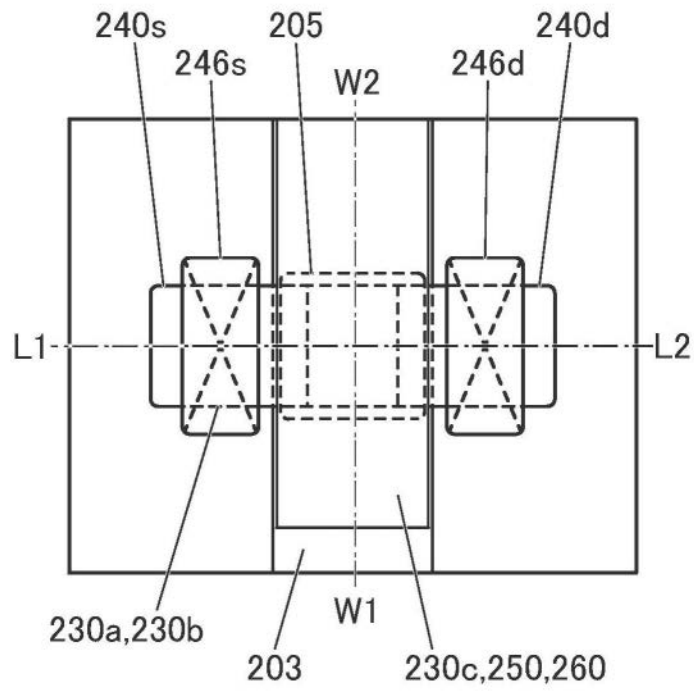


图9A

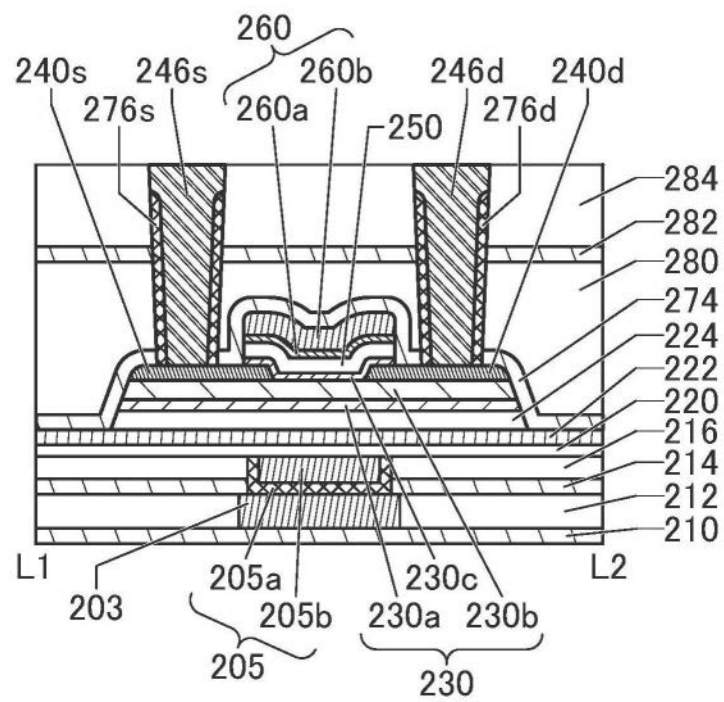


图9B

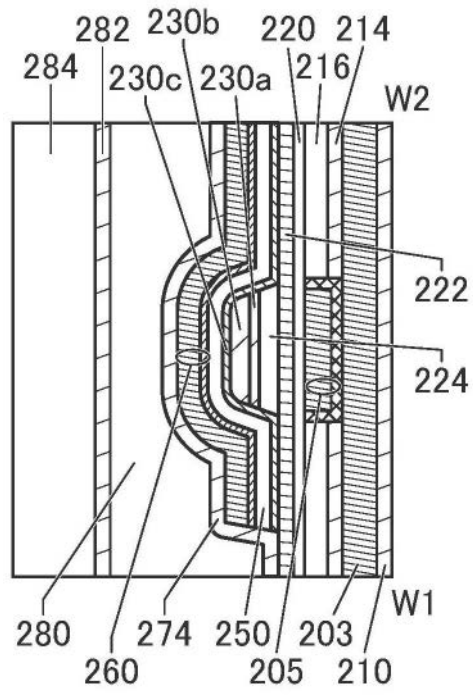


图9C

200B

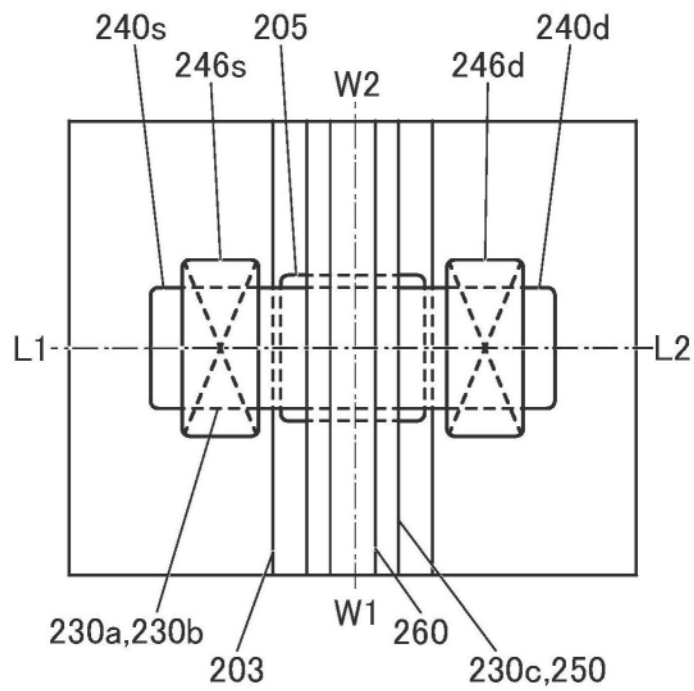


图10A

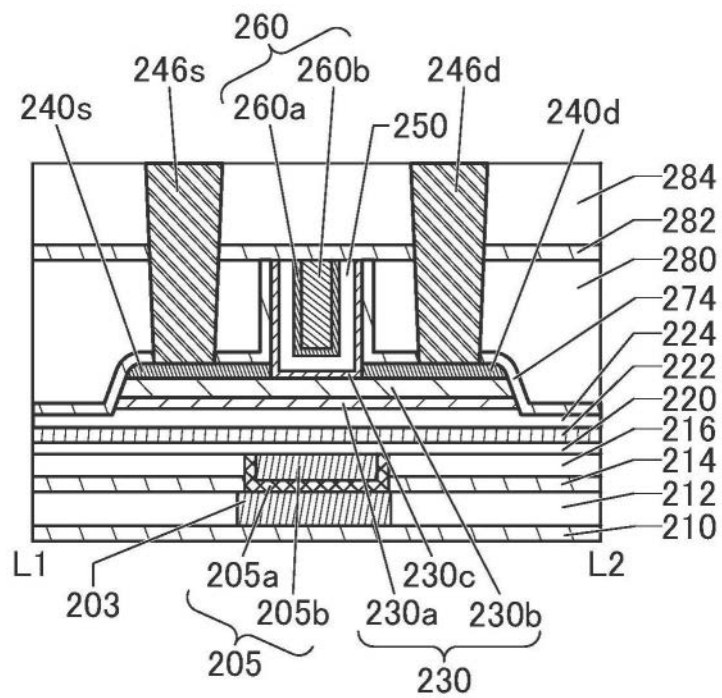


图10B

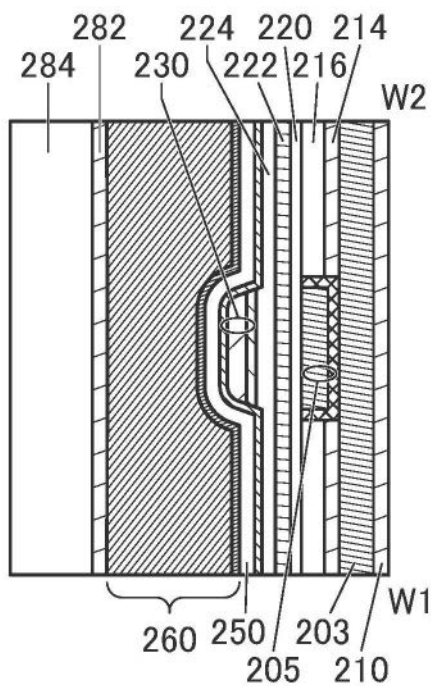


图10C

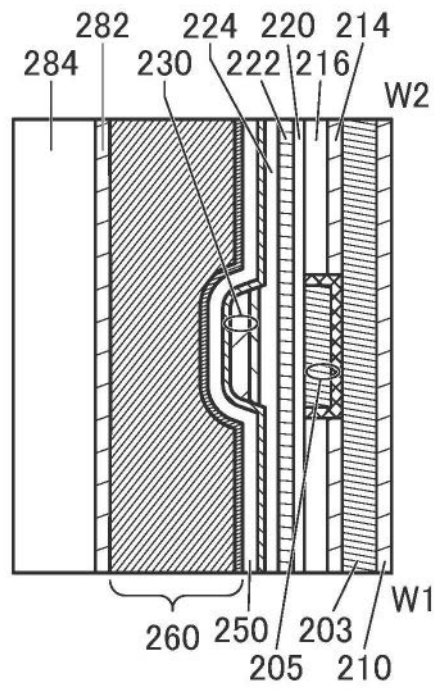


图11C

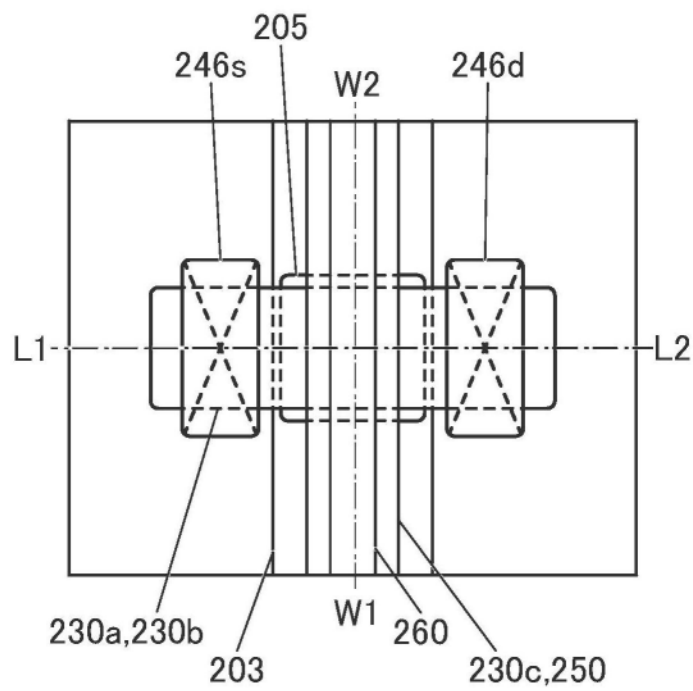
200C

图12A

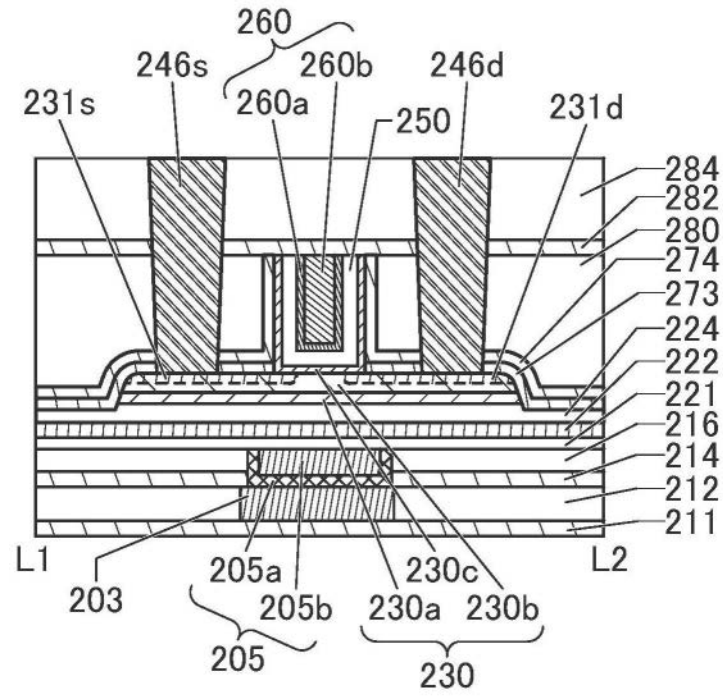


图12B

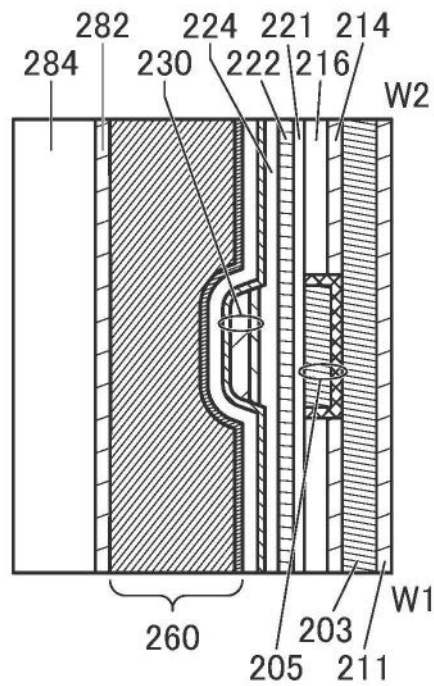


图12C

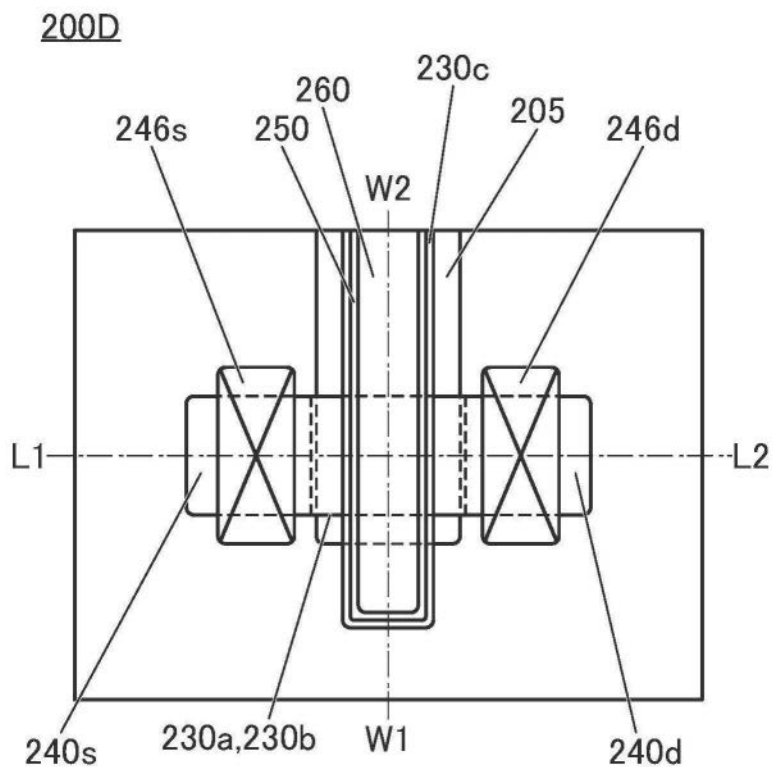


图13A

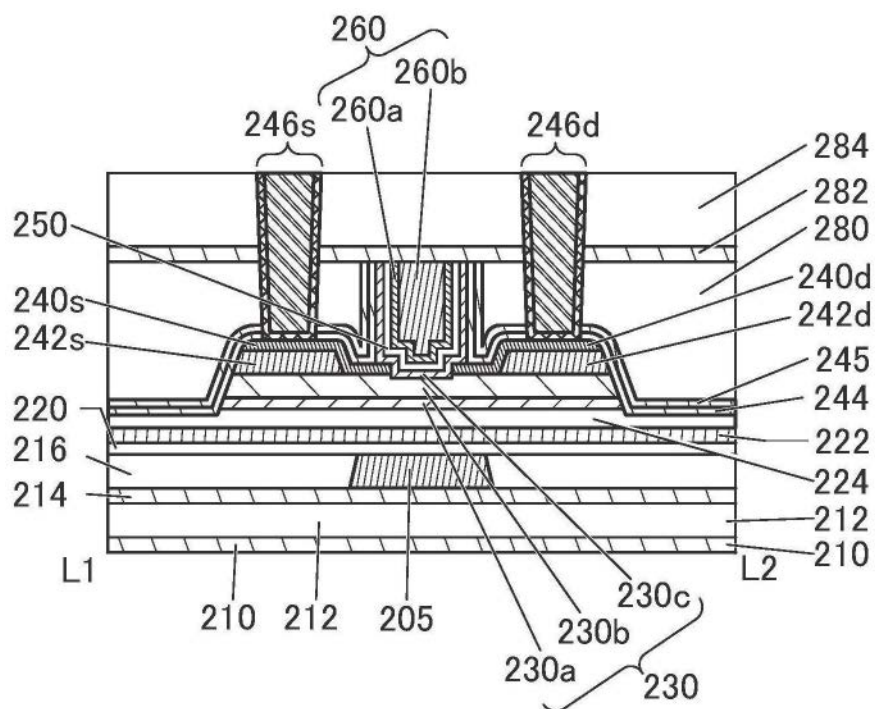


图13B

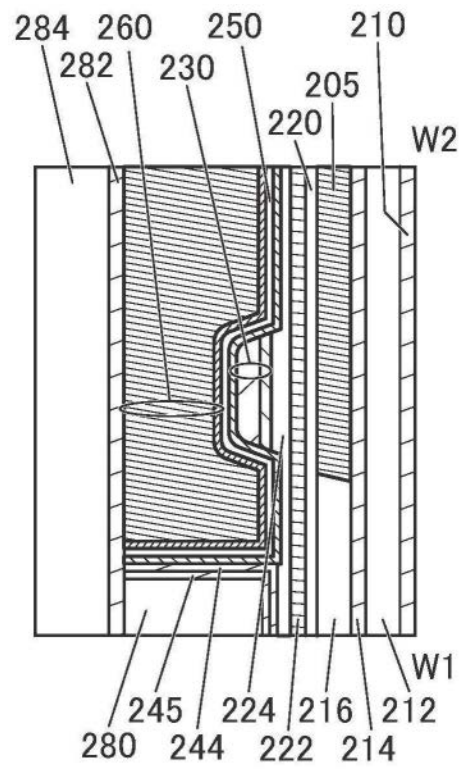


图13C

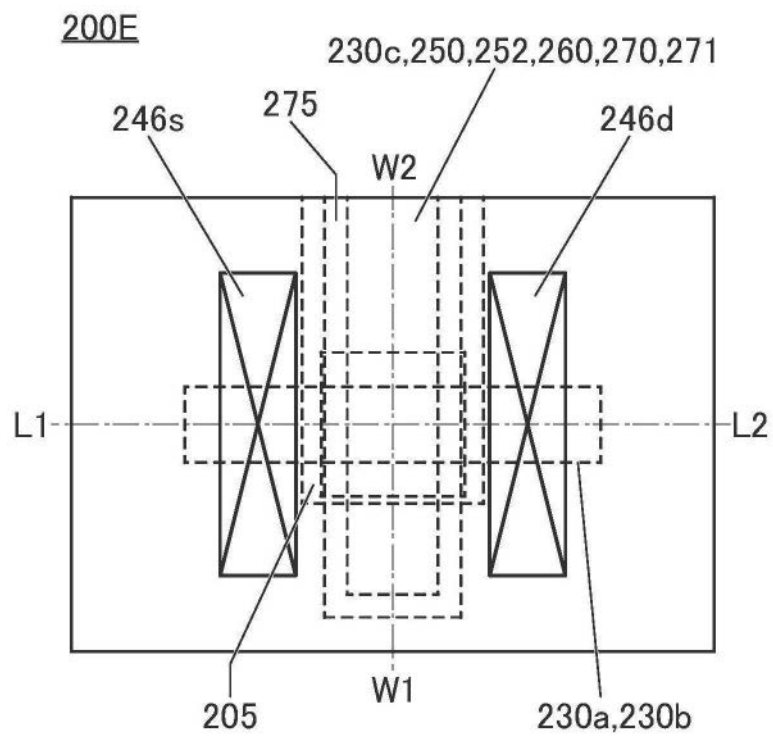


图14A

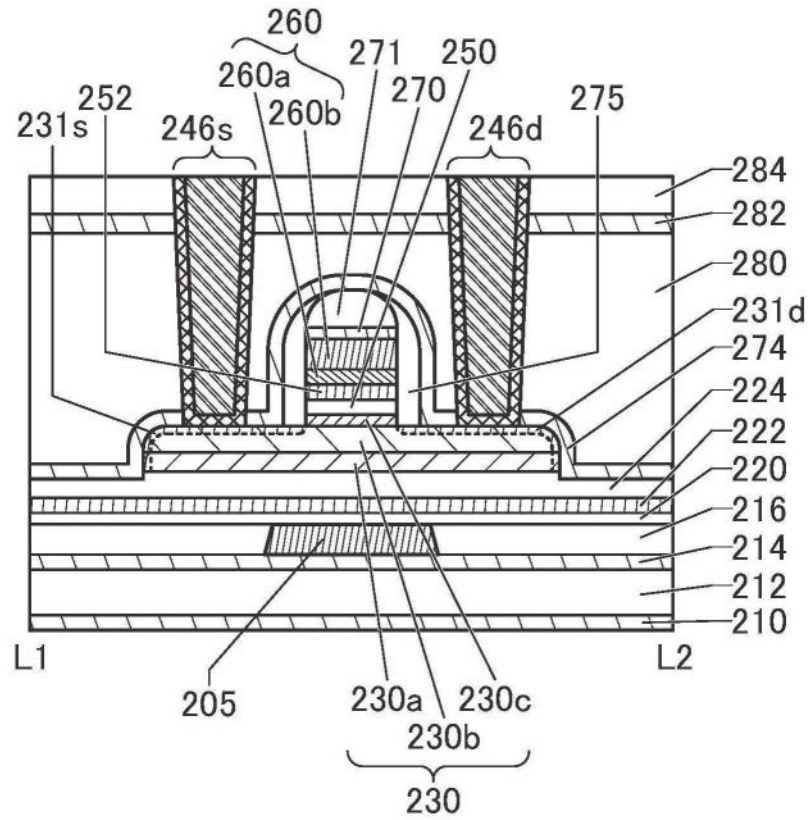


图14B

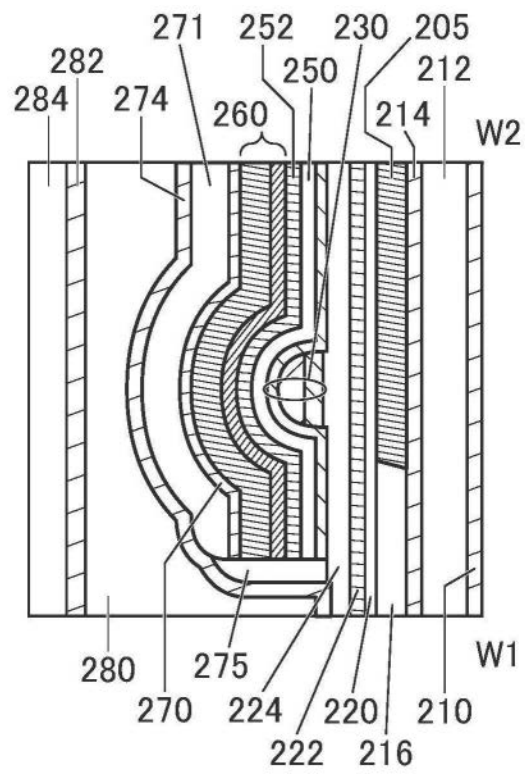


图14C

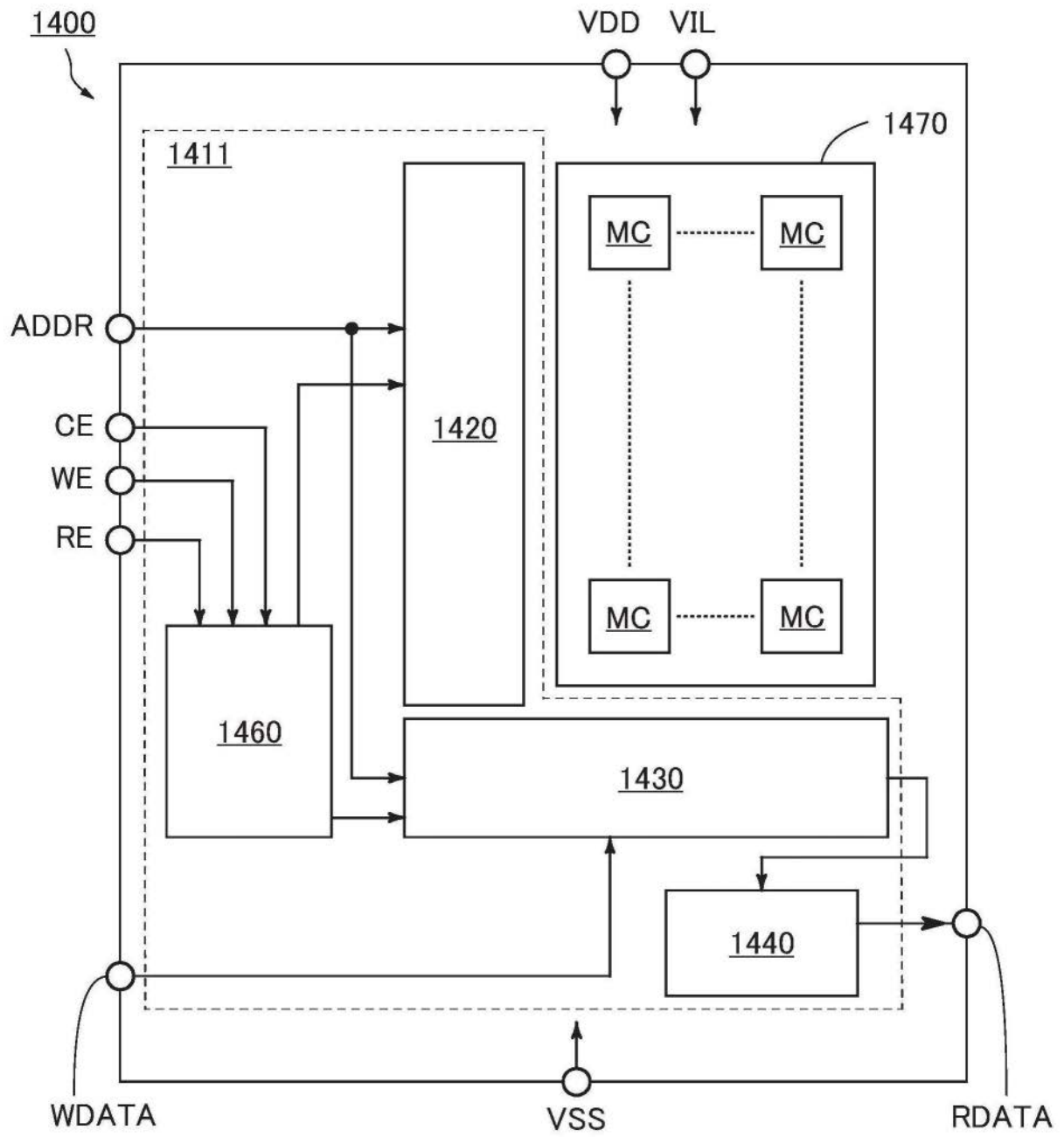


图15A

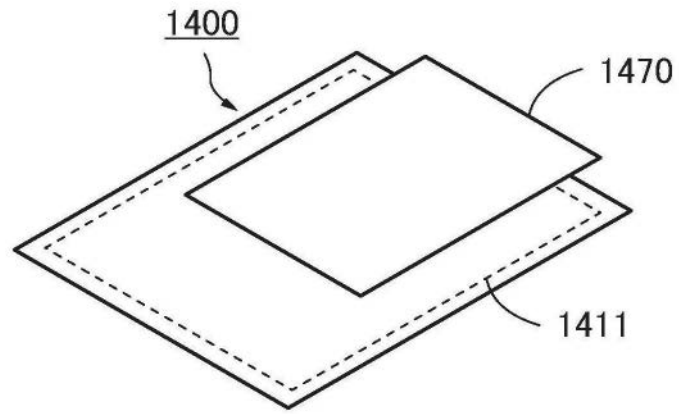


图15B

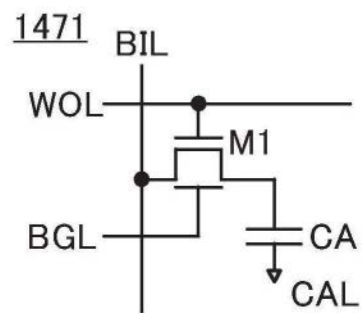


图16A

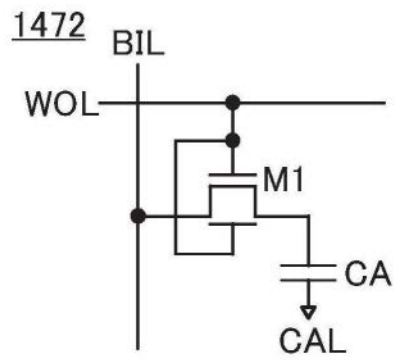


图16B

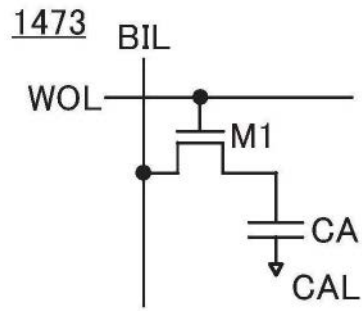


图16C

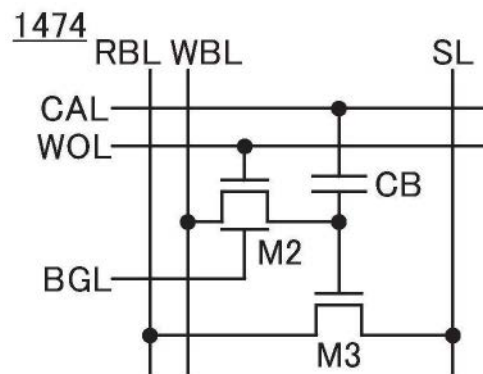


图16D

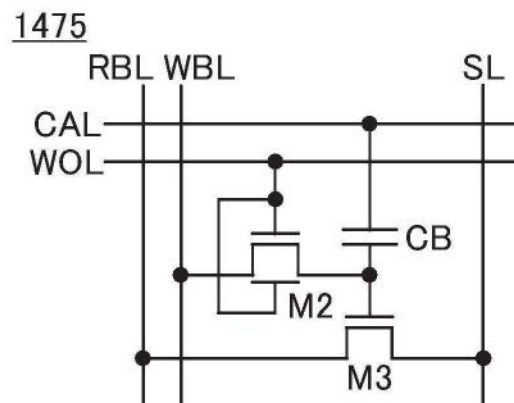


图16E

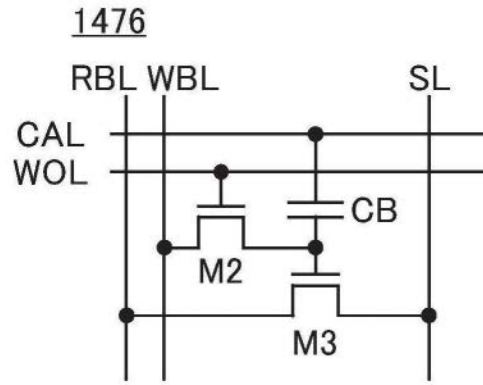


图16F

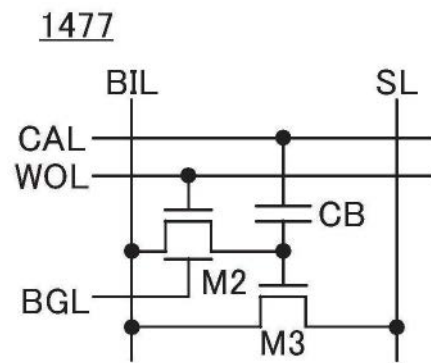


图16G

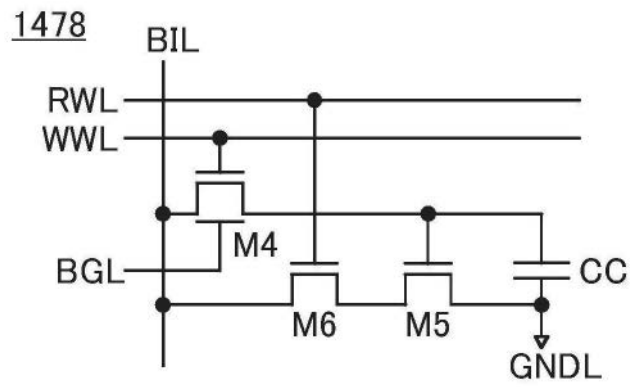


图16H

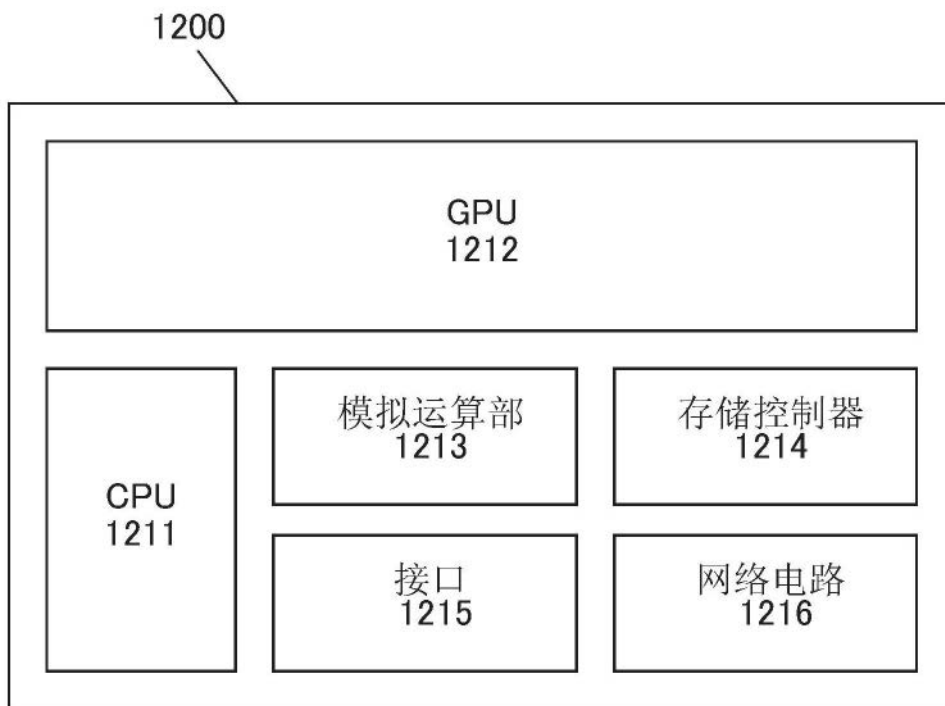


图17A

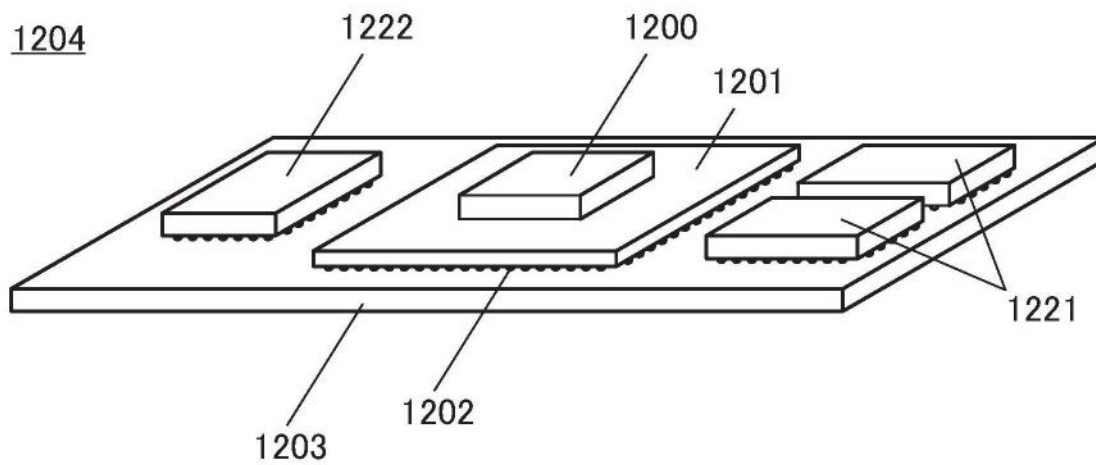


图17B

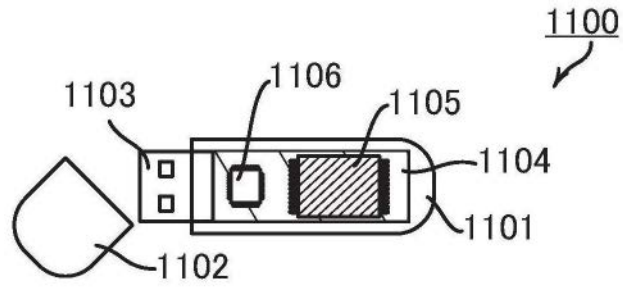


图18A

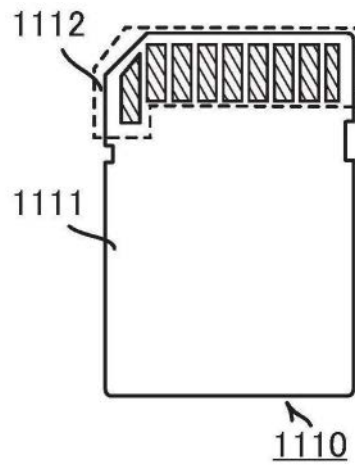


图18B

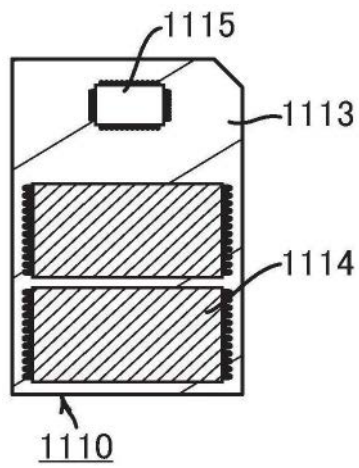


图18C

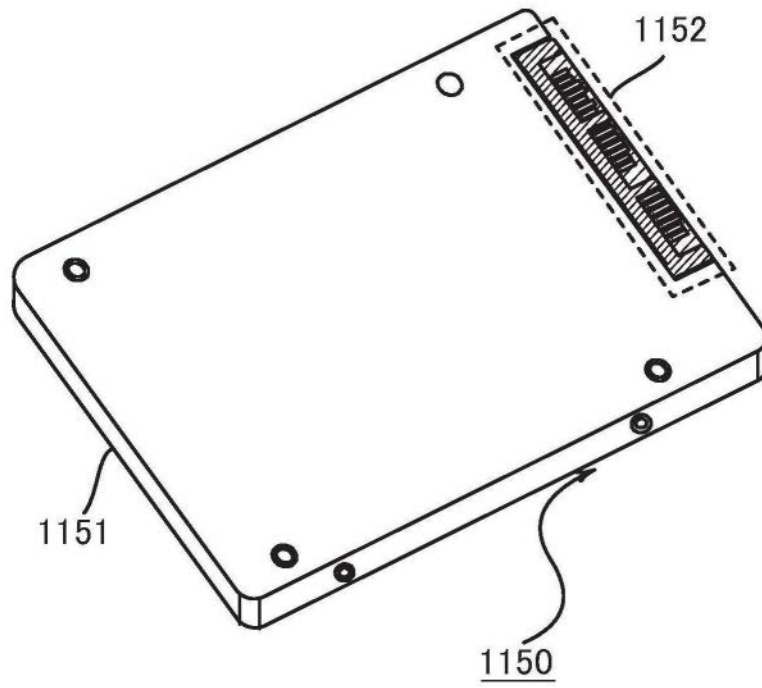


图18D

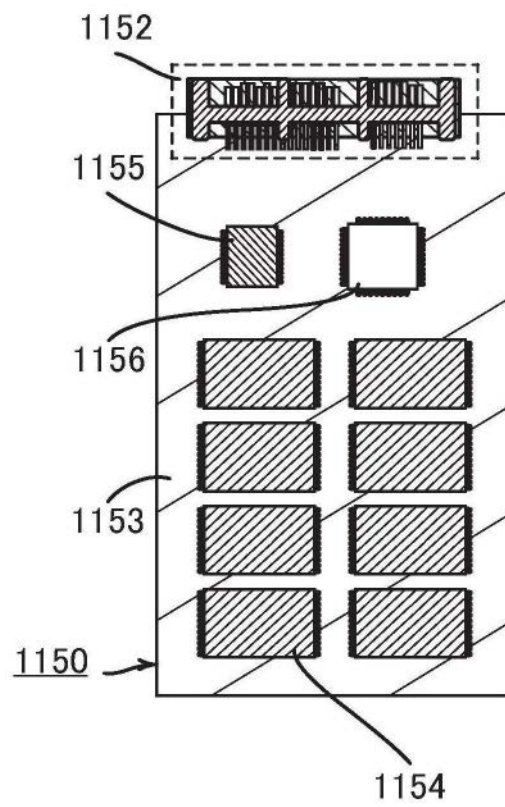


图18E

500显示装置

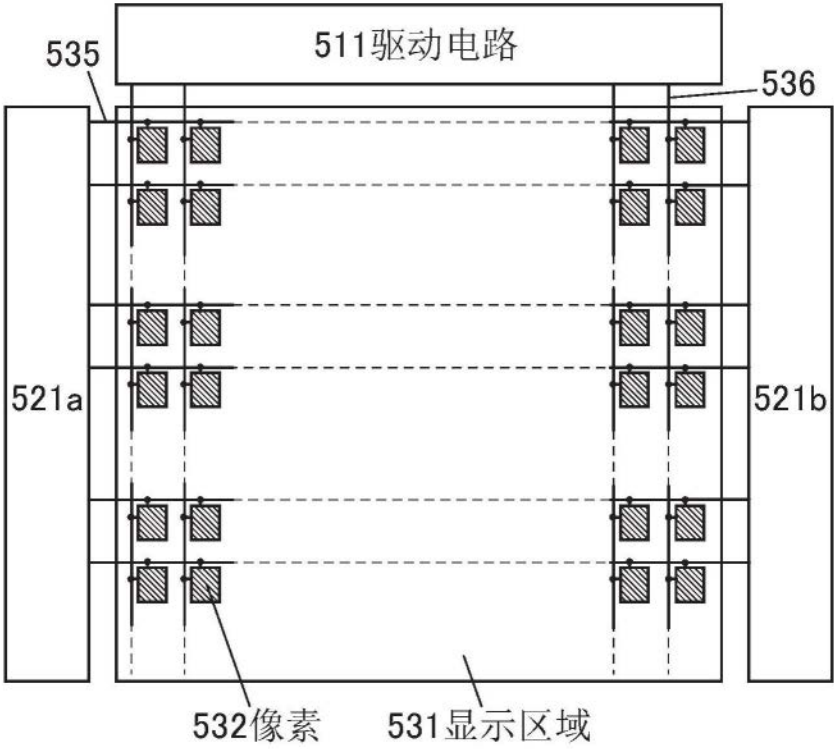


图19A

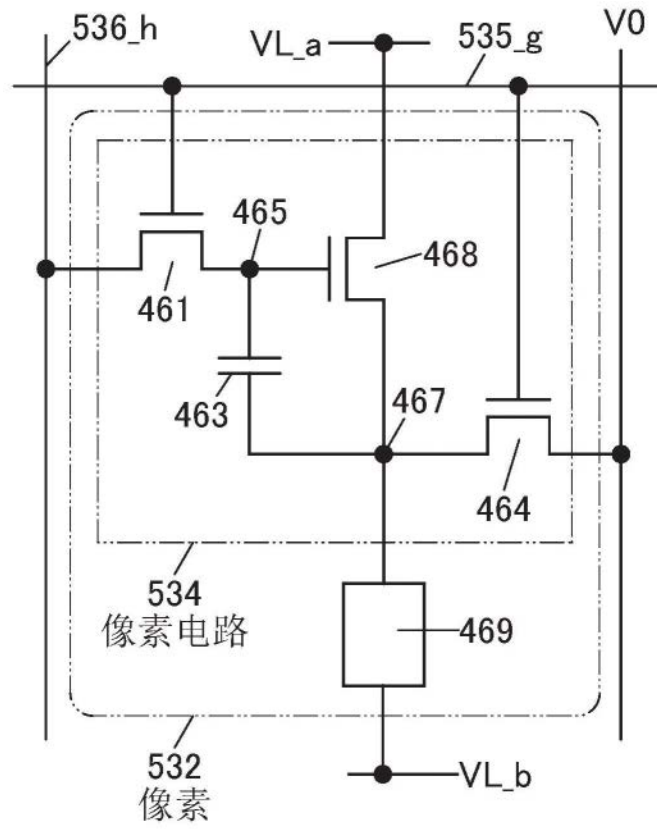


图19B

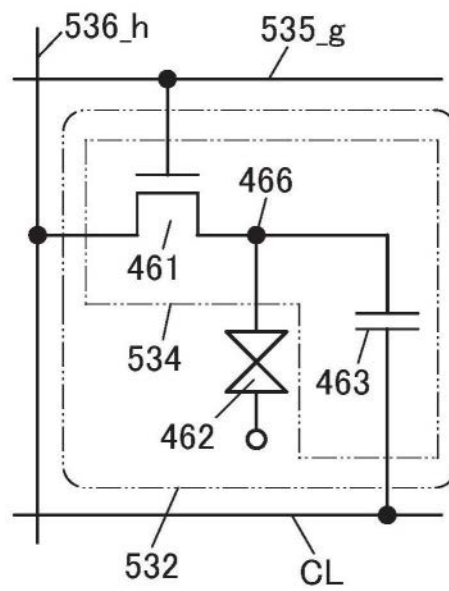


图19C

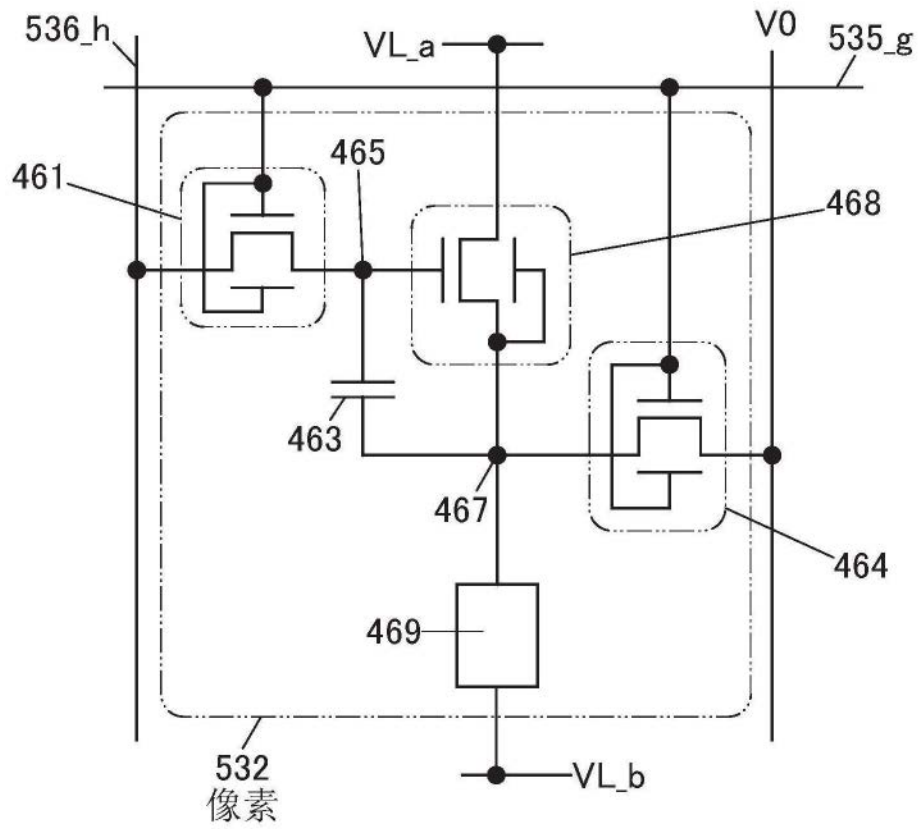


图20A

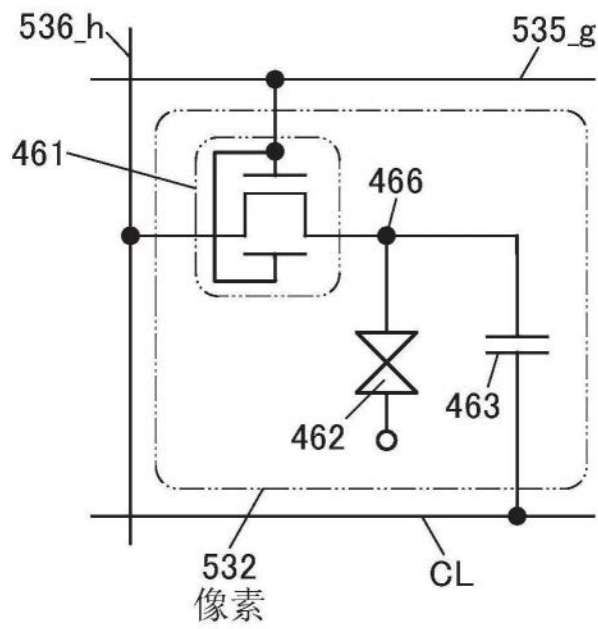


图20B

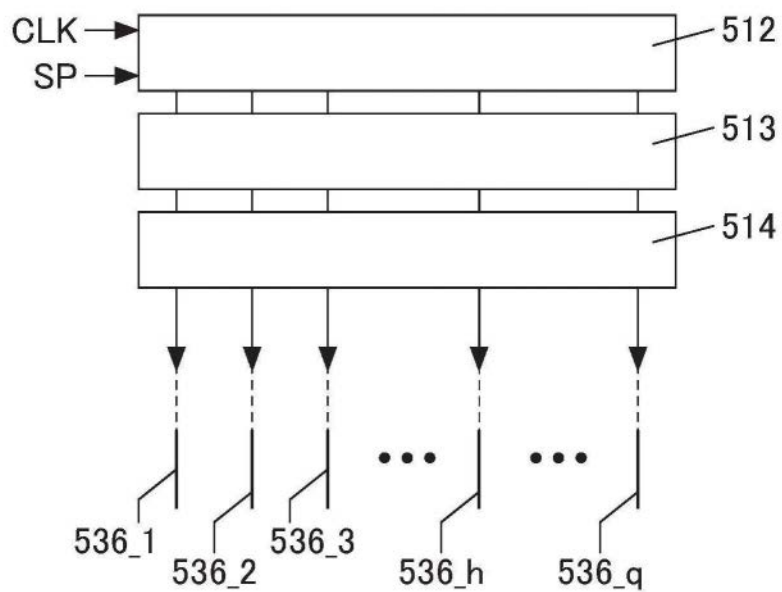
511驱动电路

图21A

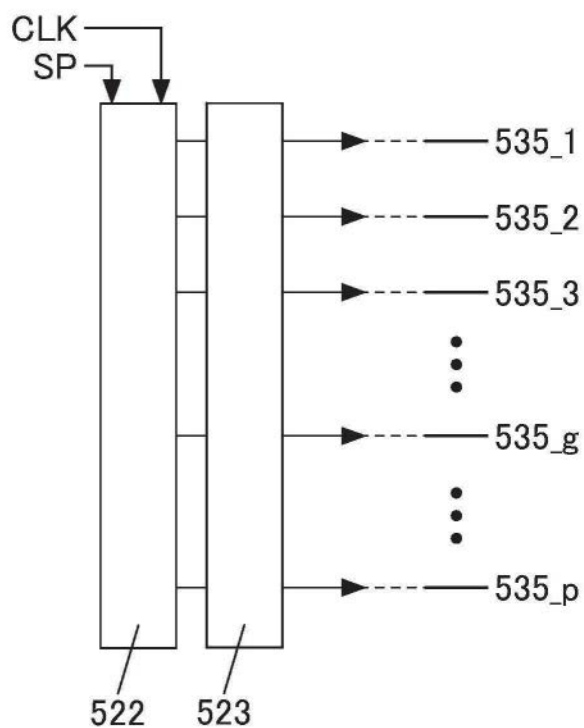
521a驱动电路

图21B

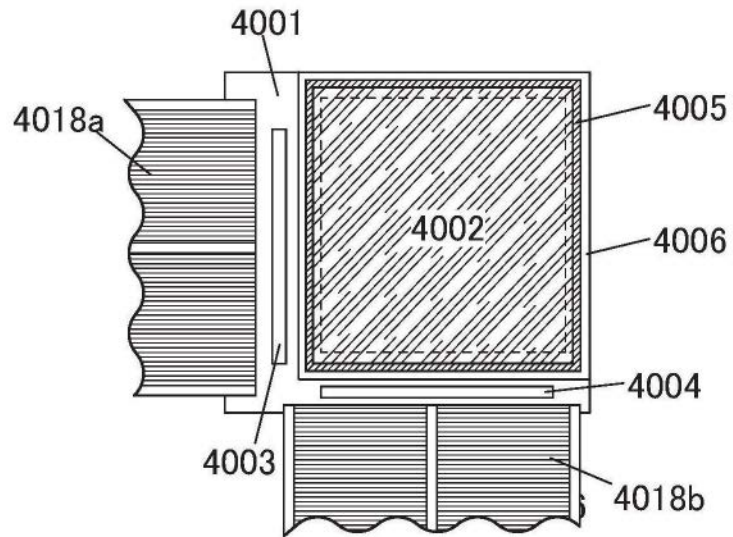


图22A

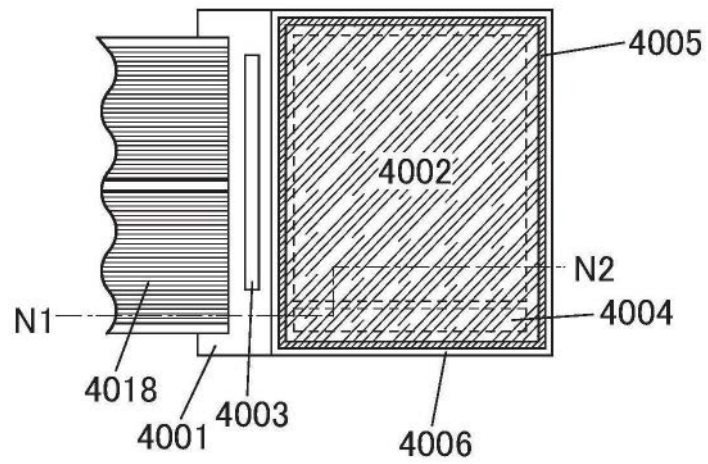


图22B

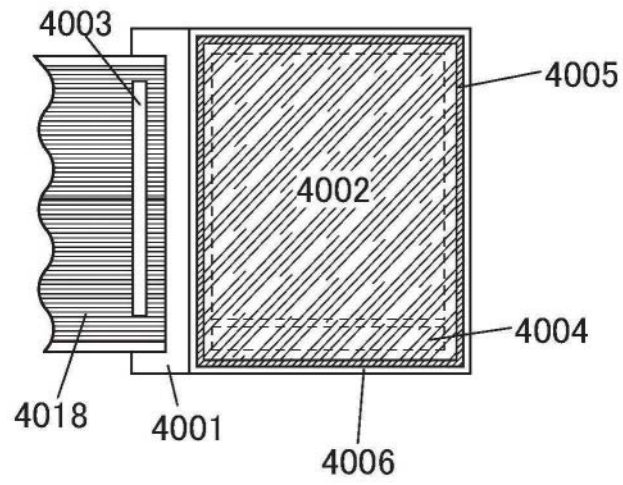


图22C

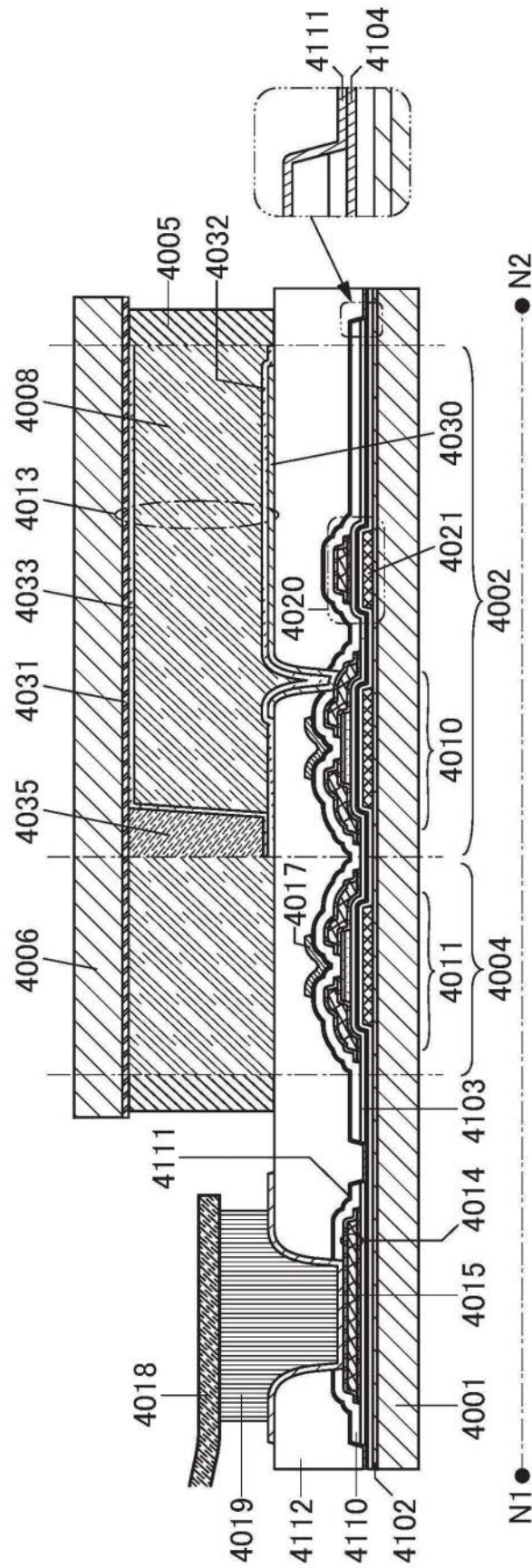


图23A

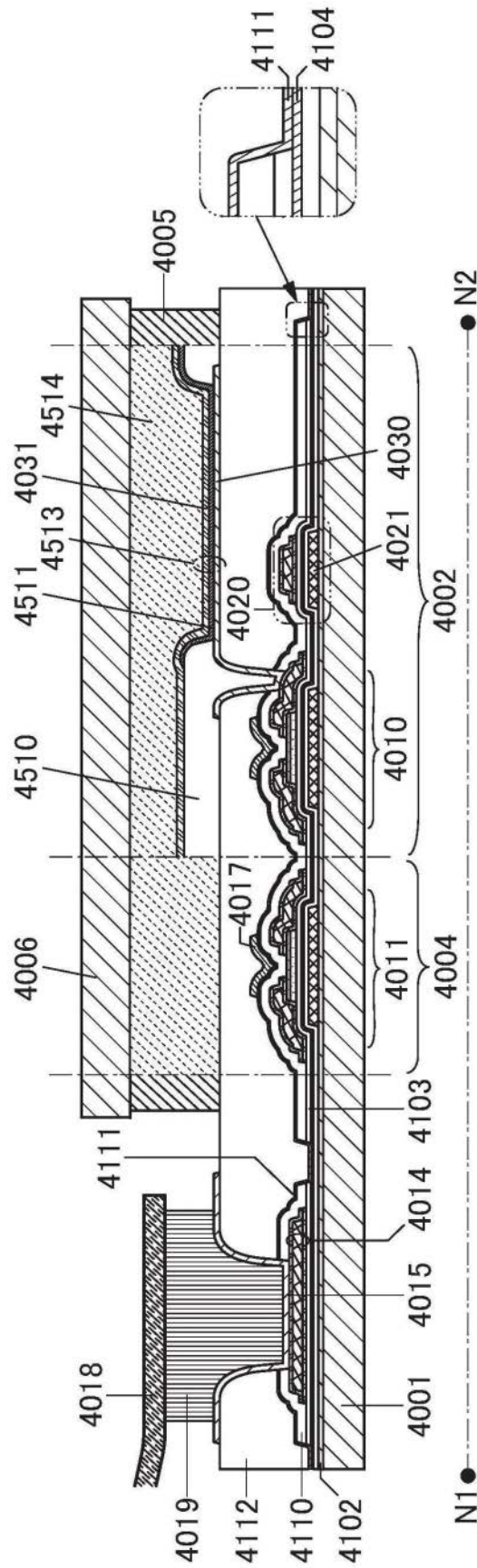


图23B

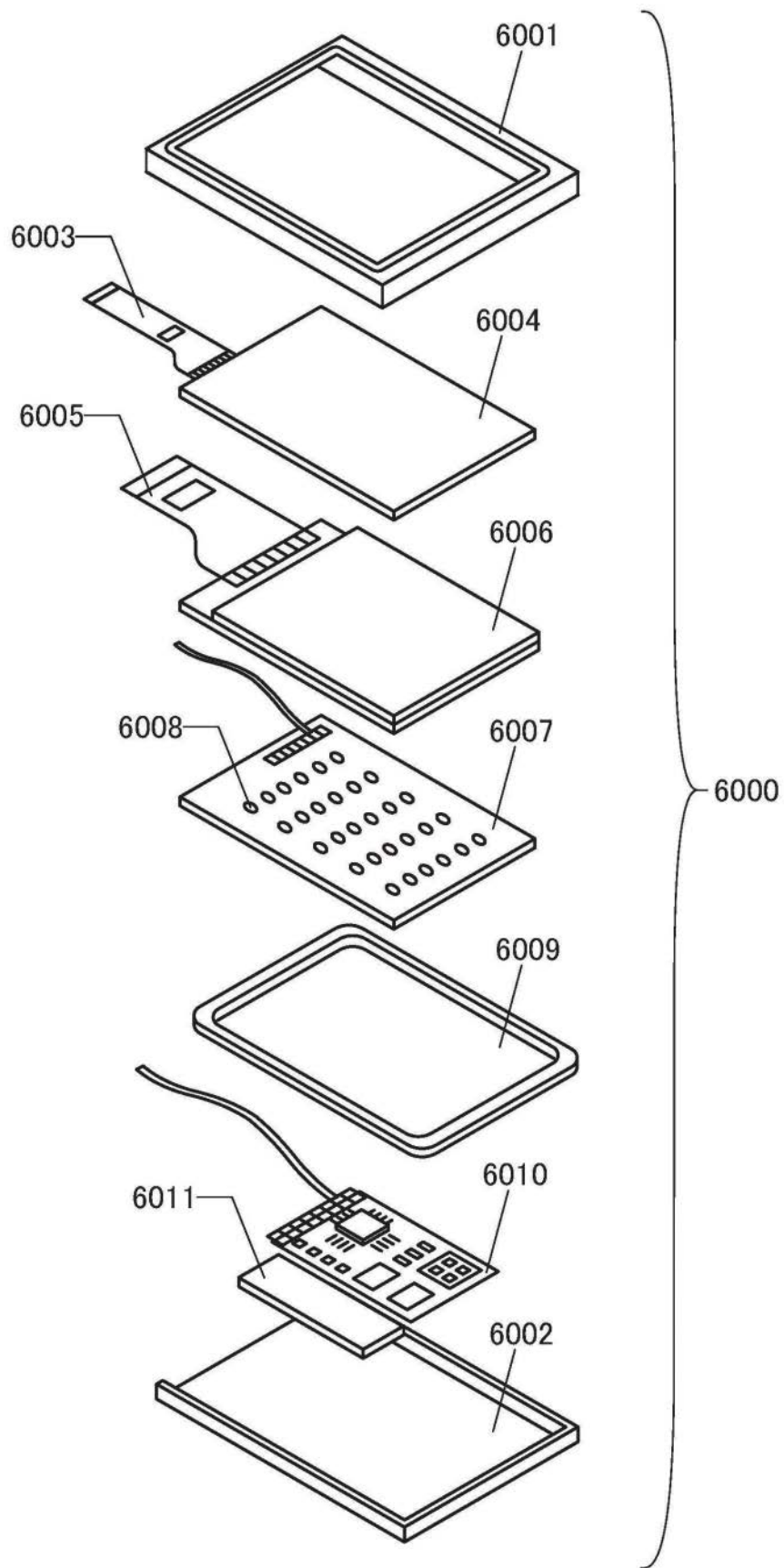


图24

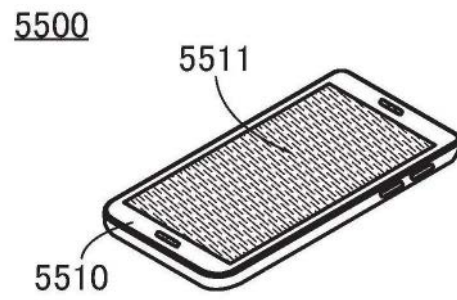


图25A

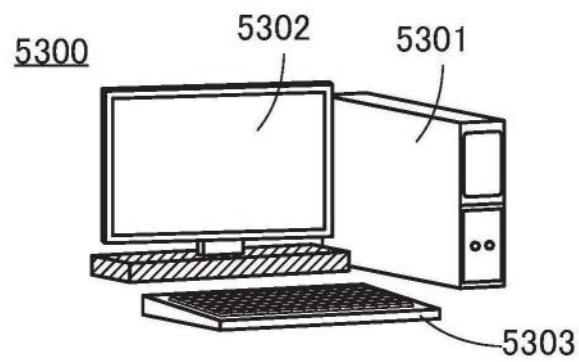


图25B

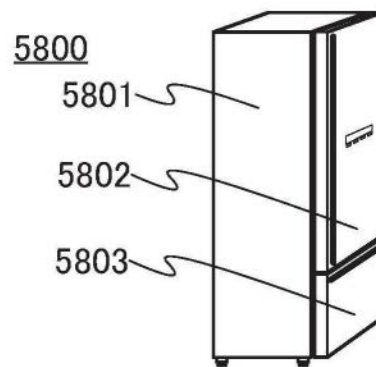


图25C

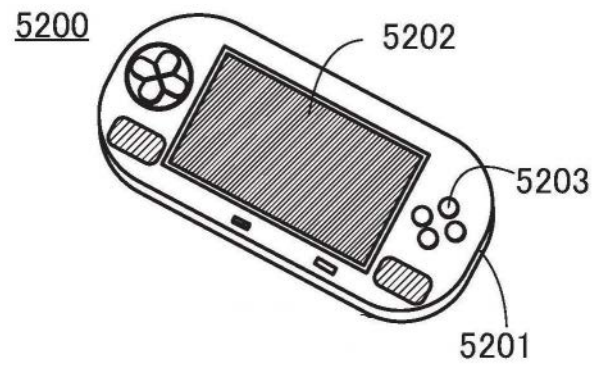


图25D

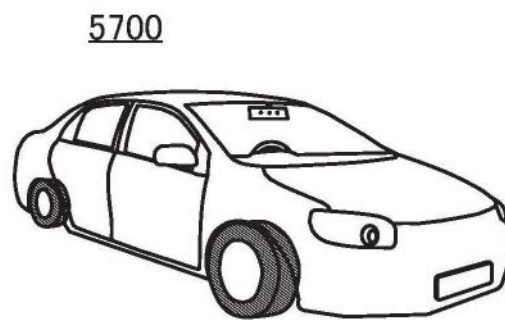


图25E1



图25E2

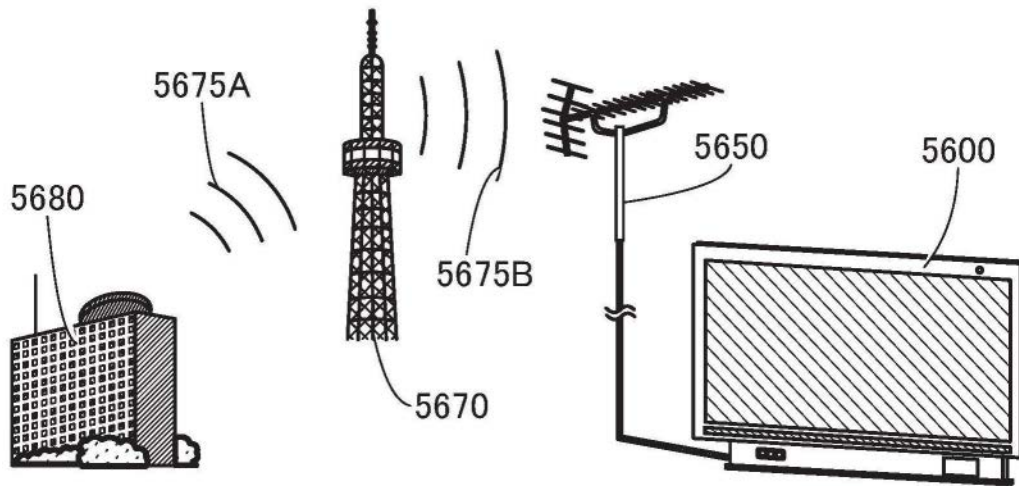


图25F

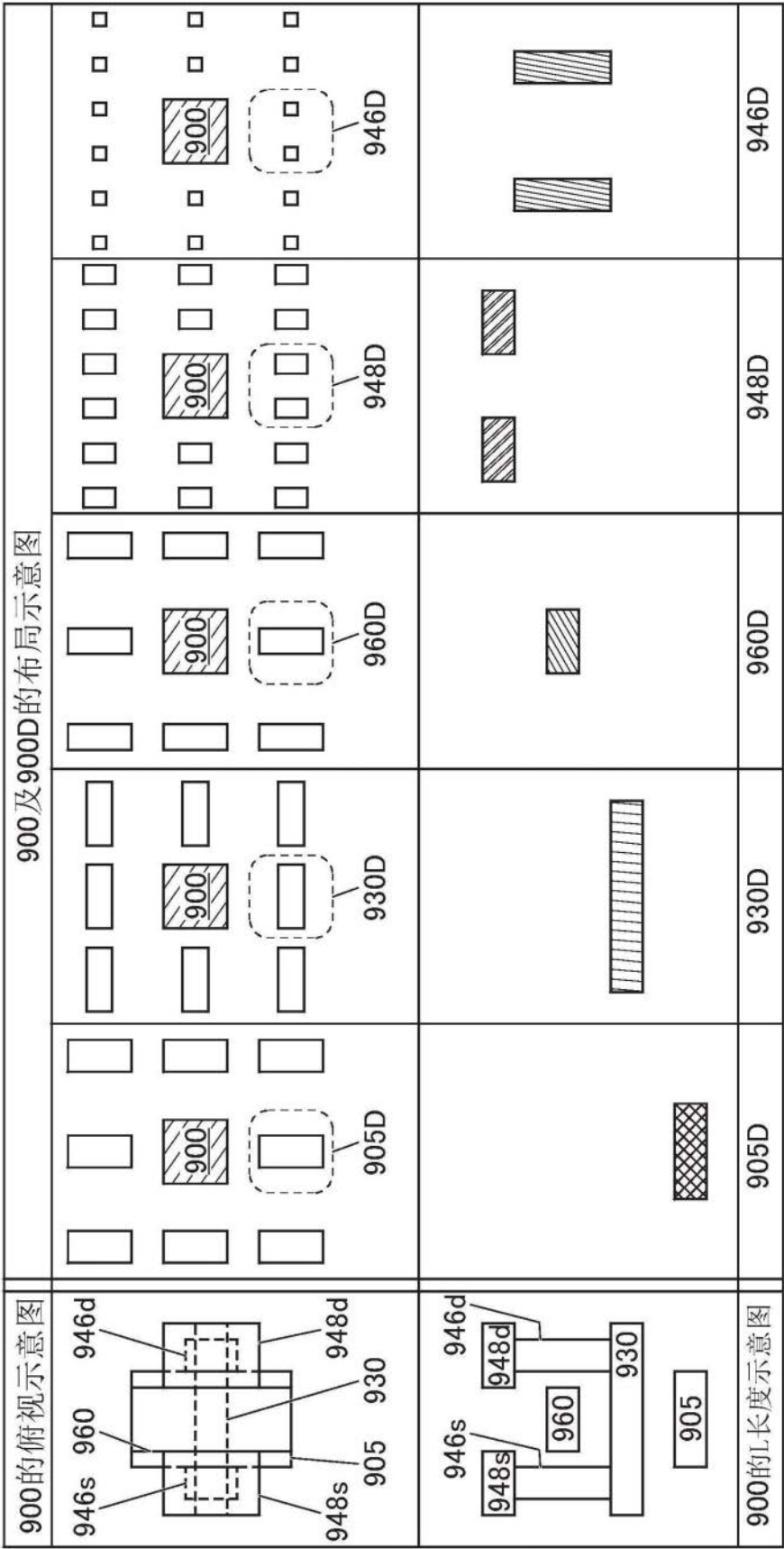


图26

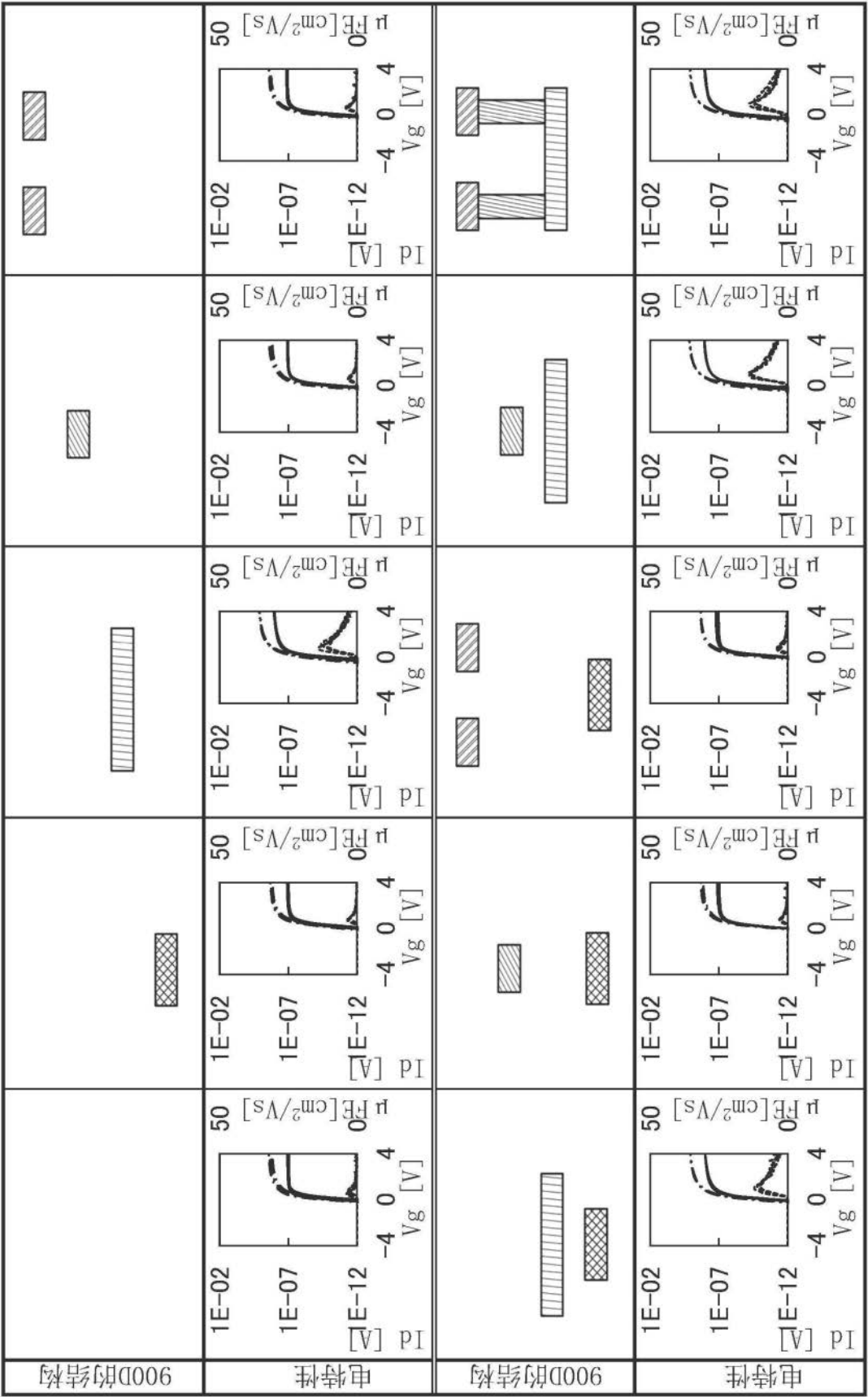


图27

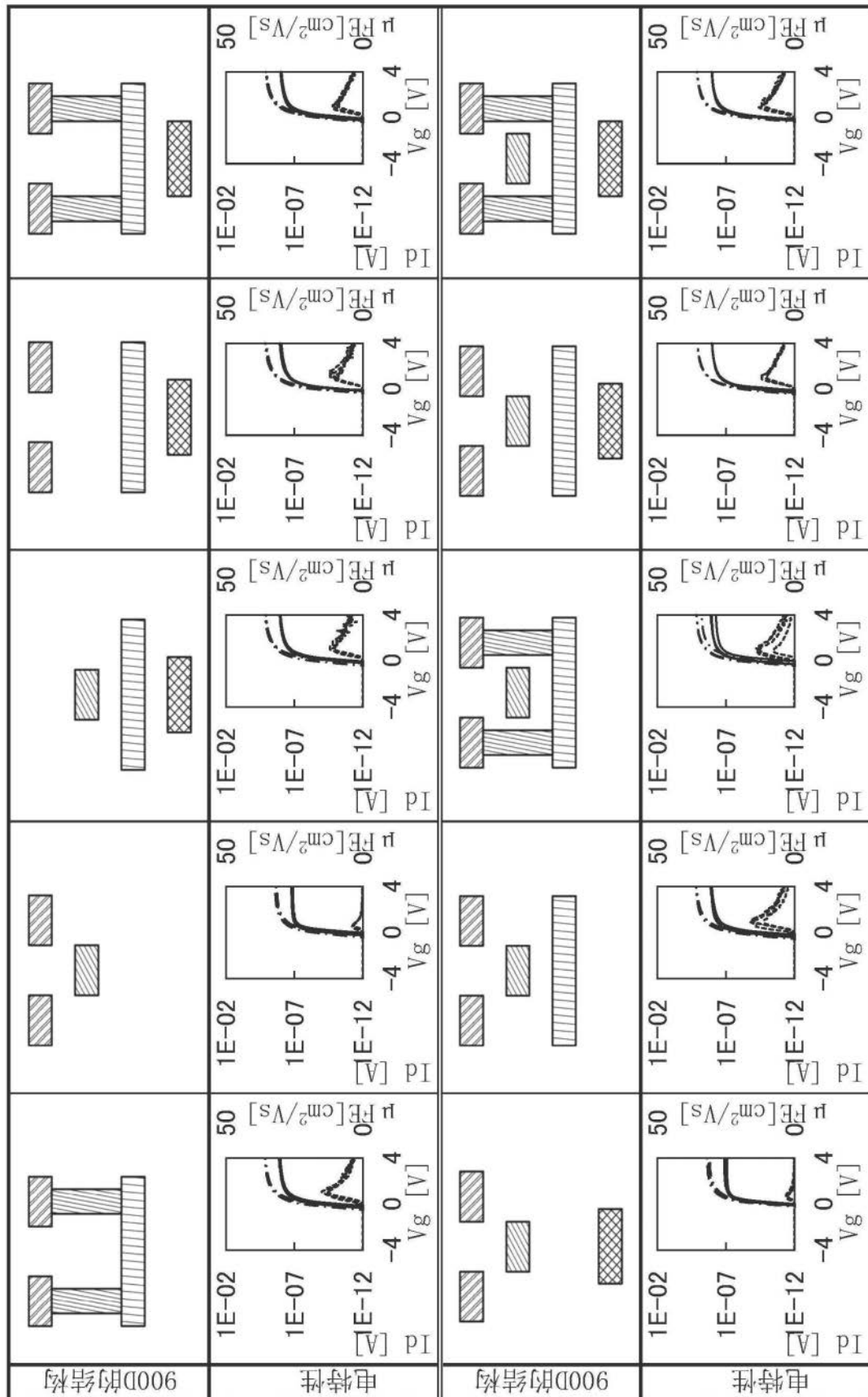


图28

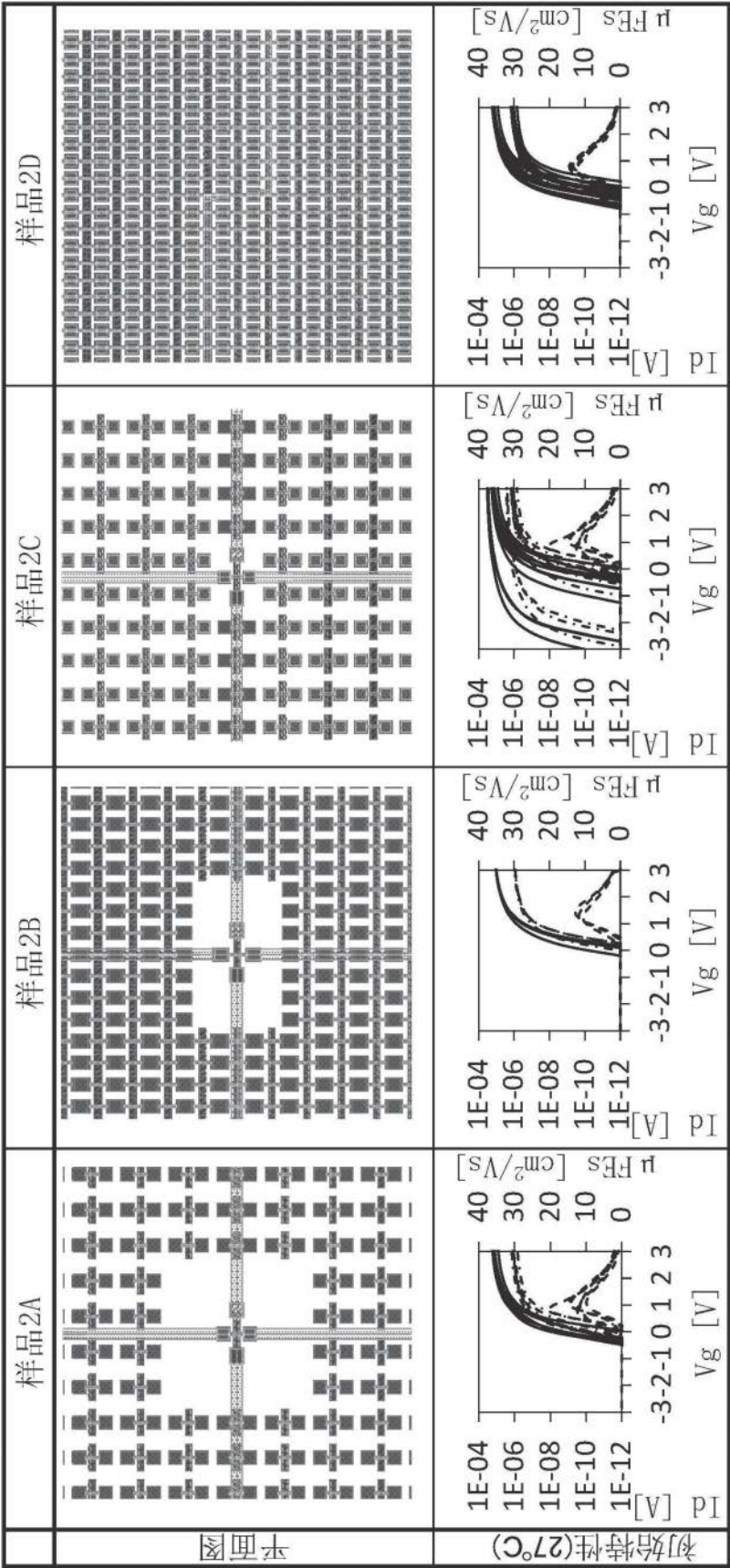


图29

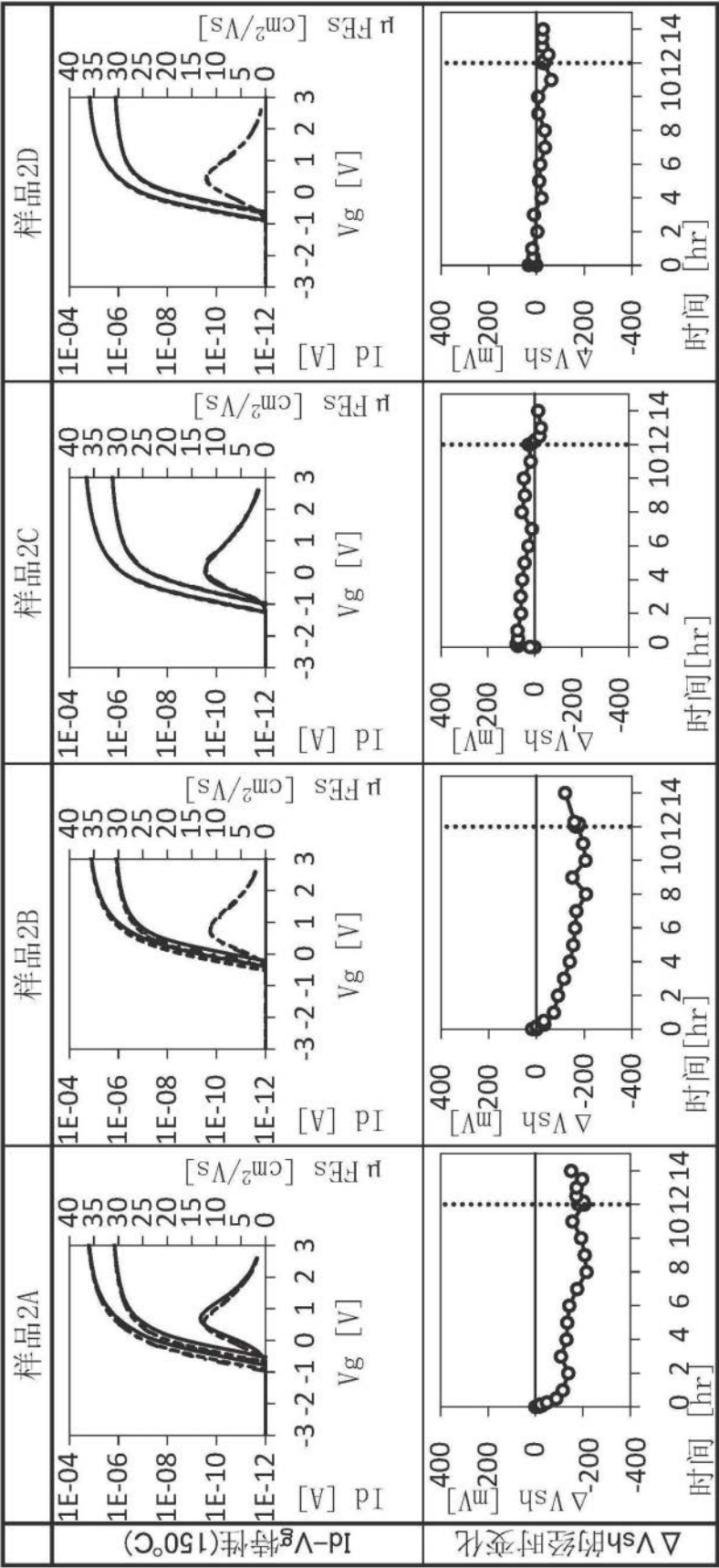


图30