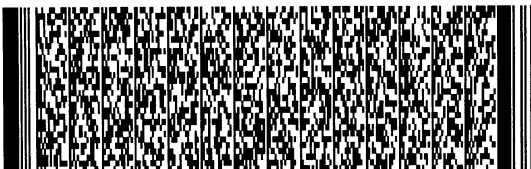


申請日期： 91-12-10	IPC分類
申請案號： 9113563P	H01L 21/828, 29/772

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	具有高性能積體電路多晶矽凝集熔消元件之互補金氧半導體之製法
	英文	CMOS PROCESS WITH AN INTEGRATED, HIGH PERFORMANCE, SILICIDE AGGLOMERATION FUSE
二、 發明人 (共2人)	姓名 (中文)	1. 西比·蘇魯塞伊爾 2. 菲利浦·A·費雪
	姓名 (英文)	1. CIBY THURUTHIYIL 2. PHILIP A. FISHER
	國籍 (中英文)	1. 印度 IN 2. 美國 US
	住居所 (中文)	1. 美國·加州94538·弗瑞蒙特·史卓弗洛路40341號 2. 美國·加州94404·佛斯特·西比克路730號
	住居所 (英文)	1. 40341 Strawflower Way, Fremont, CA 94538, U.S.A. 2. 730 Chebec Lane, Foster City, CA 94404, U.S.A.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 高級微裝置公司
	名稱或 姓名 (英文)	1. ADVANCED MICRO DEVICES, INC.
	國籍 (中英文)	1. 美國 US
	住居所 (營業所) (中文)	1. 美國·加州94088-3453·桑尼威·第1AMD區·M/S 68·郵政信箱3453號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. One AMD Place, M/S 68, P. O. Box 3453, Sunnyvale, CA 94088-3453, U.S.A.
	代表人 (中文)	1. 哈利·渥林
	代表人 (英文)	1. HARRY WOLIN



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2001/12/10	10/014,064	有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。

五、發明說明 (1)

[發明所屬之技術領域]

本發明有關一種積體電路，尤指一種互補金氧半導體積體電路之製法及裝置。

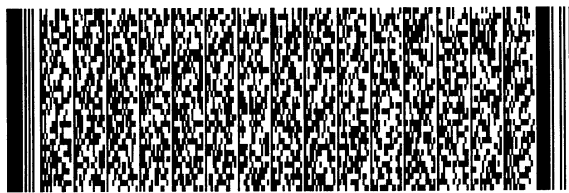
[先前技術]

某些互補金氧半導體 (complementary metal oxide semiconductor, CMOS) 積體電路之製法試圖在多晶矽層上之矽化多晶矽 (亦稱為聚矽化物) 之外另行形成稱為 "多熔消元件 (poly fuse)" 之電晶體元件及一次性可編程元件 (one-time programmable element)，這些製法已試著使用多晶矽 "凝集" 之現象以編程該等多熔消元件。當夠高之電流消失在未編程之多熔消元件中或通過未編程之多熔消元件時，熔消元件材料 (矽化多晶矽) 之溫度將升高至一定的臨界溫度，而造成該矽化多晶矽之相態改變，此相態改變一般稱為 "凝集" (agglomeration)，該矽化多晶矽由低電阻相 (low resistance phase) 轉變成高電阻相，此稱為熔消元件之 "編程"。在某些情況下，相態改變係伴隨著遠離最熱點 (hottest point) 之矽化多晶矽的物理移動而發生，其可由後處理物理分析而確定。

[發明內容]

諸如多晶矽凝集熔消元件之一次性可編程元件可用以作為積體電路之廣大應用範圍中之可編程元件，在某些應用中，莫爾定律 (Moore's law) 需要降低供應之電壓，以創造可於低電壓下編程高效能之熔消元件的需求。

根據本發明，提供一種具有高性能積體電路多晶矽凝

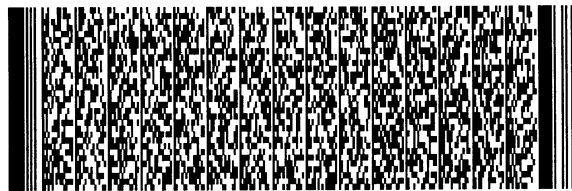
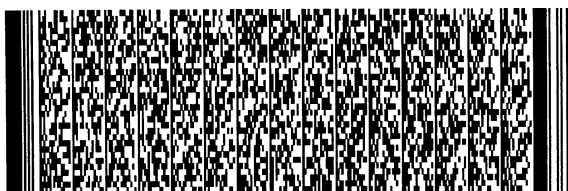


五、發明說明 (2)

集熔消元件之互補金氧半導體之製法，在本發明之一個實施例中之熔消元件結構提供具低電壓編程之最佳效能，根據本發明之一個實施例之互補金氧半導體之製法可有利地包括所有標準而且最先進的 $0.18\mu\text{m}$ 、 $0.13\mu\text{m}$ 級之互補金氧半導體製程或其他互補金氧半導體製程之特徵，或遵守所有製程條件之互補金氧半導體製程或其他互補金氧半導體製程，這些條件包括用於金屬矽化物以形成電晶體之快速熱退火 (rapid thermal anneal, RTA) 製程、溫度及時間，本發明所提出之互補金氧半導體之製法的一個實施例包括藉由聚矽化物凝集以將 "多熔消元件" 之效能最佳化之附加製程。

具有高性能積體電路聚矽化物凝集熔消元件之一個目的在於擁有較預編程或未編程熔消元件之電阻 ("未燒斷的熔消元件" 電阻 "fresh fuse" resistance 為高的後編程熔消元件電阻 ("未經處理的熔消元件" 電阻 "blown fuse" resistance, 後編程熔消元件電阻對預編程熔消元件電阻之比值可稱為熔消元件之 "優值 (figure of merit)", 根據本發明之多熔消元件可增加此優值至例如至少 10 因次 (factor) 至超過 1000 因次，若該多熔消元件之優值夠大，則連接至該多熔消元件之檢測電路可在編程後讀取該熔消元件而不會有任何含糊不清 (ambiguity) 者。

若由該檢測電路讀取具有很小優值之已編程熔消元件作為編程，該熔消元件將使電路發生故障或造成信賴性問題，若該檢測電路係設計在已編程及未編程之熔消元件之



五、發明說明 (4)

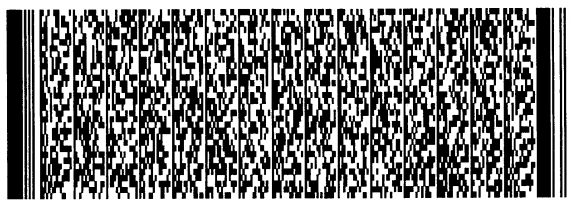
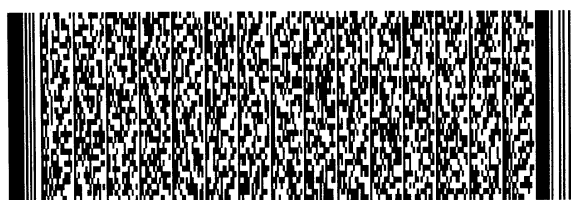
晶矽將於金屬層起反應，以在快速熱退火 (RTA) 期間之內形成聚矽化物。

本發明之又一態樣係關於一種積體電路，該積體電路包括：矽基板；形成於該矽基板表面上之兩個區域中之第一絕緣體及第二絕緣體；形成於該矽基板上之第一絕緣體及第二絕緣體之間的電晶體；以及形成於該第二絕緣體上之聚矽化物熔消元件，該聚矽化物熔消元件具有作用區，聚矽化物在此作用區與該絕緣體直接接觸，其中，該電晶體以及該聚矽化物熔消元件係以共同的矽化製程所形成。

[實施方式]

第 1 圖說明實施例中包括形成有諸如絕緣層或絕緣元件的絕緣體 106A 至 106C 之矽基板 104 的結構 100，該絕緣體 106A 至 106C 可為諸如四乙基矽酸鹽之任何適當之絕緣材料所製成，並且可以根據技術之設計標準而藉由局部矽氧化法 (local oxidation of silicon, LOCOS) 或淺溝渠隔離法 (shallow trench isolation, STI) 來加以製造。在第 1 圖中之結構 100 可用以形成具有電晶體及熔消元件之互補金氧半導體積體電路，本發明可應用於任何構造及數量之電晶體及熔消元件，參考以下圖式所說明的 2 個電晶體及 1 個熔消元件僅為舉例說明之用。另外，在圖式中所顯示之元件及膜層之大小及厚度並非以正確尺寸所繪製，亦非以此為限。

任何最先進或未來的互補金氧半導體之製法，諸如 0.18 μ m、0.13 μ m 或 0.10 μ m 級者，均可用以形成以下的元



五、發明說明 (5)

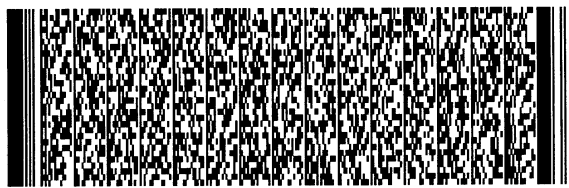
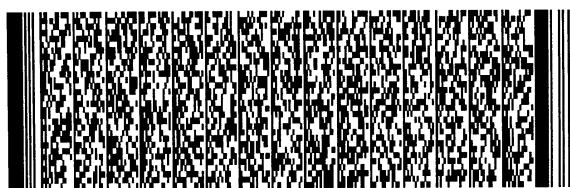
件，而以下所說明之一個或多個動作可予以修改或在不同順序下進行。

第 1 圖中之矽基板 104 表面將可以一預先開極氧化清洗步驟進行清洗，開極氧化層 102A、102B 將可形成，而在一實施例中，該開極氧化層之厚度係小於 2nm，接著一多晶矽層 108 則可沈積。

在一個實施例中，多晶矽層 108 具有約 100nm 至約 150nm 之厚度 T，諸如約 120nm 至約 130nm 之厚度。此厚度 T 通常為介於為增加開極圖案化製程以創造窄開極之所欲裕度 (margin)(1) 與用於電晶體源極-汲極區之所欲的高離子植入量 (2) 之間的折衷厚度，其中，較薄的多晶矽有助於創造窄開極，而較厚的多晶矽則可更有效地阻止穿過通道而來的植入源極-汲極之離子種類 (尤其是硼)，為了提高電晶體驅動強度而圖案化更小的電晶體開極乃是為了驅使該多晶矽厚度 T 可在每一微小的技術層級中縮小。

舉例來說，對具有 100nm 電晶體開極之技術 (諸如 0.18 μ m 級之技術) 而言，150nm 至約 200nm 之多晶矽厚度可提供開極圖案化製程適當的製造裕度，如另一實例來說，對 50nm 之電晶體開極而言，100nm 至約 120nm 之多晶矽厚度可獲得所欲的製程裕度，而又如另一實例來說，對 35nm 之電晶體開極而言，100nm 之多晶矽厚度可獲得所欲的製程裕度。在其他實施例中，多晶矽之厚度 T 可為約 50nm 或更小，諸如 10nm。

為了形成 n 型金屬氧化物半導體 (NMOS) 電晶體，可形



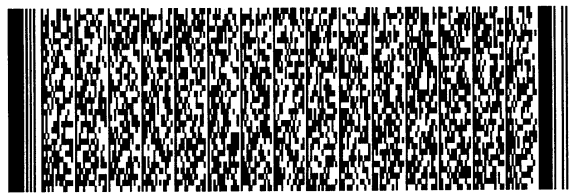
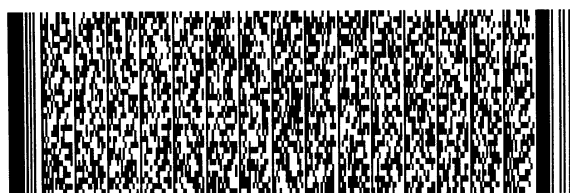
五、發明說明 (6)

成光罩 110(稱為 n 型金屬氧化物半導體離子植入光阻)以作為閘極預摻雜 (gate pre-doping), 然後可將預摻雜之離子植入施加至該多晶矽層 108 之區域 112, 該光罩 110 則可予以移除以進行下一製造階段。

第 2 圖說明第 1 圖之結構 100 的另一製造階段, 可在第 1 圖之處理後進行。為了形成 p 型金屬氧化物半導體 (PMOS) 電晶體, 可形成在第 2 圖中之光罩 202(稱為 p 型金屬氧化物半導體離子植入光阻)以作為閘極預摻雜, 然後可將預摻雜之離子植入施加至該多晶矽層 108 之區域 200, 該光罩 202 則可予以移除以進行下一製造階段。

第 3 圖說明第 1 圖之結構 100 的另一製造階段, 可在第 2 圖之處理後進行。在第 3 圖中, 可形成底部抗反射層 (bottom anti-reflective coating, BARC) 304(又稱為底部抗反射層薄膜或 "在光阻下" 之抗反射材料), 該多晶矽層 108 之表面 (第 2 圖) 可為相當平滑, 並有助於藉由諸如電漿輔助化學氣相沉積 (PECVD) 或低壓化學氣相沉積法 (Low Pressure Chemical Vapor Deposition, LPCVD) 之化學氣相沉積法 (chemical vapor deposition, VCD) 以沉積具有良好控制之厚度及光學特性之底部抗反射層薄膜。

接下來可將諸如感光塑膠之光阻層 (未圖示) 形成於電晶體閘極區域以及熔消元件區域上, 可修整該光阻層以形成如第 3 圖所示之光阻結構 306A、306B 及 308。在沒有該底部抗反射層 304 的情況下, 當暴露該光阻層時, 在該光阻層及該多晶矽層之間之交界面的反射中斷, 而將造成微影



五、發明說明 (7)

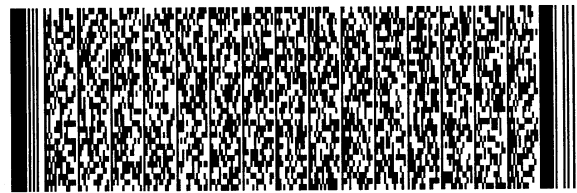
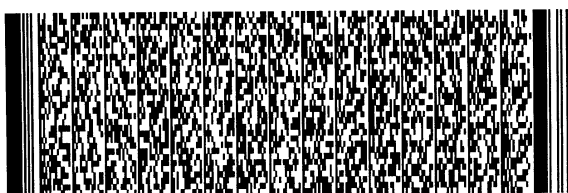
後所得之光阻輪廓 (resist profile) 為漸縮之錐形而非平直者。

使用經修整的光阻結構 306A、306B 及 308 來定義圖案，如有需要，可以主要的蝕刻製程、軟著陸 (soft landing) 製程及過度蝕刻製程來蝕刻在第 3 圖中之底部抗反射層 304 及多晶矽層 108 的部份，以形成在第 3 及第 4 圖中所示之多晶矽閘極區域 310A、310B 以及多晶矽熔消元件區域 312。在一個實施例中，第 4 圖中之多晶矽閘極區域 310A、310B 可具有約 50nm 至 100nm 的寬度 W3、W4 (諸如 60nm 或 70nm 之寬度)，以作為電流技術。

在一個實施例中，閘極蝕刻製程之設計乃為避免該閘極氧化層 102A、102B 上之任何貫穿孔 (puncture) 出現。

在一個實施例中，閘極蝕刻係在隔層清洗製程 (passivant clean process) 之後進行，以移除殘餘之蝕刻聚合物、最小線寬 (critical dimension, CD) 測量、光阻殘渣之檢視、短暫的氧化作用 (在作用區域上長出約 2nm 並在閘極之側邊上長出約 4nm)，並移除該底部抗反射層 304。因為該底部抗反射層 304 通常為某種氮化矽或氮氧化矽，可由熱磷酸清洗來移除該底部抗反射層 304，亦可使用電漿蝕刻。

在其他實施例中，當沉積諸如鈷之材料時，只要暴露出在該多晶矽閘極區域 310A、310B 及該作用區的矽基板 104 中之多晶矽，即可在之後的製程流程中移除該底部抗反射層 304。



五、發明說明 (8)

在一個實施例中，氧化製程增加了在第3圖中之閘極氧化層102A、102B的厚度。

第4圖說明第1圖之結構100的另一製造階段，可在第3圖之處處理後進行。在將該多晶矽閘極區域310A、310B圖案化之後，可進行數個光罩製程(用以定義離子植入區域)以及離子植入製程，以形成在第4圖中所示之電晶體400A、400B，而氮化物間隙壁402A至402F可形成在該已蝕刻的多晶矽閘極區域310A、310B以及多晶矽熔消元件區域312之側邊上，可進行更多的離子植入。

在該氮化物間隙壁402A至402F下面，存在有該閘極氧化層102A、102B，並且實際上在該氮化物間隙壁402A至402F下面之閘極氧化層102A、102B可較在該多晶矽閘極區域310A、310B正下方之閘極氧化層102A、102B為厚，在第3圖中介於該氮化物間隙壁402A至402F及該絕緣體106A至106C之間的閘極氧化層102A、102B部份(未受間隙壁及已摻雜的多晶矽閘極區域310A、310B所保護之區域)係以例如結合在流程不同點中所進行的多重清洗製程之效果而於最後予以移除，每一清洗製程可移除在該氮化物間隙壁402A至402F及該絕緣體106A至106C之間之部份厚度埃(angstrom)的閘極氧化層102A、102B，並且最後將該氧化層之部份移除。

此外，在該氮化物間隙壁402A至402F及該絕緣體106A至106C之間之閘極氧化層102A、102B可在形成並蝕刻該氮化物間隙壁402A至402F之氮化物蝕刻期間予以移除，而在



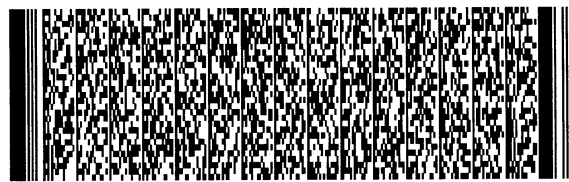
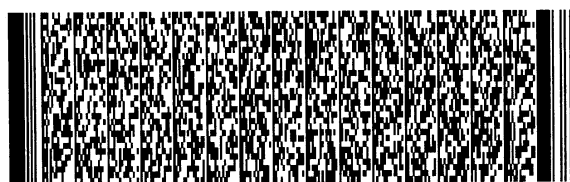
五、發明說明 (9)

間隙壁邊界以及鈷沉積之間的多重清洗製程將移除在該氮化物間隙壁 402A至 402F及該絕緣體 106A至 106C之間之閘極氧化層 102A、102B殘留的絕大部份。

為了暴露在該氮化物間隙壁 402A至 402F及該絕緣體 106A至 106C之間之矽基板 104的表面(未受該氮化物間隙壁 402A至 402F及多晶矽閘極區域 310A、310B 所保護)，必須在沉積例如鈷之材料前移除在該氮化物間隙壁 402A至 402F及該絕緣體 106A至 106C之間之閘極氧化層 102A、102B部份，此可藉由在鈷沉積法中所包括之原位濺鍍清洗製程(in-situ sputter clean process)而獲得。在一個實施例中，鈷沉積法包括可在鈷沉積後移除約 3nm之氧化物、接著移除約 5nm厚之 Ti或 TiN的覆蓋層之濺鍍清洗。

在清洗後，如第 4圖所示，可在所有元件上沉積鈷層 404。在一個實施例中，該鈷層 404之厚度約為 150埃(Å)，且該多晶矽熔消元件區域 312之厚度約為 1200至 1500埃。在其他的實施例中可使用不同的厚度，並可使用諸如鈦或鎳之其他元件來代替鈷。

一個或多個快速熱退火(RTA)製程接著將部份的鈷層 404與該矽基板 104、多晶矽閘極區域 310A、310B及多晶矽熔消元件區域 312接觸，然後與該聚矽化物區域 406A至 406D、408A至 408B、410(亦稱為矽化多晶矽)接觸。任何未與該矽基板 104、多晶矽閘極區域 310A、310B或多晶矽熔消元件區域 312起反應以形成矽化鈷之未反應鈷可以剝除或用別的方法移除。



五、發明說明 (10)

在一個實施例中，以約 430 至 480°C 之溫度及持續約 1 分鐘之時間的快速熱退火製程系統來形成矽化鈷，然後將未反應鈷剝除，接著以約 675 至 775°C 之溫度及持續約幾秒之時間的第二快速熱退火系統來形成二矽化鈷。

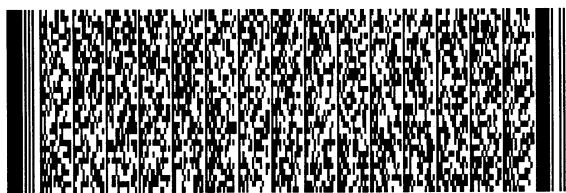
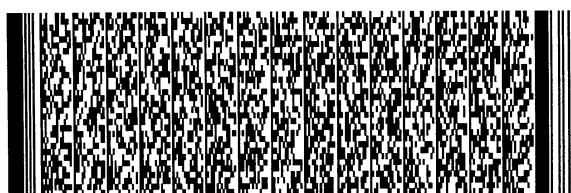
形成與改進熔消元件之方法

在本發明之一個實施例中，多晶矽熔消元件區域比多晶矽電晶體閘極區域為薄，使得在一個或多個快速熱退火製程期間中所有的多晶矽熔消元件區域實質轉變成聚矽化物。在一個實施例中，多晶矽厚度與聚矽化物厚度係由最佳化電晶體效能以及減少 100nm 至 150nm 之閘極圖案化製程所指定。

至少有兩個方法可形成不同多晶矽厚度之電晶體閘極區域及熔消元件區域，第 5 圖說明一個方法，而第 6 及第 7A 圖則說明另一個方法。

選擇方法一

第 5 圖說明第 1 圖之結構 100 的另一製造階段，可在第 2 圖之處理後進行。在第 5 圖中，定義並形成諸如用於熔消元件區域之光阻的圖案化光罩 500，然後施加多晶矽薄蝕刻製程 (polysilicon thinning etch process) 至該多晶矽層 108 以形成經蝕刻的熔消元件區域 502。接著可參照上述第 3 至第 4 圖所述之製程，諸如光阻修整、底部抗反射層蝕刻及多晶矽蝕刻 (主要蝕刻、軟著陸蝕刻及過度蝕刻) 等，進行修改以提供作為電晶體及熔消元件區域之多重多晶矽厚度。



五、發明說明 (11)

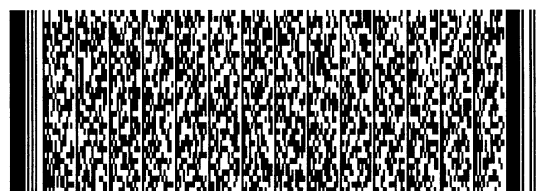
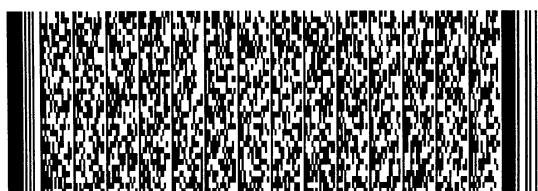
選擇方法二

如果難以修改參照上述第 3 至第 4 圖所述之多晶矽蝕刻(主要蝕刻、軟著陸蝕刻及過度蝕刻)而形成作為電晶體及熔消元件區域之多重多晶矽厚度，則可應用取代參照上述第 5 圖所述之方法的另一方法來進行之。

第 6 圖說明第 1 圖之結構 100 的另一製造階段，可在第 2 圖之處理後進行。在第 6 圖中，沉積底部抗反射層 304 (如第 3 圖)，然後形成光阻層並加以修整之，以形成較第 3 圖中之光阻結構 306A、306B、308 為寬之光罩 600A、600B、602，在第 6 圖中之光罩 600A、600B、602 可取代定義圖案以蝕刻該多晶矽閘極區域 310A、310B 及多晶矽熔消元件區域 312 (如第 3 及第 4 圖)，而在之後的蝕刻中保護後續的多晶矽閘極區域 310A、310B 及多晶矽熔消元件區域 312。

第 7A 圖說明第 1 圖之結構 100 的另一製造階段，可在第 6 圖之處理後進行。在第 7A 圖中，第一蝕刻製程可形成多晶矽閘極區域 310A、310B 並約略描述在第 7A 圖中之多晶矽熔消元件區域 312 的輪廓，此約略描述之多晶矽熔消元件區域 312 係大得足以提供一些額外的材料以製造實際的多晶矽熔消元件區域 604，如第 6 及第 7A 圖所示。

有兩個決定在第 6 圖中熔消元件的光罩 602 之寬度的標準，首先，該熔消元件的光罩 602 之寬度應足以覆蓋該多晶矽熔消元件區域 604 之實際"熔消"部份，換言之，該熔消元件的光罩 602 之寬度應較該熔消元件之電性作用部份為寬。其次，該熔消元件的光罩 602 應為多熔消元件區域



五、發明說明 (12)

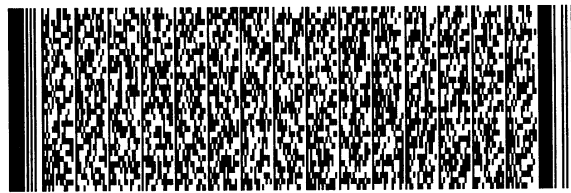
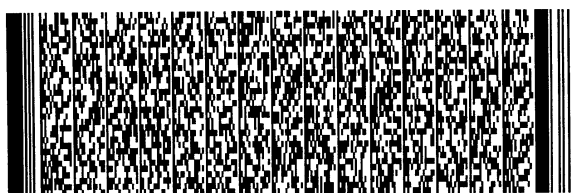
606所覆蓋，使得多蝕刻製程不致侵蝕作用矽，換句話說，該熔消元件的光罩602應較該多熔消元件區域606之外緣為窄。

接下來可形成在第7A圖中定義熔消元件之光罩700，以保護該多晶矽閘極區域310A、310B，然後對該約略描述之多晶矽熔消元件區域312施以薄蝕刻製程，以移除部份多晶矽材料702並形成實際的多晶矽熔消元件區域604。為有助於製程之一致性且可製造，當仍有特定厚度之多晶矽尚未蝕刻時，此薄蝕刻可應用干涉終點(interferometric end-point, IEP)技術來中止蝕刻，干涉終點技術為一種可從例如LAM或AMAT等公司所生產之最先進的商用蝕刻工具中獲得之技術。因此，可對閘極及熔消元件區域進行個別的多晶矽蝕刻。

之後，可應用習知之互補金氧半導體之製法(諸如離子植入)，形成氮化物間隙壁402A至402F(第4圖)、更多的離子植入、鈷沉積、矽化鈷成形退火(CoSi formation anneal)以及剝除任何未反應以形成矽化鈷之未反應鈷。

第7B圖說明第1圖之結構的另一製造階段，可在第5或第6及第7A圖之處理後進行，第7B圖顯示與絕緣體106C直接接觸之未經處理或未編程的熔消元件區域。

第7C圖說明第1圖之結構的另一製造階段，可在第5或第6及第7A圖之處理後進行，第7C圖顯示藉由多晶矽750之可接受薄層而與絕緣體106C分離之未經處理或未編程的熔消元件區域。



五、發明說明 (13)

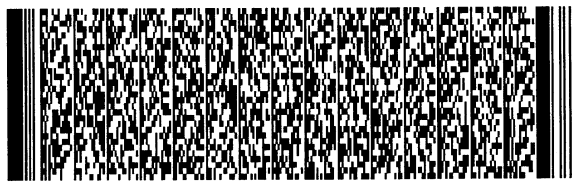
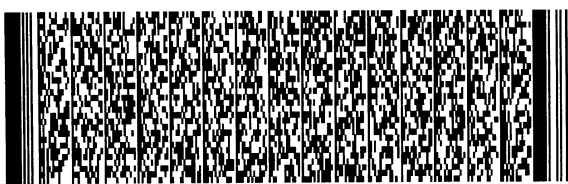
編程後之改進的熔消元件之優點

在將第4圖中未反應的鈷層404移除後，該鈷、鈦或鎳聚矽化物(或矽化多晶矽)區域410具有低電阻，令電流可從該聚矽化物區域410之一端流至其他端，該熔消元件可稱為未經處理或未編程的熔消元件，如對熟習該積體電路製造之技藝者所了解，該熔消元件可藉由凝集而於稍後予以編程。在一個實施例中，該凝集約發生於攝氏1000度。

第8圖說明在另一製造階段的第1圖之結構100上的編程熔消元件800，可在第4圖之處理後進行。在第8圖中之編程熔消元件800具有在該多晶矽熔消元件區域312上的兩個聚矽化物區域410A、410B，該兩個聚矽化物區域410A、410B係耦合至跡線(trace)或導體(conductor)804A、804B，該兩個聚矽化物區域410A、410B係由凝集區域802所分離，並暴露出位於該多晶矽熔消元件區域312下面之一部份。

在第8圖中之編程熔消元件800具有後編程電阻，該後編程電阻因該凝集區域802而具有較預編程電阻為高的電阻，但某些電流仍流過該多晶矽熔消元件區域312，如在第8圖中之箭頭所示。

第9A圖說明在另一製造階段的第1圖之結構100上的編程熔消元件900A，該製造階段係可在第5或第6及第7A圖之製程後的鈷沉積、矽化鈷成形退火與除去未反應的鈷之後進行。在第5及第7A圖中，該多晶矽熔消元件區域908A、908B係比第4圖中者為薄，使得在第5及第7A圖中之熔消元



五、發明說明 (14)

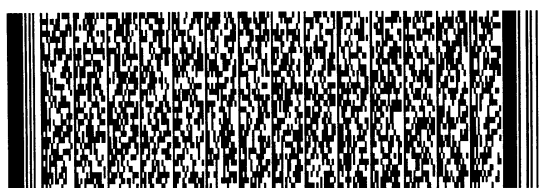
件區域的所有多晶矽均於矽化期間(見第7B圖)大致耗盡。

第9B圖說明在另一製造階段的第1圖之結構100上的另一編程熔消元件900B，該製造階段係可在第5或第6及第7A圖之製程後的鈷沉積、矽化鈷成形退火與除去未反應的鈷之後進行。在第9B圖中，多晶矽之可接受量910並未在矽化期間(見第7C圖)耗盡，而可搭配其他互補金氧半導體製程條件。

於編程(凝集)之後，在第9A及第9B圖中之編程熔消元件900A、900B具有兩個聚矽化物區域902A、902B，在第9A圖中之兩個聚矽化物區域902A、902B與該絕緣體106C之表面接觸，在第9B圖中之兩個聚矽化物區域902A、902B則與該多晶矽之可接受量910接觸。

在第9A及第9B圖中之兩聚矽化物區域902A、902B係耦合至栓塞或導體906A、906B，該兩個聚矽化物區域902A、902B係由凝集區域904所分離，並暴露出在第9A圖中之部份絕緣體層106C以及暴露出在第9B圖中之部份多晶矽之可接受量910。

在第9A及第9B圖中之編程熔消元件900A、900B具有後編程電阻，由於該凝集區域904暴露出在第9A圖中之絕緣體106C或是在第9B圖中之多晶矽之可接受量910的薄層，該後編程電阻係遠高於預編程電阻(高優值)，如第9A圖中的單一箭頭所示，無電流通過該絕緣體106C。因此，在第9A圖中之編程熔消元件900A形成了理想的開口電路(即中斷電路 broken circuit)。同樣地，在第9B圖中之絕緣體



五、發明說明 (15)

106C及多晶矽之可接受量 910 的薄層亦僅有微不足道的電流通。

第 10 圖為在另一製造階段之未編程熔消元件 1000 之上視圖，該製造階段係可在第 5 或第 6 及第 7A 圖之製程後的鈷沉積、矽化鈷成形退火與除去未反應的鈷之後進行。以熔消元件長度為 L 、寬度為 W 而成形之未編程熔消元件 1000 對於在低電壓下作為編程者而言為最佳，在接觸墊 1002A、1002B 上之接觸栓塞 1004A、1004B 係用以電性連接該未編程熔消元件 1000 至電源電壓，並可用以編程該未編程熔消元件 1000。

本發明之上述實施例僅為說明之故而非用以限定者，可在不脫離本發明之最廣義觀點中做不同的改變與修飾，下列所附的專利申請範圍包括在本發明之精神與範疇內所作的變化或修飾。



圖式簡單說明

[圖式簡單說明]

第 1 圖說明實施例中包括形成有絕緣層或絕緣元件之矽基板的結構。

第 2 圖說明第 1 圖之結構的另一製造階段，可在第 1 圖之處理後進行。

第 3 圖說明第 1 圖之結構的另一製造階段，可在第 2 圖之處理後進行。

第 4 圖說明第 1 圖之結構的另一製造階段，可在第 3 圖之處理後進行。

第 5 圖說明第 1 圖之結構的另一製造階段，可在第 2 圖之處理後進行。

第 6 圖說明第 1 圖之結構的另一製造階段，可在第 2 圖之處理後進行。

第 7A 圖說明第 1 圖之結構的另一製造階段，可在第 6 圖之處理後進行。

第 7B 圖說明第 1 圖之結構的另一製造階段，可在第 5 或第 6 及第 7A 圖之處理後進行。

第 7C 圖說明第 1 圖之結構的另一製造階段，可在第 5 或第 6 及第 7A 圖之處理後進行。

第 8 圖說明在另一製造階段的第 1 圖之結構上的編程熔消元件，可在第 4 圖之處理後進行。

第 9A 圖說明在另一製造階段的第 1 圖之結構上的編程熔消元件，該製造階段係可在第 5 或第 6 及第 7A 圖中製程後的鈷沉積、矽化鈷成形退火與除去未反應的鈷之後進行。

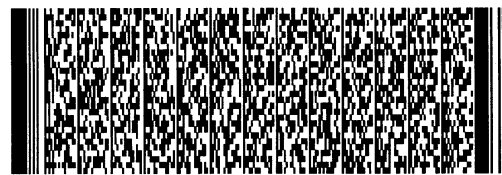


圖式簡單說明

第 9B圖說明在另一製造階段的第 1圖之結構上的另一編程熔消元件，該製造階段係可在第 5或第 6及第 7A圖之製程後的鈷沉積、矽化鈷成形退火與除去未反應的鈷之後進行。

第 10圖為在另一製造階段之未編程熔消元件之上視圖，該製造階段係可在第 5或第 6及第 7A圖之製程後的鈷沉積、矽化鈷成形退火與除去未反應的鈷之後進行。

100	結構	102A、102B	閘極氧化層
104	矽基板	106A至 106C	絕緣體
108	多晶矽層		
110、202、600A、600B、602、700	光罩		
112、200 區域	304	底部抗反射層	
306A、306B、308	光阻結構	310A、310B	多晶矽閘極區域
312、604、908A、908B	多晶矽熔消元件區域		
400A、400B	電晶體	402A至 402F	氮化物間隙壁
404	鈷層		
406A至 406D、408A至 408B、			
410、410A、410B、902A、902B	聚矽化物區域		
500	圖案化光罩	502	蝕刻的熔消元件區域
606	多熔消元件區域	702	多晶矽材料
750	多晶矽		
800、900A、900B	編程熔消元件		
802、904	凝集區域	804A、804B	跡線或導體



圖式簡單說明

906A、906B 栓塞或導體	910	多晶矽之可接受量
1000 未編程熔消元件	1002A、1002B 接觸墊	
1004A、1004B 接觸栓塞	L	長度
T 厚度	W、W3、W4 寬度	



四、中文發明摘要 (發明名稱：具有高性能積體電路多晶矽凝集熔消元件之互補金氧半導體之製法)

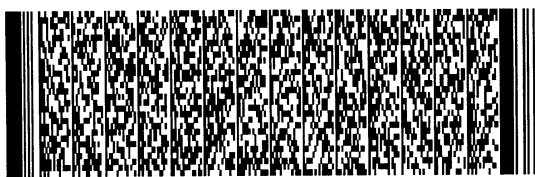
一種互補金氧半導體之製法，該製法包括創造具備作為電晶體閘極區域之第一厚度以及作為熔消元件區域之第二厚度之多晶矽層，該第一厚度較該第二厚度為大，其中，在該熔消元件區域中之大部份多晶矽將與金屬層起反應，以在快速熱退火製程期間形成聚矽化物。

本案代表圖：第 9A 圖

104	矽基板	106A至 106C	絕緣體
900A	編程熔消元件	902A、902B	聚矽化物區域
904	凝集區域	906A、906B	栓塞或導體
908A、908B	多晶矽熔消元件區域		

六、英文發明摘要 (發明名稱：CMOS PROCESS WITH AN INTEGRATED, HIGH PERFORMANCE, SILICIDE AGGLOMERATION FUSE)

A complementary metal oxide semiconductor (CMOS) fabrication process. The process comprises creating a polysilicon layer having a first thickness for a transistor gate area and a second thickness for a fuse area. The first thickness is greater than the second thickness, wherein most of the polysilicon in the fuse area will react with a metal layer to form polysilicide during a rapid

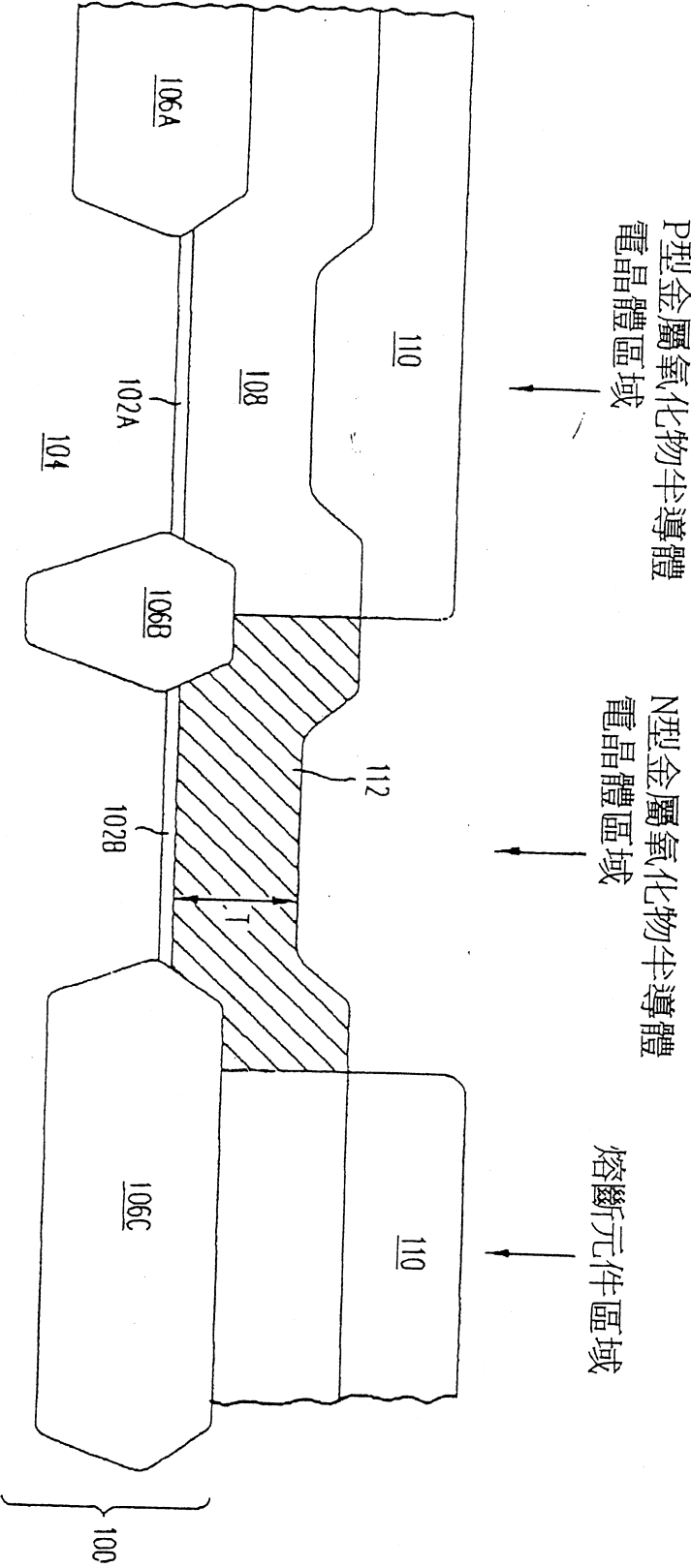


四、中文發明摘要 (發明名稱：具有高性能積體電路多晶矽凝集熔消元件之互補金氧半導體之製法)

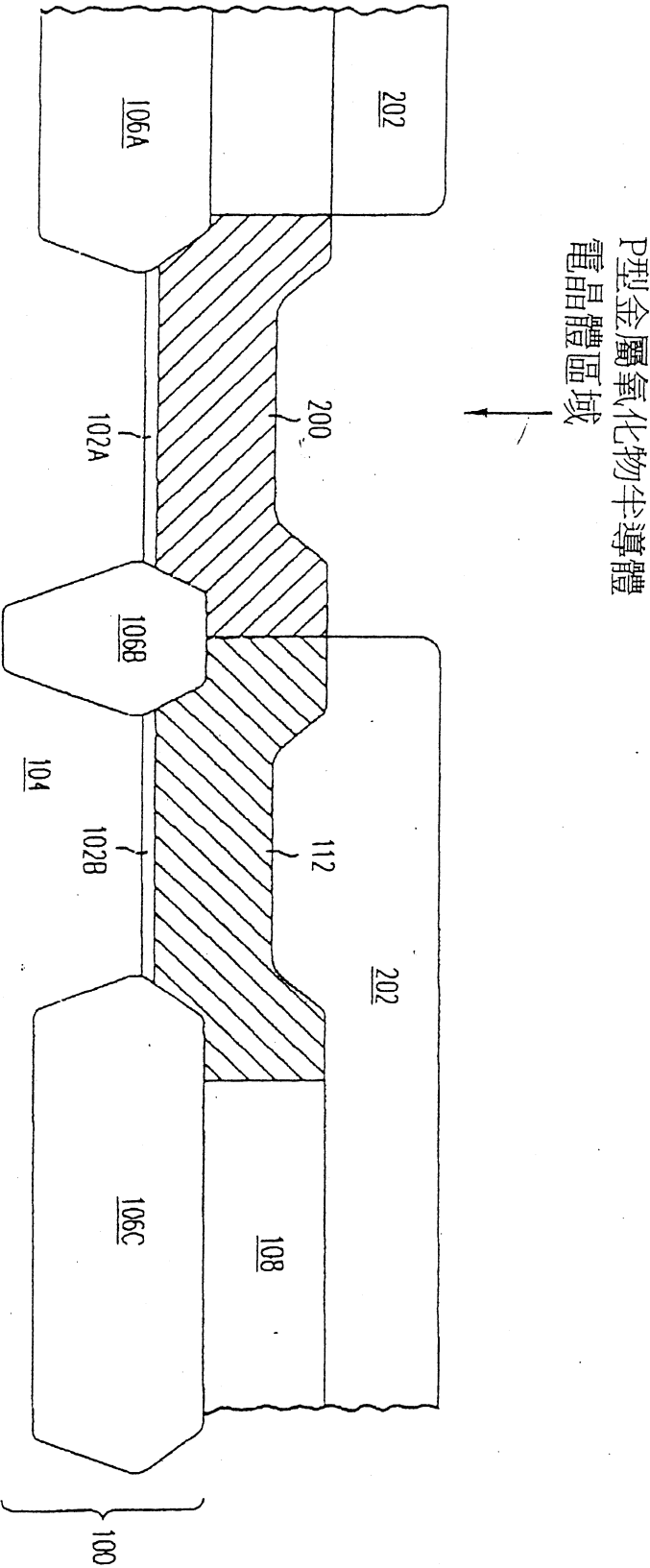
六、英文發明摘要 (發明名稱：CMOS PROCESS WITH AN INTEGRATED, HIGH PERFORMANCE, SILICIDE AGGLOMERATION FUSE)

thermal anneal (RTA) process.

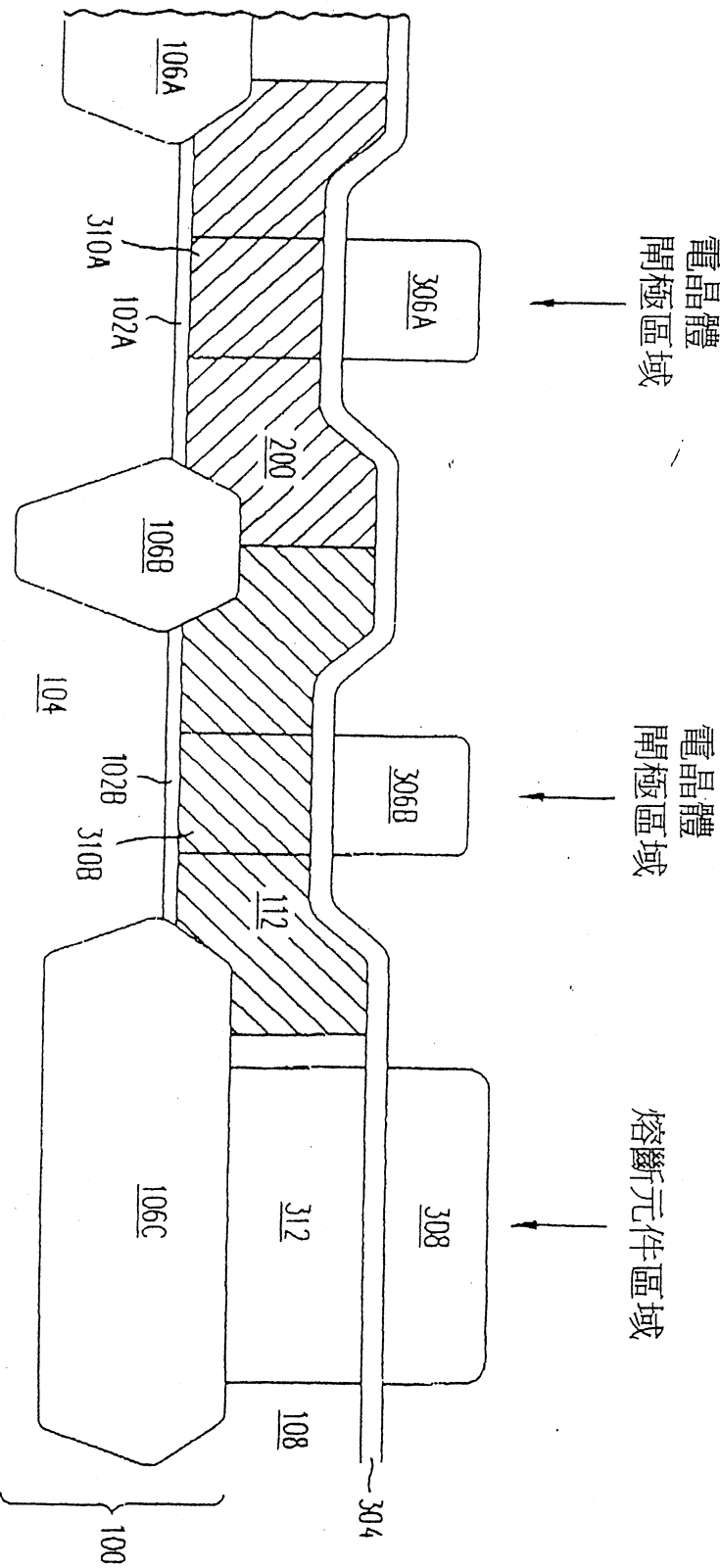




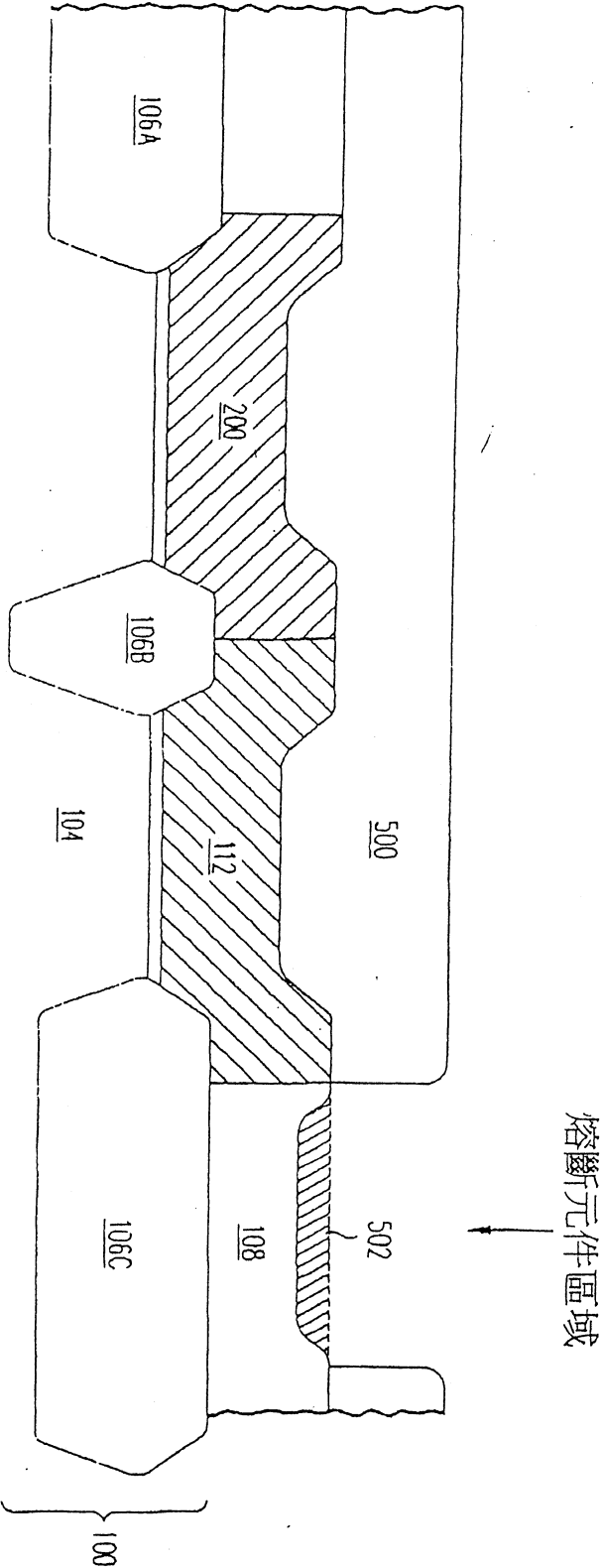
第 1 圖



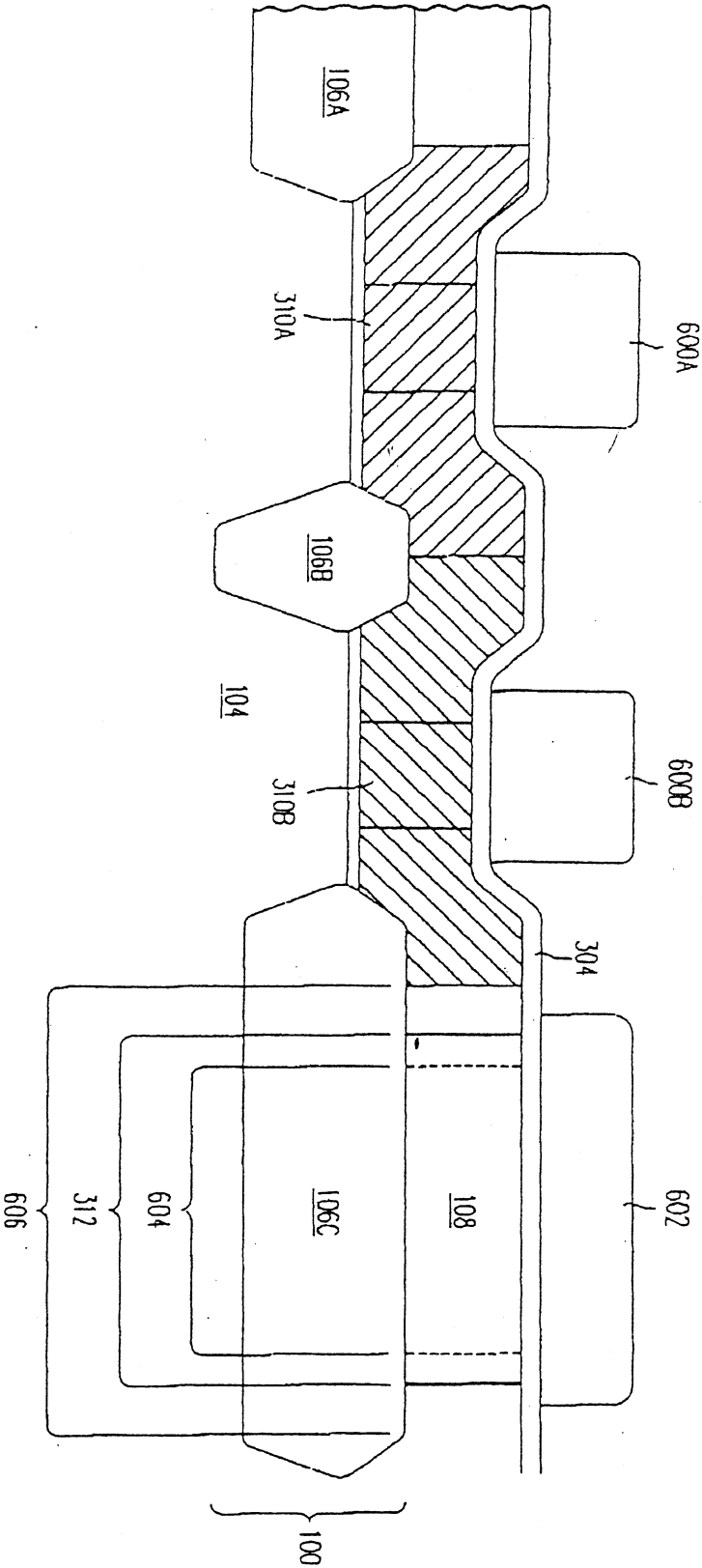
第 2 圖



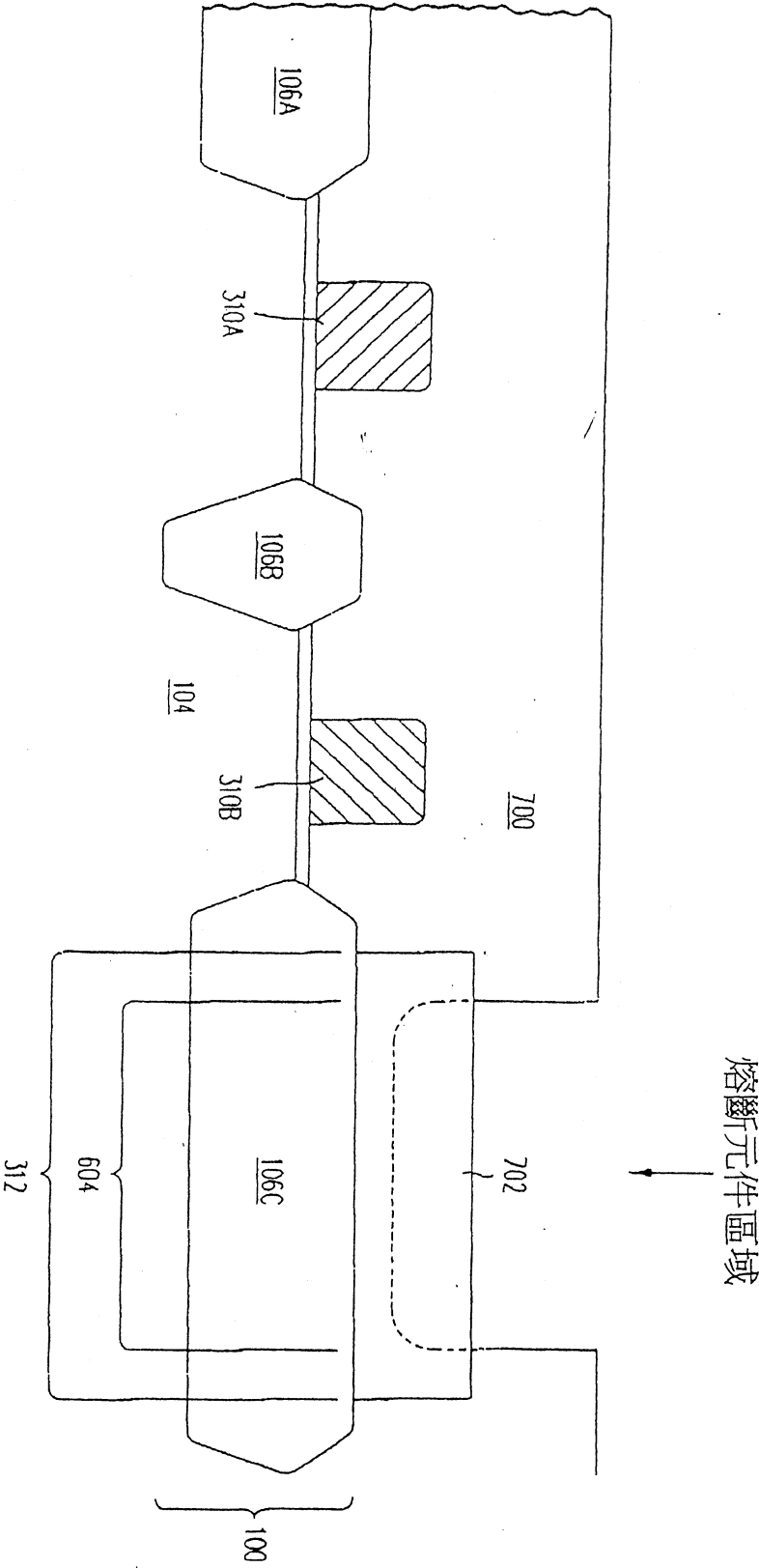
第 3 圖



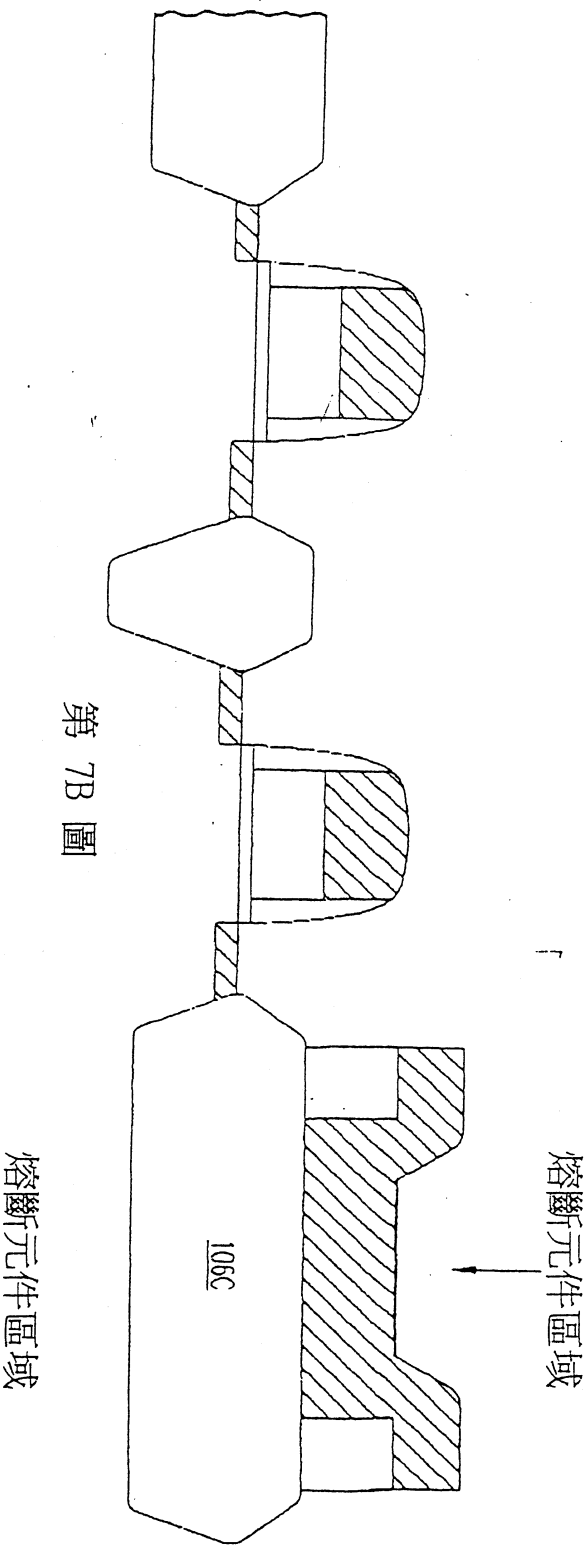
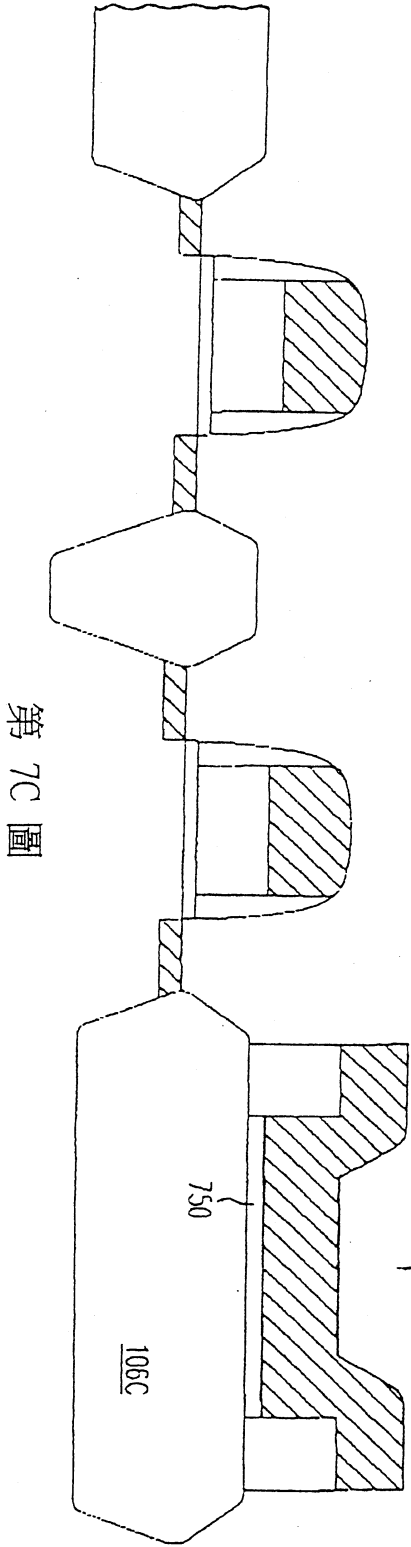
第 5 圖



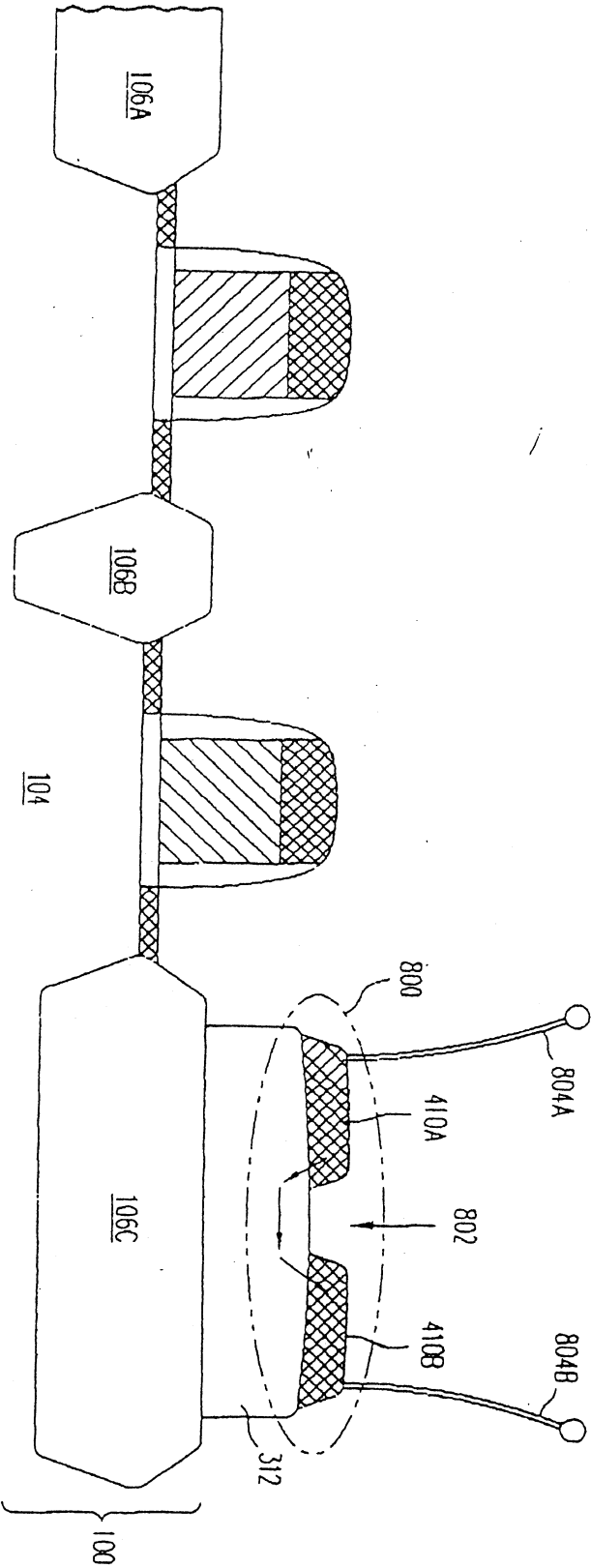
第 6 圖

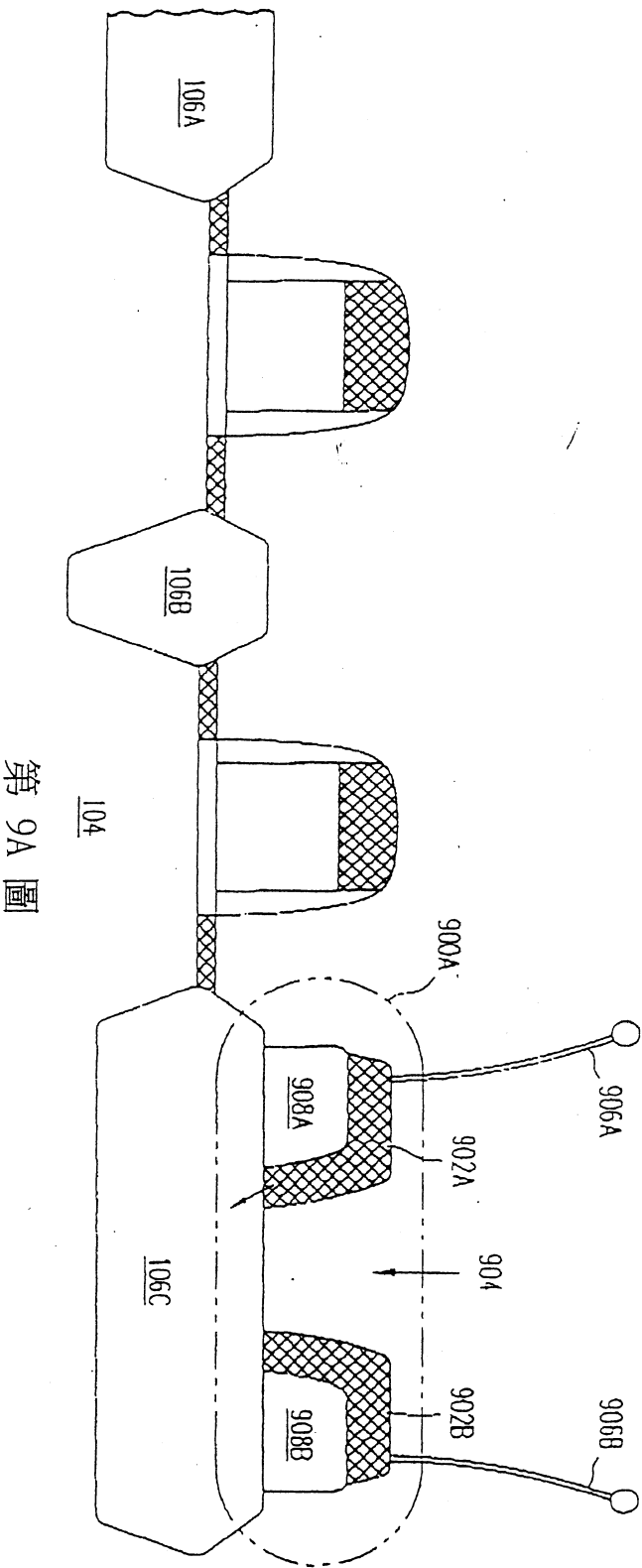


第 7A 圖

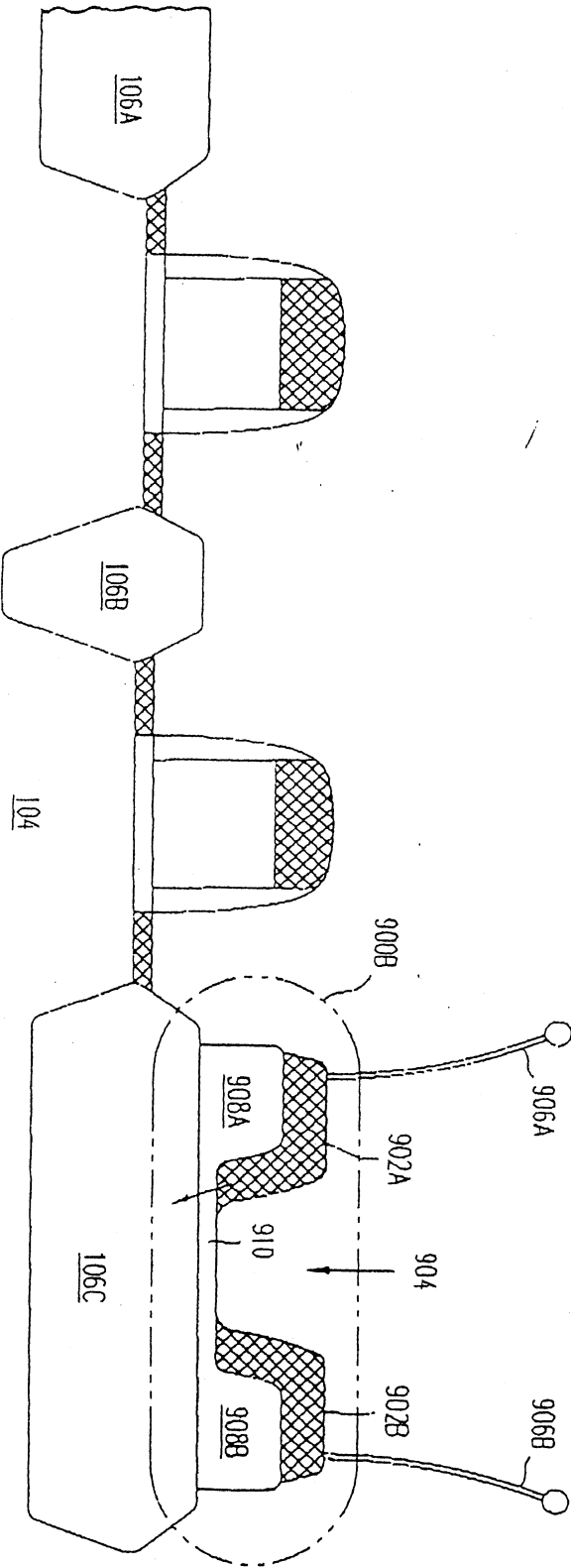


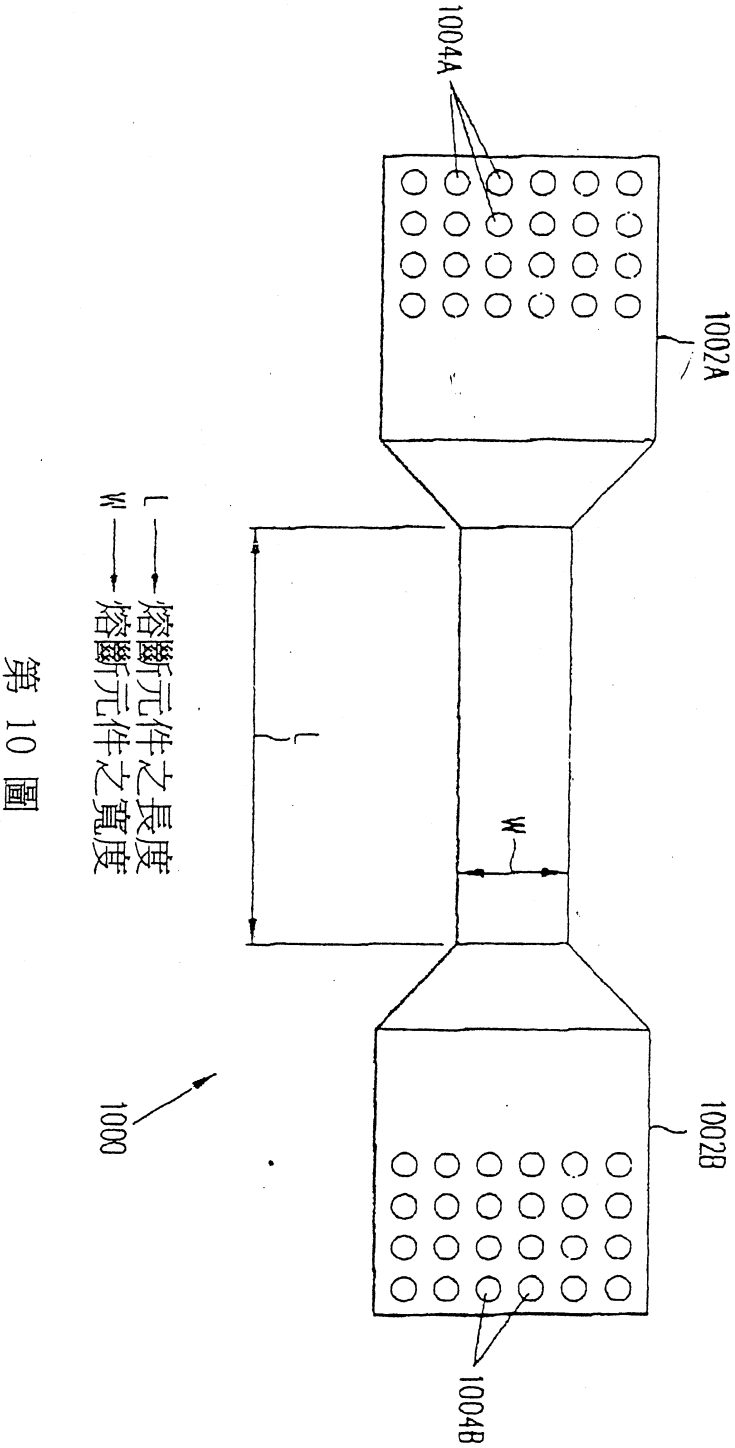
第 8 圖





第 9B 圖





四、中文發明摘要 (發明名稱：具有高性能積體電路多晶矽凝集熔消元件之互補金氧半導體之製法)

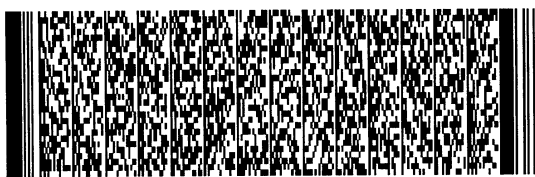
一種互補金氧半導體之製法，該製法包括創造具備作為電晶體閘極區域之第一厚度以及作為熔消元件區域之第二厚度之多晶矽層，該第一厚度較該第二厚度為大，其中，在該熔消元件區域中之大部份多晶矽將與金屬層起反應，以在快速熱退火製程期間形成聚矽化物。

本案代表圖：第 9A 圖

104	矽基板	106A至 106C	絕緣體
900A	編程熔消元件	902A、902B	聚矽化物區域
904	凝集區域	906A、906B	栓塞或導體
908A、908B	多晶矽熔消元件區域		

六、英文發明摘要 (發明名稱：CMOS PROCESS WITH AN INTEGRATED, HIGH PERFORMANCE, SILICIDE AGGLOMERATION FUSE)

A complementary metal oxide semiconductor (CMOS) fabrication process. The process comprises creating a polysilicon layer having a first thickness for a transistor gate area and a second thickness for a fuse area. The first thickness is greater than the second thickness, wherein most of the polysilicon in the fuse area will react with a metal layer to form polysilicide during a rapid



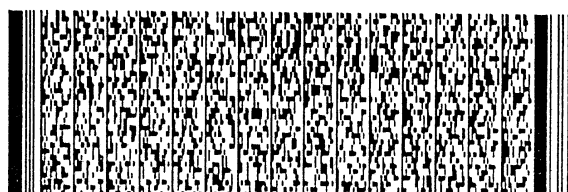
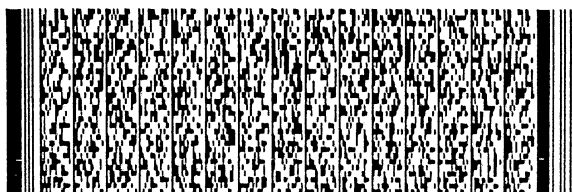
五、發明說明 (3)

間處理小的電阻比值(優值),則該電路發生故障或造成信賴性問題的可能性很高,而本發明之具備較大優值之改進的熔消元件設計可大大地提高電路信賴性,並給予設計者較大的彈性以製造出健全的檢測電路設計。

根據本發明之製法,形成較薄之場效多晶矽層(多熔消元件),以確保在金屬矽化物之形成期間整個多熔消元件層可被耗盡。當該較薄之聚矽化物係於熔消元件編程期間凝集時,在該聚矽化物下之絕緣層(例如四乙基矽酸鹽 TEOS 或類似材料)係暴露並形成理想的開口電路。因此,理想的聚矽化物凝集熔消元件之後編程電阻值可為無限高。

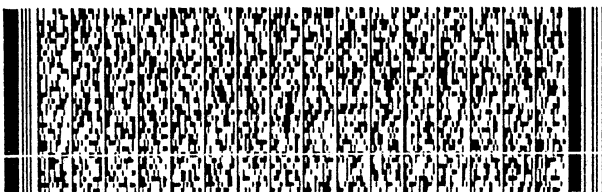
本發明之一態樣係有關形成具備電晶體及聚矽化物熔消元件之積體電路的製法,該方法包括:在矽基板之表面上形成多晶矽層,該矽基板具有形成於該矽基板表面上之兩個區域中之第一絕緣體及第二絕緣體;在該多晶矽層之上形成罩幕層(mask layer),該罩幕層係暴露該多晶矽層之第二絕緣體上的區域;以及蝕刻該多晶矽層之暴露區域至一預定量,使得在該多晶矽層之暴露區域中未經過蝕刻的部份與一金屬層起反應,而在快速熱退火(RTA)製程期間形成聚矽化物。

本發明之另一態樣為有關互補金氧半導體之製法,該製法包括:創造具備作為電晶體閘極區域之第一厚度以及作為熔消元件區域之第二厚度之多晶矽層,該第一厚度較該第二厚度為大,其中,在該熔消元件區域中之大部份多



六、申請專利範圍

1. 一種形成聚矽化物熔消元件之方法，該方法包括：
提供矽基板；
於該矽基板上提供絕緣體；
在該矽基板之絕緣體的正上方表面形成多晶矽層；
於該多晶矽層之上形成單幕層，該單幕層係暴露該絕緣體上之多晶矽層的部份區域；
蝕刻該多晶矽層之暴露區域至預定深度；
在該經蝕刻的多晶矽層之暴露區域上沉積金屬層；以及
對該金屬層進行退火以形成聚矽化物。
2. 如申請專利範圍第1項之方法，其中，對該金屬層進行之退火將留下厚度約100至200奈米之多晶矽層。
3. 如申請專利範圍第1項之方法，其中，對該金屬層進行之退火將留下厚度約10至50奈米之多晶矽層。
4. 如申請專利範圍第1項之方法，其中，至少部份該聚矽化物與該絕緣體直接接觸。
5. 如申請專利範圍第1項之方法，其中，該金屬層含有鈷。
6. 如申請專利範圍第1項之方法，其中，該金屬層含有鈦。
7. 如申請專利範圍第1項之方法，其中，該金屬層含有鎳。
8. 如申請專利範圍第1項之方法，其中，該經沉積的金屬



六、申請專利範圍

層之厚度約為150埃。

9. 一種形成電晶體及聚矽化物熔消元件之方法，該方法包括：

提供矽基板；

於該矽基板上提供第一絕緣體；

提供與該第一絕緣體分開之第二絕緣體，該第二絕緣體係覆蓋於該矽基板之上；

在該矽基板之表面上形成多晶矽層，其中，該多晶矽層之第一區域係形成於該第一絕緣體之正上方，且該多晶矽層之第二區域係形成於介於該第一絕緣體與第二絕緣體之間的矽基板之表面上，以形成閘極區域；

於該多晶矽層之上形成單幕層，該單幕層係暴露該多晶矽層之第一絕緣體上的第一區域，以及暴露多晶矽層之第二絕緣體上的第二區域中；

於該第一絕緣體上蝕刻該多晶矽層之暴露第一區域至預定深度；

在該多晶矽層之經蝕刻的暴露第一區域以及第二區域上沉積金屬層；

對該金屬層進行退火以形成聚矽化物；以及

形成於該矽基板中之電晶體的汲極與源極區域。

10. 如申請專利範圍第9項之方法，其中，部份之聚矽化物係與該第一絕緣體直接接觸。

