

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月29日(29.08.2024)



(10) 国際公開番号

WO 2024/176641 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 25/772* (2023.01)
H04N 25/532 (2023.01) *H04N 25/79* (2023.01)
H04N 25/70 (2023.01)

(21) 国際出願番号: PCT/JP2024/000469

(22) 国際出願日: 2024年1月11日(11.01.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-027743 2023年2月24日(24.02.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 町田 貴志 (MACHIDA Takashi);
〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

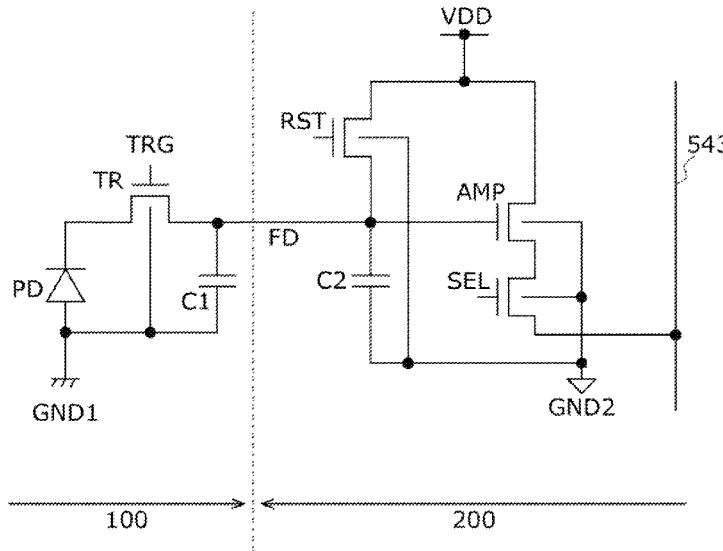
(74) 代理人: 宮嶋 学 (MIYAJIMA Manabu);
〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: SOLID-STATE IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置及び電子機器

[図38]



(57) Abstract: [Problem] To control the ground potential of an imaging device formed of stacked semiconductor layers. [Solution] This solid-state imaging device comprises a first substrate and a second substrate. The first substrate includes at least a light receiving element that outputs a signal based on the intensity of received light, the first substrate having a first ground potential. The second substrate includes at least a transistor that outputs a signal based on the signal output from the light receiving element, the second substrate having a second ground potential different from the first ground potential.

[続葉有]

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: [課題] 積層された半導体により形成される撮像装置の接地電位を制御する。 [解決手段] 固体撮像装置は、第1基板と、第2基板と、を備える。前記第1基板は、受光した光の強度にも基づいた信号を出力する受光素子、を少なくとも備え、接地電位が第1接地電位である。前記第2基板は、前記受光素子から出力された信号に基づいた信号を出力するトランジスタ、を少なくとも備え、接地電位が前記第1接地電位とは異なる第2接地電位である。

明 細 書

発明の名称： 固体撮像装置及び電子機器

技術分野

[0001] 本開示は、固体撮像装置及び電子機器に関する。

背景技術

[0002] フォトダイオードを用いた固体撮像装置が広く利用されている。フォトダイオードの飽和容量を増加させるため、画素の接地電位を下げて画素において発生する電位差を拡大させようとする場合、この電位差が同一基板にある画素回路のトランジスタに印加される。この印加される電位差に耐えうるためにはトランジスタサイズを大きくする必要があるが、この結果レイアウトにおけるトランジスタが占める面積が大きくなるという問題がある。また、画素トランジスタに印加される電位差が大きくなると、信頼性の劣化、ホットキャリア発光が発生するといった問題も生じる。

先行技術文献

特許文献

[0003] 特許文献1：特開2015-159501号公報

発明の概要

発明が解決しようとする課題

[0004] そこで、本開示の実施形態が解決しようとする限定されない課題の1つは、積層された半導体により形成される撮像装置において接地電位を異なるようにすることである。本開示の実施形態により解決しようとする課題は、さらに限定されないいくつかの例として、実施形態において記載した効果に対応する課題、とすることもできる。すなわち、本開示の実施形態の説明において記載された効果のうち任意の少なくとも1つに対応する課題を本開示における解決しようとする課題とすることができる。

課題を解決するための手段

[0005] 一実施形態によれば、固体撮像装置は、第1基板と、第2基板と、を備える

。

前記第1基板は、

受光した光の強度にも基づいた信号を出力する受光素子、を少なくとも備え、

接地電位が第1接地電位である。

前記第2基板は、

前記受光素子から出力された信号に基づいた信号を出力するトランジスタ、を少なくとも備え、

接地電位が前記第1接地電位とは異なる第2接地電位である。

[0006] 前記第2接地電位は、前記第1接地電位よりも正側の電位であってもよい。

[0007] 前記第1接地電位は、負バイアスの電位であってもよい。

[0008] 前記第2接地電位は、0[V]であってもよい。

[0009] 前記第2基板は、前記受光素子が出力した信号を増幅する、増幅トランジスタ、を備えてもよい。

[0010] 前記第2基板に備えられるトランジスタのゲート酸化膜の厚さは、前記第1基板に備えられるゲート酸化膜の厚さよりも薄くてもよい。

[0011] 前記第1基板と、前記第2基板は、金属を介して電氣的に接続されてもよい

。

[0012] 前記金属は、銅であってもよい。

[0013] 前記第2基板の配線間距離は、前記第1基板の配線間距離よりも短くてもよい。

[0014] 前記第1基板と、前記第2基板は、積層されて形成されてもよい。

[0015] 第3基板、をさらに備えてもよく、前記第3基板は、前記第1基板及び前記第2基板とともに、画素ユニットを形成してもよい。

[0016] 前記受光素子が取得した信号は、チャージドメイン型のグローバルシャッタ方式で画像信号に変換されてもよい。

[0017] 前記受光素子が取得した信号は、ボルテージドメイン型のグローバルシャッタ方式で画像信号に変換されてもよい。

- [0018] 前記受光素子が取得した信号は、前記受光素子ごとに備えられるアナログーデジタル変換回路により、デジタル信号に変換されてもよい。
- [0019] 前記増幅トランジスタは、ウェルの電位とソースの電位が等しく、前記第2接地電位とは異なる電位であってもよい。
- [0020] 一実施形態によれば、固体撮像装置は、上記のいずれかに記載の固体撮像装置を備える。

図面の簡単な説明

- [0021] [図1]本開示の一実施の形態に係る撮像装置の機能構成の一例を表すブロック図。
- [図2]図1に示した撮像装置の概略構成を表す平面模式図。
- [図3]図2に示したIII-III' 線に沿った断面構成を表す模式図。
- [図4]図1に示した画素共有ユニットの等価回路図。
- [図5]複数の画素共有ユニットと複数の垂直信号線との接続態様の一例を表す図。
- [図6]図3に示した撮像装置の具体的な構成の一例を表す断面模式図。
- [図7A]図6に示した第1基板の要部の平面構成の一例を表す模式図。
- [図7B]図7Aに示した第1基板の要部とともにパッド部の平面構成を表す模式図。
- [図8]図6に示した第2基板（半導体層）の平面構成の一例を表す模式図。
- [図9]図6に示した第1配線層とともに、画素回路及び第1基板の要部の平面構成の一例を表す模式図。
- [図10]図6に示した第1配線層及び第2配線層の平面構成の一例を表す模式図。
- [図11]図6に示した第2配線層及び第3配線層の平面構成の一例を表す模式図。
- [図12]図6に示した第3配線層及び第4配線層の平面構成の一例を表す模式図。
- [図13]図3に示した撮像装置への入力信号の経路について説明するための模式図。
- [図14]図3に示した撮像装置の画素信号の信号経路について説明するための模式図。

[図15]図8に示した第2基板（半導体層）の平面構成の一変形例を表す模式図。

[図16]図15に示した画素回路とともに、第1配線層及び第1基板の要部の平面構成を表す模式図。

[図17]図16に示した第1配線層とともに、第2配線層の平面構成の一例を表す模式図。

[図18]図17に示した第2配線層とともに、第3配線層の平面構成の一例を表す模式図。

[図19]図18に示した第3配線層とともに、第4配線層の平面構成の一例を表す模式図。

[図20]図7Aに示した第1基板の平面構成の一変形例を表す模式図。

[図21]図20に示した第1基板に積層される第2基板（半導体層）の平面構成の一例を表す模式図。

[図22]図21に示した画素回路とともに、第1配線層の平面構成の一例を表す模式図。

[図23]図22に示した第1配線層とともに、第2配線層の平面構成の一例を表す模式図。

[図24]図23に示した第2配線層とともに、第3配線層の平面構成の一例を表す模式図。

[図25]図24に示した第3配線層とともに、第4配線層の平面構成の一例を表す模式図。

[図26]図20に示した第1基板の平面構成の他の例を表す模式図。

[図27]図26に示した第1基板に積層される第2基板（半導体層）の平面構成の一例を表す模式図。

[図28]図27に示した画素回路とともに、第1配線層の平面構成の一例を表す模式図。

[図29]図28に示した第1配線層とともに、第2配線層の平面構成の一例を表す模式図。

[図30]図29に示した第2配線層とともに、第3配線層の平面構成の一例を表す模式図。

[図31]図30に示した第3配線層とともに、第4配線層の平面構成の一例を表す模式図。

[図32]図3に示した撮像装置の他の例を表す断面模式図。

[図33]図32に示した撮像装置への入力信号の経路について説明するための模式図。

[図34]図32に示した撮像装置の画素信号の信号経路について説明するための模式図。

[図35]図6に示した撮像装置の他の例を表す断面模式図。

[図36]図4に示した等価回路の他の例を表す図。

[図37]図7A等に示した画素分離部の他の例を表す平面模式図。

[図38]一実施形態に係る等価回路の一例を表す図。

[図39]一実施形態に係る等価回路の一例を表す図。

[図40]一実施形態に係る等価回路の一例を表す図。

[図41]一実施形態に係る等価回路のポテンシャルダイアグラムを表す図。

[図42]一実施形態に係る接地電位を変える場合の基板の構成の一例を表す図。
。

[図43]一実施形態に係る接地電位を変える場合の基板の構成の一例を表す図。
。

[図44]一実施形態に係る接地電位を変える場合の基板の構成の一例を表す図。
。

[図45]一実施形態に係る等価回路の構成の一例を表す図。

[図46]一実施形態に係る等価回路の構成の一例を表す図。

[図47]一実施形態に係る等価回路の構成の一例を表す図。

[図48]一実施形態に係る等価回路の構成の一例を表す図。

[図49]一実施形態に係る等価回路の構成の一例を表す図。

[図50]一実施形態に係る等価回路の構成の一例を表す図。

[図51]一実施形態に係る等価回路の構成の一例を表す図。

[図52]一実施形態に係る等価回路の構成の一例を表す図。

[図53]上記実施の形態及びその変形例に係る撮像装置を備えた撮像システムの概略構成の一例を表す図。

[図54]図53に示した撮像システムの撮像手順の一例を表す図。

[図55]車両制御システムの概略的な構成の一例を示すブロック図。

[図56]車外情報検出部及び撮像部の設置位置の一例を示す説明図。

[図57]内視鏡手術システムの概略的な構成の一例を示す図。

[図58]カメラヘッド及びCCUの機能構成の一例を示すブロック図。

発明を実施するための形態

[0022] 以下、図面を参照して本開示における実施形態の説明をする。図面は、説明のために用いるものであり、実際の装置における各部の構成の形状、サイズ、又は、他の構成とのサイズの比等が図に示されている通りである必要はない。また、図面は、簡略化して書かれているため、図に書かれている以外にも実装上必要な構成は、適切に備えるものとする。

[0023] 以下の説明においては撮像装置について説明するが、この撮像装置の文言は、例えば、固体撮像装置と読み替えることもできる。

[0024] なお、説明は以下の順序で行う。

1. 実施形態（3つの基板の積層構造を有する撮像装置）
2. 変形例1（平面構成の例1）
3. 変形例2（平面構成の例2）
4. 変形例3（平面構成の例3）
5. 変形例4（画素アレイ部の中央部に基板間のコンタクト部を有する例）
6. 変形例5（プレーナ型 of 転送トランジスタを有する例）
7. 変形例6（1つの画素回路に1つの画素が接続される例）
8. 変形例7（画素分離部の構成例）
9. 変形例8（基板の接地電位の構成例1）
10. 変形例9（基板の断面における構成例）

11. 変形例10（基板の接地電位の構成例2）

12. 適用例（撮像システム）

13. 応用例

[0025] <1. 実施形態>

[撮像装置 1 の機能構成]

図1は、本開示の一実施の形態に係る撮像装置（撮像装置 1）の機能構成の一例を示すブロック図である。

[0026] 図1の撮像装置 1 は、例えば、入力部 510A、行駆動部 520、タイミング制御部 530、画素アレイ部 540、列信号処理部 550、画像信号処理部 560 及び出力部 510B を含んでいる。

[0027] 画素アレイ部 540 には、画素 541 がアレイ状に繰り返し配置されている。より具体的には、複数の画素を含んだ画素共有ユニット 539 が繰り返し単位となり、これが、行方向と列方向とからなるアレイ状に繰り返し配置されている。なお、本明細書では、便宜上、行方向をH方向、行方向と直交する列方向をV方向、と呼ぶ場合がある。図1の例において、1つの画素共有ユニット 539 が、4つの画素（画素 541A、541B、541C、541D）を含んでいる。画素 541A、541B、541C、541D は各々、フォトダイオード PD（後述の図6等に図示）を有している。画素共有ユニット 539 は、1つの画素回路（後述の図3の画素回路 210）を共有する単位である。換言すれば、4つの画素（画素 541A、541B、541C、541D）毎に、1つの画素回路（後述の画素回路 210）を有している。この画素回路を時分割で動作させることにより、画素 541A、541B、541C、541D 各々の画素信号が順次読み出されるようになっている。画素 541A、541B、541C、541D は、例えば2行 × 2列で配置されている。画素アレイ部 540 には、画素 541A、541B、541C、541D とともに、複数の行駆動信号線 542 及び複数の垂直信号線（列読出し線）543が設けられている。行駆動信号線 542 は、画素アレイ部 540 において行方向に並んで配列された、複数の画素共有ユニット 539 各々に含まれる画素 541 を駆動する。画素共有ユニット 539 のうち、行方向に並んで配列

された各画素を駆動する。後に図4を参照して詳しく説明するが、画素共有ユニット 539 には、複数のトランジスタが設けられている。これら複数のトランジスタをそれぞれ駆動するために、1つの画素共有ユニット 539 には複数の行駆動信号線 542 が接続されている。垂直信号線（列読出し線）543 には、画素共有ユニット 539 が接続されている。画素共有ユニット 539 に含まれる画素 541A 、 541B 、 541C 、 541D 各々から、垂直信号線（列読出し線）543を介して画素信号が読み出される。

[0028] 行駆動部 520 は、例えば、画素駆動するための行の位置を決める行アドレス制御部、言い換えれば、行デコーダ部と、画素 541A 、 541B 、 541C 、 541D を駆動するための信号を発生させる行駆動回路部とを含んでいる。

[0029] 列信号処理部 550 は、例えば、垂直信号線 543 に接続され、画素 541A 、 541B 、 541C 、 541D（画素共有ユニット 539）とソースフォロア回路を形成する負荷回路部を備える。列信号処理部 550 は、垂直信号線 543 を介して画素共有ユニット 539 から読み出された信号を増幅する増幅回路部を有していてもよい。列信号処理部 550 は、ノイズ処理部を有していてもよい。ノイズ処理部では、例えば、光電変換の結果として画素共有ユニット 539 から読み出された信号から、系のノイズレベルが取り除かれる。

[0030] 列信号処理部 550 は、例えば、アナログデジタルコンバータ（ADC）を有している。アナログデジタルコンバータでは、画素共有ユニット 539 から読み出された信号もしくは上記ノイズ処理されたアナログ信号がデジタル信号に変換される。ADCは、例えば、コンパレータ部及びカウンタ部を含んでいる。コンパレータ部では、変換対象となるアナログ信号と、これと比較対象となる参照信号とが比較される。カウンタ部では、コンパレータ部での比較結果が反転するまでの時間が計測されるようになっている。列信号処理部 550 は、読出し列を走査する制御を行う水平走査回路部を含んでいてもよい。

[0031] タイミング制御部 530 は、装置へ入力された基準クロック信号やタイミング制御信号を基にして、行駆動部 520 及び列信号処理部 550 へ、タイミングを制御する信号を供給する。

- [0032] 画像信号処理部 560 は、光電変換の結果得られたデータ、言い換えれば、撮像装置 1 における撮像動作の結果得られたデータに対して、各種の信号処理を施す回路である。画像信号処理部 560 は、例えば、画像信号処理回路部及びデータ保持部を含んでいる。画像信号処理部 560 は、プロセッサ部を含んでいてもよい。
- [0033] 画像信号処理部 560 において実行される信号処理の一例は、AD変換された撮像データが、暗い被写体を撮影したデータである場合には階調を多く持たせ、明るい被写体を撮影したデータである場合には階調を少なくするトーンカーブ補正処理である。この場合、撮像データの階調をどのようなトーンカーブに基づいて補正するか、トーンカーブの特性データを予め画像信号処理部 560 のデータ保持部に記憶させておくことが望ましい。
- [0034] 入力部 510A は、例えば、上記基準クロック信号、タイミング制御信号及び特性データなどを装置外部から撮像装置 1 へ入力するためのものである。タイミング制御信号は、例えば、垂直同期信号及び水平同期信号などである。特性データは、例えば、画像信号処理部 560 のデータ保持部へ記憶させるためのものである。入力部 510A は、例えば、入力端子 511 、入力回路部 512 、入力振幅変更部 513 、入力データ変換回路部 514 及び電源供給部（不図示）を含んでいる。
- [0035] 入力端子 511 は、データを入力するための外部端子である。入力回路部 512 は、入力端子 511 へ入力された信号を撮像装置 1 の内部へと取り込むためのものである。入力振幅変更部 513 では、入力回路部 512 で取り込まれた信号の振幅が、撮像装置 1 の内部で利用しやすい振幅へと変更される。入力データ変換回路部 514 では、入力データのデータ列の並びが変更される。入力データ変換回路部 514 は、例えば、シリアルパラレル変換回路により構成されている。このシリアルパラレル変換回路では、入力データとして受け取ったシリアル信号がパラレル信号へと変換される。なお、入力部 510A では、入力振幅変更部 513 及び入力データ変換回路部 514 が、省略されていてもよい。電源供給部は、外部から撮像装置 1 へ供給された電源をもとにし

て、撮像装置 1 の内部で必要となる各種の電圧に設定された電源を供給する。

[0036] 撮像装置 1 が外部のメモリデバイスと接続されるとき、入力部 510A には、外部のメモリデバイスからのデータを受け取るメモリインタフェース回路が設けられていてもよい。外部のメモリデバイスは、例えば、フラッシュメモリ、SRAM及びDRAM等である。

[0037] 出力部 510B は、画像データを装置外部へと出力する。この画像データは、例えば、撮像装置 1 で撮影された画像データ、及び、画像信号処理部 560 で信号処理された画像データ等である。出力部 510B は、例えば、出力データ変換回路部 515 、出力振幅変更部 516 、出力回路部 517 及び出力端子 518 を含んでいる。

[0038] 出力データ変換回路部 515 は、例えば、パラレルシリアル変換回路により構成されており、出力データ変換回路部 515 では、撮像装置 1 内部で利用したパラレル信号がシリアル信号へと変換される。出力振幅変更部 516 は、撮像装置 1 の内部で用いた信号の振幅を変更する。変更された振幅の信号は、撮像装置 1 の外部に接続される外部デバイスで利用しやすくなる。出力回路部 517 は、撮像装置 1 の内部から装置外部へとデータを出力する回路であり、出力回路部 517 により、出力端子 518 に接続された撮像装置 1 外部の配線が駆動される。出力端子 518 では、撮像装置 1 から装置外部へとデータが出力される。出力部 510B では、出力データ変換回路部 515 及び出力振幅変更部 516 が、省略されていてもよい。

[0039] 撮像装置 1 が外部のメモリデバイスと接続されるとき、出力部 510B には、外部のメモリデバイスへとデータを出力するメモリインタフェース回路が設けられていてもよい。外部のメモリデバイスは、例えば、フラッシュメモリ、SRAM及びDRAM等である。

[0040] [撮像装置 1 の概略構成]

図2及び図3は、撮像装置 1 の概略構成の一例を表したものである。撮像装置 1 は、3つの基板（第1基板 100 、第2基板 200 、第3基板 300）を備えて

いる。図2は、第1基板 100、第2基板 200、第3基板 300 各々の平面構成を模式的に表したものであり、図3は、互いに積層された第1基板 100、第2基板 200 及び第3基板 300 の断面構成を模式的に表している。図3は、図2に示したIII-III' 線に沿った断面構成に対応する。撮像装置 1 は、3つの基板（第1基板 100、第2基板 200、第3基板 300）を貼り合わせて構成された3次元構造の撮像装置である。第1基板 100 は、半導体層 100S 及び配線層 100T を含む。第2基板 200 は、半導体層 200S 及び配線層 200T を含む。第3基板 300 は、半導体層 300S 及び配線層 300T を含む。ここで、第1基板 100、第2基板 200 及び第3基板 300 の各基板に含まれる配線とその周囲の層間絶縁膜を合せたものを、便宜上、それぞれの基板（第1基板 100、第2基板 200 及び第3基板 300）に設けられた配線層（100T、200T、300T）と呼ぶ。第1基板 100、第2基板 200 及び第3基板 300 は、この順に積層されており、積層方向に沿って、半導体層 100S、配線層 100T、半導体層 200S、配線層 200T、配線層 300T 及び半導体層 300S の順に配置されている。第1基板 100、第2基板 200 及び第3基板 300 の具体的な構成については後述する。図3に示した矢印は、撮像装置 1 への光Lの入射方向を表す。本明細書では、便宜上、以降の断面図で、撮像装置 1 における光入射側を「下」「下側」「下方」、光入射側と反対側を「上」「上側」「上方」と呼ぶ場合がある。また、本明細書では、便宜上、半導体層と配線層を備えた基板に関して、配線層の側を表面、半導体層の側を裏面と呼ぶ場合がある。なお、明細書の記載は、上記の呼び方に限定されない。撮像装置 1 は、例えば、フォトダイオードを有する第1基板 100 の裏面側から光が入射する、裏面照射型撮像装置となっている。

[0041] 画素アレイ部 540 及び画素アレイ部 540 に含まれる画素共有ユニット 539 は、ともに、第1基板 100 及び第2基板 200 の双方を用いて構成されている。第1基板 100 には、画素共有ユニット 539 が有する複数の画素 541A、541B、541C、541D が設けられている。これらの画素 541 のそれぞれが、フォトダイオード（後述のフォトダイオード PD）及び転送トランジスタ（

後述の転送トランジスタ TR) を有している。第2基板 200 には、画素共有ユニット 539 が有する画素回路（後述の画素回路 210）が設けられている。画素回路は、画素 541A 、 541B 、 541C 、 541D 各々のフォトダイオードから転送トランジスタを介して転送された画素信号を読み出し、あるいは、フォトダイオードをリセットする。この第2基板 200 は、このような画素回路に加えて、行方向に延在する複数の行駆動信号線 542 及び列方向に延在する複数の垂直信号線 543 を有している。第2基板 200 は、更に、行方向に延在する電源線 544 を有している。第3基板 300 は、例えば、入力部 510A 、 行駆動部 520 、 タイミング制御部 530 、 列信号処理部 550 、 画像信号処理部 560 及び出力部 510B を有している。行駆動部 520 は、例えば、第1基板 100 、 第2基板 200 及び第3基板 300 の積層方向（以下、単に積層方向という）において、一部が画素アレイ部 540 に重なる領域に設けられている。より具体的には、行駆動部 520 は、積層方向において、画素アレイ部 540 のH方向の端部近傍に重なる領域に設けられている（図2）。列信号処理部 550 は、例えば、積層方向において、一部が画素アレイ部 540 に重なる領域に設けられている。より具体的には、列信号処理部 550 は、積層方向において、画素アレイ部 540 のV方向の端部近傍に重なる領域に設けられている（図2）。図示は省略するが、入力部 510A 及び出力部 510B は、第3基板 300 以外の部分に配置されていてもよく、例えば、第2基板 200 に配置されていてもよい。あるいは、第1基板 100 の裏面（光入射面）側に入力部 510A 及び出力部 510B を設けるようにしてもよい。なお、上記第2基板 200 に設けられた画素回路は、別の呼称として、画素トランジスタ回路、画素トランジスタ群、画素トランジスタ、画素読み出し回路又は読出回路と呼ばれることもある。本明細書では、画素回路との呼称を用いる。

[0042] 第1基板 100 と第2基板 200 とは、例えば、貫通電極（後述の図6の貫通電極 120E 、 121E）により電氣的に接続されている。第2基板 200 と第3基板 300 とは、例えば、コンタクト部 201 、 202 、 301 、 302 を介して電氣的に接続されている。第2基板 200 にコンタクト部 201 、 202 が設けられ

、第3基板 300 にコンタクト部 301 、 302 が設けられている。第2基板 200 のコンタクト部 201 が第3基板 300 のコンタクト部 301 に接し、第2基板 200 のコンタクト部 202 が第3基板 300 のコンタクト部 302 に接している。第2基板 200 は、複数のコンタクト部 201 が設けられたコンタクト領域 201R と、複数のコンタクト部 202 が設けられたコンタクト領域 202R とを有している。第3基板 300 は、複数のコンタクト部 301 が設けられたコンタクト領域 301R と、複数のコンタクト部 302 が設けられたコンタクト領域 302R とを有している。コンタクト領域 201R 、 301R は、積層方向において、画素アレイ部 540 と行駆動部 520 との間に設けられている（図3）。換言すれば、コンタクト領域 201R 、 301R は、例えば、行駆動部 520（第3基板 300）と、画素アレイ部 540（第2基板 200）とが積層方向に重なる領域、もしくはこの近傍領域に設けられている。コンタクト領域 201R 、 301R は、例えば、このような領域のうち、H方向の端部に配置されている（図2）。第3基板 300 では、例えば、行駆動部 520 の一部、具体的には行駆動部 520 のH方向の端部に重なる位置にコンタクト領域 301R が設けられている（図2、図3）。コンタクト部 201 、 301 は、例えば、第3基板 300 に設けられた行駆動部 520 と、第2基板 200 に設けられた行駆動線 542 とを接続するものである。コンタクト部 201 、 301 は、例えば、第3基板 300 に設けられた入力部 510A と電源線 544 及び基準電位線（後述の基準電位線 VSS）とを接続していてもよい。コンタクト領域 202R 、 302R は、積層方向において、画素アレイ部 540 と列信号処理部 550 との間に設けられている（図3）。換言すれば、コンタクト領域 202R 、 302R は、例えば、列信号処理部 550（第3基板 300）と画素アレイ部 540（第2基板 200）とが積層方向に重なる領域、もしくはこの近傍領域に設けられている。コンタクト領域 202R 、 302R は、例えば、このような領域のうち、V方向の端部に配置されている（図2）。第3基板 300 では、例えば、列信号処理部 550 の一部、具体的には列信号処理部 550 のV方向の端部に重なる位置にコンタクト領域 301R が設けられている（図2、図3）。コンタクト部 202 、 302 は、例えば、画素アレイ部 54

0 が有する複数の画素共有ユニット 539 各々から出力された画素信号（フォトダイオードでの光電変換の結果発生した電荷の量に対応した信号）を、第3基板 300 に設けられた列信号処理部 550 へと接続するためのものである。画素信号は、第2基板 200 から第3基板 300 に送られるようになっている。

[0043] 図3は、上記のように、撮像装置 1 の断面図の一例である。第1基板 100、第2基板 200、第3基板 300 は、配線層 100T、200T、300T を介して電氣的に接続される。例えば、撮像装置 1 は、第2基板 200 と第3基板 300 とを電氣的に接続する電氣的接続部を有する。具体的には、導電材料で形成された電極でコンタクト部 201、202、301、302 を形成する。導電材料は、例えば、銅（CU）、アルミニウム（AL）、金（AU）、などの金属材料で形成される。コンタクト領域 201R、202R、301R、302R は、例えば電極として形成された配線同士を直接接合することで、第2基板と第3基板とを電氣的に接続し、第2基板 200 と第3基板 300 との信号の入力及び／又は出力を可能にする。

[0044] 第2基板 200 と第3基板 300 とを電氣的に接続する電氣的接続部は、所望の箇所に設けることができる。例えば、図3においてコンタクト領域 201R、202R、301R、302R として述べたように、画素アレイ部 540 と積層方向に重なる領域に設けても良い。また、電氣的接続部を画素アレイ部 540 と積層方向に重ならない領域に設けても良い。具体的には、画素アレイ部 540 の外側に配置された周辺部と、積層方向に重なる領域に設けても良い。

[0045] 第1基板 100 及び第2基板 200 には、例えば、接続孔部 H1、H2 が設けられている。接続孔部 H1、H2 は、第1基板 100 及び第2基板 200 を貫通している（図3）。接続孔部 H1、H2 は、画素アレイ部 540（又は画素アレイ部 540 に重なる部分）の外側に設けられている（図2）。例えば、接続孔部 H1 は、H方向において画素アレイ部 540 より外側に配置されており、接続孔部 H2 は、V方向において画素アレイ部 540 よりも外側に配置されている。例えば、接続孔部 H1 は、第3基板 300 に設けられた入力部 510A に達しており、接続孔部 H2 は、第3基板 300 に設けられた出力部 510B に達し

ている。接続孔部 H1 、 H2 は、空洞でもよく、少なくとも一部に導電材料を含んでいても良い。例えば、入力部 510A 及び／又は出力部 510B として形成された電極に、ボンディングワイヤを接続する構成がある。又は、入力部 510A 及び／又は出力部 510B として形成された電極と、接続孔部 H1 、 H2 に設けられた導電材料とを接続する構成がある。接続孔部 H1 、 H2 に設けられた導電材料は、接続孔部 H1 、 H2 の一部又は全部に埋め込まれていても良く、導電材料が接続孔部 H1 、 H2 の側壁に形成されていても良い。

[0046] なお、図3では第3基板 300 に入力部 510A 、 出力部 510B を設ける構造としたが、これに限定されない。例えば、配線層 200T 、 300T を介して第3基板 300 の信号を第2基板 200 へ送ることで、入力部 510A 及び／又は出力部 510B を第2基板 200 に設けることもできる。同様に、配線層 100T 、 200T を介して、第2基板 200 の信号を第1基板 100 へ送ることで、入力部 510A 及び／又は出力部 510B を第1基板 100 に設けることもできる。

[0047] 図4は、画素共有ユニット 539 の構成の一例を表す等価回路図である。画素共有ユニット 539 は、複数の画素 541 (図4では、画素 541A 、 541B 、 541C 、 541D の4つの画素 541 を表す) と、この複数の画素 541 に接続された1の画素回路 210 と、画素回路 210 に接続された垂直信号線 543 とを含んでいる。画素回路 210 は、例えば、4つのトランジスタ、具体的には、増幅トランジスタ AMP 、 選択トランジスタ SEL 、 リセットトランジスタ RS T 及びFD変換ゲイン切替トランジスタ FDG を含んでいる。上述のように、画素共有ユニット 539 は、1の画素回路 210 を時分割で動作させることにより、画素共有ユニット 539 に含まれる4つの画素 541 (画素 541A 、 541B 、 541C 、 541D) それぞれの画素信号を順次垂直信号線 543 へ出力するようになっている。複数の画素 541 に1の画素回路 210 が接続されており、この複数の画素 541 の画素信号が、1の画素回路 210 により時分割で出力される態様を、「複数の画素 541 が1の画素回路 210 を共有する」という。

[0048] 画素 541A 、 541B 、 541C 、 541D は、互いに共通の構成要素を有している。以降、画素 541A 、 541B 、 541C 、 541D の構成要素を互いに区別

するために、画素 541A の構成要素の符号の末尾には識別番号1、画素 541 B の構成要素の符号の末尾には識別番号2、画素 541C の構成要素の符号の末尾には識別番号3、画素 541D の構成要素の符号の末尾には識別番号4を付与する。画素 541A 、 541B 、 541C 、 541D の構成要素を互いに区別する必要のない場合には、画素 541A 、 541B 、 541C 、 541D の構成要素の符号の末尾の識別番号を省略する。

[0049] 画素 541A 、 541B 、 541C 、 541D は、例えば、フォトダイオード PD と、フォトダイオード PD と電氣的に接続された転送トランジスタ TR と、転送トランジスタ TR に電氣的に接続されたフローティングディフュージョン FD とを有している。フォトダイオード PD (PD1 、 PD2 、 PD3 、 PD4) では、カソードが転送トランジスタ TR のソースに電氣的に接続されており、アノードが基準電位線（例えばグラウンド）に電氣的に接続されている。フォトダイオード PD は、入射した光を光電変換し、その受光量に応じた電荷を発生する。転送トランジスタ TR (転送トランジスタ TR1 、 TR2 、 TR3 、 TR4) は、例えば、N型のCMOS (Complementary Metal-Oxide-Semiconductor) トランジスタである。転送トランジスタ TR では、ドレインがフローティングディフュージョン FD に電氣的に接続され、ゲートが駆動信号線に電氣的に接続されている。この駆動信号線は、1の画素共有ユニット 539 に接続された複数の行駆動信号線 542 (図1参照) のうちの一部である。転送トランジスタ TR は、フォトダイオード PD で発生した電荷をフローティングディフュージョン FD へと転送する。フローティングディフュージョン FD (フローティングディフュージョン FD1 、 FD2 、 FD3 、 FD4) は、P型半導体層中に形成されたN型拡散層領域である。フローティングディフュージョン FD は、フォトダイオード PD から転送された電荷を一時的に保持する電荷保持手段であり、かつ、その電荷量に応じた電圧を発生させる、電荷－電圧変換手段である。

[0050] 1の画素共有ユニット 539 に含まれる4つのフローティングディフュージョン FD (フローティングディフュージョン FD1 、 FD2 、 FD3 、 FD4) は、

互いに電氣的に接続されるとともに、増幅トランジスタ AMP のゲート及びFD変換ゲイン切替トランジスタ FDG のソースに電氣的に接続されている。FD変換ゲイン切替トランジスタ FDG のドレインはリセットトランジスタ RST のソースに接続され、FD変換ゲイン切替トランジスタ FDG のゲートは駆動信号線に接続されている。この駆動信号線は、1の画素共有ユニット 539 に接続された複数の行駆動信号線 542 のうちの一部である。リセットトランジスタ RST のドレインは電源線 VDD に接続され、リセットトランジスタ RST のゲートは駆動信号線に接続されている。この駆動信号線は、1の画素共有ユニット 539 に接続された複数の行駆動信号線 542 のうちの一部である。増幅トランジスタ AMP のゲートはフローティングディフュージョン FD に接続され、増幅トランジスタ AMP のドレインは電源線 VDD に接続され、増幅トランジスタ AMP のソースは選択トランジスタ SEL のドレインに接続されている。選択トランジスタ SEL のソースは垂直信号線 543 に接続され、選択トランジスタ SEL のゲートは駆動信号線に接続されている。この駆動信号線は、1の画素共有ユニット 539 に接続された複数の行駆動信号線 542 のうちの一部である。

- [0051] 転送トランジスタ TR は、転送トランジスタ TR がオン状態となると、フォトダイオード PD の電荷をフローティングディフュージョン FD に転送する。転送トランジスタ TR のゲート（転送ゲート TG）は、例えば、いわゆる縦型電極を含んでおり、後述の図6に示すように、半導体層（後述の図6の半導体層 100S）の表面からPDに達する深さまで延在して設けられている。リセットトランジスタ RST は、フローティングディフュージョン FD の電位を所定の電位にリセットする。リセットトランジスタ RST がオン状態となると、フローティングディフュージョン FD の電位を電源線 VDD の電位にリセットする。選択トランジスタ SEL は、画素回路 210 からの画素信号の出力タイミングを制御する。増幅トランジスタ AMP は、画素信号として、フローティングディフュージョン FD に保持された電荷のレベルに応じた電圧の信号を生成する。増幅トランジスタ AMP は、選択トランジスタ SEL を介して垂直

信号線 543 に接続されている。この増幅トランジスタ AMP は、列信号処理部 550 において、垂直信号線 543 に接続された負荷回路部（図1参照）とともにソースフォロアを構成している。増幅トランジスタ AMP は、選択トランジスタ SEL がオン状態となると、フローティングディフュージョン FD の電圧を、垂直信号線 543 を介して列信号処理部 550 に出力する。リセットトランジスタ RST 、増幅トランジスタ AMP 及び選択トランジスタ SEL は、例えば、N型のCMOSトランジスタである。

[0052] FD変換ゲイン切替トランジスタ FDG は、フローティングディフュージョン FD での電荷－電圧変換のゲインを変更する際に用いられる。一般に、暗い場所での撮影時には画素信号が小さい。 $Q = CV$ に基づき、電荷電圧変換を行う際に、フローティングディフュージョン FD の容量（FD容量 C ）が大きければ、増幅トランジスタ AMP で電圧に変換した際の V が小さくなってしまう。一方、明るい場所では、画素信号が大きくなるので、FD容量 C が大きくなければ、フローティングディフュージョン FD で、フォトダイオード PD の電荷を受けきれない。さらに、増幅トランジスタ AMP で電圧に変換した際の V が大きくなりすぎないように（言い換えると、小さくなるように）、FD容量 C が大きくなっている必要がある。これらを踏まえると、FD変換ゲイン切替トランジスタ FDG をオンにしたときには、FD変換ゲイン切替トランジスタ FDG 分のゲート容量が増えるので、全体のFD容量 C が大きくなる。一方、FD変換ゲイン切替トランジスタ FDG をオフにしたときには、全体のFD容量 C が小さくなる。このように、FD変換ゲイン切替トランジスタ FDG をオンオフ切り替えることで、FD容量 C を可変にし、変換効率を切り替えることができる。FD変換ゲイン切替トランジスタ FDG は、例えば、N型のCMOSトランジスタである。

[0053] なお、FD変換ゲイン切替トランジスタ FDG を設けない構成も可能である。このとき、例えば、画素回路 210 は、例えば増幅トランジスタ AMP 、選択トランジスタ SEL 及びリセットトランジスタ RST の3つのトランジスタで構成される。画素回路 210 は、例えば、増幅トランジスタ AMP 、選択トラン

ジスタ SEL、リセットトランジスタ RST 及びFD変換ゲイン切替トランジスタ FDG などの画素トランジスタの少なくとも1つを有する。

[0054] 選択トランジスタ SEL は、電源線 VDD と増幅トランジスタ AMP との間に設けられていてもよい。この場合、リセットトランジスタ RST のドレインが電源線 VDD 及び選択トランジスタ SEL のドレインに電氣的に接続されている。選択トランジスタ SEL のソースが増幅トランジスタ AMP のドレインに電氣的に接続されており、選択トランジスタ SEL のゲートが行駆動信号線 542 (図1参照) に電氣的に接続されている。増幅トランジスタ AMP のソース (画素回路 210 の出力端) が垂直信号線 543 に電氣的に接続されており、増幅トランジスタ AMP のゲートがリセットトランジスタ RST のソースに電氣的に接続されている。なお、図示は省略するが、1の画素回路 210 を共有する画素 541 の数は、4以外であってもよい。例えば、2つ又は8つの画素 541 が1の画素回路 210 を共有してもよい。

[0055] 図5は、複数の画素共有ユニット 539 と、垂直信号線 543 との接続態様の一例を表したものである。例えば、列方向に並ぶ4つの画素共有ユニット 539 が4つのグループに分けられており、この4つのグループ各々に垂直信号線 543 が接続されている。図5には、説明を簡単にするため、4つのグループが各々、1つの画素共有ユニット 539 を有する例を示したが、4つのグループが各々、複数の画素共有ユニット 539 を含んでいてもよい。このように、撮像装置 1 では、列方向に並ぶ複数の画素共有ユニット 539 が、1つ又は複数の画素共有ユニット 539 を含むグループに分けられていてもよい。例えば、このグループそれぞれに、垂直信号線 543 及び列信号処理回路 550 が接続されており、それぞれのグループから画素信号を同時に読み出すことができるようになっている。あるいは、撮像装置 1 では、列方向に並ぶ複数の画素共有ユニット 539 に1つの垂直信号線 543 が接続されていてもよい。このとき、1つの垂直信号線 543 に接続された複数の画素共有ユニット 539 から、時分割で順次画素信号が読み出されるようになっている。

[0056] [撮像装置 1 の具体的構成]

図6は、撮像装置 1 の第1基板 100 、第2基板 200 及び第3基板 300 の主面に対して垂直方向の断面構成の一例を表したものである。図6は、構成要素の位置関係を分かりやすくするため、模式的に表したものであり、実際の断面と異なってもよい。撮像装置 1 では、第1基板 100 、第2基板 200 及び第3基板 300 がこの順に積層されている。撮像装置 1 は、さらに、第1基板 100 の裏面側（光入射面側）に受光レンズ 401 を有している。受光レンズ 401 と第1基板 100 との間に、カラーフィルタ層（図示せず）が設けられていてもよい。受光レンズ 401 は、例えば、画素 541A 、 541B 、 541C 、 541D 各々に設けられている。撮像装置 1 は、例えば、裏面照射型の撮像装置である。撮像装置 1 は、中央部に配置された画素アレイ部 540 と、画素アレイ部 540 の外側に配置された周辺部 540B とを有している。

[0057] 第1基板 100 は、受光レンズ 401 側から順に、絶縁膜 111 、固定電荷膜 112 、半導体層 100S 及び配線層 100T を有している。半導体層 100S は、例えばシリコン基板により構成されている。半導体層 100S は、例えば、表面（配線層 100T 側の面）の一部及びその近傍に、Pウェル層 115 を有しており、それ以外の領域（Pウェル層 115 よりも深い領域）に、N型半導体領域 114 を有している。例えば、このN型半導体領域 114 及びPウェル層 115 によりPN接合型のフォトダイオード PD が構成されている。Pウェル層 115 は、P型半導体領域である。

[0058] 図7Aは、第1基板 100 の平面構成の一例を表したものである。図7Aは、主に、第1基板 100 の画素分離部 117 、フォトダイオード PD 、フローティングディフュージョン FD 、VSSコンタクト領域 118 及び転送トランジスタ TR の平面構成を表している。図6とともに、図7Aを用いて第1基板 100 の構成について説明する。

[0059] 半導体層 100S の表面近傍には、フローティングディフュージョン FD 及びVSSコンタクト領域 118 が設けられている。フローティングディフュージョン FD は、Pウェル層 115 内に設けられたN型半導体領域により構成されている。画素 541A 、 541B 、 541C 、 541D 各々のフローティングディフュ

ージョン FD（フローティングディフュージョン FD1、FD2、FD3、FD4）は、例えば、画素共有ユニット 539 の中央部に互いに近接して設けられている（図7A）。詳細は後述するが、この共有ユニット 539 に含まれる4つのフローティングディフュージョン（フローティングディフュージョン FD1、FD2、FD3、FD4）は、第1基板 100 内（より具体的には配線層 100T の内）で、電氣的接続手段（後述のパッド部 120）を介して互いに電氣的に接続されている。更に、フローティングディフュージョン FD は、第1基板 100 から第2基板 200 へ（より具体的には、配線層 100T から配線層 200T へ）と電氣的手段（後述の貫通電極 120E）を介して接続されている。第2基板 200（より具体的には配線層 200T の内部）では、この電氣的手段により、フローティングディフュージョン FD が、増幅トランジスタ AMP のゲート及びFD変換ゲイン切替トランジスタ FDG のソースに電氣的に接続されている。

[0060] VSSコンタクト領域 118 は、基準電位線 VSS に電氣的に接続される領域であり、フローティングディフュージョン FD と離間して配置されている。例えば、画素 541A、541B、541C、541D では、各画素のV方向の一端にフローティングディフュージョン FD が配置され、他端にVSSコンタクト領域 118 が配置されている（図7A）。VSSコンタクト領域 118 は、例えば、P型半導体領域により構成されている。VSSコンタクト領域 118 は、例えば接地電位や固定電位に接続されている。これにより、半導体層 100S に基準電位が供給される。

[0061] 第1基板 100 には、フォトダイオード PD、フローティングディフュージョン FD 及びVSSコンタクト領域 118 とともに、転送トランジスタ TR が設けられている。このフォトダイオード PD、フローティングディフュージョン FD、VSSコンタクト領域 118 及び転送トランジスタ TR は、画素 541A、541B、541C、541D 各々に設けられている。転送トランジスタ TR は、半導体層 100S の表面側（光入射面側とは反対側、第2基板 200 側）に設けられている。転送トランジスタ TR は、転送ゲート TG を有している。転送ゲート TG は、例えば、半導体層 100S の表面に対向する水平部分 TGB と

、半導体層 100S 内に設けられた垂直部分 TGA とを含んでいる。垂直部分 TGA は、半導体層 100S の厚み方向に延在している。垂直部分 TGA の一端は水平部分 TGB に接し、他端はN型半導体領域 114 内に設けられている。転送トランジスタ TR を、このような縦型トランジスタにより構成することにより、画素信号の転送不良が生じにくくなり、画素信号の読み出し効率を向上させることができる。

[0062] 転送ゲート TG の水平部分 TGB は、垂直部分 TGA に対向する位置から例えば、H方向において画素共有ユニット 539 の中央部に向かって延在している（図7A）。これにより、転送ゲート TG に達する貫通電極（後述の貫通電極 TGV）のH方向の位置を、フローティングディフュージョン FD、VSSコンタクト領域 118 に接続される貫通電極（後述の貫通電極 120E、121E）のH方向の位置に近づけることができる。例えば、第1基板 100 に設けられた複数の画素共有ユニット 539 は、互いに同じ構成を有している（図7A）。

[0063] 半導体層 100S には、画素 541A、541B、541C、541D を互いに分離する画素分離部 117 が設けられている。画素分離部 117 は、半導体層 100S の法線方向（半導体層 100S の表面に対して垂直な方向）に延在して形成されている。画素分離部 117 は、画素 541A、541B、541C、541D を互いに仕切るように設けられており、例えば格子状の平面形状を有している（図7A、図7B）。画素分離部 117 は、例えば、画素 541A、541B、541C、541D を互いに電氣的及び光学的に分離する。画素分離部 117 は、例えば、遮光膜 117A 及び絶縁膜 117B を含んでいる。遮光膜 117A には、例えば、タングステン（W）等が用いられる。絶縁膜 117B は、遮光膜 117A とPウェル層 115 又はN型半導体領域 114 との間に設けられている。絶縁膜 117B は、例えば、酸化シリコン（SiO₂）によって構成されている。画素分離部 117 は、例えば、FTI（Full Trench Isolation）構造を有しており、半導体層 100S を貫通している。図示しないが、画素分離部 117 は半導体層 100S を貫通するFTI構造に限定されない。例えば、半導体層 100S を貫通しないDTI（Deep Trench Isolation）構造であっても良い。画素分離部 117 は、半導体層 1

00S の法線方向に延在して、半導体層 100S の一部の領域に形成される。

[0064] 半導体層 100S には、例えば、第1ピニング領域 113 及び第2ピニング領域 116 が設けられている。第1ピニング領域 113 は、半導体層 100S の裏面近傍に設けられており、N型半導体領域 114 と固定電荷膜 112 との間に配置されている。第2ピニング領域 116 は、画素分離部 117 の側面、具体的には、画素分離部 117 とPウェル層 115 又はN型半導体領域 114 との間に設けられている。第1ピニング領域 113 及び第2ピニング領域 116 は、例えば、P型半導体領域により構成されている。

[0065] 半導体層 100S と絶縁膜 111 との間には、負の固定電荷を有する固定電荷膜 112 が設けられている。固定電荷膜 112 が誘起する電界により、半導体層 100S の受光面（裏面）側の界面に、ホール蓄積層の第1ピニング領域 113 が形成される。これにより、半導体層 100S の受光面側の界面準位に起因した暗電流の発生が抑えられる。固定電荷膜 112 は、例えば、負の固定電荷を有する絶縁膜によって形成されている。この負の固定電荷を有する絶縁膜の材料としては、例えば、酸化ハフニウム、酸化ジルコン、酸化アルミニウム、酸化チタン又は酸化タンタルが挙げられる。

[0066] 固定電荷膜 112 と絶縁膜 111 との間には、遮光膜 117A が設けられている。この遮光膜 117A は、画素分離部 117 を構成する遮光膜 117A と連続して設けられていてもよい。この固定電荷膜 112 と絶縁膜 111 との間の遮光膜 117A は、例えば、半導体層 100S 内の画素分離部 117 に対向する位置に選択的に設けられている。絶縁膜 111 は、この遮光膜 117A を覆うように設けられている。絶縁膜 111 は、例えば、酸化シリコンにより構成されている。

[0067] 半導体層 100S と第2基板 200 との間に設けられた配線層 100T は、半導体層 100S 側から、層間絶縁膜 119 、パッド部 120 、 121 、パッシベーション膜 122 、層間絶縁膜 123 及び接合膜 124 をこの順に有している。転送ゲート TG の水平部分 TGB は、例えば、この配線層 100T に設けられている。層間絶縁膜 119 は、半導体層 100S の表面全面にわたって設けられており

、半導体層 100S に接している。層間絶縁膜 119 は、例えば酸化シリコン膜により構成されている。なお、配線層 100T の構成は上述の限りでなく、配線と絶縁膜とを有する構成であれば良い。

[0068] 図7Bは、図7Aに示した平面構成とともに、パッド部 120 、 121 の構成を表している。パッド部 120 、 121 は、層間絶縁膜 119 上の選択的な領域に設けられている。パッド部 120 は、画素 541A 、 541B 、 541C 、 541D 各々のフローティングディフュージョン FD（フローティングディフュージョン FD1 、 FD2 、 FD3 、 FD4）を互いに接続するためのものである。パッド部 120 は、例えば、画素共有ユニット 539 毎に、平面視で画素共有ユニット 539 の中央部に配置されている（図7B）。このパッド部 120 は、画素分離部 117 を跨ぐように設けられており、フローティングディフュージョン FD1 、 FD2 、 FD3 、 FD4各々の少なくとも一部に重畳して配置されている（図6、図7B）。具体的には、パッド部 120 は、画素回路 210 を共有する複数のフローティングディフュージョン FD（フローティングディフュージョン FD1 、 FD2 、 FD3 、 FD4）各々の少なくとも一部と、その画素回路 210 を共有する複数のフォトダイオード PD（フォトダイオード PD 1、PD2、PD3、PD4）の間に形成された画素分離部 117 の少なくとも一部とに対して、半導体層 100S の表面に対して垂直な方向に重なる領域に形成される。層間絶縁膜 119 には、パッド部 120 とフローティングディフュージョン FD1 、 FD2 、 FD3 、 FD4とを電氣的に接続するための接続ビア120Cが設けられている。接続ビア120Cは、画素 541A 、 541B 、 541C 、 541D 各々に設けられている。例えば、接続ビア120Cにパッド部 120 の一部が埋め込まれることにより、パッド部 120 とフローティングディフュージョン FD1 、 FD2 、 FD3 、 FD4 とが電氣的に接続されている。

[0069] パッド部 121 は、複数のVSSコンタクト領域 118 を互いに接続するためのものである。例えば、V方向に隣り合う一方の画素共有ユニット 539 の画素 541C 、 541Dに設けられたVSSコンタクト領域 118 と、他方の画素共有ユニット 539 の画素 541A 、 541Bに設けられたVSSコンタクト領域 118 とがパッド

部 121 により電氣的に接続されている。パッド部 121 は、例えば、画素分離部 117 を跨ぐように設けられており、これら4つのVSSコンタクト領域 118 各々の少なくとも一部に重畳して配置されている。具体的には、パッド部 121 は、複数のVSSコンタクト領域 118 各々の少なくとも一部と、その複数のVSSコンタクト118の間に形成された画素分離部 117 の少なくとも一部とに対して、半導体層 100S の表面に対して垂直な方向に重なる領域に形成される。層間絶縁膜 119 には、パッド部 121 とVSSコンタクト領域 118 とを電氣的に接続するための接続ビア 121 Cが設けられている。接続ビア 121 Cは、画素 541A 、 541B 、 541C 、 541D 各々に設けられている。例えば、接続ビア 121 Cにパッド部 121 の一部が埋め込まれることにより、パッド部 121 とVSSコンタクト領域 118 とが電氣的に接続されている。例えば、V方向に並ぶ複数の画素共有ユニット 539 各々のパッド部 120 及びパッド部 121 は、H方向において略同じ位置に配置されている（図7B）。

[0070] パッド部 120 を設けることで、チップ全体において、各フローティングディフュージョン FD から画素回路 210（例えば増幅トランジスタ AMP のゲート電極）へ接続するための配線を減らすことができる。同様に、パッド部 121 を設けることで、チップ全体において、各VSSコンタクト領域 118 への電位を供給する配線を減らすことができる。これにより、チップ全体の面積の縮小、微細化された画素における配線間の電氣的干渉の抑制、及び／又は部品点数の削減によるコスト削減などが可能になる。

[0071] パッド部 120 、 121 は、第1基板 100 、 第2基板 200 の所望の位置に設けることができる。具体的には、パッド部 120 、 121 を配線層 100T 、 半導体層 200S の絶縁領域 212 のいずれかに設けることができる。配線層 100T に設ける場合には、パッド部 120 、 121 を半導体層 100S に直接接触させても良い。具体的には、パッド部 120 、 121 が、フローティングディフュージョン FD 及び／又はVSSコンタクト領域 118 の各々の少なくとも一部と直接接続される構成でも良い。また、パッド部 120 、 121 に接続するフローティングディフュージョン FD 及び／又はVSSコンタクト領域 118 の各

々から接続ビア120C、 121 Cを設け、配線層 100T 、半導体層 200S の絶縁領域 211 2の所望の位置にパッド部 120 、 121 を設ける構成でも良い。

[0072] 特に、パッド部 120 、 121 を配線層 100T に設ける場合には、半導体層 200S の絶縁領域 212 におけるフローティングディフュージョン FD 及び／又はVSSコンタクト領域 118 に接続される配線を減らすことができる。これにより、画素回路 210 を形成する第2基板 200 のうち、フローティングディフュージョン FD から画素回路 210 に接続するための貫通配線を形成するための絶縁領域 212 の面積を削減することができる。よって、画素回路 210 を形成する第2基板 200 の面積を大きく確保することができる。画素回路 210 の面積を確保することで、画素トランジスタを大きく形成することができる、ノイズ低減などによる画質向上に寄与することができる。

[0073] 特に、画素分離部 117 にFTI構造を用いた場合、フローティングディフュージョン FD 及び／又はVSSコンタクト領域 118 は、各画素 541 に設けることが好ましいため、パッド部 120 、 121 の構成を用いることで、第1基板 100 と第2基板 200 とを接続する配線を大幅に削減することができる。

[0074] また、図7Bのように、例えば複数のフローティングディフュージョン FD が接続されるパッド部 120 と、複数のVSSコンタクト118が接続されるパッド部 121 とは、V方向において直線状に交互に配置される。また、パッド部 120 、 121 は、複数のフォトダイオード PD や、複数の転送ゲート TG や、複数のフローティングディフュージョン FD に囲まれる位置に形成される。これにより、複数の素子を形成する第1基板 100 において、フローティングディフュージョン FD とVSSコンタクト領域 118 以外の素子を自由に配置することができ、チップ全体のレイアウトの効率化を図ることができる。また、各画素共有ユニット 539 に形成される素子のレイアウトにおける対称性が確保され、各画素 541 の特性のばらつきを抑えることができる。

[0075] パッド部 120 、 121 は、例えば、ポリシリコン (POLY SI) 、より具体的には、不純物が添加されたドーパドポリシリコンにより構成されている。パッド部 120 、 121 はポリシリコン、タングステン (W) 、チタン (TI) 及び

窒化チタン（TIN）等の耐熱性の高い導電性材料により構成されていることが好ましい。これにより、第1基板 100 に第2基板 200 の半導体層 200S を貼り合わせた後に、画素回路 210 を形成することが可能となる。以下、この理由について説明する。なお、以下の説明において、第1基板 100 と第2基板 200 の半導体層 200S を貼り合わせた後に、画素回路 210 を形成する方法を、第1の製造方法と呼ぶ。

[0076] ここで、第2基板 200 に画素回路 210 を形成した後に、これを第1基板 100 に貼り合わせることも考え得る（以下第2の製造方法という）。この第2の製造方法では、第1基板 100 の表面（配線層 100T の表面）及び第2基板 200 の表面（配線層 200T の表面）それぞれに、電氣的接続用の電極を予め形成しておく。第1基板 100 と第2基板 200 を貼り合わせると、これと同時に、第1基板 100 の表面と第2基板 200 の表面のそれぞれに形成された電氣的接続用の電極同士が接触する。これにより、第1基板 100 に含まれる配線と第2基板 200 に含まれる配線との間で電氣的接続が形成される。よって、第2の製造方法を用いた撮像装置 1 の構成とすることで、例えば第1基板 100 と第2基板 200 の各々の構成に応じて適切なプロセスを用いて製造することができ、高品質、高性能な撮像装置を製造することができる。

[0077] このような第2の製造方法では、第1基板 100 と第2基板 200 とを貼り合わせる際に、貼り合せ用の製造装置に起因して、位置合わせの誤差が生じることがある。また、第1基板 100 及び第2基板 200 は、例えば、直径数十CM程度の大きさを有するが、第1基板 100 と第2基板 200 とを貼り合わせる際に、この第1基板 100 、第2基板 200 各部の微視的領域で、基板の伸び縮みが発生するおそれがある。この基板の伸び縮みは、基板同士が接触するタイミングが多少ずれることに起因する。このような第1基板 100 及び第2基板 200 の伸び縮みに起因して、第1基板 100 の表面及び第2基板 200 の表面それぞれに形成された電氣的接続用の電極の位置に、誤差が生じることがある。第2の製造方法では、このような誤差が生じても、第1基板 100 及び第2基板 200 それぞれの電極同士が接触するように対処しておくことが好ましい。具体的

には、第1基板 100 及び第2基板 200 の電極の少なくとも一方、好ましくは両方を、上記誤差を考慮して大きくしておく。このため、第2の製造方法を用いると、例えば、第1基板 100 又は第2基板 200 の表面に形成された電極の大きさ（基板平面方向の大きさ）が、第1基板 100 又は第2基板 200 の内部から表面に厚み方向へ延在する内部電極の大きさよりも大きくなる。

[0078] 一方、パッド部 120 、 121 を耐熱性の導電材料により構成することで、上記第1の製造方法を用いることが可能となる。第1の製造方法では、フォトダイオード PD 及び転送トランジスタ TR などを含む第1基板 100 を形成した後、この第1基板 100 と第2基板 200（半導体層2000S）とを貼り合わせる。このとき、第2基板 200 は、画素回路 210 を構成する能動素子及び配線層などのパターンは未形成の状態である。第2基板 200 はパターンを形成する前の状態であるため、仮に、第1基板 100 と第2基板 200 を貼り合わせる際、その貼り合せ位置に誤差が生じたとしても、この貼り合せ誤差によって、第1基板 100 のパターンと第2基板 200 のパターンとの間の位置合わせに誤差が生じることはない。なぜならば、第2基板 200 のパターンは、第1基板 100 と第2基板 200 を貼り合わせた後に、形成するからである。なお、第2基板にパターンを形成する際には、例えば、パターン形成のための露光装置において、第1基板に形成されたパターンを位置合わせの対象としながらパターン形成する。上記理由により、第1基板 100 と第2基板 200 との貼り合せ位置の誤差は、第1の製造方法においては、撮像装置 1 を製造する上で問題とならない。同様の理由で、第2の製造方法で生じる基板の伸び縮みに起因した誤差も、第1の製造方法においては、撮像装置 1 を製造する上で問題とならない。

[0079] 第1の製造方法では、このようにして第1基板 100 と第2基板 200（半導体層 200S）とを貼り合せた後、第2基板 200 上に能動素子を形成する。この後、貫通電極 120E 、 121E 及び貫通電極 TGV（図6）を形成する。この貫通電極 120E 、 121E 、 TGVの形成では、例えば、第2基板 200 の上方から、露光装置による縮小投影露光を用いて貫通電極のパターンを形成する。縮小露光

投影を用いるため、仮に、第2基板 200 と露光装置との位置合わせに誤差が生じて、その誤差の大きさは、第2基板 200 においては、上記第2の製造方法の誤差の数分の一（縮小露光投影倍率の逆数）にしかない。よって、第1の製造方法を用いた撮像装置 1 の構成とすることで、第1基板 100 と第2基板 200 の各々に形成される素子同士の位置合わせが容易になり、高品質、高性能な撮像装置を製造することができる。

[0080] このような第1の製造方法を用いて製造された撮像装置 1 は、第2の製造方法で製造された撮像装置と異なる特徴を有する。具体的には、第1の製造方法により製造された撮像装置 1 では、例えば、貫通電極 120E 、 121E 、 TGV が、第2基板 200 から第1基板 100 に至るまで、略一定の太さ（基板平面方向の大きさ）となっている。あるいは、貫通電極 120E 、 121E 、 TGV がテーパ形状を有するときには、一定の傾きのテーパ形状を有している。このような貫通電極 120E 、 121E 、 TGV を有する撮像装置 1 は、画素 541 を微細化しやすい。

[0081] ここで、第1の製造方法により撮像装置 1 を製造すると、第1基板 100 と第2基板 200（半導体層 200S）とを貼り合わせた後に、第2基板 200 に能動素子を形成するので、第1基板 100 にも、能動素子の形成の際に必要な加熱処理の影響が及ぶことになる。このため、上記のように、第1基板 100 に設けられたパッド部 120 、 121 には、耐熱性の高い導電材料を用いることが好ましい。例えば、パッド部 120 、 121 には、第2基板 200 の配線層 200T に含まれる配線材の少なくとも一部よりも、融点の高い（すなわち耐熱性の高い）材料を用いていることが好ましい。例えば、パッド部 120 、 121 にドーフトポリシリコン、タングステン、チタンあるいは窒化チタン等の耐熱性の高い導電材を用いる。これにより、上記第1の製造方法を用いて撮像装置 1 を製造することが可能となる。

[0082] パッシベーション膜 122 は、例えば、パッド部 120 、 121 を覆うように、半導体層 100S の表面全面にわたって設けられている（図6）。パッシベーション膜 122 は、例えば、窒化シリコン（SIN）膜により構成されている。

層間絶縁膜 123 は、パッシベーション膜 122 を間にしてパッド部 120 、 121 を覆っている。この層間絶縁膜 123 は、例えば、半導体層 100S の表面全面にわたって設けられている。層間絶縁膜 123 は、例えば酸化シリコン（SiO）膜により構成されている。接合膜 124 は、第1基板 100（具体的には配線層 100T）と第2基板 200 との接合面に設けられている。即ち、接合膜 124 は、第2基板 200 に接している。この接合膜 124 は、第1基板 100 の主面全面にわたって設けられている。接合膜 124 は、例えば、窒化シリコン膜により構成されている。

[0083] 受光レンズ 401 は、例えば、固定電荷膜 112 及び絶縁膜 111 を間にして半導体層 100S に対向している（図6）。受光レンズ 401 は、例えば画素 541A 、 541B 、 541C 、 541D 各々のフォトダイオード PD に対向する位置に設けられている。

[0084] 第2基板 200 は、第1基板 100 側から、半導体層 200S 及び配線層 200T をこの順に有している。半導体層 200S は、シリコン基板で構成されている。半導体層 200S では、厚み方向にわたって、ウェル領域 211 が設けられている。ウェル領域 211 は、例えば、P型半導体領域である。第2基板 200 には、画素共有ユニット 539 毎に配置された画素回路 210 が設けられている。この画素回路 210 は、例えば、半導体層 200S の表面側（配線層 200T 側）に設けられている。撮像装置 1 では、第1基板 100 の表面側（配線層 100T 側）に第2基板 200 の裏面側（半導体層 200S 側）が向かうようにして、第2基板 200 が第1基板 100 に貼り合わされている。つまり、第2基板 200 は、第1基板 100 に、フェイストゥーバックで貼り合わされている。

[0085] 図8～図12は、第2基板 200 の平面構成の一例を模式的に表している。図8には、半導体層 200S の表面近傍に設けられた画素回路 210 の構成を表す。図9は、配線層 200T（具体的には後述の第1配線層 W1）と、配線層 200T に接続された半導体層 200S 及び第1基板 100 の各部の構成を模式的に表している。図10～図12は、配線層 200T の平面構成の一例を表している。以下、図6とともに、図8～図12を用いて第2基板 200 の構成について説明する。図8

及び図9ではフォトダイオード PD の外形（画素分離部 117 とフォトダイオード PD との境界）を破線で表し、画素回路 210 を構成する各トランジスタのゲート電極に重なる部分の半導体層 200S と素子分離領域 213 又は絶縁領域 214 との境界を点線で表す。増幅トランジスタ AMP のゲート電極に重なる部分では、チャネル幅方向の一方に、半導体層 200S と素子分離領域 213 との境界、及び素子分離領域 213 と絶縁領域 213 との境界が設けられている。

[0086] 第2基板 200 には、半導体層 200S を分断する絶縁領域 212 と、半導体層 200S の厚み方向の一部に設けられた素子分離領域 213 とが設けられている（図6）。例えば、H方向に隣り合う2つの画素回路 210 の間に設けられた絶縁領域 212 に、この2つの画素回路 210 に接続された2つの画素共有ユニット 539 の貫通電極 120E 、 121E 及び貫通電極 TGV（貫通電極 TGV 1、TGV2、TGV3、TGV4）が配置されている（図9）。

[0087] 絶縁領域 212 は、半導体層 200S の厚みと略同じ厚みを有している（図6）。半導体層 200S は、この絶縁領域 212 により分断されている。この絶縁領域 212 に、貫通電極 120E 、 121E 及び貫通電極 TGV が配置されている。絶縁領域 212 は、例えば酸化シリコンにより構成されている。

[0088] 貫通電極 120E 、 121E は、絶縁領域 212 を厚み方向に貫通して設けられている。貫通電極 120E 、 121E の上端は、配線層 200T の配線（後述の第1配線W1、第2配線W2、第3配線W3、第4配線W4）に接続されている。この貫通電極 120E 、 121E は、絶縁領域 212 、 接合膜 124 、 層間絶縁膜 123 及びパッシベーション膜 122 を貫通して設けられ、その下端はパッド部 120 、 121 に接続されている（図6）。貫通電極 120E は、パッド部 120 と画素回路 210 とを電氣的に接続するためのものである。即ち、貫通電極 120E により、第1基板 100 のフローティングディフュージョン FD が第2基板 200 の画素回路 210 に電氣的に接続される。貫通電極 121E は、パッド部 121 と配線層 200T の基準電位線 VSS とを電氣的に接続するためのものである。即ち、貫通電極 121E により、第1基板 100 のVSSコンタクト領域 118 が第2基板

200 の基準電位線 VSS に電氣的に接続される。

[0089] 貫通電極 TGV は、絶縁領域 212 を厚み方向に貫通して設けられている。貫通電極 TGV の上端は、配線 200T の配線に接続されている。この貫通電極 TGV は、絶縁領域 212 、接合膜 124 、層間絶縁膜 123 、パッシベーション膜 122 及び層間絶縁膜 119 を貫通して設けられ、その下端は転送ゲート TG に接続されている（図6）。このような貫通電極 TGV は、画素 541A 、 541B 、 541C 、 541D 各々の転送ゲート TG（転送ゲート TG1 、 TG2 、 TG3 、 TG4）と、配線層 200T の配線（行駆動信号線 542 の一部、具体的には、後述の図11の配線 TRG1 、 TRG2 、 TRG3 、 TRG4）とを電氣的に接続するためのものである。即ち、貫通電極 TGV により、第1基板 100 の転送ゲート TG が第2基板 200 の配線TRGに電氣的に接続され、転送トランジスタ TR（転送トランジスタ TR1 、 TR2 、 TR3 、 TR4）各々に駆動信号が送られるようになっている。

[0090] 絶縁領域 212 は、第1基板 100 と第2基板 200 とを電氣的に接続するための前記貫通電極 120E 、 121E 及び貫通電極 TGV を、半導体層 200S と絶縁して設けるための領域である。例えば、H方向に隣り合う2つの画素回路 210（共有ユニット 539）の間に設けられた絶縁領域 212 に、この2つの画素回路 210 に接続された貫通電極 120E 、 121E 及び貫通電極 TGV（貫通電極 TGV1 、 TGV2 、 TGV3 、 TGV4）が配置されている。絶縁領域 212 は、例えば、V方向に延在して設けられている（図8、図9）。ここでは、転送ゲート TG の水平部分 TGB の配置を工夫することにより、垂直部分 TGA の位置に比べて、貫通電極 TGV のH方向の位置が貫通電極 120E 、 121E のH方向の位置に近づくように配置されている（図7A、図9）。例えば、貫通電極 TGV は、H方向において、貫通電極 120E 、 121E と略同じ位置に配置されている。これにより、V方向に延在する絶縁領域 212 に、貫通電極 120E 、 121E 及び貫通電極 TGV をまとめて設けることができる。別の配置例として、垂直部分 TGA に重畳する領域のみに水平部分 TGB を設けることも考え得る。この場合には、垂直部分 TGA の略直上に貫通電極 TGV が形成され、例えば、各画素

541 のH方向及びV方向の略中央部に貫通電極 TGV が配置される。このとき、貫通電極 TGV のH方向の位置と貫通電極 120E 、 121E のH方向の位置とが大きくずれる。貫通電極 TGV 及び貫通電極 120E 、 121E の周囲には、近接する半導体層 200S から電氣的に絶縁するため、例えば、絶縁領域 212 を設ける。貫通電極 TGV のH方向の位置と貫通電極 120E 、 121E のH方向の位置とが大きく離れる場合には、貫通電極 120E 、 121E 、 TGV各々の周囲に絶縁領域 212 を独立して設けることが必要となる。これにより、半導体層 200S が細かく分断されることになる。これに比べ、V方向に延在する絶縁領域 212 に、貫通電極 120E 、 121E 及び貫通電極 TGV をまとめて配置するレイアウトは、半導体層 200S のH方向の大きさを大きくすることができる。よって、半導体層 200S における半導体素子形成領域の面積を大きく確保することができる。これにより、例えば、増幅トランジスタ AMP のサイズを大きくし、ノイズを抑えることが可能となる。

[0091] 画素共有ユニット 539 は、図4を参照して説明したように、複数の画素 541 のそれぞれに設けられたフローティングディフュージョン FD の間を電氣的に接続し、これら複数の画素 541 が1つの画素回路 210 を共有する構造を有している。そして、前記フローティングディフュージョン FD 間の電氣的接続は、第1基板 100 に設けられたパッド部 120 によってなされている（図6、図7B）。第1基板 100 に設けられた電氣的接続部（パッド部 120）と第2基板 200 に設けられた画素回路 210 は、1つの貫通電極 120E を介して電氣的に接続されている。別の構造例として、フローティングディフュージョン FD 間の電氣的接続部を第2基板 200 に設けることも考え得る。この場合、画素共有ユニット 539 には、フローティングディフュージョン FD1 、 FD2 、 FD3 、 FD4各々に接続される4つの貫通電極が設けられる。したがって、第2基板 200 において、半導体層 200S を貫通する貫通電極の数が増え、これら貫通電極の周囲を絶縁する絶縁領域 212 が大きくなる。これに比べ、第1基板 100 にパッド部 120 を設ける構造（図6、図7B）は、貫通電極の数を減らし、絶縁領域 212 を小さくすることができる。よって、半導体層 200S にお

ける半導体素子形成領域の面積を大きく確保することができる。これにより、例えば、増幅トランジスタ AMP のサイズを大きくし、ノイズを抑えることが可能となる。

[0092] 素子分離領域 213 は、半導体層 200S の表面側に設けられている。素子分離領域 213 は、STI (Shallow Trench Isolation) 構造を有している。この素子分離領域 213 では、半導体層 200S が厚み方向（第2基板 200 の主面に対して垂直方向）に掘り込まれており、この掘り込みに絶縁膜が埋め込まれている。この絶縁膜は、例えば、酸化シリコンにより構成されている。素子分離領域 213 は、画素回路 210 を構成する複数のトランジスタ間を、画素回路 210 のレイアウトに応じて素子分離するものである。素子分離領域 213 の下方（半導体層 200S の深部）には、半導体層 200S（具体的には、ウェル領域 211）が延在している。

[0093] ここで、図7A、図7B及び図8を参照して、第1基板 100 での画素共有ユニット 539 の外形形状（基板平面方向の外形形状）と、第2基板 200 での画素共有ユニット 539 の外形形状との違いを説明する。

[0094] 撮像装置 1 では、第1基板 100 及び第2基板 200 の両方にわたり、画素共有ユニット 539 が設けられている。例えば、第1基板 100 に設けられた画素共有ユニット 539 の外形形状と、第2基板 200 に設けられた画素共有ユニット 539 の外形形状とは互いに異なっている。

[0095] 図7A、図7Bでは、画素 541A 、 541B 、 541C 、 541D の外形線を一点鎖線で表し、画素共有ユニット 539 の外形形状を太線で表している。例えば、第1基板 100 の画素共有ユニット 539 は、H方向に隣接して配置された2つの画素 541（画素 541A 、 541B）と、これにV方向に隣接して配置された2つの画素 541（画素 541C 、 541D）により構成されている。即ち、第1基板 100 の画素共有ユニット 539 は、隣接する2行×2列の4つの画素 541 により構成されており、第1基板 100 の画素共有ユニット 539 は、略正方形の外形形状を有している。画素アレイ部 540 では、このような画素共有ユニット 539 が、H方向へ2画素ピッチ（画素 541 の2個分に相当するピッチ）、かつ、V方

向へ2画素ピッチ（画素 541 の2個分に相当するピッチ）、で隣接して配列されている。

[0096] 図8及び図9では、画素 541A 、 541B 、 541C 、 541D の外形線を一点鎖線で表し、画素共有ユニット 539 の外形形状を太線で表している。例えば、第2基板 200 の画素共有ユニット 539 の外形形状は、H方向において第1基板 100 の画素共有ユニット 539 よりも小さく、V方向において第1基板 100 の画素共有ユニット 539 よりも大きくなっている。例えば、第2基板 200 の画素共有ユニット 539 は、H方向には画素1個分に相当する大きさ（領域）で形成され、V方向には、画素4個分に相当する大きさで形成されている。即ち、第2基板 200 の画素共有ユニット 539 は、隣接する1行 × 4列に配列された画素に相当する大きさで形成されており、第2基板 200 の画素共有ユニット 539 は、略長方形の外形形状を有している。

[0097] 例えば、各画素回路 210 では、選択トランジスタ SEL 、増幅トランジスタ AMP 、リセットトランジスタ RST 及びFD変換ゲイン切替トランジスタ FDG がこの順にV方向に並んで配置されている（図8）。各画素回路 210 の外形形状を、上記のように、略長形状に設けることにより、一方向（図8ではV方向）に4つのトランジスタ（選択トランジスタ SEL 、増幅トランジスタ AMP 、リセットトランジスタ RST 及びFD変換ゲイン切替トランジスタ FDG）を並べて配置することができる。これにより、増幅トランジスタ AMP のドレインと、リセットトランジスタ RST のドレインとを一の拡散領域（電源線 VDD に接続される拡散領域）で共有することができる。例えば、各画素回路 210 の形成領域を略正形状に設けることも可能である（後述の図21参照）。この場合には、一方向に沿って2つのトランジスタが配置され、増幅トランジスタ AMP のドレインと、リセットトランジスタ RST のドレインとを一の拡散領域で共有することが困難となる。よって、画素回路 210 の形成領域を略長形状に設けることにより、4つのトランジスタを近接して配置しやすくなり、画素回路 210 の形成領域を小さくすることができる。即ち、画素の微細化を行うことができる。また、画素回路 210 の形成領域を小さくすることが不

要であるときには、増幅トランジスタ AMP の形成領域を大きくし、ノイズを抑えることが可能となる。

[0098] 例えば、半導体層 200S の表面近傍には、選択トランジスタ SEL 、増幅トランジスタ AMP 、リセットトランジスタ RST 及びFD変換ゲイン切替トランジスタ FDG に加えて、基準電位線 VSS に接続されるVSSコンタクト領域 218 が設けられている。VSSコンタクト領域 218 は、例えば、P型半導体領域により構成されている。VSSコンタクト領域 218 は、配線層 200T の配線及び貫通電極 121E を介して第1基板 100 (半導体層 100S) のVSSコンタクト領域 118 に電氣的に接続されている。このVSSコンタクト領域 218 は、例えば、素子分離領域 213 を間にして、FD変換ゲイン切替トランジスタ FDG のソースと隣り合う位置に設けられている (図8)。

[0099] 次に、図7B及び図8を参照して、第1基板 100 に設けられた画素共有ユニット 539 と第2基板 200 に設けられた画素共有ユニット 539 との位置関係を説明する。例えば、第1基板 100 のV方向に並ぶ2つの画素共有ユニット 539 のうち、一方 (例えば図7Bの紙面上側) の画素共有ユニット 539 は、第2基板 200 のH方向に並ぶ2つの画素共有ユニット 539 のうちの一方 (例えば、図8の紙面左側) の画素共有ユニット 539 に接続されている。例えば、第1基板 100 のV方向に並ぶ2つの画素共有ユニット 539 のうち、他方 (例えば図7Bの紙面下側) の画素共有ユニット 539 は、第2基板 200 のH方向に並ぶ2つの画素共有ユニット 539 のうちの他方 (例えば、図8の紙面右側) の画素共有ユニット 539 に接続されている。

[0100] 例えば、第2基板 200 のH方向に並ぶ2つの画素共有ユニット 539 では、一方の画素共有ユニット 539 の内部レイアウト (トランジスタ等の配置) が、他方の画素共有ユニット 539 の内部レイアウトをV方向及びH方向に反転させたレイアウトに略等しくなっている。以下、このレイアウトによって得られる効果を説明する。

[0101] 第1基板 100 のV方向に並ぶ2つの画素共有ユニット 539 では、各々のパッド部 120 が、画素共有ユニット 539 の外形形状の中央部、即ち、画素共有

ユニット 539 のV方向及びH方向の中央部に配置される（図7B）。一方、第2基板 200 の画素共有ユニット 539 は、上記のように、V方向に長い略長方形の外形形状を有しているため、例えば、パッド部 120 に接続される増幅トランジスタ AMP は、画素共有ユニット 539 のV方向の中央から紙面上方にずれた位置に配置されている。例えば、第2基板 200 のH方向に並ぶ2つの画素共有ユニット 539 の内部レイアウトが同じであるとき、一方の画素共有ユニット 539 の増幅トランジスタ AMP と、パッド部 120（例えば、図7の紙面上側の画素共有ユニット 539 のパッド部 120）との距離は比較的短くなる。しかし、他方の画素共有ユニット 539 の増幅トランジスタ AMP と、パッド部 120（例えば、図7の紙面下側の画素共有ユニット 539 のパッド部 120）との距離が長くなる。このため、この増幅トランジスタ AMP とパッド部 120 との接続に要する配線の面積が大きくなり、画素共有ユニット 539 の配線レイアウトが複雑になるおそれがある。このことは、撮像装置 1 の微細化に影響を及ぼす可能性がある。

[0102] これに対して、第2基板 200 のH方向に並ぶ2つの画素共有ユニット 539 で、互いの内部レイアウトを少なくともV方向に反転させることにより、これら2つの画素共有ユニット 539 の両方の増幅トランジスタ AMP とパッド部 120 との距離を短くすることができる。したがって、第2基板 200 のH方向に並ぶ2つの画素共有ユニット 539 の内部レイアウトを同じにした構成と比べて、撮像装置 1 の微細化を行いやすくなる。なお、第2基板 200 の複数の画素共有ユニット 539 各々の平面レイアウトは、図8に記載の範囲では左右対称であるが、後述する図9に記載の第1配線層 W1 のレイアウトまで含めると、左右非対称のものとなる。

[0103] また、第2基板 200 のH方向に並ぶ2つの画素共有ユニット 539 の内部レイアウトは、互いに、H方向にも反転されていることが好ましい。以下、この理由について説明する。図9に示したように、第2基板 200 のH方向に並ぶ2つの画素共有ユニット 539 はそれぞれ、第1基板 100 のパッド部 120、121 に接続されている。例えば、第2基板 200 のH方向に並ぶ2つの画素共有ユニッ

ト 539 のH方向の中央部（H方向に並ぶ2つの画素共有ユニット 539 の間）にパッド部 120 、 121 が配置されている。したがって、第2基板 200 のH方向に並ぶ2つの画素共有ユニット 539 の内部レイアウトを、互いに、H方向にも反転させることにより、第2基板 200 の複数の画素共有ユニット 539 それぞれとパッド部 120 、 121 との距離を小さくすることができる。即ち、撮像装置 1 の微細化を更に行いやすくなる。

[0104] また、第2基板 200 の画素共有ユニット 539 の外形線の位置は、第1基板 100 の画素共有ユニット 539 のいずれかの外形線の位置に揃っていなくてもよい。例えば、第2基板 200 のH方向に並ぶ2つの画素共有ユニット 539 のうち、一方（例えば図9の紙面左側）の画素共有ユニット 539 では、V方向の一方（例えば図9の紙面上側）の外形線が、対応する第1基板 100 の画素共有ユニット 539（例えば図7Bの紙面上側）のV方向の一方の外形線の外側に配置されている。また、第2基板 200 のH方向に並ぶ2つの画素共有ユニット 539 のうち、他方（例えば図9の紙面右側）の画素共有ユニット 539 では、V方向の他方（例えば図9の紙面下側）の外形線が、対応する第1基板 100 の画素共有ユニット 539（例えば図7Bの紙面下側）のV方向の他方の外形線の外側に配置されている。このように、第2基板 200 の画素共有ユニット 539 と、第1基板 100 の画素共有ユニット 539 とを互いに配置することにより、増幅トランジスタ AMP とパッド部 120 との距離を短くすることが可能となる。したがって、撮像装置 1 の微細化を行いやすくなる。

[0105] また、第2基板 200 の複数の画素共有ユニット 539 の間で、互いの外形線の位置は揃っていなくてもよい。例えば、第2基板 200 のH方向に並ぶ2つの画素共有ユニット 539 は、V方向の外形線の位置がずれて配置されている。これにより、増幅トランジスタ AMP とパッド部 120 との距離を短くすることが可能となる。したがって、撮像装置 1 の微細化を行いやすくなる。

[0106] 図7B及び図9を参照して、画素アレイ部 540 での画素共有ユニット 539 の繰り返し配置について説明する。第1基板 100 の画素共有ユニット 539 は、H方向に2つ分の画素 541 の大きさ、及びV方向に2つ分の画素 541 の大きさ

を有している（図7B）。例えば、第1基板 100 の画素アレイ部 540 では、この4つの画素 541 に相当する大きさの画素共有ユニット 539 が、H方向へ2画素ピッチ（画素 541 の2つ分に相当するピッチ）、かつ、V方向へ2画素ピッチ（画素 541 の2つ分に相当するピッチ）、で隣接して繰り返し配列されている。あるいは、第1基板 100 の画素アレイ部 540 に、画素共有ユニット 539 がV方向に2つ隣接して配置された一对の画素共有ユニット 539 が設けられていてもよい。第1基板 100 の画素アレイ部 540 では、例えば、この一对の画素共有ユニット 539 が、H方向へ2画素ピッチ（画素 541 の2つ分に相当するピッチ）、かつ、V方向へ4画素ピッチ（画素 541 の4つ分に相当するピッチ）、で隣接して繰り返し配列している。第2基板 200 の画素共有ユニット 539 は、H方向に1つ分の画素 541 の大きさ、及びV方向に4つ分の画素 541 の大きさを有している（図9）。例えば、第2基板 200 の画素アレイ部 540 には、この4つの画素 541 に相当する大きさの画素共有ユニット 539 を2つ含む、一对の画素共有ユニット 539 が設けられている。この画素共有ユニット 539 は、H方向に隣接して配置され、かつ、V方向にはずらして配置されている。第2基板 200 の画素アレイ部 540 では、例えば、この一对の画素共有ユニット 539 が、H方向へ2画素ピッチ（画素 541 の2個分に相当するピッチ）、かつ、V方向へ4画素ピッチ（画素 541 の4個分に相当するピッチ）、で隙間なく隣接して繰り返し配列されている。このような画素共有ユニット 539 の繰り返し配置により、画素共有ユニット 539 を隙間なく配置することが可能となる。したがって、撮像装置 1 の微細化を行いやすくなる。

[0107] 増幅トランジスタ AMP は、例えば、FIN型等の三次元構造を有していることが好ましい（図6）。これにより、実効のゲート幅の大きさが大きくなり、ノイズを抑えることが可能となる。選択トランジスタ SEL、リセットトランジスタ RST 及びFD変換ゲイン切替トランジスタ FDG は、例えば、プレーナ構造を有している。増幅トランジスタ AMP がプレーナ構造を有していてもよい。あるいは、選択トランジスタ SEL、リセットトランジスタ RST 又はFD変換ゲイン切替トランジスタ FDG が、三次元構造を有していてもよい。

- [0108] 配線層 200T は、例えば、パッシベーション膜221、層間絶縁膜 222 及び複数の配線（第1配線層 W1 、 第2配線層 W2 、 第3配線層 W3 、 第4配線層 W4 ）を含んでいる。パッシベーション膜221は、例えば、半導体層 200S の表面に接しており、半導体層 200S の表面全面を覆っている。このパッシベーション膜221は、選択トランジスタ SEL 、 増幅トランジスタ AMP 、 リセットトランジスタ RST 及びFD変換ゲイン切替トランジスタ FDG 各々のゲート電極を覆っている。層間絶縁膜 222 は、パッシベーション膜221と第3基板 300 との間に設けられている。この層間絶縁膜 222 により、複数の配線（第1配線層 W1 、 第2配線層 W2 、 第3配線層 W3 、 第4配線層 W4）が分離されている。層間絶縁膜 222 は、例えば、酸化シリコンにより構成されている。
- [0109] 配線層 200T には、例えば、半導体層 200S 側から、第1配線層 W1 、 第2配線層 W2 、 第3配線層 W3 、 第4配線層 W4 及びコンタクト部 201 、 202 がこの順に設けられ、これらが互いに層間絶縁膜 222 により絶縁されている。層間絶縁膜 222 には、第1配線層 W1 、 第2配線層 W2 、 第3配線層 W3 又は第4配線層 W4 と、これらの下層とを接続する接続部が複数設けられている。接続部は、層間絶縁膜 222 に設けた接続孔に、導電材料を埋設した部分である。例えば、層間絶縁膜 222 には、第1配線層 W1 と半導体層 200S のVSSコンタクト領域 218 とを接続する接続部 218V が設けられている。例えば、このような第2基板 200 の素子同士を接続する接続部の孔径は、貫通電極 120E 、 121E 及び貫通電極 TGV の孔径と異なっている。具体的には、第2基板 200 の素子同士を接続する接続孔の孔径は、貫通電極 120E 、 121E 及び貫通電極 TGV の孔径よりも小さくなっていることが好ましい。以下、この理由について説明する。配線層 200T 内に設けられた接続部（接続部 218V 等）の深さは、貫通電極 120E 、 121E 及び貫通電極 TGV の深さよりも小さい。このため接続部は、貫通電極 120E 、 121E 及び貫通電極 TGV に比べて、容易に接続孔へ導電材を埋めることができる。この接続部の孔径を、貫通電極 120E 、 121E 及び貫通電極 TGV の孔径よりも小さくすることにより、撮像装置 1 の微細化を行いやすくなる。

[0110] 例えば、第1配線層 W1 により、貫通電極 120E と増幅トランジスタ AMP のゲート及びFD変換ゲイン切替トランジスタ FDG のソース（具体的にはFD変換ゲイン切替トランジスタ FDG のソースに達する接続孔）とが接続されている。第1配線層 W1 は、例えば、貫通電極 121E と接続部 218V とを接続しており、これにより、半導体層 200S のVSSコンタクト領域 218 と半導体層 100S のVSSコンタクト領域 118 とが電氣的に接続される。

[0111] 次に、図10～図12を用いて、配線層 200T の平面構成について説明する。図10は、第1配線層 W1 及び第2配線層 W2 の平面構成の一例を表したものである。図11は、第2配線層 W2 及び第3配線層 W3 の平面構成の一例を表したものである。図12は、第3配線層 W3 及び第4配線層 W4 の平面構成の一例を表したものである。

[0112] 例えば、第3配線層 W3 は、H方向（行方向）に延在する配線 TRG1 、 TRG2 、 TRG3 、 TRG4 、 SELL 、 RSTL 、 FDGL を含んでいる（図11）。これらの配線は、図4を参照して説明した複数の行駆動信号線 542 に該当する。配線 TRG1 、 TRG2 、 TRG3 、 TRG4 は各々、転送ゲート TG1 、 TG2 、 TG3 、 TG4 に駆動信号を送るためのものである。配線 TRG1 、 TRG2 、 TRG3 、 TRG4 は各々、第2配線層 W2 、第1配線層 W1 及び貫通電極 120E を介して転送ゲート TG1 、 TG2 、 TG3 、 TG4 に接続されている。配線 SELL は選択トランジスタ SEL のゲートに、配線 RSTL はリセットトランジスタ RST のゲートに、配線 FDGL は、FD変換ゲイン切替トランジスタ FDG のゲートに各々駆動信号を送るためのものである。配線 SELL 、 RSTL 、 FDGL は各々、第2配線層 W2 、第1配線層 W1 及び接続部を介して、選択トランジスタ SEL 、リセットトランジスタ RST 、FD変換ゲイン切替トランジスタ FDG 各々のゲートに接続されている。

[0113] 例えば、第4配線層 W4 は、V方向（列方向）に延在する電源線 VDD 、基準電位線 VSS 及び垂直信号線 543 を含んでいる（図12）。電源線 VDD は、第3配線層 W3 、第2配線層 W2 、第1配線層 W1 及び接続部を介して増幅トランジスタ AMP のドレイン及びリセットトランジスタ RST のドレインに接続さ

れている。基準電位線 VSS は、第3配線層 W3 、第2配線層 W2 、第1配線層 W1 及び接続部 218V を介してVSSコンタクト領域 218 に接続されている。また、基準電位線 VSS は、第3配線層 W3 、第2配線層 W2 、第1配線層 W1 、貫通電極 121E 及びパッド部 121 を介して第1基板 100 のVSSコンタクト領域 118 に接続されている。垂直信号線 543 は、第3配線層 W3 、第2配線層 W2 、第1配線層 W1 及び接続部を介して選択トランジスタ SEL のソース (V₀UT) に接続されている。

[0114] コンタクト部 201 、 202 は、平面視で画素アレイ部 540 に重なる位置に設けられていてもよく (例えば、図3) 、あるいは、画素アレイ部 540 の外側の周辺部 540B に設けられていてもよい (例えば、図6) 。コンタクト部 201 、 202 は、第2基板 200 の表面 (配線層 200T 側の面) に設けられている。コンタクト部 201 、 202 は、例えば、CU (銅) 及びAL (アルミニウム) などの金属により構成されている。コンタクト部 201 、 202 は、配線層 200T の表面 (第3基板 300 側の面) に露出している。コンタクト部 201 、 202 は、第2基板 200 と第3基板 300 との電氣的な接続及び、第2基板 200 と第3基板 300 との貼り合わせに用いられる。

[0115] 図6には、第2基板 200 の周辺部 540B に周辺回路を設けた例を図示した。この周辺回路は、行駆動部 520 の一部又は列信号処理部 550 の一部等を含んでいてもよい。また、図3に記載のように、第2基板 200 の周辺部 540B には周辺回路を配置せず、接続孔部 H1 、 H2 を画素アレイ部 540 の近傍に配置するようにしてもよい。

[0116] 第3基板 300 は、例えば、第2基板 200 側から配線層 300T 及び半導体層 300S をこの順に有している。例えば、半導体層 300S の表面は、第2基板 200 側に設けられている。半導体層 300S は、シリコン基板で構成されている。この半導体層 300S の表面側の部分には、回路が設けられている。具体的には、半導体層 300S の表面側の部分には、例えば、入力部 510A 、行駆動部 520 、タイミング制御部 530 、列信号処理部 550 、画像信号処理部 560 及び出力部 510B のうちの少なくとも一部が設けられている。半導体層 300

S と第2基板 200 との間に設けられた配線層 300T は、例えば、層間絶縁膜と、この層間絶縁膜により分離された複数の配線層と、コンタクト部 301、302 とを含んでいる。コンタクト部 301、302 は、配線層 300T の表面（第2基板 200 側の面）に露出されており、コンタクト部 301 は第2基板 200 のコンタクト部 201 に、コンタクト部 302 は第2基板 200 のコンタクト部 202 に各々接している。コンタクト部 301、302 は、半導体層 300S に形成された回路（例えば、入力部 510A、行駆動部 520、タイミング制御部 530、列信号処理部 550、画像信号処理部 560 及び出力部 510B の少なくともいずれか）に電氣的に接続されている。コンタクト部 301、302 は、例えば、CU（銅）及びアルミニウム（AL）等の金属により構成されている。例えば、接続孔部 H1 を介して外部端子 TA が入力部 510A に接続されており、接続孔部 H2 を介して外部端子 TB が出力部 510B に接続されている。

[0117] ここで、撮像装置 1 の特徴について説明する。

[0118] 一般に、撮像装置は、主な構成として、フォトダイオードと画素回路とからなる。ここで、フォトダイオードの面積を大きくすると光電変換の結果発生する電荷が増加し、その結果画素信号のシグナル／ノイズ比（S／N比）が改善し、撮像装置はよりよい画像データ（画像情報）を出力することができる。一方、画素回路に含まれるトランジスタのサイズ（特に増幅トランジスタのサイズ）を大きくすると、画素回路で発生するノイズが減少し、その結果撮像信号のS／N比が改善し、撮像装置はよりよい画像データ（画像情報）を出力することができる。

[0119] しかし、フォトダイオードと画素回路とを同一の半導体基板に設けた撮像装置において、半導体基板の限られた面積の中でフォトダイオードの面積を大きくすると、画素回路に備わるトランジスタのサイズが小さくなってしまうことが考えられる。また、画素回路に備わるトランジスタのサイズを大きくすると、フォトダイオードの面積が小さくなってしまうことが考えられる。

[0120] これらの課題を解決するために、例えば、本実施の形態の撮像装置 1 は、

複数の画素 541 が1つの画素回路 210 を共有し、かつ、共有した画素回路 210 をフォトダイオード PD に重畳して配置する構造を用いる。これにより、半導体基板の限られた面積の中で、フォトダイオード PD の面積をできるだけ大きくすることと、画素回路 210 に備わるトランジスタのサイズをできるだけ大きくすることとを実現することができる。これにより、画素信号のS/N比を改善し、撮像装置 1 がよりよい画像データ（画像情報）を出力することができる。

[0121] 複数の画素 541 が1つの画素回路 210 を共有し、これをフォトダイオード PD に重畳して配置する構造を実現する際、複数の画素 541 各々のフローティングディフュージョン FD から1つの画素回路 210 に接続される複数の配線が延在する。画素回路 210 を形成する半導体基板 200 の面積を大きく確保するためには、例えばこれらの延在する複数の配線の間を相互に接続し、1つにまとめる接続配線を形成することができる。VSSコンタクト領域 118 から延在する複数の配線についても同様に、延在する複数の配線の間を相互に接続し、1つにまとめる接続配線を形成することができる。

[0122] 例えば、複数の画素 541 各々のフローティングディフュージョン FD から延在する複数の配線の間を相互に接続する接続配線を、画素回路 210 を形成する半導体基板 200 において形成すると、画素回路 210 に含まれるトランジスタを形成する面積が小さくなってしまうことが考えられる。同様に、複数の画素 541 各々のVSSコンタクト領域 118 から延在する複数の配線の間を相互接続して1つにまとめる接続配線を、画素回路 210 を形成する半導体基板 200 に形成すると、これにより画素回路 210 に含まれるトランジスタを形成する面積が小さくなってしまうことが考えられる。

[0123] これらの課題を解決するために、例えば本実施の形態の撮像装置 1 は、複数の画素 541 が1つの画素回路 210 を共有し、かつ、共有した画素回路 210 をフォトダイオード PD に重畳して配置する構造であって、前記複数の画素 541 各々のフローティングディフュージョン FD の間を相互に接続して1つにまとめる接続配線と、前記複数の画素 541 のそれぞれに備わるVSSコンタ

クト領域 118 の間を相互に接続して1つにまとめる接続配線と、を第1基板 100 に設けた構造を備えることができる。

[0124] ここで、前記複数の画素 541 各々のフローティングディフュージョン FD の間を相互に接続して1つにまとめる接続配線と、前記複数の画素 541 各々のVSSコンタクト領域 118 の間を相互に接続して1つにまとめる接続配線とを、第1基板 100 に設けるための製造方法として、先に述べた第2の製造方法を用いると、例えば、第1基板 100 及び第2基板 200 各々の構成に応じて適切なプロセスを用いて製造することができ、高品質、高性能な撮像装置を製造することができる。また、容易なプロセスで第1基板 100 及び第2基板 200 の接続配線を形成することができる。具体的には、上記第2の製造方法を用いる場合、第1基板 100 と第2基板 200 の貼り合せ境界面となる第1基板 100 の表面と第2基板 200 の表面とに、フローティングディフュージョン FD に接続する電極とVSSコンタクト領域 118 に接続する電極とをそれぞれ設ける。さらに、第1基板 100 と第2基板 200 を貼り合せた際にこれら2つの基板表面に設けた電極間で位置ずれが発生してもこれら2つの基板表面に形成した電極同士が接触するように、これら2つの基板表面に形成する電極を大きくすることが好ましい。この場合、撮像装置 1 に備わる各画素の限られた面積の中に上記電極を配置することが難しくなってしまうことが考えられる。

[0125] 第1基板 100 と第2基板 200 の貼り合せ境界面に大きな電極が必要となる課題を解決するために、例えば本実施の形態の撮像装置 1 は、複数の画素 541 が1つの画素回路 210 を共有し、かつ、共有した画素回路 210 をフォトダイオード PD に重畳して配置する製造方法として、先に述べた第1の製造方法を用いることができる。これにより、第1基板 100 及び第2基板 200 各々に形成される素子同士の位置合わせが容易になり、高品質、高性能な撮像装置を製造することができる。さらに、この製造方法を用いることによって生じる固有の構造を備えることができる。すなわち、第1基板 100 の半導体層 100S と配線層 100T と第2基板 200 の半導体層 200S と配線層 200T をこの順で積層した構造、言い換えれば、第1基板 100 と第2基板 200 をフェイス

トウーバックで積層した構造を備え、かつ、第2基板 200 の半導体層 200S の表面側から、半導体層 200S と第1基板 100 の配線層 100T を貫通して、第1基板 100 の半導体層 100S の表面へと至る、貫通電極 120E 、 121E を備える。

[0126] 前記複数の画素 541 各々のフローティングディフュージョン FD の間を相互に接続して1つにまとめる接続配線と、前記複数の画素 541 各々のVSSコンタクト領域 118 の間を相互に接続して1つにまとめる接続配線と、を第1基板 100 に設けた構造において、この構造と第2の基板200とを前記第1の製造方法を用いて積層し第2の基板200に画素回路 210 を形成すると、画素回路 210 に備わる能動素子を形成する際に必要となる加熱処理の影響が、第1基板 100 に形成した上記接続配線に及んでしまう可能性がある。

[0127] そこで、上記接続配線に対して、上記能動素子を形成する際の加熱処理の影響が及んでしまう課題を解決するために、本実施の形態の撮像装置 1 は、前記複数の画素 541 各々のフローティングディフュージョン FD 同士を相互に接続して1つにまとめる接続配線と、前記複数の画素 541 各々のVSSコンタクト領域 118 の間を相互に接続して1つにまとめる接続配線と、に耐熱性の高い導電材料を用いることが望ましい。具体的には、耐熱性の高い導電材料は、第2基板 200 の配線層 200T に含まれる配線材の少なくとも一部よりも、融点の高い材料を用いることができる。

[0128] このように、例えば本実施の形態の撮像装置 1 は、(1) 第1基板 100 と第2基板 200 をフェイストウーバックで積層した構造（具体的には、第1基板 100 の半導体層 100S と配線層 100T と第2基板 200 の半導体層 200S と配線層 200T をこの順で積層する構造）と、(2) 第2基板 200 の半導体層 200S の表面側から、半導体層 200S と第1基板 100 の配線層 100T を貫通して、第1基板 100 の半導体層 100S の表面へと至る、貫通電極 120E 、 121E を設けた構造と、(3) 複数の画素 541 のそれぞれに備わるフローティングディフュージョン FD の間を相互に接続して1つにまとめる接続配線と、複数の画素 541 のそれぞれに備わるVSSコンタクト領域 118 の間を相互に接続し

て1つにまとめる接続配線と、を耐熱性の高い導電材料で形成した構造と、を備えることで、第1基板 100 と第2基板 200 との界面に大きな電極を備えることなく、第1基板 100 に、複数の画素 541 のそれぞれに備わるフローティングディフュージョン FD の間を相互に接続して1つにまとめる接続配線と、複数の画素 541 のそれぞれに備わるVSSコンタクト領域 118 の間を相互に接続して1つにまとめる接続配線と、を設けることを可能としている。

[0129] [撮像装置 1 の動作]

次に、図13及び図14を用いて撮像装置 1 の動作について説明する。図13及び図14は、図3に各信号の経路を表す矢印を追記したものである。図13は、外部から撮像装置 1 に入力される入力信号と、電源電位及び基準電位の経路を矢印で表したものである。図14は、撮像装置 1 から外部に出力される画素信号の信号経路を矢印で表している。例えば、入力部 510A を介して撮像装置 1 に入力された入力信号（例えば、画素クロック及び同期信号）は、第3基板 300 の行駆動部 520 へ伝送され、行駆動部 520 で行駆動信号が作り出される。この行駆動信号は、コンタクト部 301 、 201 を介して第2基板 200 に送られる。更に、この行駆動信号は、配線層 200T 内の行駆動信号線 542 を介して、画素アレイ部 540 の画素共有ユニット 539 各々に到達する。第2基板 200 の画素共有ユニット 539 に到達した行駆動信号のうち、転送ゲート TG 以外の駆動信号は画素回路 210 に入力されて、画素回路 210 に含まれる各トランジスタが駆動される。転送ゲート TG の駆動信号は貫通電極 TGV を介して第1基板 100 の転送ゲート TG1 、 TG2 、 TG3 、 TG4 に入力され、画素 541A 、 541B 、 541C 、 541D が駆動される（図13）。また、撮像装置 1 の外部から、第3基板 300 の入力部 510A（入力端子 511）に供給された電源電位及び基準電位は、コンタクト部 301 、 201を介して第2基板 200 に送られ、配線層 200T 内の配線を介して、画素共有ユニット 539 各々の画素回路 210 に供給される。基準電位は、さらに貫通電極 121E を介して、第1基板 100 の画素 541A 、 541B 、 541C 、 541D へも供給される。一方、第1基板 100 の画素 541A 、 541B 、 541C 、 541D で光電変換された画素

信号は、貫通電極 120E を介して画素共有ユニット 539 毎に第2基板 200 の画素回路 210 に送られる。この画素信号に基づく画素信号は、画素回路 210 から垂直信号線 543 及びコンタクト部 202 、 302 を介して第3基板 300 に送られる。この画素信号は、第3基板 300 の列信号処理部 550 及び画像信号処理部 560 で処理された後、出力部 510B を介して外部に出力される。

[0130] [効果]

本実施の形態では、画素 541A 、 541B 、 541C 、 541D (画素共有ユニット 539) と画素回路 210 とが互いに異なる基板 (第1基板 100 及び第2基板 200) に設けられている。これにより、画素 541A 、 541B 、 541C 、 541D 及び画素回路 210 を同一基板に形成した場合と比べて、画素 541A 、 541B 、 541C 、 541D 及び画素回路 210 の面積を拡大することができる。その結果、光電変換により得られる画素信号の量を増大させ、かつ、画素回路 210 のトランジスタノイズを低減することが可能となる。これらにより、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 は、よりよい画素データ (画像情報) を出力することが可能となる。また、撮像装置 1 の微細化 (言い換えれば、画素サイズの縮小及び撮像装置 1 の小型化) が可能となる。撮像装置 1 は、画素サイズの縮小により、単位面積当たりの画素数を増加させることができ、高画質の画像を出力することができる。

[0131] また、撮像装置 1 では、第1基板 100 及び第2基板 200 が、絶縁領域 212 に設けられた貫通電極 120E 、 121E によって互いに電氣的に接続されている。例えば、第1基板 100 と第2基板 200 とをパッド電極同士の接合により接続する方法や、半導体層を貫通する貫通配線 (例えばTSV (Thorough Si Via)) により接続する方法も考え得る。このような方法に比べて、絶縁領域 212 に貫通電極 120E 、 121E を設けることにより、第1基板 100 及び第2基板 200 の接続に要する面積を小さくすることができる。これにより、画素サイズを縮小し、撮像装置 1 をより小型化することができる。また、1画素あたりの面積の更なる微細化により、解像度をより高くすることができる。チップサイズの小型化が不要なときには、画素 541A 、 541B 、 541C 、 541D

及び画素回路 210 の形成領域を拡大することができる。その結果、光電変換により得られる画素信号の量を増大させ、かつ、画素回路 210 に備わるトランジスタのノイズを低減することが可能となる。これにより、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

[0132] また、撮像装置 1 では、画素回路 210 と列信号処理部 550 及び画像信号処理部 560 とが互いに異なる基板（第2基板 200 及び第3基板 300）に設けられている。これにより、画素回路 210 と列信号処理部 550 及び画像信号処理部 560 とを同一基板に形成した場合と比べて、画素回路 210 の面積と、列信号処理部 550 及び画像信号処理部 560 の面積とを拡大することができる。これにより、列信号処理部 550 で生じるノイズを低減したり、画像信号処理部 560 により高度な画像処理回路を搭載することが可能となる。よって、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

[0133] また、撮像装置 1 では、画素アレイ部 540 が、第1基板 100 及び第2基板 200 に設けられ、かつ、列信号処理部 550 及び画像信号処理部 560 が第3基板 300 に設けられている。また、第2基板 200 と第3基板 300 とを接続するコンタクト部 201 、 202 、 301 、 302 は、画素アレイ部 540 の上方に形成されている。このため、コンタクト部 201 、 202 、 301 、 302 は、画素アレイに備わる各種配線からレイアウト上の干渉を受けずに自由にレイアウトにすることが可能となる。これにより、第2基板 200 と第3基板 300 との電気的な接続に、コンタクト部 201 、 202 、 301 、 302 を用いることが可能となる。コンタクト部 201 、 202 、 301 、 302 を用いることにより、例えば、列信号処理部 550 及び画像信号処理部 560 はレイアウトの自由度が高くなる。これにより、列信号処理部 550 で生じるノイズを低減したり、画像信号処理部 560 により高度な画像処理回路を搭載することが可能となる。したがって、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

[0134] また、撮像装置 1 では、画素分離部 117 が半導体層 100S を貫通している。これにより、1画素あたりの面積の微細化によって隣り合う画素（画素 541A、541B、541C、541D）の距離が近づいた場合であっても、画素 541A、541B、541C、541D の間での混色を抑制できる。これにより、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

[0135] また、撮像装置 1 では、画素共有ユニット 539 毎に画素回路 210 が設けられている。これにより、画素 541A、541B、541C、541D 各々に画素回路 210 を設けた場合に比べて、画素回路 210 を構成するトランジスタ（増幅トランジスタ AMP、リセットトランジスタ RST、選択トランジスタ SEL、FD変換ゲイン切替トランジスタ FDG）の形成領域を大きくすることが可能となる。例えば、増幅トランジスタ AMP の形成領域を大きくすることにより、ノイズを抑えることが可能となる。これにより、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

[0136] 更に、撮像装置 1 では、4つの画素（画素 541A、541B、541C、541D）のフローティングディフュージョン FD（フローティングディフュージョン FD1、FD2、FD3、FD4）を電氣的に接続するパッド部 120 が、第1基板 100 に設けられている。これにより、このようなパッド部 120 を第2基板 200 に設ける場合に比べて、第1基板 100 と第2基板 200 とを接続する貫通電極（貫通電極 120E）の数を減らすことができる。したがって、絶縁領域 212 を小さくし、画素回路 210 を構成するトランジスタの形成領域（半導体層 200S）を十分な大きさを確保することができる。これにより、画素回路 210 に備わるトランジスタのノイズを低減することが可能となり、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

[0137] 以下、上記実施の形態に係る撮像装置 1 の変形例について説明する。以下の変形例では、上記実施の形態と共通の構成に同一の符号を付して説明する

。

[0138] < 2. 変形例1 >

図15～図19は、上記実施の形態に係る撮像装置 1 の平面構成の一変形例を表したものである。図15は、第2基板 200 の半導体層 200S の表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図8に対応する。図16は、第1配線層 W1 と、第1配線層 W1 に接続された半導体層 200S 及び第1基板 100 の各部の構成を模式的に表しており、上記実施の形態で説明した図9に対応する。図17は、第1配線層 W1 及び第2配線層 W2 の平面構成の一例を表しており、上記実施の形態で説明した図10に対応する。図18は、第2配線層 W2 及び第3配線層 W3 の平面構成の一例を表しており、上記実施の形態で説明した図11に対応する。図19は、第3配線層 W3 及び第4配線層 W4 の平面構成の一例を表しており、上記実施の形態で説明した図12に対応する。

[0139] 本変形例では、図16に示したように、第2基板 200 のH方向に並ぶ2つの画素共有ユニット 539 のうち、一方（例えば紙面右側）の画素共有ユニット 539 の内部レイアウトが、他方（例えば紙面左側）の画素共有ユニット 539 の内部レイアウトをH方向にのみ反転させた構成となっている。また、一方の画素共有ユニット 539 の外形線と他方の画素共有ユニット 539 の外形線との間のV方向のずれが、上記実施の形態で説明したずれ（図9）よりも大きくなっている。このように、V方向のずれを大きくすることにより、他方の画素共有ユニット 539 の増幅トランジスタ AMP と、これに接続されたパッド部 120（図7に記載のV方向に並ぶ2つの画素共有ユニット 539 のうちの他方（紙面下側）のパッド部 120）との間の距離を小さくすることができる。このようなレイアウトにより、図15～図19に記載の撮像装置 1 の変形例1は、H方向に並ぶ2つの画素共有ユニット 539 の平面レイアウトを互いにV方向に反転させることなく、その面積を、上記実施の形態で説明した第2基板 200 の画素共有ユニット 539 の面積と同じにすることができる。なお、第1基板 100 の画素共有ユニット 539 の平面レイアウトは、上記実施の形態で説明した平面レイアウト（図7A、図7B）と同じである。したがって、本変形例の撮像装置

1 は、上記実施の形態で説明した撮像装置 1 と同様の効果を得ることができる。第2基板 200 の画素共有ユニット 539 の配置は、上記実施の形態及び本変形例で説明した配置に限定されるものではない。

[0140] <3. 変形例2>

図20～図25は、上記実施の形態に係る撮像装置 1 の平面構成の一変形例を表したものである。図20は、第1基板 100 の平面構成を模式的に表しており、上記実施の形態で説明した図7Aに対応する。図21は、第2基板 200 の半導体層 200S の表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図8に対応する。図22は、第1配線層 W1 と、第1配線層 W1 に接続された半導体層 200S 及び第1基板 100 の各部の構成を模式的に表しており、上記実施の形態で説明した図9に対応する。図23は、第1配線層 W1 及び第2配線層 W2 の平面構成の一例を表しており、上記実施の形態で説明した図10に対応する。図24は、第2配線層 W2 及び第3配線層 W3 の平面構成の一例を表しており、上記実施の形態で説明した図11に対応する。図25は、第3配線層 W3 及び第4配線層 W4 の平面構成の一例を表しており、上記実施の形態で説明した図12に対応する。

[0141] 本変形例では、各画素回路 210 の外形が、略正方形の平面形状を有している（図21等）。この点において、本変形例の撮像装置 1 の平面構成は、上記実施の形態で説明した撮像装置 1 の平面構成と異なっている。

[0142] 例えば、第1基板 100 の画素共有ユニット 539 は、上記実施の形態で説明したのと同様に、2行 × 2列の画素領域にわたって形成されており、略正方形の平面形状を有している（図20）。例えば、各々の画素共有ユニット 539 では、一方の画素列の画素 541A 及び画素 541C の転送ゲート TG1、TG3 の水平部分 TGB が、垂直部分 TGA に重畳する位置からH方向において画素共有ユニット 539 の中央部に向かう方向（より具体的には、画素 541A、541C の外縁に向かう方向、かつ画素共有ユニット 539 の中央部に向かう方向）に延在し、他方の画素列の画素 541B 及び画素 541D の転送ゲート TG2、TG4 の水平部分 TGB が、垂直部分 TGA に重畳する位置からH方向において画素共

有ユニット 539 の外側に向かう方向（より具体的には、画素 541 B、541Dの外縁に向かう方向、かつ画素共有ユニット 539 の外側に向かう方向）に延在している。フローティングディフュージョン FD に接続されたパッド部 120 は、画素共有ユニット 539 の中央部（画素共有ユニット 539 のH方向及びV方向の中央部）に設けられ、VSSコンタクト領域 118 に接続されたパッド部 121 は、少なくともH方向において（図20ではH方向及びV方向において）画素共有ユニット 539 の端部に設けられている。

[0143] 別の配置例として、転送ゲート TG1 、 TG2 、 TG3 、 TG4 の水平部分 TG B を垂直部分 TGA に対向する領域のみに設けることも考え得る。このときには、上記実施の形態で説明したのと同様に、半導体層 200S が細かく分断されやすい。したがって、画素回路 210 のトランジスタを大きく形成することが困難となる。一方、転送ゲート TG1 、 TG2 、 TG3 、 TG4 の水平部分 TG B を、上記変形例のように、垂直部分 TGA に重畳する位置からH方向に延在させると、上記実施の形態で説明したのと同様に、半導体層 200S の幅を大きくすることが可能となる。具体的には、転送ゲート TG1 、 TG3 に接続された貫通電極 TGV1 、 TGV3 のH方向の位置を、貫通電極 120E のH方向の位置に近接させて配置し、転送ゲート TG2 、 TG4 に接続された貫通電極 TGV2 、 TGV4 のH方向の位置を、貫通電極 121E のH方向の位置に近接して配置することが可能となる（図22）。これにより、上記実施の形態で説明したのと同様に、V方向に延在する半導体層 200S の幅（H方向の大きさ）を大きくすることができる。よって、画素回路 210 のトランジスタのサイズ、特に増幅トランジスタ AMP のサイズを大きくすることが可能となる。その結果、画素信号のシグナル／ノイズ比を改善して、撮像装置 1 はよりよい画素データ（画像情報）を出力することが可能となる。

[0144] 第2基板 200 の画素共有ユニット 539 は、例えば、第1基板 100 の画素共有ユニット 539 のH方向及びV方向の大きさと略同じであり、例えば、略2行×2列の画素領域に対応する領域にわたって設けられている。例えば、各画素回路 210 では、V方向に延在する1の半導体層 200S に選択トランジスタ SEL

及び増幅トランジスタ AMP がV方向に並んで配置され、FD変換ゲイン切替トランジスタ FDG 及びリセットトランジスタ RST がV方向に延在する1の半導体層 200S に、V方向に並んで配置されている。この選択トランジスタ SEL 及び増幅トランジスタ AMP が設けられた1の半導体層 200S と、FD変換ゲイン切替トランジスタ FDG 及びリセットトランジスタ RST が設けられた1の半導体層 200S とは、絶縁領域 212 を介してH方向に並んでいる。この絶縁領域 212 はV方向に延在している（図21）。

[0145] ここで、第2基板 200 の画素共有ユニット 539 の外形について、図21及び図22を参照して説明する。例えば、図20に示した第1基板 100 の画素共有ユニット 539 は、パッド部 120 のH方向の一方（図22の紙面左側）に設けられた増幅トランジスタ AMP 及び選択トランジスタ SEL と、パッド部 120 のH方向の他方（図22の紙面右側）に設けられたFD変換ゲイン切替トランジスタ FDG 及びリセットトランジスタ RST とに接続されている。この増幅トランジスタ AMP 、選択トランジスタ SEL 、FD変換ゲイン切替トランジスタ FDG 及びリセットトランジスタ RST を含む第2基板 200 の共有ユニット541の外形は、次の4つの外縁により決まる。

[0146] 第1の外縁は、選択トランジスタ SEL 及び増幅トランジスタ AMP を含む半導体層 200S のV方向の一端（図22の紙面上側の端）の外縁である。この第1の外縁は、当該画素共有ユニット 539 に含まれる増幅トランジスタ AMP と、この画素共有ユニット 539 のV方向の一方（図22の紙面上側）に隣り合う画素共有ユニット 539 に含まれる選択トランジスタ SEL との間に設けられている。より具体的には、第1の外縁は、これら増幅トランジスタ AMP と選択トランジスタ SEL との間の素子分離領域 213 のV方向の中央部に設けられている。第2の外縁は、選択トランジスタ SEL 及び増幅トランジスタ AMP を含む半導体層 200S のV方向の他端（図22の紙面下側の端）の外縁である。この第2の外縁は、当該画素共有ユニット 539 に含まれる選択トランジスタ SEL と、この画素共有ユニット 539 のV方向の他方（図22の紙面下側）に隣り合う画素共有ユニット 539 に含まれる増幅トランジスタ AMP との間に設け

られている。より具体的には、第2の外縁は、これら選択トランジスタ SEL と増幅トランジスタ AMP との間の素子分離領域 213 のV方向の中央部に設けられている。第3の外縁は、リセットトランジスタ RST 及びFD変換ゲイン切替トランジスタ FDG を含む半導体層 200S のV方向の他端（図22の紙面下側の端）の外縁である。この第3の外縁は、当該画素共有ユニット 539 に含まれるFD変換ゲイン切替トランジスタ FDG と、この画素共有ユニット 539 のV方向の他方（図22の紙面下側）に隣り合う画素共有ユニット 539 に含まれるリセットトランジスタ RST との間に設けられている。より具体的には、第3の外縁は、これらFD変換ゲイン切替トランジスタ FDG とリセットトランジスタ RST との間の素子分離領域 213 のV方向の中央部に設けられている。第4の外縁は、リセットトランジスタ RST 及びFD変換ゲイン切替トランジスタ FDG を含む半導体層 200S のV方向の一端（図22の紙面上側の端）の外縁である。この第4の外縁は、当該画素共有ユニット 539 に含まれるリセットトランジスタ RST と、この画素共有ユニット 539 のV方向の一方（図22の紙面上側）に隣り合う画素共有ユニット 539 に含まれるFD変換ゲイン切替トランジスタ FDG（不図示）との間に設けられている。より具体的には、第4の外縁は、これらリセットトランジスタ RST とFD変換ゲイン切替トランジスタ FDG との間の素子分離領域 213（不図示）のV方向の中央部に設けられている。

[0147] このような第1、第2、第3、第4の外縁を含む第2基板 200 の画素共有ユニット 539 の外形では、第1、第2の外縁に対して、第3、第4の外縁がV方向の一方側にずれて配置されている（言い換えればV方向の一方側にオフセットされている）。このようなレイアウトを用いることにより、増幅トランジスタ AMP のゲート及びFD変換ゲイン切替トランジスタ FDG のソースをともに、パッド部 120 にできるだけ近接して配置することが可能となる。したがって、これらを接続する配線の面積を小さくし、撮像装置 1 の微細化を行いやすくなる。なおVSSコンタクト領域 218 は、選択トランジスタ SEL 及び増幅トランジスタ AMP を含む半導体層 200S と、リセットトランジスタ RST 及びFD変換ゲイン切替トランジスタ FDG を含む半導体層 200S との間に設けられて

いる。例えば、複数の画素回路 210 は、互いに同じ配置を有している。

[0148] このような第2基板 200 を有する撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。第2基板 200 の画素共有ユニット 539 の配置は、上記実施の形態及び本変形例で説明した配置に限定されるものではない。

[0149] <4. 変形例3>

図26～図31は、上記実施の形態に係る撮像装置 1 の平面構成の一変形例を表したものである。図26は、第1基板 100 の平面構成を模式的に表しており、上記実施の形態で説明した図7Bに対応する。図27は、第2基板 200 の半導体層 200S の表面近傍の平面構成を模式的に表しており、上記実施の形態で説明した図8に対応する。図28は、第1配線層 W1 と、第1配線層 W1 に接続された半導体層 200S 及び第1基板 100 の各部の構成を模式的に表しており、上記実施の形態で説明した図9に対応する。図29は、第1配線層 W1 及び第2配線層 W2 の平面構成の一例を表しており、上記実施の形態で説明した図10に対応する。図30は、第2配線層 W2 及び第3配線層 W3 の平面構成の一例を表しており、上記実施の形態で説明した図11に対応する。図31は、第3配線層 W3 及び第4配線層 W4 の平面構成の一例を表しており、上記実施の形態で説明した図12に対応する。

[0150] 本変形例では、第2基板 200 の半導体層 200S が、H方向に延在している（図28）。即ち、上記図21等にした撮像装置 1 の平面構成を90度回転させた構成に略対応している。

[0151] 例えば、第1基板 100 の画素共有ユニット 539 は、上記実施の形態で説明したのと同様に、2行 × 2列の画素領域にわたって形成されており、略正方形の平面形状を有している（図26）。例えば、各々の画素共有ユニット 539 では、一方の画素行の画素 541A 及び画素 541 Bの転送ゲート TG1 、 TG2 が、V方向において画素共有ユニット 539 の中央部に向かって延在し、他方の画素行の画素 541C 及び画素 541D の転送ゲート TG3 、 TG4 が、V方向において画素共有ユニット 539 の外側方向に延在している。フローティングデ

ィフュージョン FD に接続されたパッド部 120 は、画素共有ユニット 539 の中央部に設けられ、VSSコンタクト領域 118 に接続されたパッド部 121 は、少なくともV方向において（図26ではV方向及びH方向において）画素共有ユニット 539 の端部に設けられている。このとき、転送ゲート TG1、TG2 の貫通電極 TGV1、TGV2 のV方向の位置が貫通電極 120E のV方向の位置に近づき、転送ゲート TG3、TG4 の貫通電極 TGV3、TGV4 のV方向の位置が貫通電極 121E のV方向の位置に近づく（図28）。したがって、上記実施の形態で説明したのと同様の理由により、H方向に延在する半導体層 200S の幅（V方向の大きさ）を大きくすることができる。よって、増幅トランジスタ AMP のサイズを大きくし、ノイズを抑えることが可能となる。

[0152] 各々の画素回路 210 では、選択トランジスタ SEL 及び増幅トランジスタ AMP がH方向に並んで配置され、選択トランジスタ SEL と絶縁領域 212 を間にしてV方向に隣り合う位置にリセットトランジスタ RST が配置されている（図27）。FD変換ゲイン切替トランジスタ FDG は、リセットトランジスタ RST とH方向に並んで配置されている。VSSコンタクト領域 218 は、絶縁領域 212 に島状に設けられている。例えば、第3配線層 W3 はH方向に延在し（図30）、第4配線層 W4 はV方向に延在している（図31）。

[0153] このような第2基板 200 を有する撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。第2基板 200 の画素共有ユニット 539 の配置は、上記実施の形態及び本変形例で説明した配置に限定されるものではない。例えば、上記実施の形態及び変形例1で説明した半導体層 200S が、H方向に延在していてもよい。

[0154] <5. 変形例4>

図32は、上記実施の形態に係る撮像装置 1 の断面構成の一変形例を模式的に表したものである。図32は、上記実施の形態で説明した図3に対応する。本変形例では、撮像装置 1 が、コンタクト部 201、202、301、302 に加えて、画素アレイ部 540 の中央部に対向する位置にコンタクト部 203、204、303、304 を有している。この点において、本変形例の撮像装置 1 は

、上記実施の形態で説明した撮像装置 1 と異なっている。

[0155] コンタクト部 203 、 204 は、第2基板 200 に設けられており、第3基板 300 との接合面の露出されている。コンタクト部 303 、 304 は、第3基板 300 に設けられており、第2基板 200 との接合面に露出されている。コンタクト部 203 は、コンタクト部 303 と接しており、コンタクト部 204 は、コンタクト部 304 と接している。即ち、この撮像装置 1 では、第2基板 200 と第3基板 300 とが、コンタクト部 201 、 202 、 301 、 302 に加えてコンタクト部 203 、 204 、 303 、 304 により接続されている。

[0156] 次に、図33及び図34を用いてこの撮像装置 1 の動作について説明する。図33には、外部から撮像装置 1 に入力される入力信号と、電源電位及び基準電位の経路を矢印で表す。図34には、撮像装置 1 から外部に出力される画素信号の信号経路を矢印で表している。例えば、入力部 510A を介して撮像装置 1 に入力された入力信号は、第3基板 300 の行駆動部 520 へ伝送され、行駆動部 520 で行駆動信号が作り出される。この行駆動信号は、コンタクト部 303 、 203 を介して第2基板 200 に送られる。更に、この行駆動信号は、配線層 200T 内の行駆動信号線 542 を介して、画素アレイ部 540 の画素共有ユニット 539 各々に到達する。第2基板 200 の画素共有ユニット 539 に到達した行駆動信号のうち、転送ゲート TG 以外の駆動信号は画素回路 210 に入力されて、画素回路 210 に含まれる各トランジスタが駆動される。転送ゲート TG の駆動信号は貫通電極 TGV を介して第1基板 100 の転送ゲート TG1 、 TG2 、 TG3 、 TG4 に入力され、画素 541A 、 541B 、 541C 、 541D が駆動される。また、撮像装置 1 の外部から、第3基板 300 の入力部 510A (入力端子 511) に供給された電源電位及び基準電位は、コンタクト部 303 、 203を介して第2基板 200 に送られ、配線層 200T 内の配線を介して、画素共有ユニット 539 各々の画素回路 210 に供給される。基準電位は、さらに貫通電極 121E を介して、第1基板 100 の画素 541A 、 541B 、 541C 、 541D へも供給される。一方、第1基板 100 の画素 541A 、 541B 、 541C 、 541D で光電変換された画素信号は、画素共有ユニット 539 毎に第2基板 200

の画素回路 210 に送られる。この画素信号に基づく画素信号は、画素回路 210 から垂直信号線 543 及びコンタクト部204、304を介して第3基板 300 に送られる。この画素信号は、第3基板 300 の列信号処理部 550 及び画像信号処理部 560 で処理された後、出力部 510B を介して外部に出力される。

[0157] このようなコンタクト部 203、204、303、304を有する撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。コンタクト部 303、304を介した配線の接続先である、第3基板 300 の回路等の設計に応じてコンタクト部の位置及び数等を変えることができる。

[0158] <6. 変形例5>

図35は、上記実施の形態に係る撮像装置 1 の断面構成の一変形例を表したものである。図35は、上記実施の形態で説明した図6に対応する。本変形例では、第1基板 100 にプレーナー構造を有する転送トランジスタ TR が設けられている。この点において、本変形例の撮像装置 1 は、上記実施の形態で説明した撮像装置 1 と異なっている。

[0159] この転送トランジスタ TR は、水平部分 TGB のみにより転送ゲート TG が構成されている。換言すれば、転送ゲート TG は、垂直部分 TGA を有しておらず、半導体層 100S に対向して設けられている。

[0160] このようなプレーナー構造の転送トランジスタ TR を有する撮像装置 1 も、上記実施の形態で説明したのと同様の効果が得られる。更に、第1基板 100 にプレーナー型の転送ゲート TG を設けることにより、縦型の転送ゲート TG を第1基板 100 に設ける場合に比べて、より半導体層 100S の表面近くまでフォトダイオード PD を形成し、これにより、飽和信号量 (QS) を増加させることも考え得る。また、第1基板 100 にプレーナー型の転送ゲート TG を形成する方法は、第1基板 100 に縦型の転送ゲート TG を形成する方法に比べて、製造工程数が少なく、製造工程に起因したフォトダイオード PD への悪影響が生じにくい、とも考え得る。

[0161] <7. 変形例6>

図36は、上記実施の形態に係る撮像装置 1 の画素回路の一変形例を表した

ものである。図36は、上記実施の形態で説明した図4に対応する。本変形例では、1つの画素（画素 541A）毎に画素回路 210 が設けられている。即ち、画素回路 210 は、複数の画素で共有されていない。この点において、本変形例の撮像装置 1 は、上記実施の形態で説明した撮像装置 1 と異なっている。

[0162] 本変形例の撮像装置 1 は、画素 541A と画素回路 210 とを互いに異なる基板（第1基板 100 及び第2基板 200）に設ける点では、上記実施の形態で説明した撮像装置 1 と同じである。このため、本変形例に係る撮像装置 1 も、上記実施の形態で説明したのと同様の効果を得ることができる。

[0163] <8. 変形例7>

図37は、上記実施の形態で説明した画素分離部 117 の平面構成の一変形例を表したものである。画素 541A 、 541B 、 541C 、 541D 各々を囲む画素分離部 117 に、隙間が設けられていてもよい。即ち、画素 541A 、 541B 、 541C 、 541D の全周が画素分離部 117 に囲まれていなくてもよい。例えば、画素分離部 117 の隙間は、パッド部 120 、 121 近傍に設けられている（図7B参照）。

[0164] 上記実施の形態では、画素分離部 117 が半導体層 100S を貫通するFTI構造を有する例（図6参照）を説明したが、画素分離部 117 はFTI構造以外の構成を有していてもよい。例えば、画素分離部 117 は、半導体層 100S を完全に貫通するように設けられていなくてもよく、いわゆる、DTI（Deep Trench Isolation）構造を有していてもよい。

[0165] <9. 変形例8>

前述のそれぞれの実施形態及び変形例に示すように、本開示においては少なくとも第1基板 100 と第2基板 200 との間において画素 541 と画素回路 210 において浮遊拡散層（フローティングディフュージョン FD）の電位を金属（限定されない一例として、銅）による接続で共有する。

[0166] フローティングディフュージョン FD には、受光素子であるフォトダイオード PD が生成した信号が転送トランジスタ TR により転送される。本変形例では、この信号の基準となる接地電圧をそれぞれの基板において定義する

形態について説明する。

- [0167] 図38は、上記実施形態に係る撮像装置 1 の画素回路の一変形例を表したものである。図38は、上記実施形態で説明した図4に対応する。図38は、図4の画素 541 のうち1画素に対して増幅トランジスタを備える例、すなわち、フローティングディフュージョン FD を画素ごとに有する例である。フォトダイオード PD は、受光した光の強度に基づいた信号を出力する。
- [0168] 第1基板 100 に形成されるフォトダイオード PD は、例えば、アノードの電位が第1接地電位 GND1 に設定される。同様に第1基板 100 に形成される転送トランジスタ TR は、ボディの電位が第1接地電位 GND1 に設定される。
- [0169] 第2基板 200 に形成される素子は、その接地電位が第2接地電位 GND2 に設定される。例えば、第2基板 200 に形成される増幅トランジスタ AMP のボディの電位は、第2接地電位 GND2 である。この第2接地電位 GND2 は、第1接地電位 GND1 とは異なる電位である。
- [0170] この例では、第1基板 100 に配置されるフォトダイオード PD が受光した光の強度に基づく信号を、第2基板 200 に配置される増幅トランジスタ AMP で増幅され、垂直信号線 543 に伝達される。これらの基準の電位となる接地電位が、異なる電位に設定される。
- [0171] この図38に示すように、第1基板 100 において、フローティングディフュージョン FD に対して第1接地電位 GND1 を基準とする電位を形成するキャパシタ C1 を備えてもよい。
- [0172] 同様に、第2基板 200 において、フローティングディフュージョン FD に対して第2接地電位 GND2 を基準とする電位を形成するキャパシタ C2 を備えてもよい。
- [0173] このように、それぞれの基板において適切なフローティングディフュージョン FD の電位を形成する容量を配置することができる。
- [0174] フローティングディフュージョン FD に適切な電位を確保できるのであれば図4、図36等のように、キャパシタ C1 、 C2 を備えない構成であってもよい。

- [0175] 図39は、図36において同様の接地電位を設定したものである。このようなトランジスタの配置であっても同様に第1基板 100 と第2基板 200 におけるそれぞれの接地電位を異なる電位に設定することが可能である。
- [0176] 図36及び図39に示すような1つの画素 541 に対して1つのフローティングディフュージョン FD を備える場合には、撮像装置 1 は、画素ごとにアナログーデジタル変換回路（ADC）を配置する形態であってもよい。より具体的には、フォトダイオード PD ごとに ADC を備える形態とすることができる。
- [0177] 図40は、この変形例に係る等価回路のさらに別の例を示す図である。この図40では、図4の場合と同様に、画素共有ユニット 539 が繰り返し単位となり、これが、行方向と列方向とからなるアレイ状に繰り返し配置されている。このような画素 541 の配置においても同様に、第1基板 100 における接地電位である第1接地電位 GND1 と、第2基板 200 における接地電位である第2接地電位 GND2 とを異なる値とすることが可能である。
- [0178] すなわち、画素共有ユニット 539 に配置されるそれぞれの画素 541 において、受光素子であるフォトダイオード PD と、転送トランジスタ TR とが第1接地電位 GND1 に制御されてもよい。
- [0179] もちろん、図4のみに限定されるものではなく、図5等の他の配置においても同様に第1基板 100 と第2基板 200 との接地電位を異なる電位に設定することが可能である。
- [0180] 第1基板 100 及び第2基板 200 におけるトランジスタ、ゲート、コンタクト等の平面レイアウトは、限定されない例として、図7A、7B、及び図8に準ずるものであってもよいし、図9以降に示すような別の配置であってもよい。いずれにおいても、接地電位に接続される電極は、第1基板 100 と第2基板 200 とでそれぞれ第1接地電位 GND1 と第2接地電位 GND2 に接続される。
- [0181] 第1基板 100 及び第2基板 200 におけるトランジスタ、ゲート、コンタクト等の断面レイアウトも同様に、第1接地電位 GND1 と第2接地電位 GND2 とが異なる電位として配置できる範囲において、前述のそれぞれの形態と同様、又は、準じたレイアウトとすることができる。

[0182] 次に、第1接地電位 GND1 と第2接地電位 GND2 との関係について説明する。

[0183] 図41は、第1基板 100 及び第2基板 200 における配線等の電位及びトランジスタのゲートの電位を示すポテンシャルダイアグラムである。図の上部は、配線等とそれぞれのトランジスタのゲートの構造を示す。

[0184] 第1基板 100 及び第2基板 200 のフローティングディフュージョン FD は、コンタクトを介して増幅トランジスタ AMP のゲートと同じ電位となる。このフローティングディフュージョン FD を接続するコンタクトは、例えば、金属であってもよい。金属は、限定されない一例として銅であってもよい。

[0185] これに対して図41の下部には、それぞれのゲート、配線等における電位の範囲を示す。下部に示すポテンシャルダイアグラムは、図面向かって上に行くほど負の大きな値を示し、下に行くほど正の大きな値を示すグラフである。

[0186] ポテンシャルダイアグラムに示されるように、第2接地電位 GND2 は、例えば、第1接地電位 GND1 よりも正側の電位である。第1接地電位 GND1 は、負バイアスの電位であってもよい。第2接地電位 GND2 は、0[V]であってもよい。

[0187] リセットトランジスタ RST は、ゲートに印加される電圧により、第1基板 100 のフローティングディフュージョン FD と接続される第2基板 200 のフローティングディフュージョン FD の電位を電源線 VDD に接続される電位にリセットする。このゲートの電位は、図に示すように、第2接地電位 GND2 よりも高い電位の範囲とすることができる。

[0188] 転送トランジスタ TR のゲートに印加される電圧は、例えば、負バイアスである第1接地電位 GND1 を基準とする。転送トランジスタ TR は、ゲートに第1接地電位 GND1 よりも負側に大きい電圧が印加されている状態ではオフし、転送を実行するタイミングにおいて、しきい値電圧を超える電圧が印加される。

[0189] この動作により、転送トランジスタ TR は、第1基板 100 のフローティン

グディフュージョン FD よりも高い状態であるフォトダイオード PD のカソード側の信号をリセットされたフローティンググディフュージョン FD へと転送する。

[0190] この信号は、コンタクトを介して第2基板 200 のフローティンググディフュージョン FD へと転送され、増幅トランジスタ AMP のゲートに印加される。

[0191] ソースフォロア回路を形成する増幅トランジスタ AMP は、ゲートに印加された電位の高さに基づいた電圧を選択トランジスタ SEL のドレインへと出力する。ここで、選択トランジスタ SEL のゲートに印加される電圧を、第2接地電位 GND2 を基準とする電圧とすることができる。

[0192] もちろん、図38、図39に示すように、増幅トランジスタ AMP のボディも第2接地電位 GND2 とすることができる。

[0193] 適切なタイミングで選択トランジスタ SEL をオンすることで、選択トランジスタ SEL を介して垂直信号線 543 には適切なタイミングで画素が受光した光の強度に基づいた信号が伝送される。

[0194] このようにフォトダイオード PD を備える第1基板 100 と、増幅トランジスタ AMP を備える第2基板 200 と、の接地電位を異なる電位とすることで、第1基板 100 における信号のHigh/Lowを決定する電圧の範囲と、第2基板 200 における信号のHigh/Lowを決定する電圧の範囲と、を別々の電位に設定することができる。

[0195] 例えば、図41に示すように、光を受光するフォトダイオード PD が存在しない第2基板 200 においてトランジスタのゲートに印加される電圧の範囲を、フォトダイオード PD が備えられる第1基板 100 においてトランジスタのゲートに印加される電圧の範囲よりも有意に狭くすることができる。

[0196] この結果、限定されない一例として、第1基板 100 では、5[V]で動作するトランジスタを用いることができる一方で、第2基板 200 においては、3[V]で動作するトランジスタを用いるといった回路設計をすることが可能となる。

[0197] 例えば、第1接地電位 GND1 を低くすることでフォトダイオード PD の飽和

信号の上下幅（電位差）を増大しつつ、第2基板 200 に形成されるトランジスタに印加される電位差を低くすることができる。

[0198] 以上のように接地電位を設定することで、例えば、第2基板 200 に備えられるトランジスタの耐圧性能を第1基板 100 に備えられるトランジスタの耐圧性能よりも低くすることが可能である。

[0199] これにより、第2基板 200 に備えられるトランジスタのゲート酸化膜の厚さを、第1基板 100 に備えられるトランジスタのゲート酸化膜の厚さよりも薄くすることが可能となる。同様に、第2基板 200 における配線の幅、及び、配線同士の距離を、第1基板 100 における配線の幅、及び、配線同士の距離よりも小さくする（短くする）ことが可能となる。

[0200] また、基板ごとに接地電位を変更することで、第1基板 100 においてフォトダイオード PD の飽和信号（電子）量（QS）を増大させるとともに、第2基板 200 において低消費電力、ノイズ削減といった効果を奏することもできる。

[0201] 上述したように、第2基板 200 においてゲート酸化膜の厚さ、配線の幅及び距離を小さくすることができるので、第2基板 200 におけるレイアウト効率を、フォトダイオード PD の飽和信号量に拘わらずより高めることも可能となる。

[0202] <10. 変形例9>

上記で説明した基板ごとに接地電位を変える変形例における断面構成について、いくつかの例を挙げながら説明する。なお、断面におけるそれぞれの構成要素は、例えば、図6等と同様であるため、詳しい説明は省略する。

[0203] 図42は、撮像装置 1 の受光素子～画素回路及びロジック回路を形成する半導体基板の構成及び断面の一例を模式的に示す図である。

[0204] 左図に示すのは、半導体基板の構成例である。限定されない一形態として、撮像装置 1 は、第1基板 100 と、第2基板 200 と、第3基板 300 と、を備えていてもよい。

[0205] 第1基板 100 は、例えば、受光素子であるフォトダイオード PD を少なく

とも備える。

[0206] 第2基板 200 は、例えば、フォトダイオード PD から出力される信号を制御する画素回路を備え、画素回路には種々の画素トランジスタが備えられる。第1基板 100 のフローティングディフュージョン FD と、第2基板 200 のフローティングディフュージョン FD とは、コンタクト領域を介して接続され、同電位に制御されてもよい。この第1基板 100 と、第2基板 200 との接地電位を上述するように異なる電位とすることができる。

[0207] 第3基板 300 は、例えば、画素回路から出力された信号に種々の信号処理、画像処理を実現するロジック回路が備えられる。第3基板 300 は、第2基板 200 と同じ接地電位で制御されていてもよい。この第3基板 300 を前述の第1基板 100 及び第2基板 200 と併せて画素ユニットを形成する形態とすることもできる。

[0208] 右図には、限定されない一例として、この3層構造の場合の回路の配置が示される。

[0209] 図43は、撮像装置 1 の受光素子～画素回路及びロジック回路を形成する半導体基板の構成及び断面の一例を模式的に示す図である。

[0210] 図に示すように、撮像装置 1 は、限定されない一形態として、第1基板 100 と、第2基板 200 と、第3基板 300 と、を備えていてもよい。

[0211] 第1基板 100 は、例えば、受光素子であるフォトダイオード PD を少なくとも備える。

[0212] 第2基板 200 は、例えば、フォトダイオード PD から出力される信号を制御する画素回路を備え、画素回路には種々の画素トランジスタが備えられる。第1基板 100 のフローティングディフュージョン FD と、第2基板 200 のフローティングディフュージョン FD とは、コンタクト領域を介して接続され、同電位に制御されてもよい。この第1基板 100 と、第2基板 200 との接地電位を上述するように異なる電位とすることができる。

[0213] 第3基板 300 は、例えば、画素回路の一部と、画素回路から出力された信号に種々の信号処理、画像処理を実現するロジック回路が備えられる。第3基

板 300 は、第2基板 200 と同じ接地電位で制御されていてもよい。この第3基板 300 を前述の第1基板 100 及び第2基板 200 と併せて画素ユニットを形成する形態とすることもできる。このように、画素回路の一部を第3基板 300 に備える形態であってもよい。

[0214] 図43の場合においても、断面図は、図42と同等の構成とすることができる。

[0215] 図44は、撮像装置 1 の受光素子～画素回路及びロジック回路を形成する半導体基板の構成及び断面の一例を模式的に示す図である。

[0216] 左図に示すのは、半導体基板の構成例である。限定されない一形態として、撮像装置 1 は、第1基板 100 と、第2基板 200 と、を備えていてもよい。

[0217] 第1基板 100 は、例えば、受光素子であるフォトダイオード PD を少なくとも備える。

[0218] 第2基板 200 は、例えば、フォトダイオード PD から出力される信号を制御する画素回路と、画素回路から出力された信号に種々の信号処理、画像処理を実現するロジック回路と、を備える。画素回路及びロジック回路は、それぞれに複数のトランジスタを備えることができる。

[0219] 第1基板 100 のフローティングディフュージョン FD と、第2基板 200 のフローティング FD とは、コンタクト領域を介して接続され、同電位に制御されてもよい。この第1基板 100 と、第2基板 200 との接地電位を上述するように異なる電位とすることができる。

[0220] このように、第2基板 200 においてロジック回路を備えることができる。

[0221] 本変形例のように、フォトダイオード PD 、増幅トランジスタ AMP 等の接地電位を任意で同一の電位又は相違する電位にすることができる。このように回路に用いるトランジスタごとに任意の接地電位とすることにより、フォトダイオード PD の飽和信号量を大きくするとともに、レイアウトの自由度をさらに向上させることができる。

[0222] <11. 変形例10>

次に、基板により接地電圧を異なった設定とする場合の等価回路の構成に

ついていくつかの例を挙げる。以下の例においては、画素ごとにフローティングディフュージョン FD が設けられる例について説明するが、図40に示される複数の画素でフローティングディフュージョン FD を共有する場合についても同様の構成とすることが可能である。

[0223] また、以下の構成例については、それぞれが単独で実装されるものであってもよいし、構成が矛盾しない範囲において組み合わせて実装されるものであってもよい。

[0224] 図45は、一実施形態に係る等価回路の構成の一例を示す図である。

[0225] 第2基板 200 において、増幅トランジスタ AMP のウェルの電位を第2接地電位 GND2 にするのではなく、ボディ領域を介して増幅トランジスタ AMP のソースの電位と等しくしてもよい。

[0226] この接続によれば、増幅トランジスタ AMP のソースとウェルの電位が同等の電位となり、ソースフォロア回路を形成する増幅ゲートの変調度を 1 とすることで、フローティングディフュージョン FD の電位の変換効率を高くすることができる。

[0227] 図46は、一実施形態に係る等価回路の構成の一例を示す図である。

[0228] この図46に示すように、リセットトランジスタ RST は、第2基板 200 ではなく、第1基板 100 に備えられていてもよい。リセットトランジスタ RST を転送トランジスタ TR と同じ基板に形成することで、リセットトランジスタ RST を配置する分のフローティングディフュージョン FD を第2基板 200 からなくすることができる。

[0229] この結果、第2基板 200 から削除されたフローティングディフュージョン FD の削減分だけ、フローティングディフュージョン FD の容量を下げる事が可能となり、フローティングディフュージョン FD に蓄積されている信号の変換効率を高くすることができる。

[0230] 図47は、一実施形態に係る等価回路の構成の一例を示す図である。

[0231] この図47に示すように、リセットトランジスタ RST 及び増幅トランジスタ AMP を第1基板 100 に備えてもよい。図46の場合と比較して、フローティン

グディフュージョン FD と増幅トランジスタ AMP との距離をより短くすることができるので、フローティングディフュージョン FD に蓄積されている信号の変換効率をさらに高くすることができる。

[0232] これらの2図を用いて説明したように、第1基板 100 に配置されるフォトダイード PD と、転送ダイオード TR と、フローティングディフュージョン FD 以外の画素ユニットの構成要素は、第1基板 100 及び第2基板 200 のいずれの基板に配置されてもよい。もちろん、画素ユニットはこれらの図に示した以外のトランジスタ等の回路素子を備えることが可能である。

[0233] 図48は、一実施形態に係る等価回路の構成の一例を示す図である。

[0234] この図48に示すように、フローティングディフュージョン領域を複数設けて変換効率を切り替えるトランジスタを有する構成とすることもできる。例えば、画素回路として、フローティングディフュージョン FD1 、 FD2 、 FD3 を有する構成とし、フローティングディフュージョン FD1 、 FD2 の間にFD変換ゲイン切替トランジスタ FDG を配置し、フローティングディフュージョン FD2 、 FD3 の間にFD変換ゲイン切替トランジスタ FCG を配置してもよい。

[0235] フローティングディフュージョン FD1 は、第1基板 100 においてキャパシタ C1 を介して第1接地電位 GND1 に、第2基板 200 においてキャパシタ C2 を介して第2接地電位 GND2 に接続されてもよい。

[0236] フローティングディフュージョン FD2 は、キャパシタ C3 を介して第2接地電位 GND2 に接続されてもよい。

[0237] フローティングディフュージョン FD3 は、キャパシタ C4 を介して第2接地電位 GND2 に、キャパシタ C5 を介して電源である電圧 FD_VDD に接続されてもよい。

[0238] これらのFD変換ゲイン切替トランジスタ FDG 、 FDC は、第2基板 200 に配置され、それらの接地電位は、第2接地電位 GND2 に設定される。この場合、フローティングディフュージョン FD2 、 FD3 は、第2基板 200 に形成される。

- [0239] この構成においては、1段目のFD変換ゲイン切替トランジスタ FDG がオフの場合には、変換効率を高くすることができる。
- [0240] FD変換ゲイン切替トランジスタ FDG をオンにし、2段目のFD変換ゲイン切替トランジスタ FCG をオフすることで、フローティングディフュージョン FD1 とフローティングディフュージョン FD2 とを接続し、FD変換ゲイン切替トランジスタ FDG をオフしている場合よりも変換効率を低く制御することができる。
- [0241] さらに、双方のFD変換ゲイン切替トランジスタ FDG 、 FCG をオンすることで、フローティングディフュージョン FD1 、 FD2 とフローティングディフュージョン FD3 を接続し、FD変換ゲイン切替トランジスタ FDG のみをオンしている場合よりも変換効率を低くすることができる。
- [0242] このように、FD変換ゲインを切り替えるトランジスタの接地電圧も、基板の他のトランジスタの接地電圧と同様に設定することができる。
- [0243] 前述したように、これらのトランジスタにおいて接地電圧を適切に設定することで、トランジスタのレイアウトやプロセスルールをより柔軟に変更することが可能となる。
- [0244] また、転送変換ゲインの切り替えをするトランジスタは、2段構成である必要はなく、図4、図6等にみられるように、1段構成のFD変換ゲイン切替トランジスタ FCG のみを有する構成とすることも可能である。
- [0245] 図49は、FD変換ゲイン切替トランジスタを備える等価回路の別の例を示す図である。
- [0246] この図49に示すように、FD変換ゲイン切替トランジスタ FDG 、 FCG は、第1基板 100 に備えられてもよい。この場合、FD変換ゲイン切替トランジスタ FDG 、 FCG は、接地電位をそれぞれ第1接地電位 GND1 に設定することができる。また、フローティングディフュージョン FD2 、 FD3 は、第1基板 100 に形成される。
- [0247] 図50は、FD変換ゲイン切替トランジスタを備えると迂回路の別の例を示す図である。

- [0248] この図50に示すように、第1基板 100、第2基板 200 及び第3基板 300 が積層される撮像装置 1 においてもFD変換ゲイン切替トランジスタ FDG、FCG を配置することができる。
- [0249] 第1基板 100 の接地電位は、第1接地電位 GND1 に設定され、第2基板 200 の接地電位は、第2接地電位 GND2 に設定され、第3基板 300 の接地電位は、第3接地電位 GND3 に設定される。
- [0250] 限定されない一例として、フローティングディフュージョン FD1 は、第1基板 100 と第2基板 200 とに形成され、フローティングディフュージョン FD2 は、第2基板 200 と第3基板 300 とに形成され、フローティングディフュージョン FD3 は、第3基板 300 に形成される。
- [0251] FD変換ゲイン切替トランジスタ FDG は、第2基板 200 に配置され、接地電位が第2接地電位 GND2 に設定される。FD変換ゲイン切替トランジスタ FCG は、第3基板 300 に配置され、接地電位が第3接地電位 GND3 に設定される。
- [0252] また、限定されない一例として、転送トランジスタ TRG は、接地電位を第1接地電位 GND1 として第1基板 100 に配置され、増幅トランジスタ AMP は、接地電位を第2接地電位 GND2 として第2基板 200 に配置され、選択トランジスタ SEL は、接地電位を第3接地電位 GND3 として第3基板 300 に配置される。
- [0253] このように、3つの基板に、それぞれのトランジスタ及び／又はフローティングディフュージョンを振り分けることもできる。
- [0254] 上記で説明したトランジスタの割り振りは、限定されない一例として示したものであり、回路設計上の矛盾しない範囲において任意の基板に形成することも可能である。
- [0255] 図52は、一実施形態に係る等価回路の限定されない適用例を示す図である。図55は、図52の等価回路の第1基板 100 のレイアウトの一部を抽出した平面図である。
- [0256] これらの図に示すように、画素ユニットは、第1基板 100 において、オフセットトランジスタ OFG と、メモリ転送トランジスタ TRY と、メモリ領域

TRX と、をさらに備える。画素ユニットは、一般的な4トランジスタを有する CMOSイメージセンサに限定されず、グローバルシャッタに対応した基板に用いることもできる。

[0257] オフセットトランジスタ OFG は、フォトダイオード PD のカソードの電位をオフセットするオフセット電位 OFG_VDD とフォトダイオード PD のカソードとを接続するトランジスタである。オフセットトランジスタ OFG がオンすることで、フォトダイオード PD のカソードの電位がオフセット電位 OFG_VDD に制御される。

[0258] メモリ転送トランジスタ TRY は、フォトダイオード PD のカソードの電位を適切なタイミングでメモリ領域 TRX に転送するトランジスタである。メモリ領域 TRX の電位は、転送トランジスタ TR により適切なタイミングでフローティングディフュージョン FD へと転送される。

[0259] この形態によれば、走査のタイミングによらず、露光したタイミングにおける信号の強度をメモリ領域 TRX に転送し、さらに、このメモリ領域 TRX に維持されている信号を適切なタイミングでフローティングディフュージョン FD へと転送することができる。この動作により、信号の取得タイミングを揃えるグローバルシャッタ方式の撮像をすることができる。

[0260] 図55に示すのは、図52の第1基板 100 におけるそれぞれのトランジスタの領域及び電圧を印加するコンタクト領域を示す図である。図中の GND1、OFG_VDD は、それぞれの電圧が印加されるコンタクトを示し、Cxxxは、それぞれのトランジスタのゲートに印加する電圧を供給するコンタクトを示す。メモリ MEM は、例えば、メモリ転送トランジスタ TRY、メモリ領域 TRX を備えて形成される。

[0261] フォトダイオード PD は、所定のタイミングでオフセットトランジスタ OFG を介してカソードの電位がオフセット電位 OFG_VDD に制御される。この後の任意のタイミングで撮像装置 1 が露光することで、フォトダイオード PD のカソードにそれぞれの画素ユニットにおいて取得する信号の強度に応じた信号が蓄積される。

[0262] 露光が完了した後に、メモリ転送トランジスタ TRY が任意のタイミングでオンし、メモリ領域 TRX にフォトダイオード PD のカソードに保持されている信号を転送する。

[0263] メモリ転送トランジスタ TRY がオフした後に、任意のタイミングで転送トランジスタ TR をオンすることで、フローティングディフュージョン FD へと信号を転送する。この信号の転送は、電荷が移動することで適切に実行される。

[0264] このように、本開示における基板ごとに接地電位を設定する構成は、チャージドメイン型のグローバルシャッタ方式における画像信号の取得に利用することができる。

[0265] 上記の例では、チャージドメイン型としたが、ボルテージドメイン型のグローバルシャッタ方式の撮像におけるトランジスタ及び回路素子の接地電位を積層された基板ごとに設定することも可能である。

[0266] <12. 適用例>

図53は、上記実施の形態及びその変形例に係る撮像装置 1 を備えた撮像システム 7 の概略構成の一例を表したものである。

[0267] 撮像システム 7 は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。撮像システム 7 は、例えば、上記実施の形態及びその変形例に係る撮像装置 1、DSP回路 243、フレームメモリ 244、表示部 245、記憶部 246、操作部 247 及び電源部 248 を備えている。撮像システム 7 において、上記実施の形態及びその変形例に係る撮像装置 1、DSP回路 243、フレームメモリ 244、表示部 245、記憶部 246、操作部 247 及び電源部 248 は、バスライン 249 を介して相互に接続されている。

[0268] 上記実施の形態及びその変形例に係る撮像装置 1 は、入射光に応じた画像データを出力する。DSP回路 243 は、上記実施の形態及びその変形例に係る撮像装置 1 から出力される信号（画像データ）を処理する信号処理回路である。フレームメモリ 244 は、DSP回路 243 により処理された画像データを、

フレーム単位で一時的に保持する。表示部 245 は、例えば、液晶パネルや有機EL (Electro Luminescence) パネル等のパネル型表示装置からなり、上記実施の形態及びその変形例に係る撮像装置 1 で撮像された動画又は静止画を表示する。記憶部 246 は、上記実施の形態及びその変形例に係る撮像装置 1 で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。操作部 247 は、ユーザによる操作に従い、撮像システム 7 が有する各種の機能についての操作指令を発する。電源部 248 は、上記実施の形態及びその変形例に係る撮像装置 1 、 DSP回路 243 、 フレームメモリ 244 、 表示部 245 、 記憶部 246 及び操作部 247 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0269] 次に、撮像システム 7 における撮像手順について説明する。

[0270] 図54は、撮像システム 7 における撮像動作のフローチャートの一例を表す。ユーザは、操作部 247 を操作することにより撮像開始を指示する（ステップ S101）。すると、操作部 247 は、撮像指令を撮像装置 1 に送信する（ステップ S102）。撮像装置 1（具体的にはシステム制御回路 36）は、撮像指令を受けると、所定の撮像方式での撮像を実行する（ステップ S103）。

[0271] 撮像装置 1 は、撮像により得られた画像データをDSP回路 243 に出力する。ここで、画像データとは、フローティングディフュージョン FD に一時的に保持された電荷に基づいて生成された画素信号の全画素分のデータである。DSP回路 243 は、撮像装置 1 から入力された画像データに基づいて所定の信号処理（例えばノイズ低減処理など）を行う（ステップ S104）。DSP回路 243 は、所定の信号処理がなされた画像データをフレームメモリ 244 に保持させ、フレームメモリ 244 は、画像データを記憶部 246 に記憶させる（ステップ S105）。このようにして、撮像システム 7 における撮像が行われる。

[0272] 本適用例では、上記実施の形態及びその変形例に係る撮像装置 1 が撮像システム 7 に適用される。これにより、撮像装置 1 を小型化もしくは高精細化することができるので、小型もしくは高精細な撮像システム 7 を提供する

ことができる。

[0273] <13. 応用例>

[応用例1]

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0274] 図55は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0275] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図55に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010 、ボディ系制御ユニット 12020 、車外情報検出ユニット 12030 、車内情報検出ユニット 12040 、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051 、音声画像出力部 12052 、及び車載ネットワークI/F（Interface）12053が図示されている。

[0276] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0277] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグラмп等の各種ランプの制御装置として機能する。この場合、ボ

ディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0278] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0279] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0280] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0281] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット 12010 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした

協調制御を行うことができる。

[0282] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又は車内情報検出ユニット 12040 で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0283] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0284] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図57の例では、出力装置として、オーディオスピーカ 12061 、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0285] 図56は、撮像部 12031 の設置位置の例を示す図である。

[0286] 図56では、車両 12100 は、撮像部 12031 として、撮像部 12101 、 12102 、 12103 、 12104 、 12105 を有する。

[0287] 撮像部 12101 、 12102 、 12103 、 12104 、 12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102 、 12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車

両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0288] なお、図56には、撮像部 12101 ないし 12104 の撮影範囲の一例が示されている。撮像範囲 12111 は、フロントノーズに設けられた撮像部 12101 の撮像範囲を示し、撮像範囲 12112 、 12113 は、それぞれサイドミラーに設けられた撮像部 12102 、 12103 の撮像範囲を示し、撮像範囲 12114 は、リアバンパ又はバックドアに設けられた撮像部 12104 の撮像範囲を示す。例えば、撮像部 12101 ないし 12104 で撮像された画像データが重ね合わせられることにより、車両 12100 を上方から見た俯瞰画像が得られる。

[0289] 撮像部 12101 ないし 12104 の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 12101 ないし 12104 の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0290] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を基に、撮像範囲 12111 ないし 12114 内における各立体物までの距離と、この距離の時間的变化（車両 12100 に対する相対速度）を求めることにより、特に車両 12100 の進行路上にある最も近い立体物で、車両 12100 と略同じ方向に所定の速度（例えば、0KM/H以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 12051 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0291] 例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 12051 は、

車両 12100 の周辺の障害物を、車両 12100 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 12051 は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0292] 撮像部 12101 ないし 12104 の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0293] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部 12031 に適用され得る。具体的には、上記実施の形態及びその変形例に係る撮像装置 1 は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、ノイズの少ない高精細な撮影画像を得ることができるので、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

[0294] [応用例2]

図57は、本開示に係る技術（本技術）が適用され得る内視鏡手術システム

の概略的な構成の一例を示す図である。

- [0295] 図57では、術者（医師）11131 が、内視鏡手術システム 11000 を用いて、患者ベッド 11133 上の患者 11132 に手術を行っている様子が図示されている。図示するように、内視鏡手術システム 11000 は、内視鏡 11100 と、気腹チューブ 11111 やエネルギー処置具 11112 あ等の、その他の術具 11110 と、内視鏡 11100 を支持する支持アーム装置 11120 と、内視鏡下手術のための各種の装置が搭載されたカート 11200 と、から構成される。
- [0296] 内視鏡 11100 は、先端から所定の長さの領域が患者 11132 の体腔内に挿入される鏡筒 11101 と、鏡筒 11101 の基端に接続されるカメラヘッド 11102 と、から構成される。図示する例では、硬性の鏡筒 11101 を有するいわゆる硬性鏡として構成される内視鏡 11100 を図示しているが、内視鏡 11100 は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。
- [0297] 鏡筒 11101 の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡 11100 には光源装置 11203 が接続されており、当該光源装置 11203 によって生成された光が、鏡筒 11101 の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者 11132 の体腔内の観察対象に向かって照射される。なお、内視鏡 11100 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。
- [0298] カメラヘッド 11102 の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU: Camera Control Unit）11201に送信される。
- [0299] CCU 11201 は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）等によって構成され、内視鏡 11100 及び表示装置 11202 の動作を統括的に制御する。さらに、CCU 11201 は、カメラヘッド 11102 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）

等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0300] 表示装置 11202 は、CCU 11201 からの制御により、当該CCU 11201 によって画像処理が施された画像信号に基づく画像を表示する。

[0301] 光源装置 11203 は、例えばLED (Light Emitting Diode) 等の光源から構成され、術部等を撮影する際の照射光を内視鏡 11100 に供給する。

[0302] 入力装置 11204 は、内視鏡手術システム 11000 に対する入力インタフェースである。ユーザは、入力装置 11204 を介して、内視鏡手術システム 11000 に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡 11100 による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0303] 処置具制御装置 11205 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 11112 への駆動を制御する。気腹装置 11206 は、内視鏡 11100 による視野の確保及び術者の作業空間の確保の目的で、患者 11132 の体腔を膨らめるために、気腹チューブ 11111 を介して当該体腔内にガスを送り込む。レコーダ 11207 は、手術に関する各種の情報を記録可能な装置である。プリンタ 11208 は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0304] なお、内視鏡 11100 に術部を撮影する際の照射光を供給する光源装置 11203 は、例えばLED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGBレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 11203 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0305] また、光源装置 11203 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 11102 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0306] また、光源装置 11203 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置 11203 は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0307] 図58は、図57に示すカメラヘッド 11102 及びCCU 11201 の機能構成の一例を示すブロック図である。

[0308] カメラヘッド 11102 は、レンズユニット 11401 と、撮像部 11402 と、駆動部 11403 と、通信部 11404 と、カメラヘッド制御部 11405 と、を有する。CCU 11201 は、通信部 11411 と、画像処理部 11412 と、制御部 11413 と、を有する。カメラヘッド 11102 とCCU 11201 とは、伝送ケーブル 11400 によって互いに通信可能に接続されている。

[0309] レンズユニット 11401 は、鏡筒 11101 との接続部に設けられる光学系である。鏡筒 11101 の先端から取り込まれた観察光は、カメラヘッド 11102 まで導光され、当該レンズユニット 11401 に入射する。レンズユニット 11401 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わせ

れて構成される。

[0310] 撮像部 11402 は、撮像素子で構成される。撮像部 11402 を構成する撮像素子は、1つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 11402 が多板式で構成される場合には、例えば各撮像素子によってRGBそれぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 11402 は、3D（Dimensional）表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための1対の撮像素子を有するように構成されてもよい。3D表示が行われることにより、術者 11131 は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部 11402 が多板式で構成される場合には、各撮像素子に対応して、レンズユニット 11401 も複数系統設けられ得る。

[0311] また、撮像部 11402 は、必ずしもカメラヘッド 11102 に設けられなくてもよい。例えば、撮像部 11402 は、鏡筒 11101 の内部に、対物レンズの直後に設けられてもよい。

[0312] 駆動部 11403 は、アクチュエータによって構成され、カメラヘッド制御部 11405 からの制御により、レンズユニット 11401 のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部 11402 による撮像画像の倍率及び焦点が適宜調整され得る。

[0313] 通信部 11404 は、CCU 11201 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11404 は、撮像部 11402 から得た画像信号をRAWデータとして伝送ケーブル 11400 を介してCCU 11201 に送信する。

[0314] また、通信部 11404 は、CCU 11201 から、カメラヘッド 11102 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 11405 に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0315] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユー

ザによって適宜指定されてもよいし、取得された画像信号に基づいてCCU 11201の制御部 11413によって自動的に設定されてもよい。後者の場合には、いわゆるAE (Auto Exposure) 機能、AF (Auto Focus) 機能及びAWB (Auto White Balance) 機能が内視鏡 11100に搭載されていることになる。

[0316] カメラヘッド制御部 11405は、通信部 11404を介して受信したCCU 11201からの制御信号に基づいて、カメラヘッド 11102の駆動を制御する。

[0317] 通信部 11411は、カメラヘッド 11102との間で各種の情報を送受信するための通信装置によって構成される。通信部 11411は、カメラヘッド 11102から、伝送ケーブル 11400を介して送信される画像信号を受信する。

[0318] また、通信部 11411は、カメラヘッド 11102に対して、カメラヘッド 11102の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0319] 画像処理部 11412は、カメラヘッド 11102から送信されたRAWデータである画像信号に対して各種の画像処理を施す。

[0320] 制御部 11413は、内視鏡 11100による術部等の撮像、及び、術部等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 11413は、カメラヘッド 11102の駆動を制御するための制御信号を生成する。

[0321] また、制御部 11413は、画像処理部 11412によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 11202に表示させる。この際、制御部 11413は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112あの使用時のミスト等を認識することができる。制御部 11413は、表示装置 11202に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131に提示されることにより、術者 11131の負担を軽減することや、術者 11131が確実

に手術を進めることが可能になる。

[0322] カメラヘッド 11102 及びCCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0323] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が行われていたが、カメラヘッド 11102 とCCU 11201 との間の通信は無線で行われてもよい。

[0324] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、内視鏡 11100 のカメラヘッド 11102 に設けられた撮像部 11402 に好適に適用され得る。撮像部 11402 に本開示に係る技術を適用することにより、撮像部 11402 を小型化もしくは高精細化することができるので、小型もしくは高精細な内視鏡 11100 を提供することができる。

[0325] 以上、実施の形態及びその変形例、適用例ならびに応用例を挙げて本開示を説明したが、本開示は上記実施の形態等に限定されるものではなく、種々変形が可能である。なお、本明細書中に記載された効果は、あくまで例示である。本開示の効果は、本明細書中に記載された効果に限定されるものではない。本開示が、本明細書中に記載された効果以外の効果を持っていたてもよい。

[0326] また、例えば、本開示は以下のような構成を取ることができる。

[0327] (1)

第1基板と、第2基板と、

を備え、

前記第1基板は、

受光した光の強度にも基づいた信号を出力する受光素子、を少なくとも備え、

接地電位が第1接地電位であり、

前記第2基板は、

前記受光素子から出力された信号に基づいた信号を出力するトランジスタ、を少なくとも備え、

接地電位が前記第1接地電位とは異なる第2接地電位である、
固体撮像装置。

[0328] (2)

前記第2接地電位は、前記第1接地電位よりも正側の電位である、
(1)に記載の固体撮像装置。

[0329] (3)

前記第1接地電位は、負バイアスの電位である、
(2)に記載の固体撮像装置。

[0330] (4)

前記第2接地電位は、0[V]である、
(2)又は(3)に記載の固体撮像装置。

[0331] (5)

前記第2基板は、
前記受光素子が出力した信号を増幅する、増幅トランジスタ、
を備える、
(1)から(4)のいずれかに記載の固体撮像装置。

[0332] (6)

前記第2基板に備えられるトランジスタのゲート酸化膜の厚さは、前記第1
基板に備えられるゲート酸化膜の厚さよりも薄い、
(1)から(5)のいずれかに記載の固体撮像装置。

[0333] (7)

前記第1基板と、前記第2基板は、金属を介して電氣的に接続される、
(1)から(6)のいずれかに記載の固体撮像装置。

[0334] (8)

前記金属は、銅である、
(7)に記載の固体撮像装置。

[0335] (9)

前記第2基板の配線間距離は、前記第1基板の配線間距離よりも短い、
(7)又は(8)に記載の固体撮像装置。

[0336] (10)

前記第1基板と、前記第2基板は、積層されて形成される、
(1)から(9)のいずれかに記載の固体撮像装置。

[0337] (11)

第3基板、
をさらに備え、
前記第3基板は、
前記第1基板及び前記第2基板とともに、画素ユニットを形成する、
(1)から(10)のいずれかに記載の固体撮像装置。

[0338] (12)

前記受光素子が取得した信号は、チャージドメイン型のグローバルシャッタ方式で画像信号に変換される、
(1)から(11)のいずれかに記載の固体撮像装置。

[0339] (13)

前記受光素子が取得した信号は、ボルテージドメイン型のグローバルシャッタ方式で画像信号に変換される、
(1)から(11)のいずれかに記載の固体撮像装置。

[0340] (14)

前記受光素子が取得した信号は、前記受光素子ごとに備えられるアナログーデジタル変換回路により、デジタル信号に変換される、
(1)から(13)のいずれかに記載の固体撮像装置。

[0341] (15)

前記増幅トランジスタは、ウェルの電位とソースの電位が等しく、前記第2接地電位とは異なる電位である、
(5)に記載の固体撮像装置。

[0342] (16)

(1)から(15)のいずれかに記載の固体撮像装置を備える、電子機器。

[0343] 本開示の態様は、前述した実施形態に限定されるものではなく、想到する種々の変形も含むものであり、本開示の効果も前述の内容に限定されるものではない。各実施形態における構成要素は、適切に組み合わせられて適用されてもよい。すなわち、特許請求の範囲に規定された内容及びその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更及び部分的削除が可能である。

符号の説明

[0344] 1: 撮像装置、
7: 撮像システム、
100: 第1基板、
100S 、 200S 、 300S: 半導体層、
100T 、 200T 、 300T : 配線層、
111: 絶縁膜、
112: 固定電荷膜、
113: 第1ピニング領域、
114: N型半導体領域、
115: Pウェル層、
116: 第2ピニング領域、
117: 画素分離部、
117A: 遮光膜、
117B: 絶縁膜、
118 、 218: VSSコンタクト領域、
119 、 123 、 222: 層間絶縁膜、
120、 121 : パッド部、
120E 、 121E : 貫通電極、
122 、 221: パッシベーション膜、

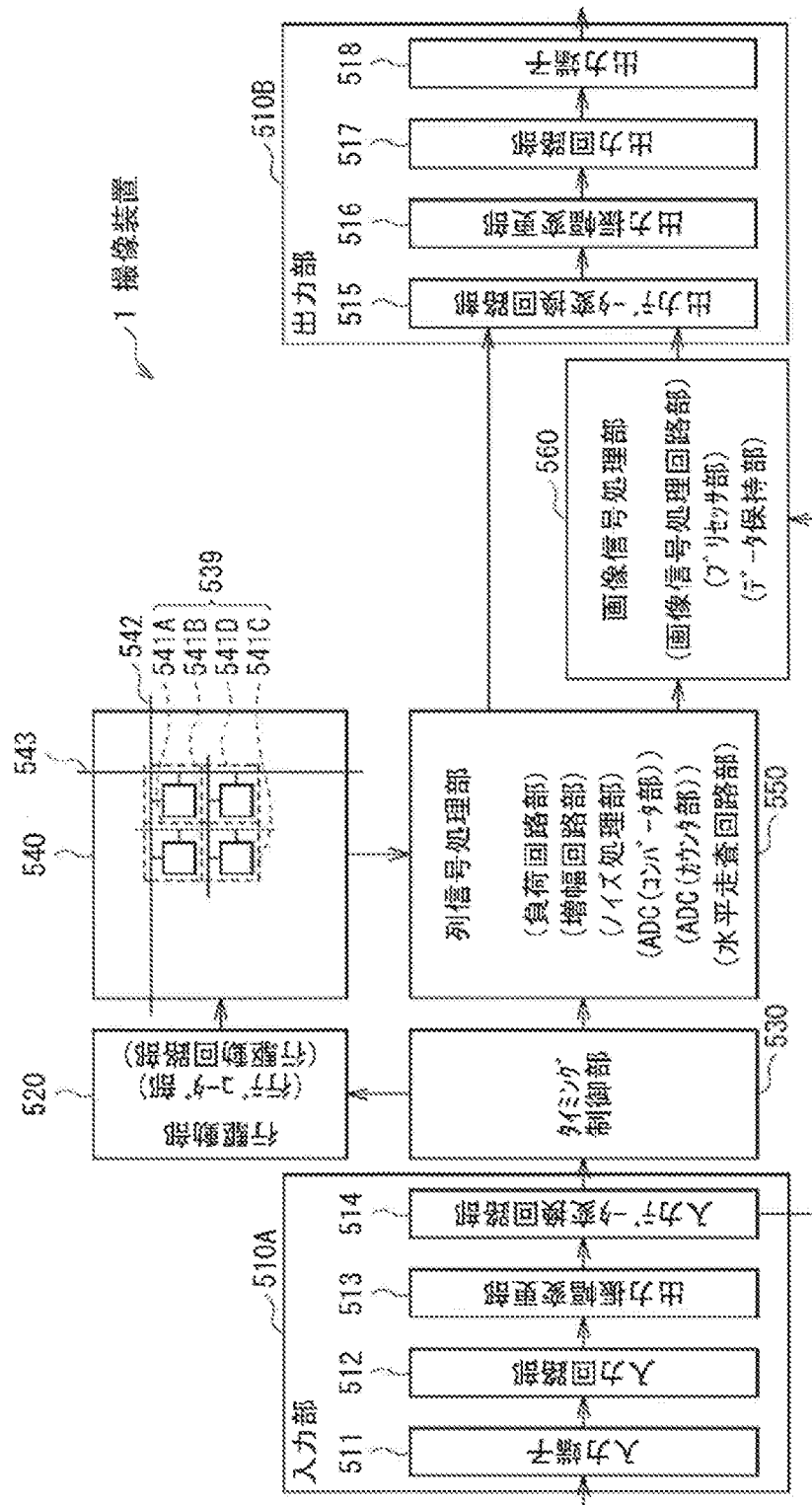
124: 接合膜、
200: 第2基板、
201 、 202 、 203、 204、 301 、 302 、 303 、 304: コンタクト部、
212: 絶縁領域、
213: 素子分離領域、
218V 、 TGV: 接続孔、
300: 第3基板、
401: 受光レンズ、
541A 、 541B 、 541C 、 541D : 画素、
TR: 転送トランジスタ、
TG: 転送ゲート、
RST: リセットトランジスタ、
AMP: 増幅トランジスタ、
SEL: 選択トランジスタ、
FDG 、 FCG: FD変換ゲイン切替トランジスタ、
FD 、 FD1 、 FD2 、 FD3: フローティングディフュージョン、
C1 、 C2 、 C3 、 C4 、 C5: キャパシタ、
TRX: メモリ領域、
TRY: メモリ転送トランジスタ。

請求の範囲

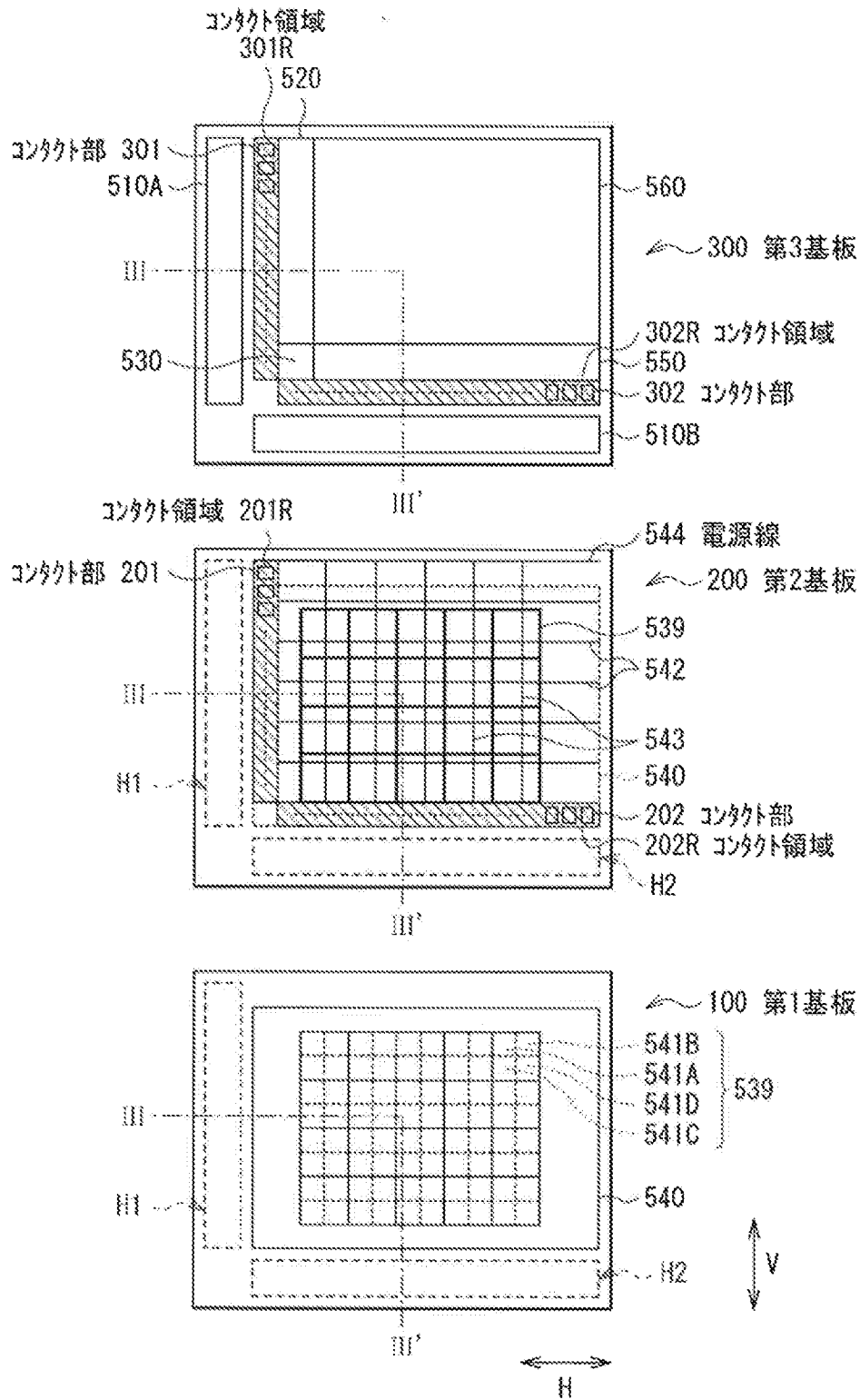
- [請求項1] 第1基板と、第2基板と、
を備え、
前記第1基板は、
受光した光の強度にも基づいた信号を出力する受光素子、を少なくとも備え、
接地電位が第1接地電位であり、
前記第2基板は、
前記受光素子から出力された信号に基づいた信号を出力するトランジスタ、を少なくとも備え、
接地電位が前記第1接地電位とは異なる第2接地電位である、
固体撮像装置。
- [請求項2] 前記第2接地電位は、前記第1接地電位よりも正側の電位である、
請求項1に記載の固体撮像装置。
- [請求項3] 前記第1接地電位は、負バイアスの電位である、
請求項2に記載の固体撮像装置。
- [請求項4] 前記第2接地電位は、0[V]である、
請求項2に記載の固体撮像装置。
- [請求項5] 前記第2基板は、
前記受光素子が出力した信号を増幅する、増幅トランジスタ、
を備える、
請求項1に記載の固体撮像装置。
- [請求項6] 前記第2基板に備えられるトランジスタのゲート酸化膜の厚さは、
前記第1基板に備えられるゲート酸化膜の厚さよりも薄い、
請求項1に記載の固体撮像装置。
- [請求項7] 前記第1基板と、前記第2基板は、金属を介して電氣的に接続される、
請求項1に記載の固体撮像装置。

- [請求項8] 前記金属は、銅である、
請求項7に記載の固体撮像装置。
- [請求項9] 前記第2基板の配線間距離は、前記第1基板の配線間距離よりも短い
、
請求項7に記載の固体撮像装置。
- [請求項10] 前記第1基板と、前記第2基板は、積層されて形成される、
請求項1に記載の固体撮像装置。
- [請求項11] 第3基板、
をさらに備え、
前記第3基板は、
前記第1基板及び前記第2基板とともに、画素ユニットを形成する
、
請求項1に記載の固体撮像装置。
- [請求項12] 前記受光素子が取得した信号は、チャージドメイン型のグローバル
シャッタ方式で画像信号に変換される、
請求項1に記載の固体撮像装置。
- [請求項13] 前記受光素子が取得した信号は、ボルテージドメイン型のグローバル
シャッタ方式で画像信号に変換される、
請求項1に記載の固体撮像装置。
- [請求項14] 前記受光素子が取得した信号は、前記受光素子ごとに備えられるア
ナログーデジタル変換回路により、デジタル信号に変換される、
請求項1に記載の固体撮像装置。
- [請求項15] 前記増幅トランジスタは、ウェルの電位とソースの電位が等しく、
前記第2接地電位とは異なる電位である、
請求項5に記載の固体撮像装置。
- [請求項16] 請求項1に記載の固体撮像装置を備える、電子機器。

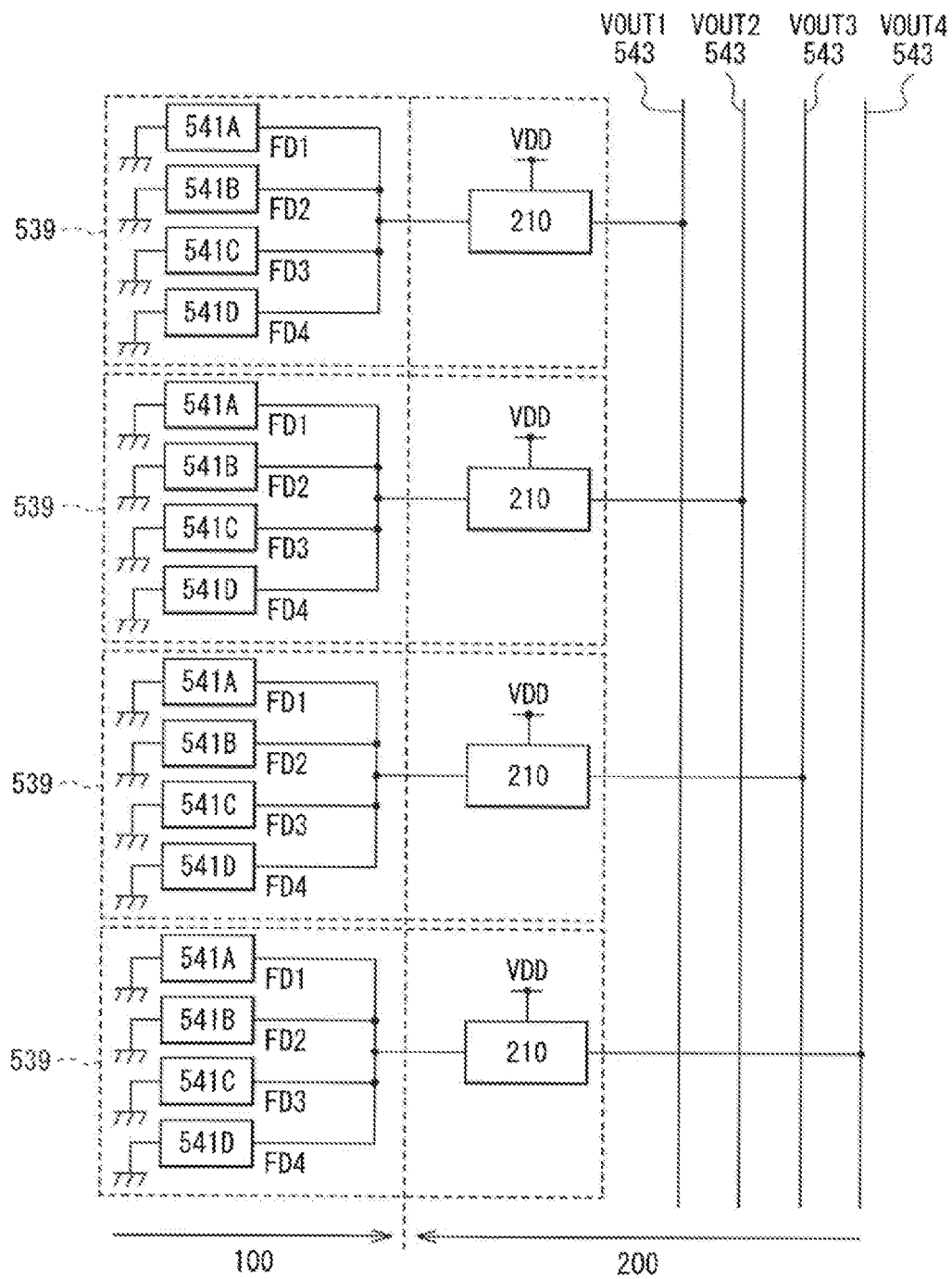
[図1]



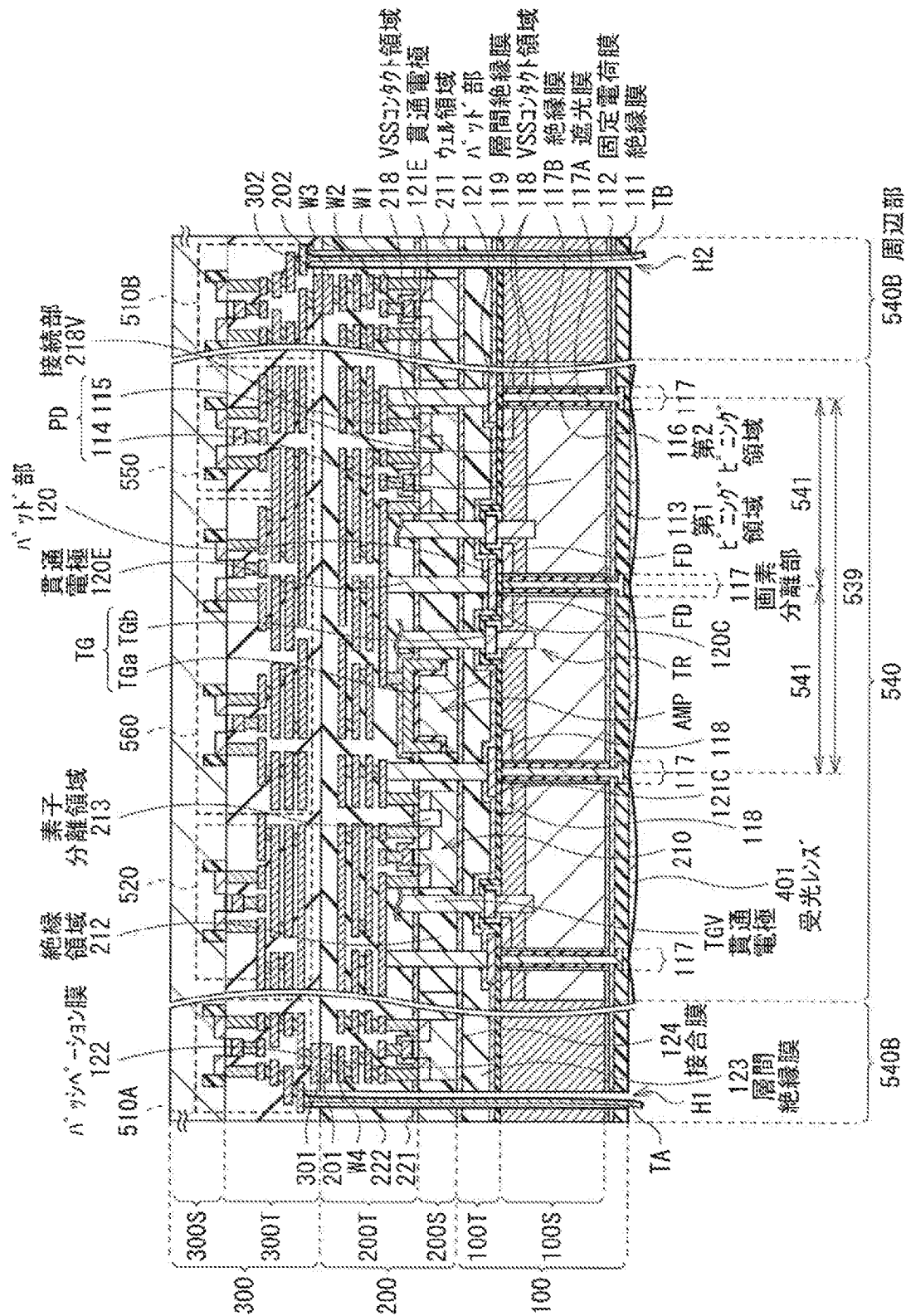
[図2]



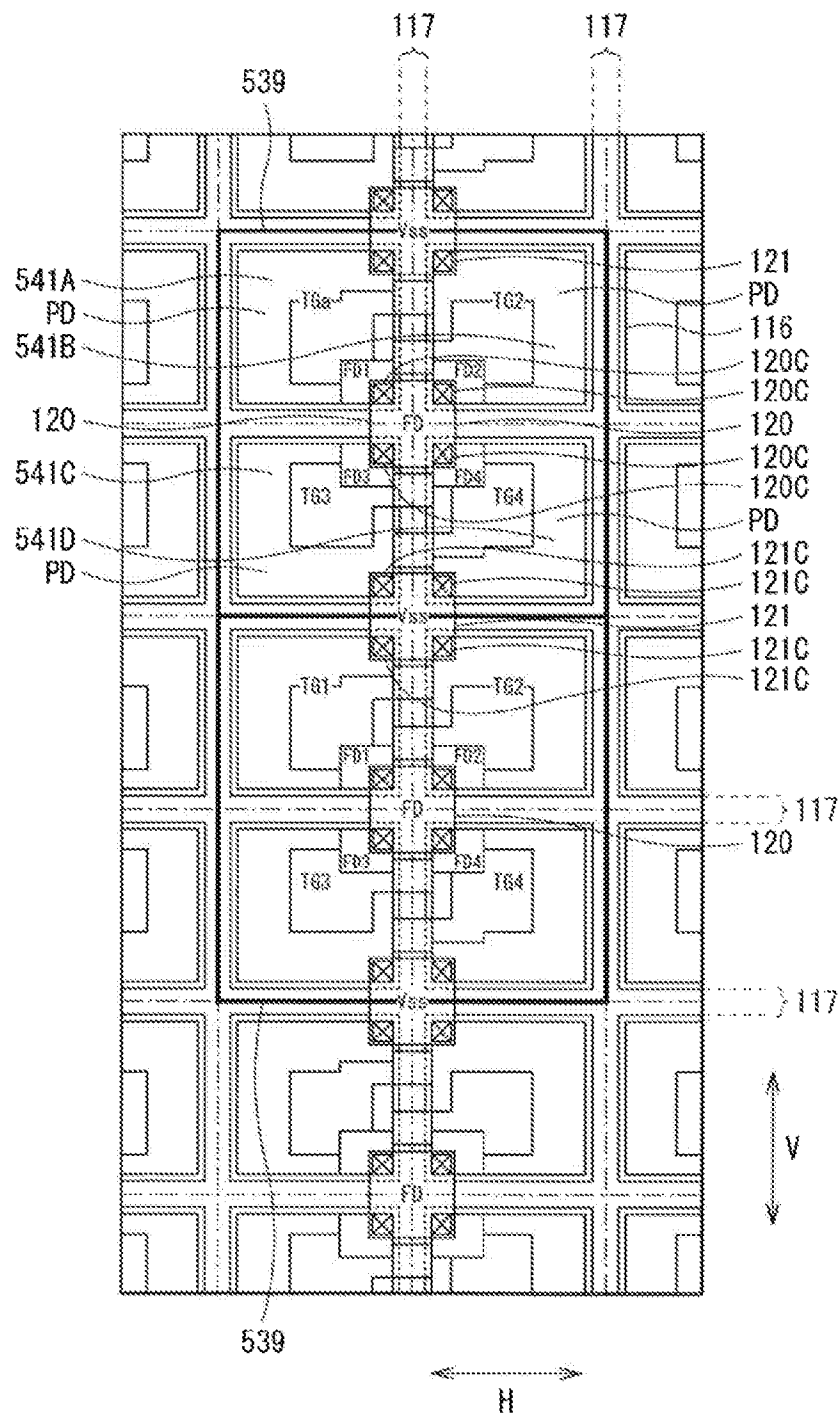
[図5]



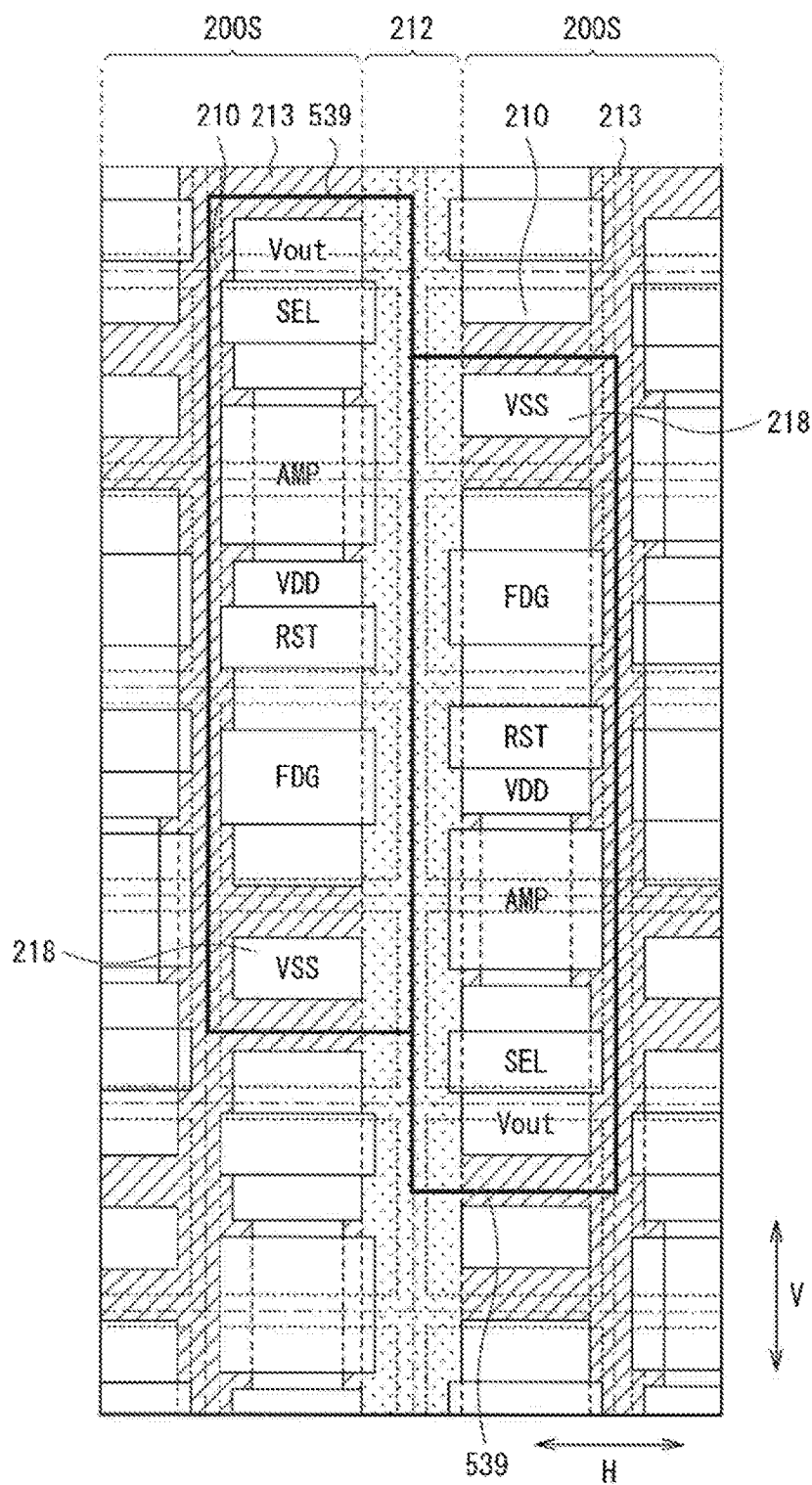
[図6]



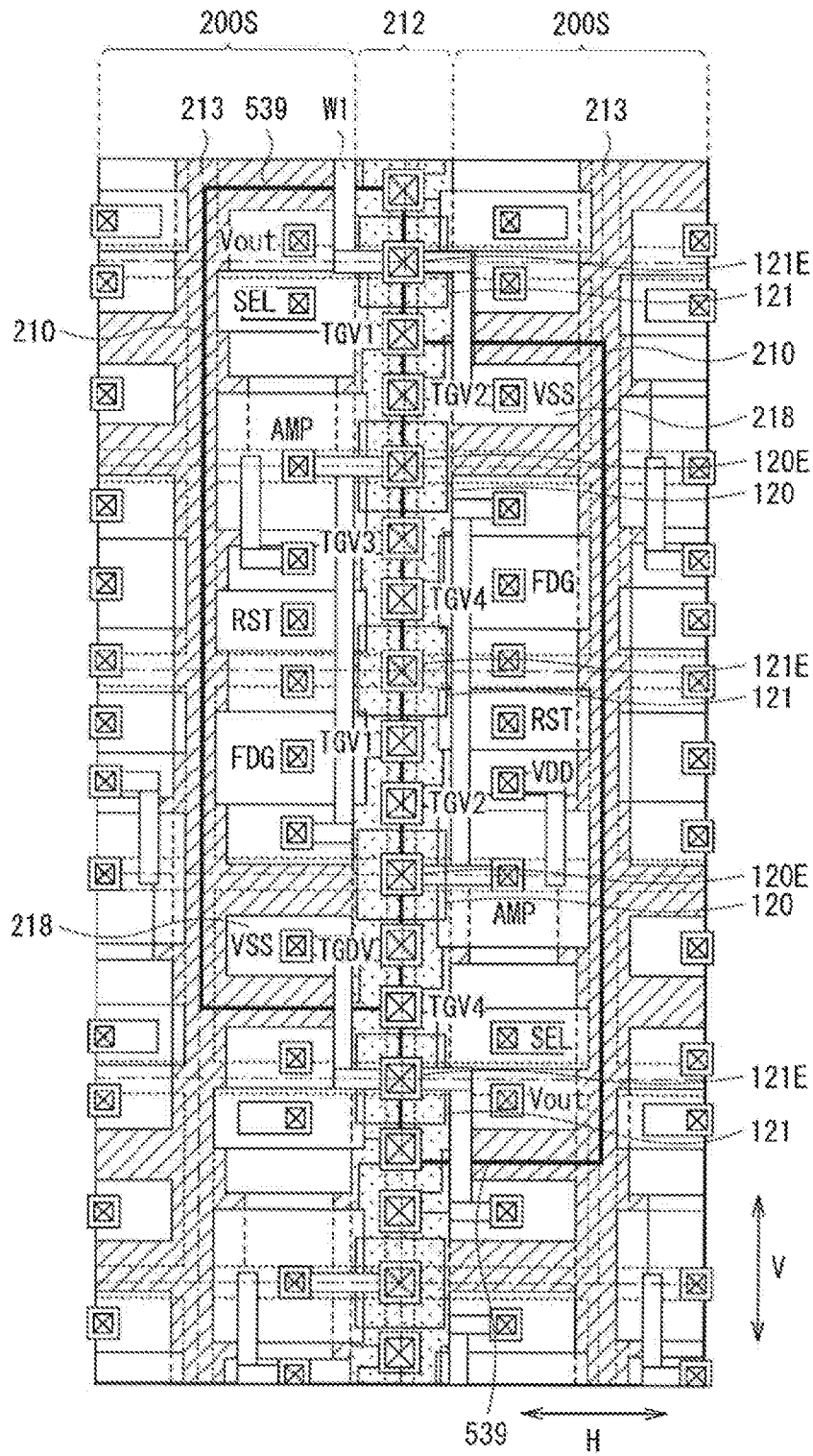
[図7B]



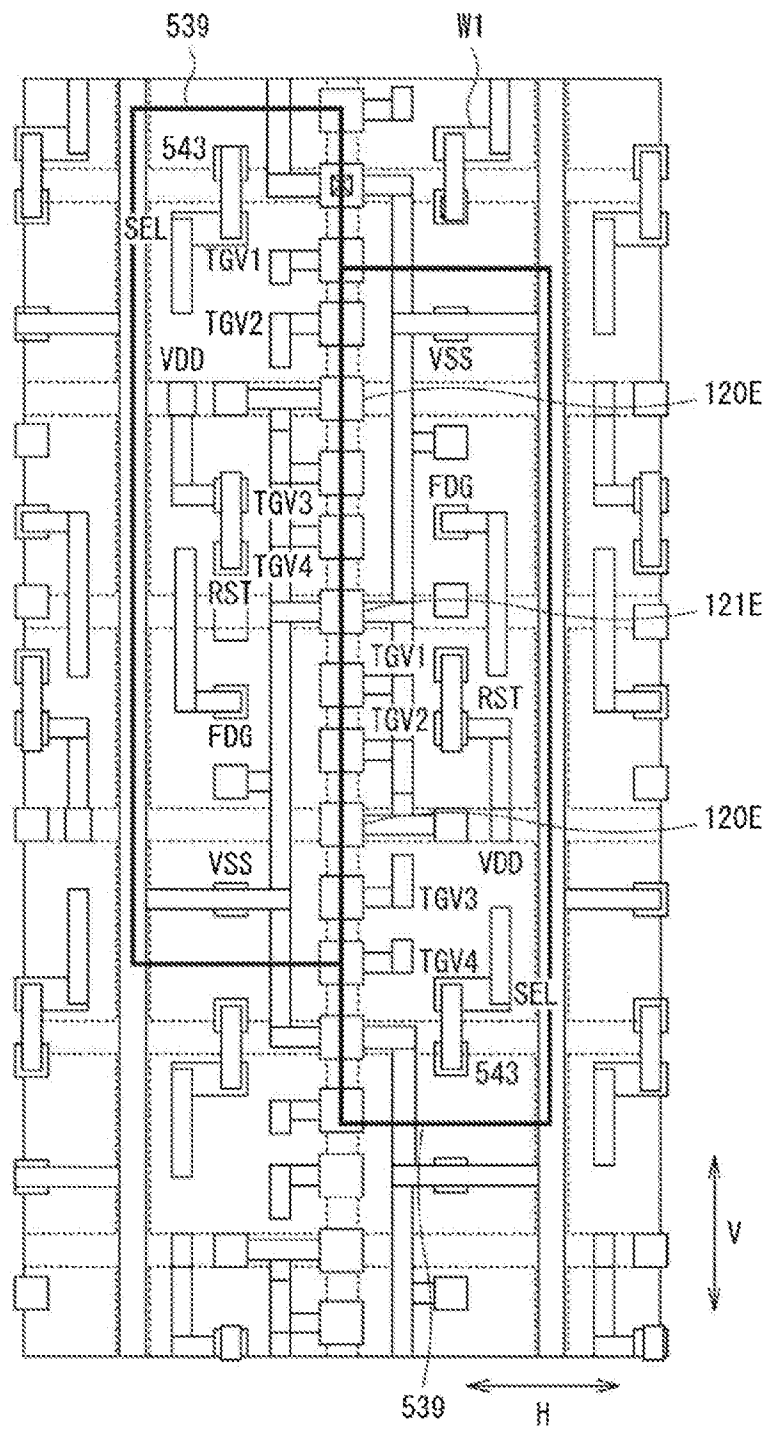
[図8]



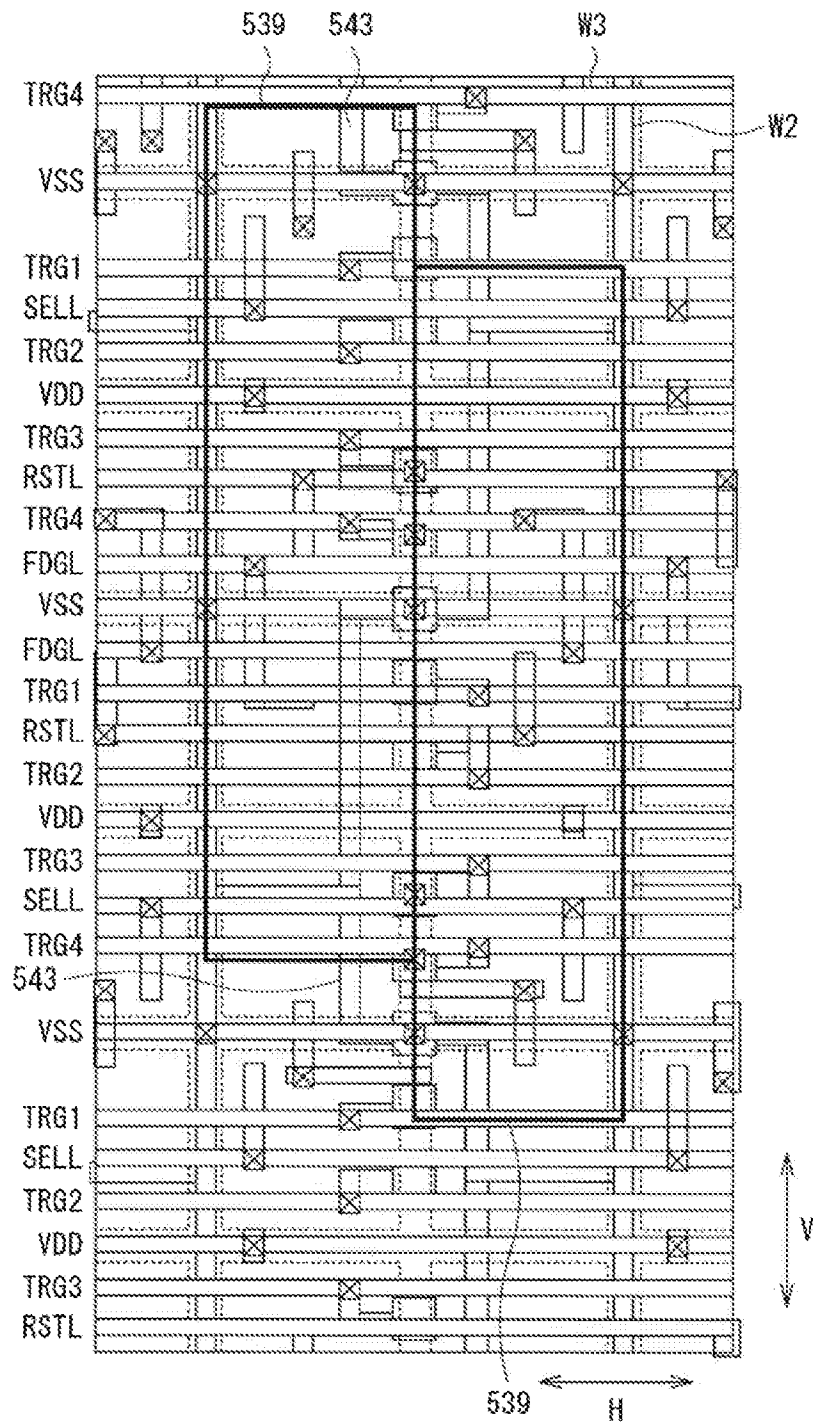
[図9]



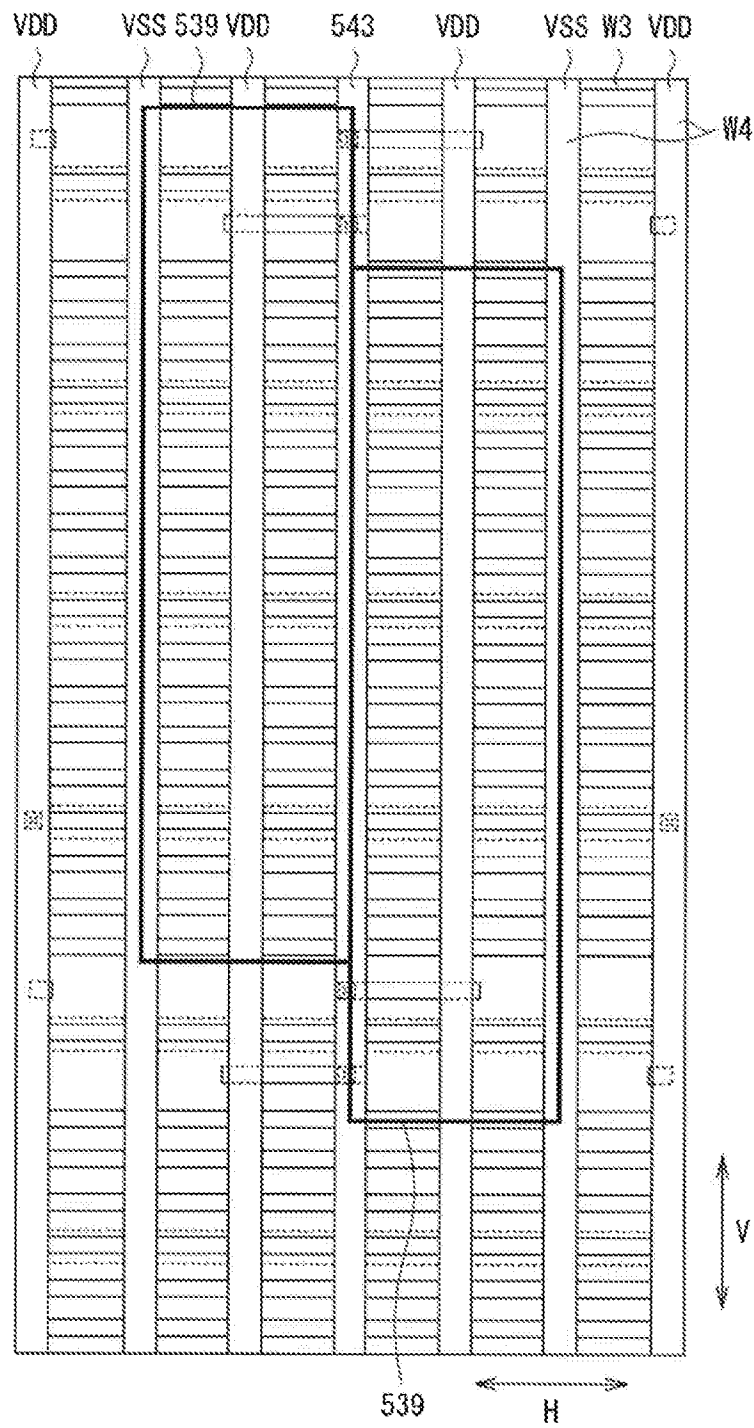
[図10]



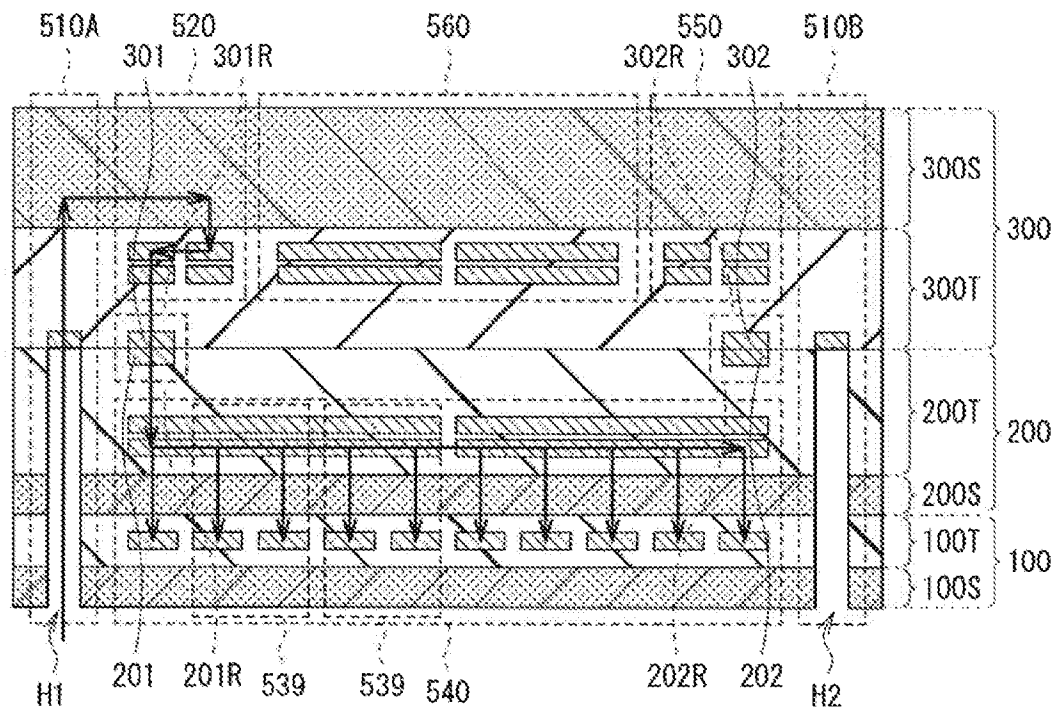
[図11]



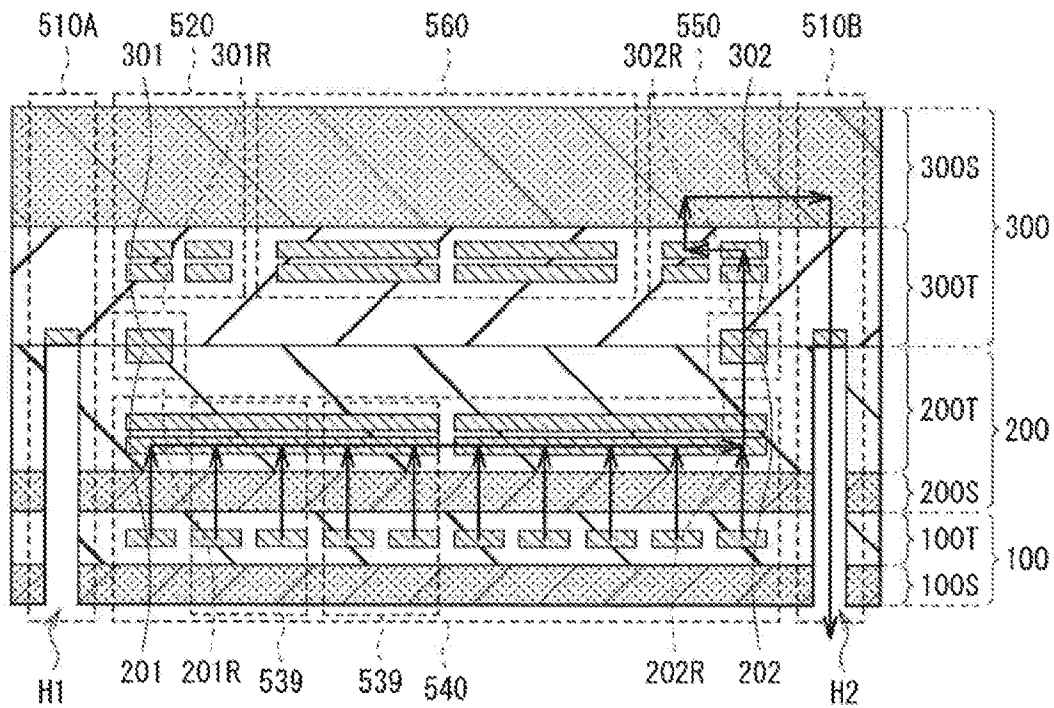
[図12]



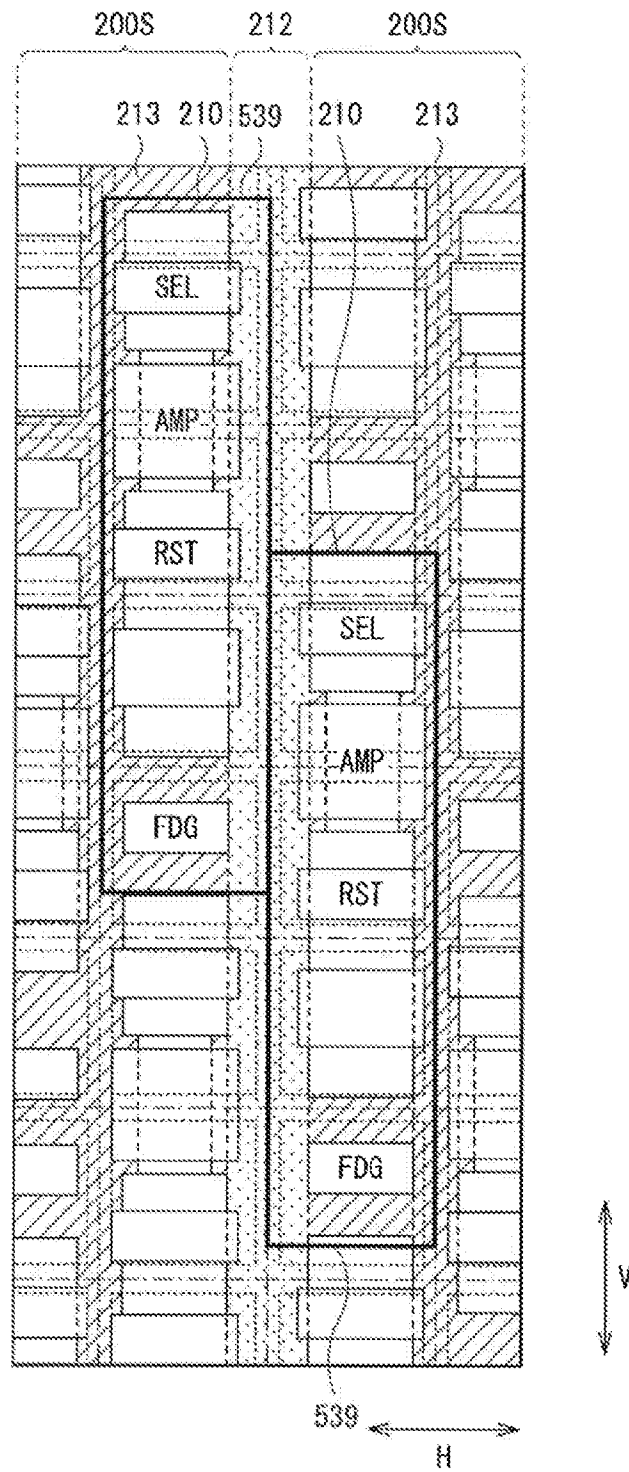
[図13]



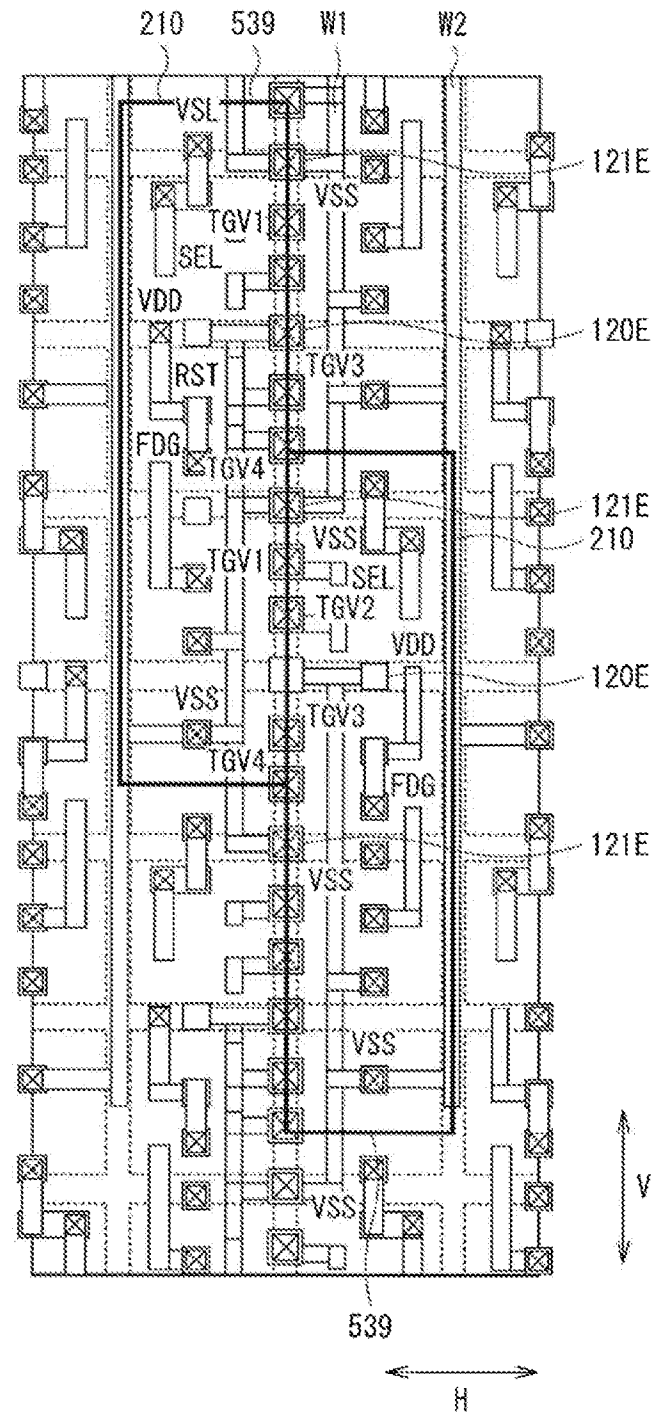
[図14]



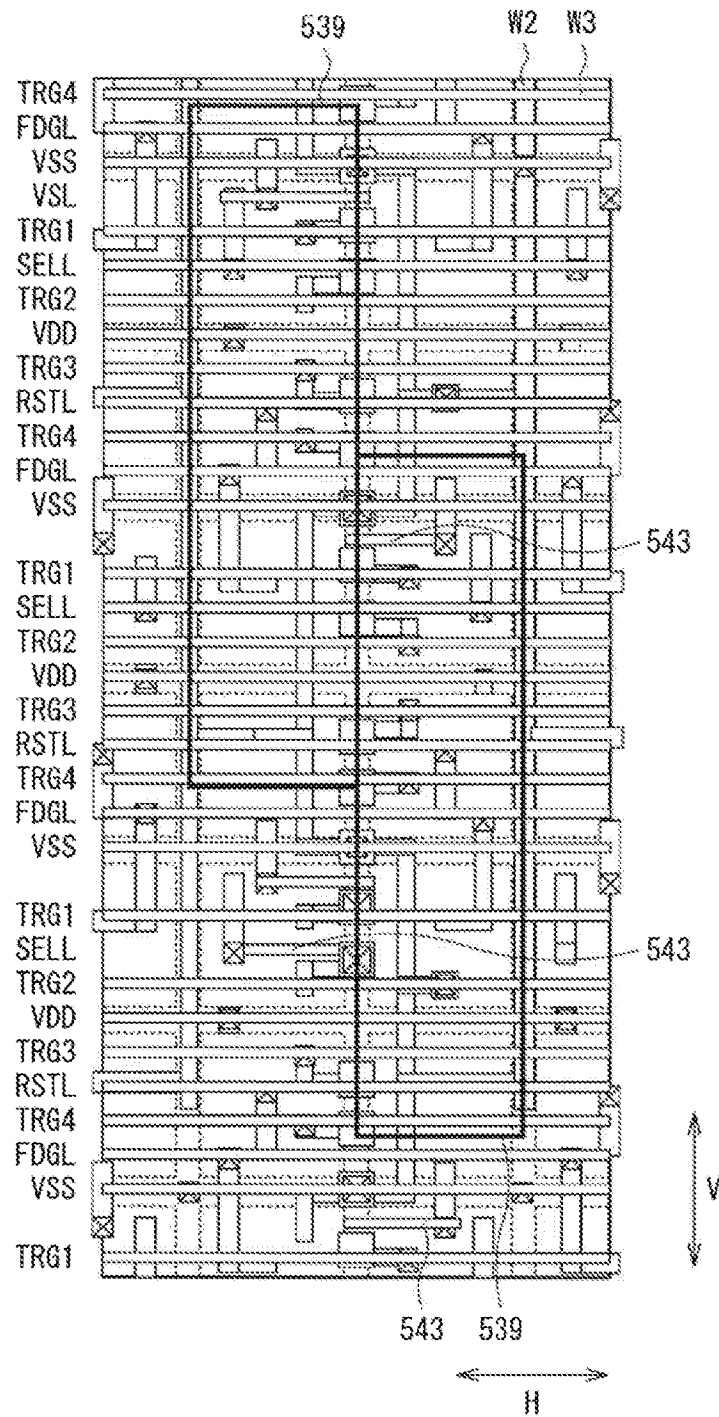
[図15]



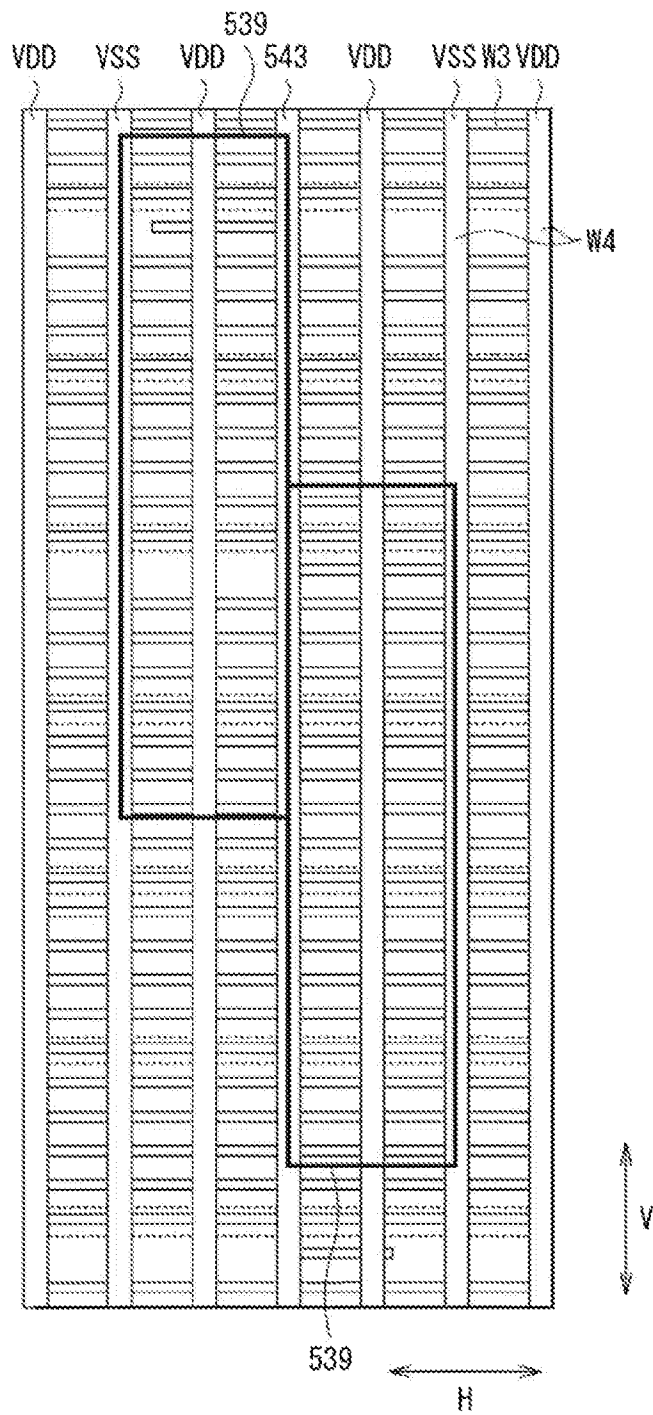
[図17]



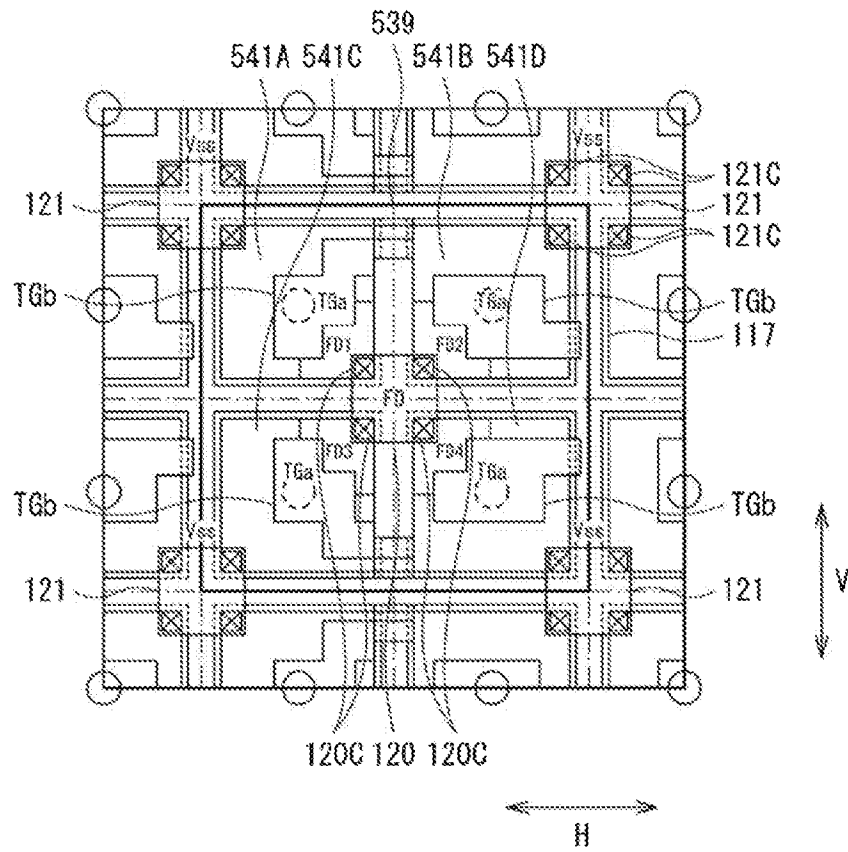
[図18]



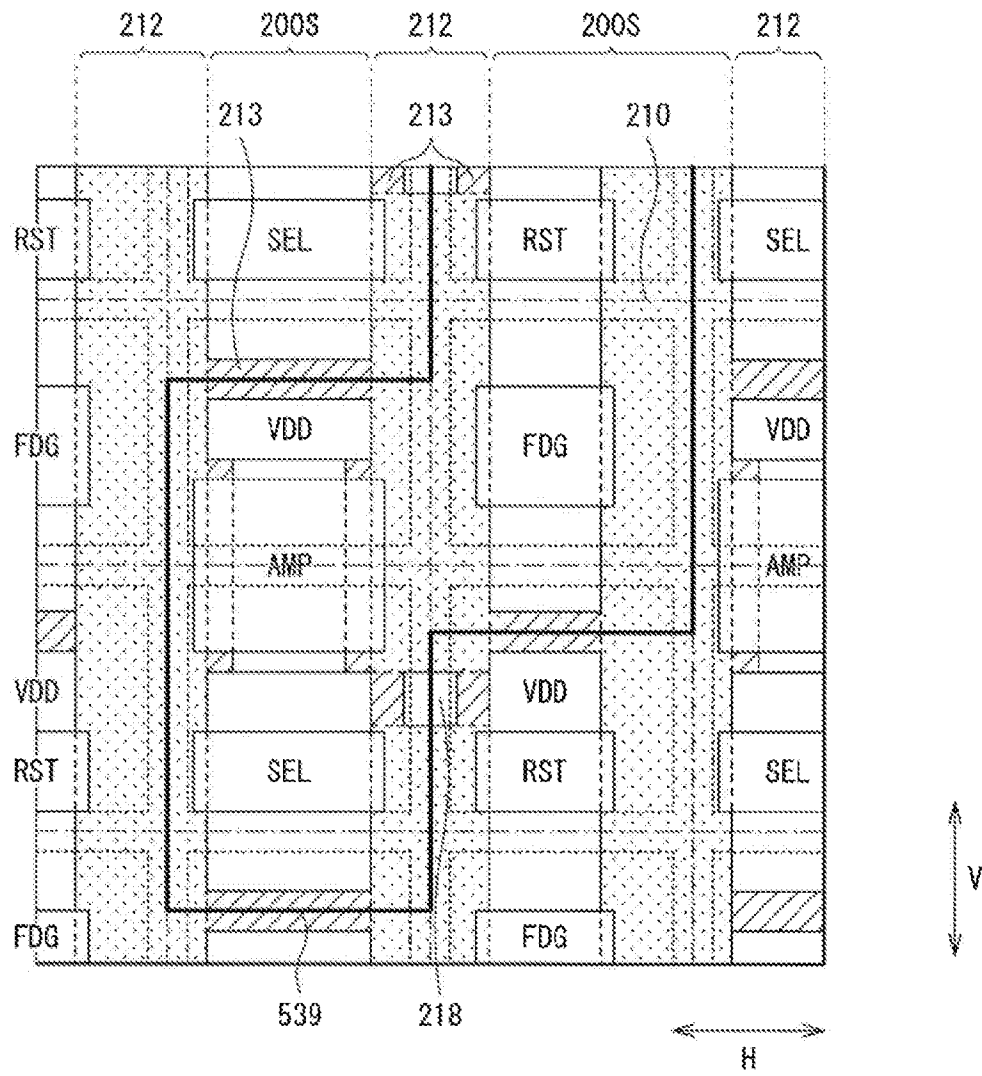
[図19]



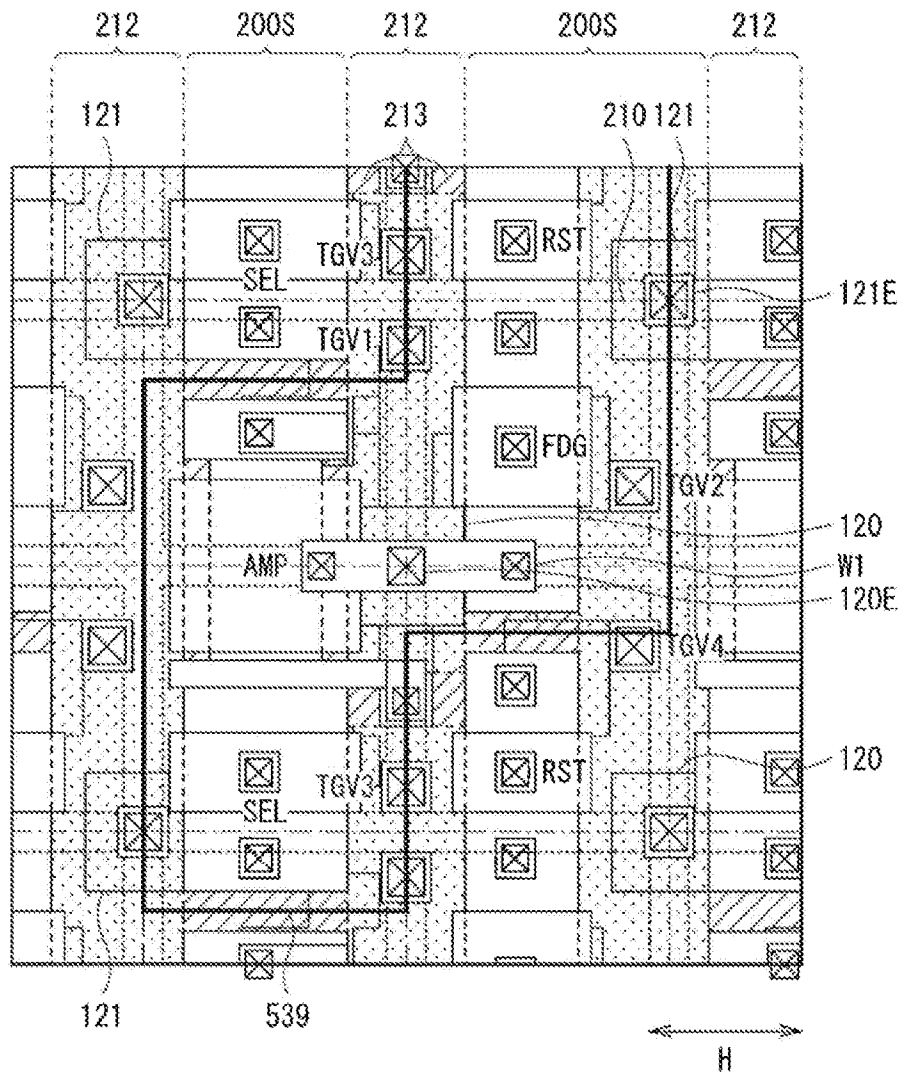
[図20]



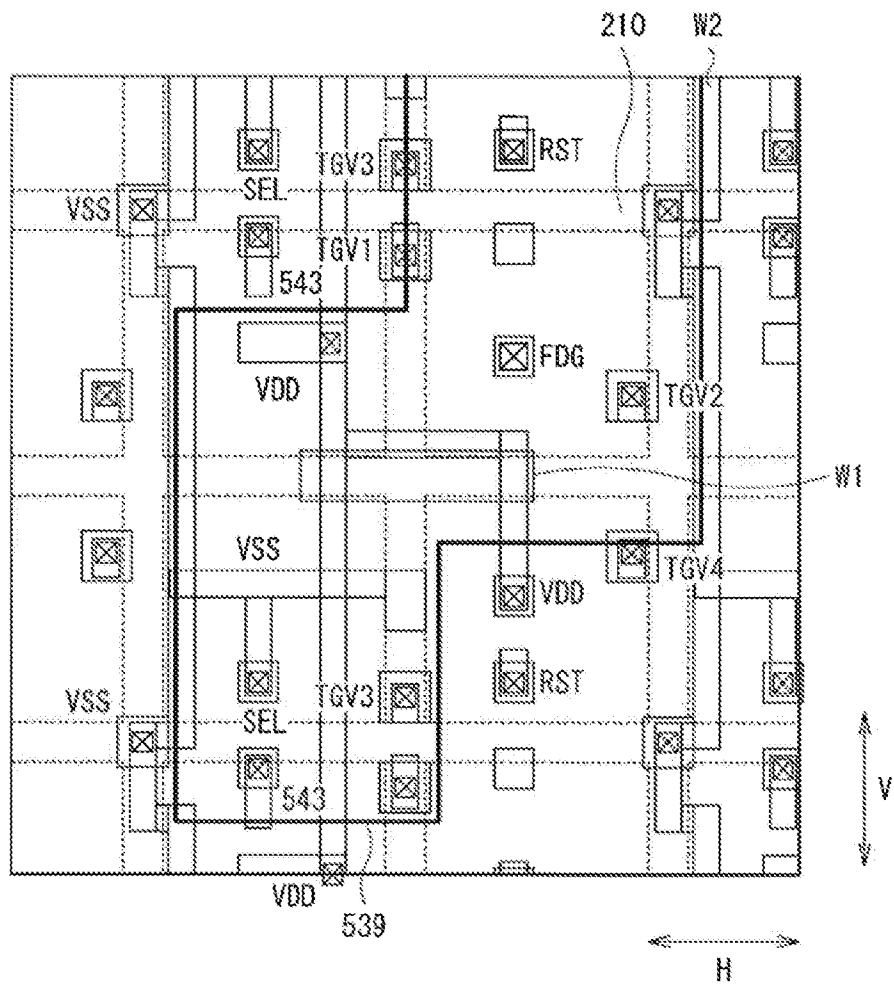
[図21]



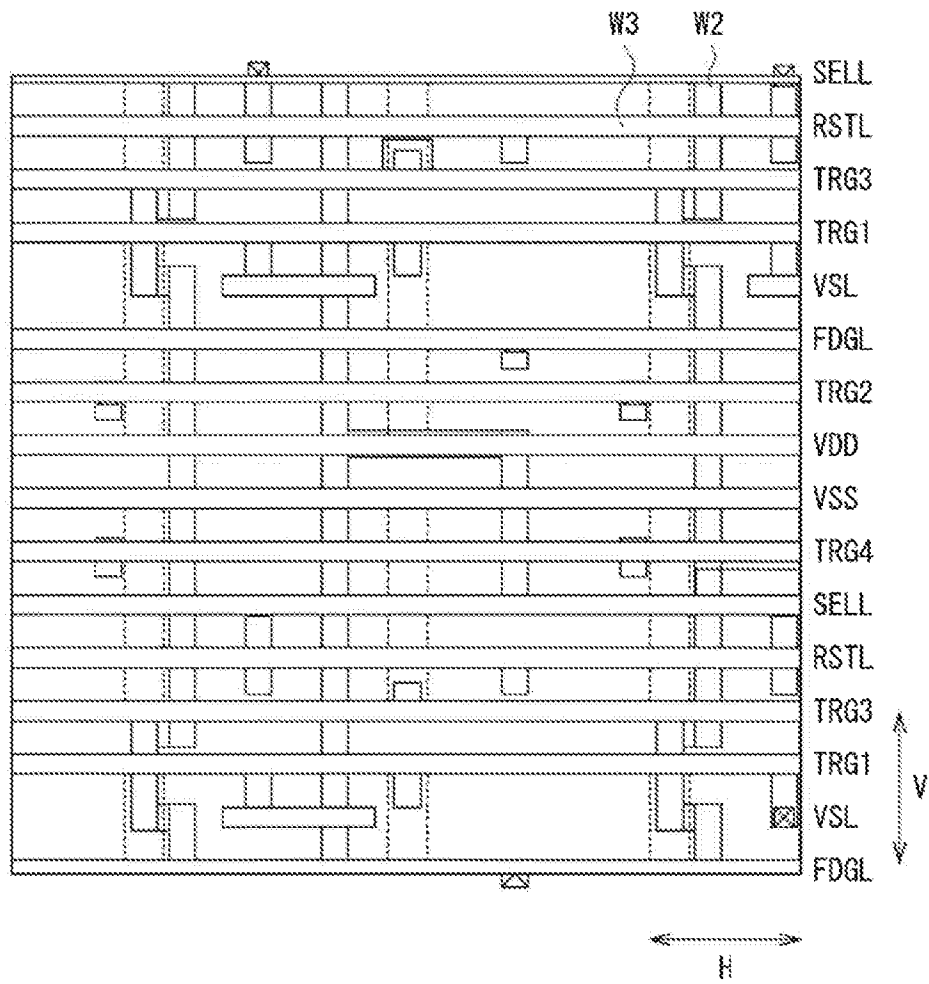
[図22]



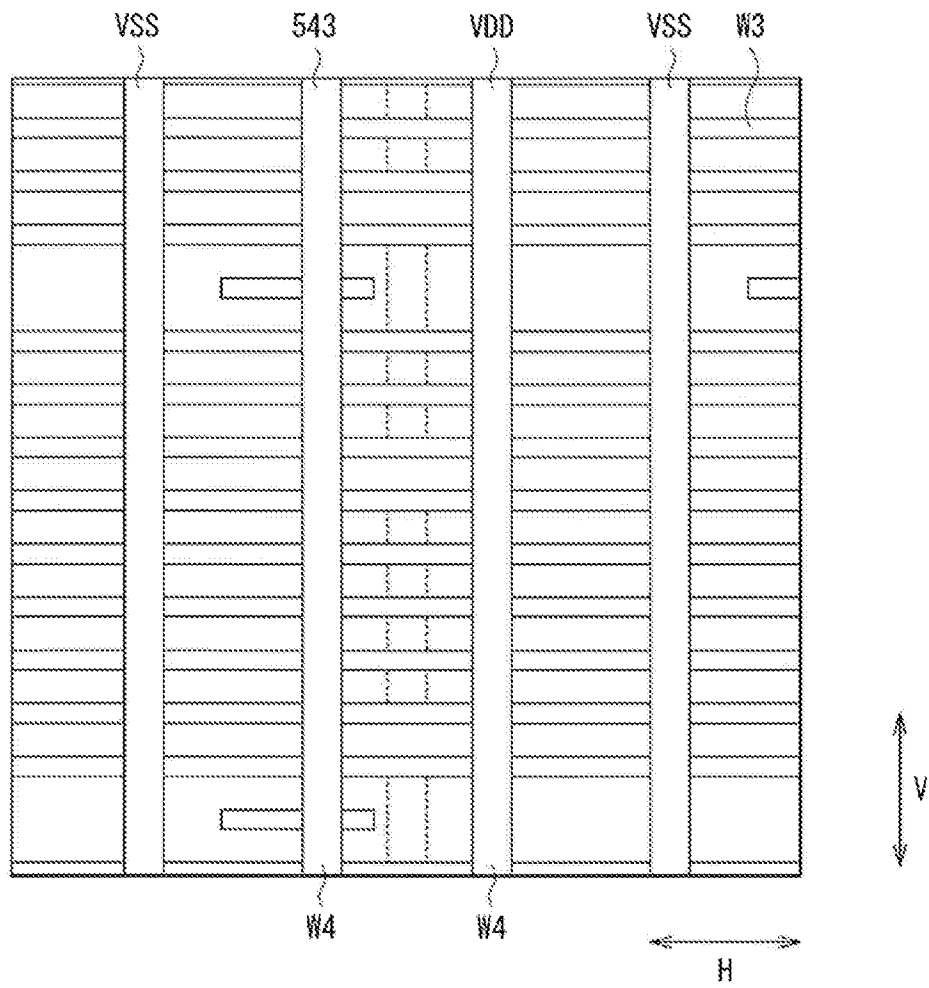
[図23]



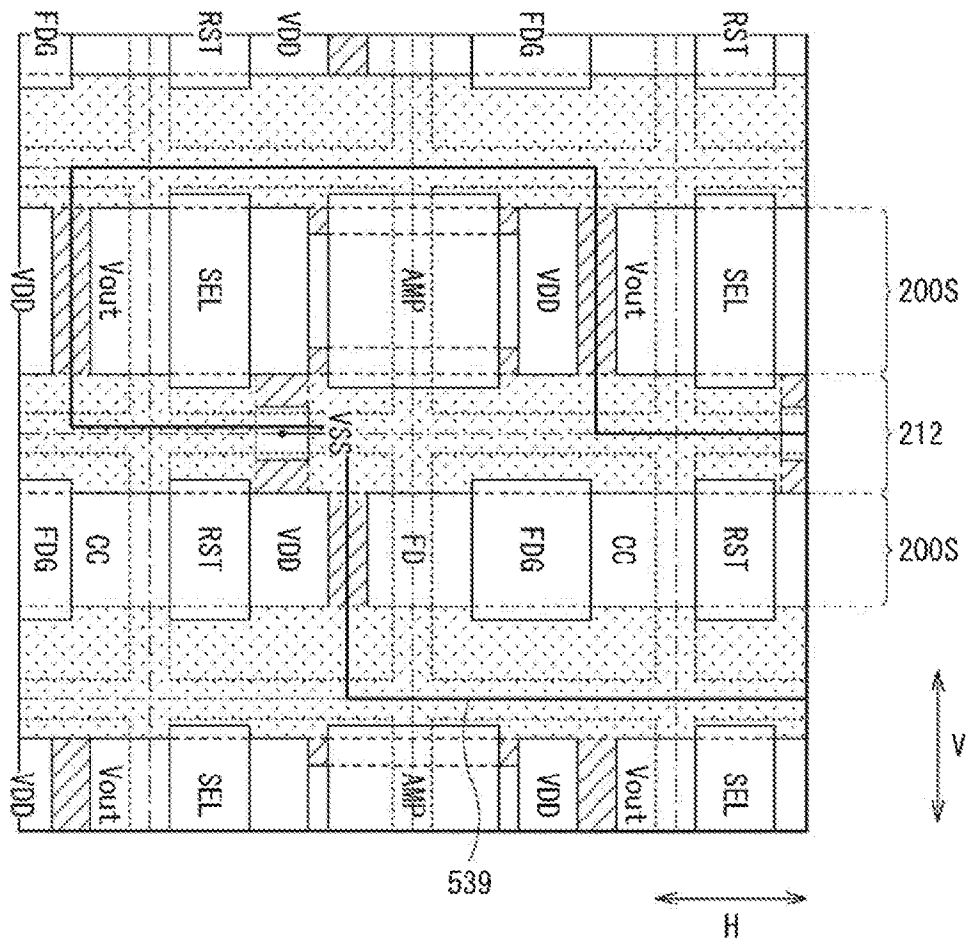
[図24]



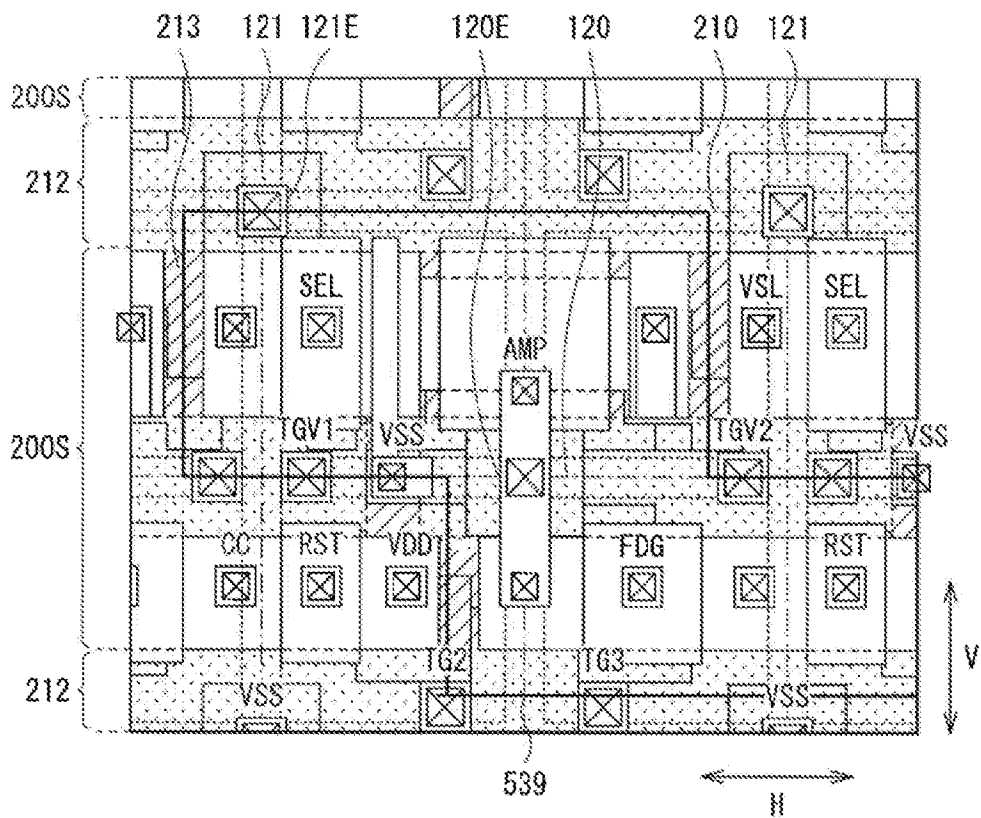
[図25]



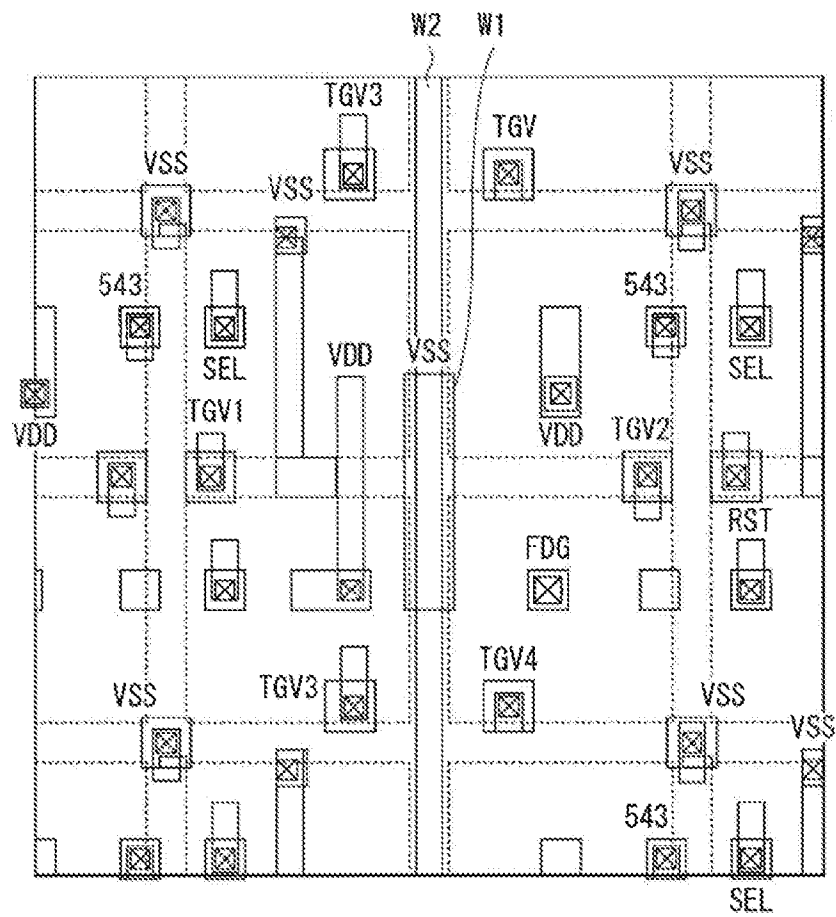
[図27]



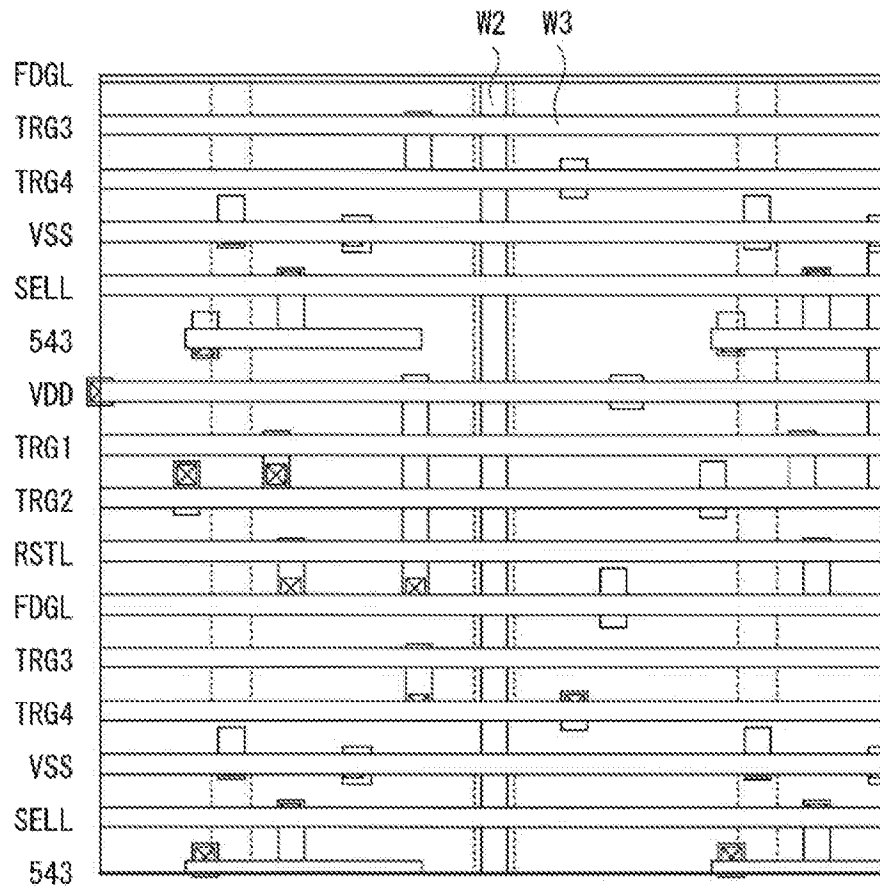
[図28]



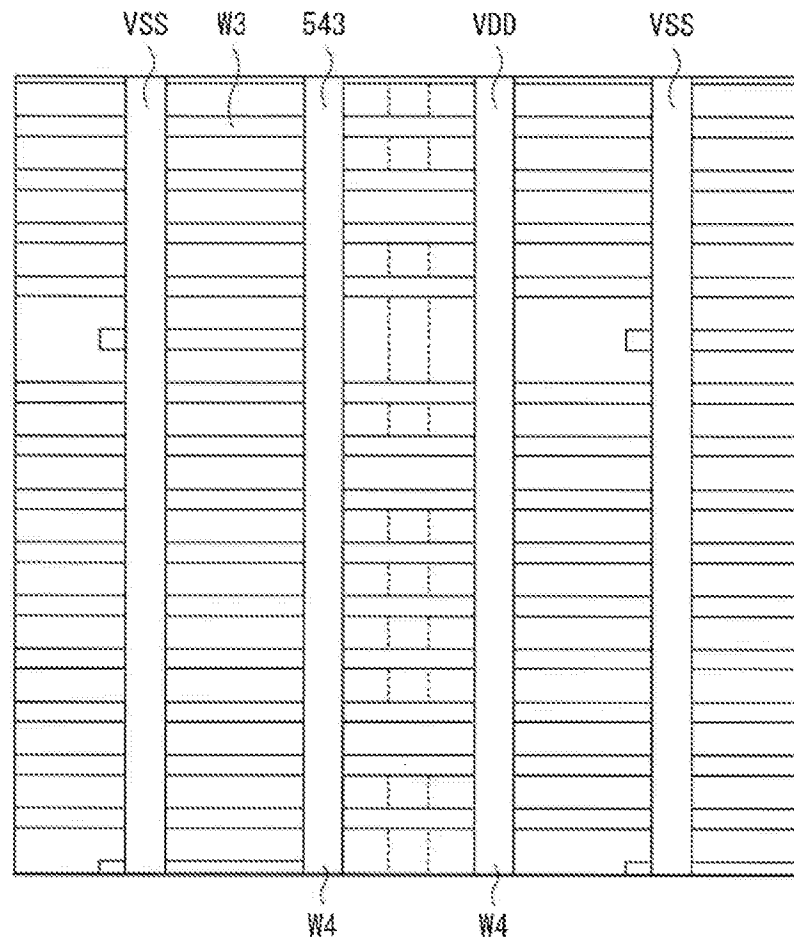
[図29]



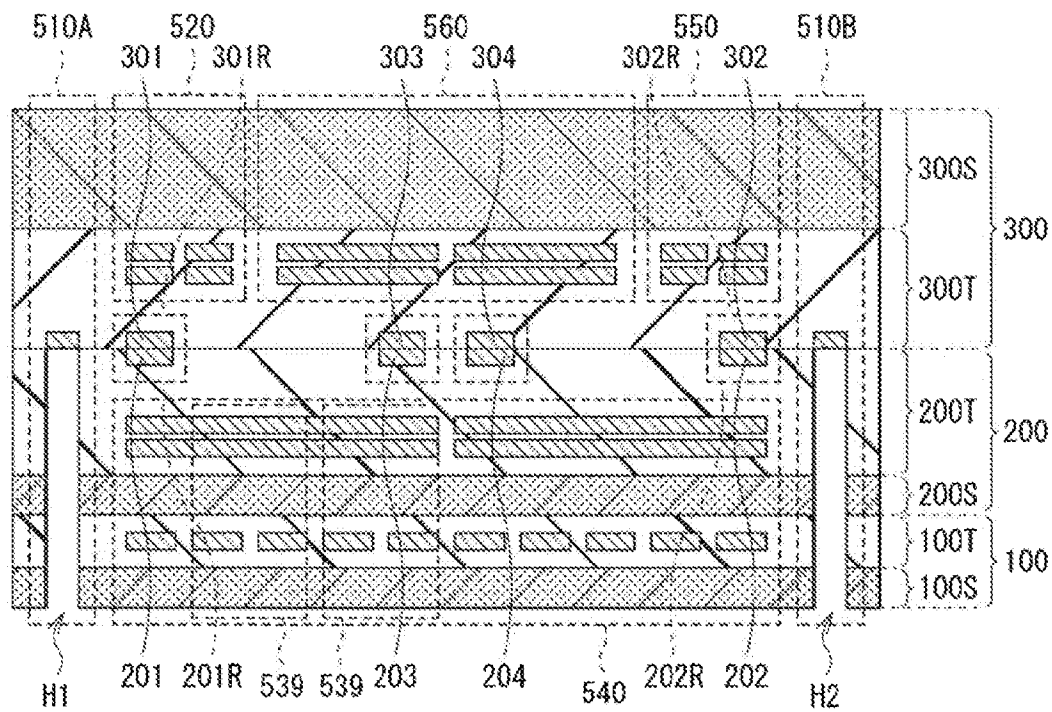
[図30]



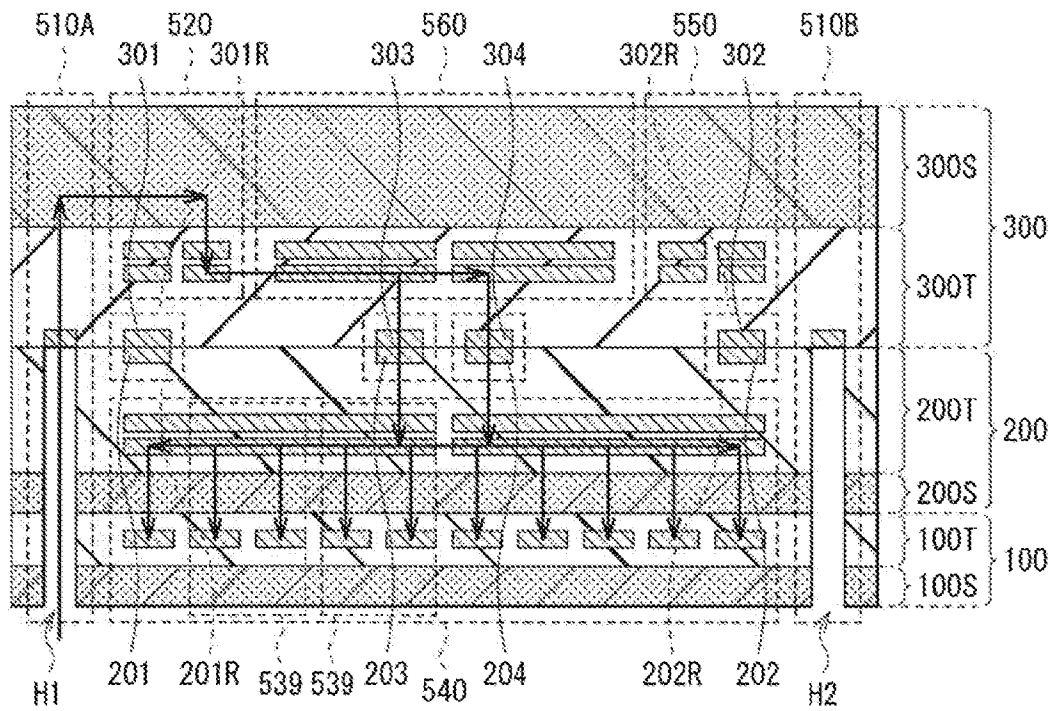
[図31]



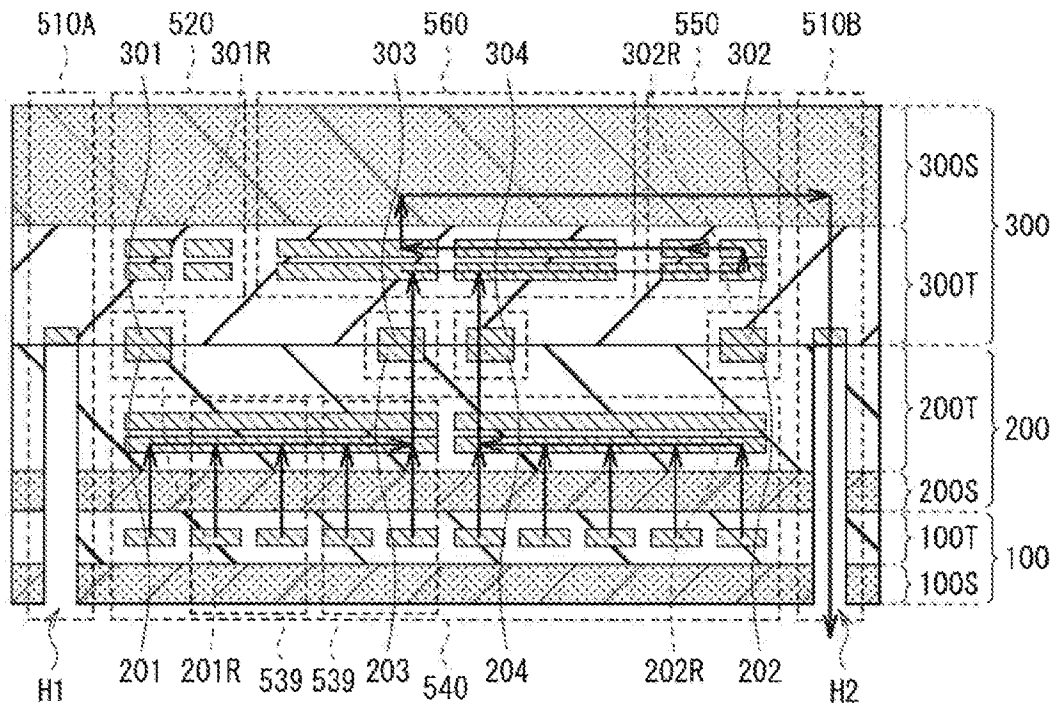
[図32]



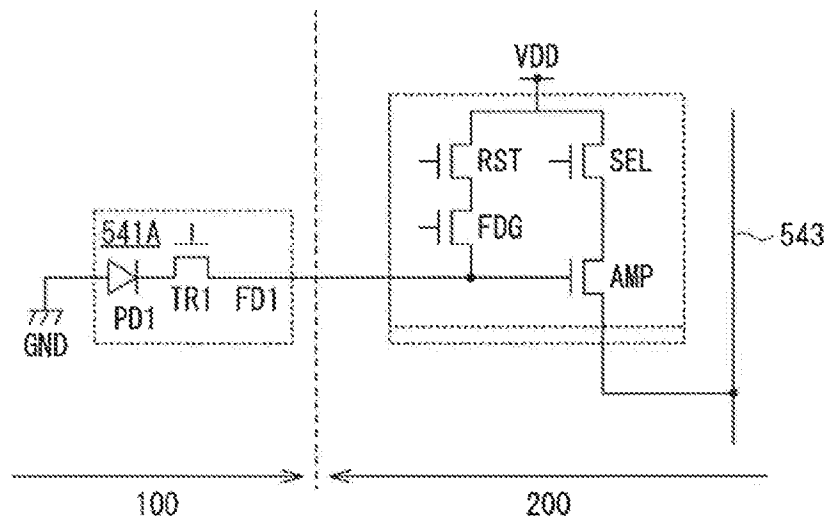
[図33]



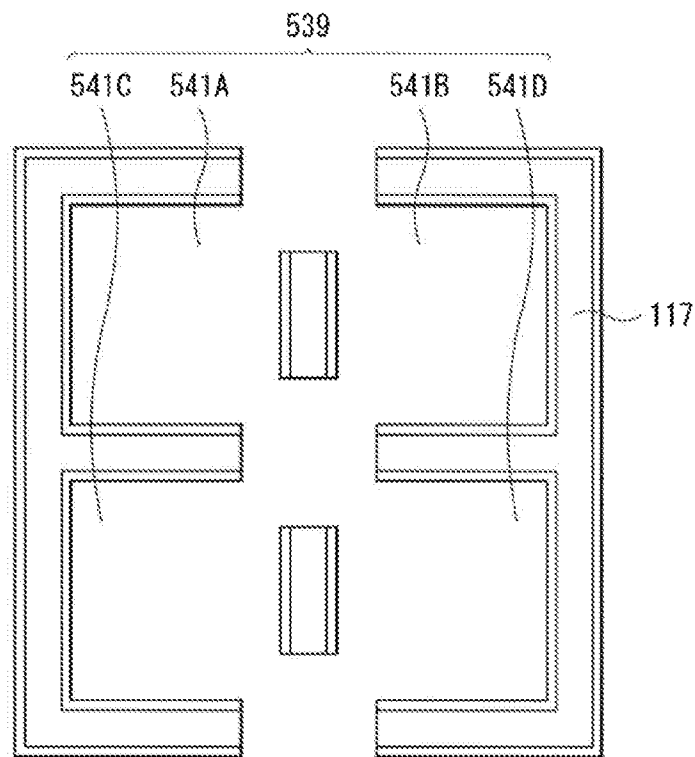
[図34]



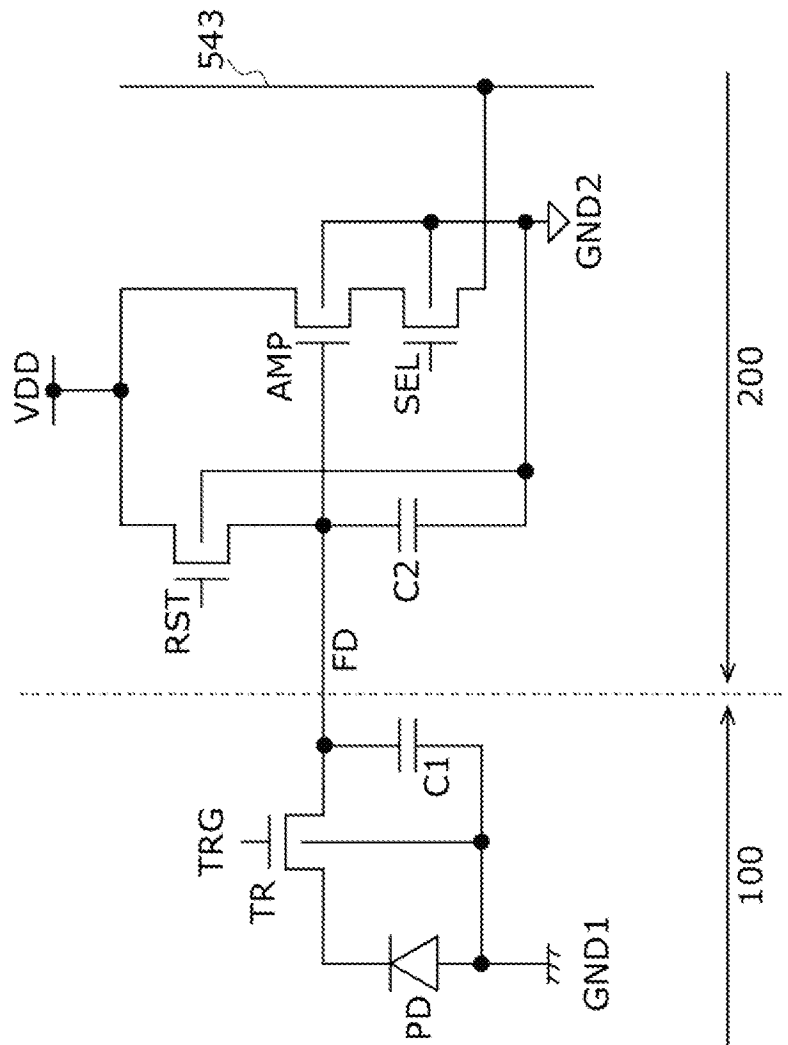
[図36]



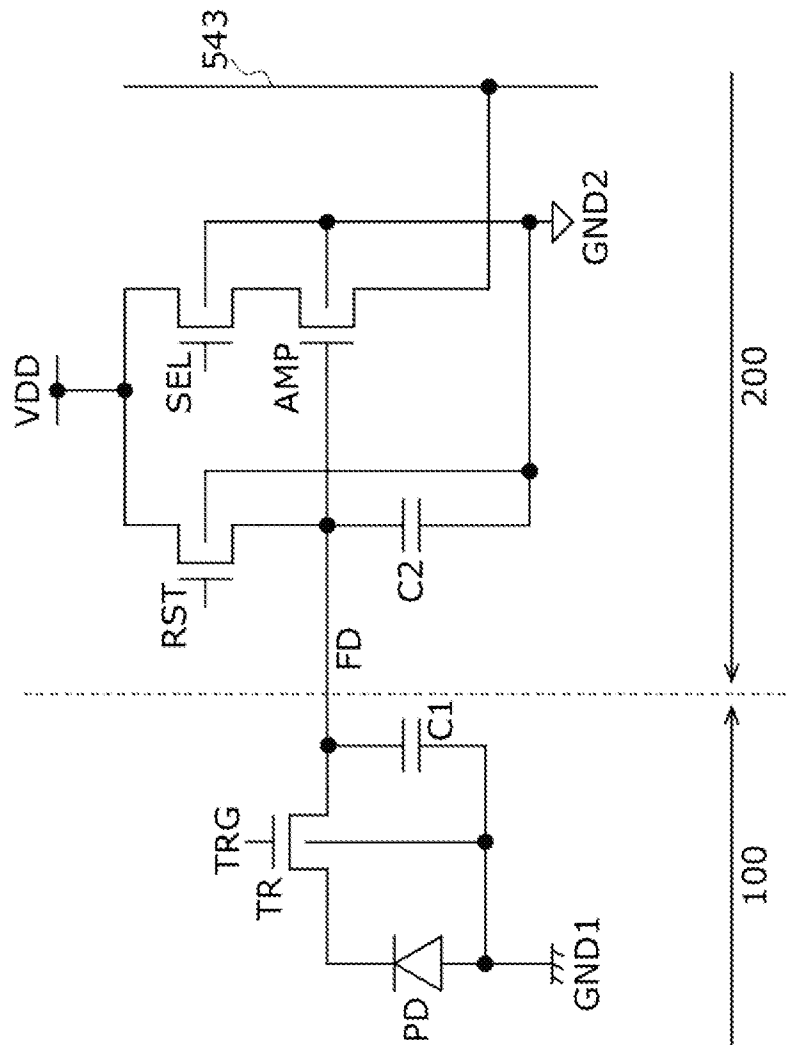
[図37]



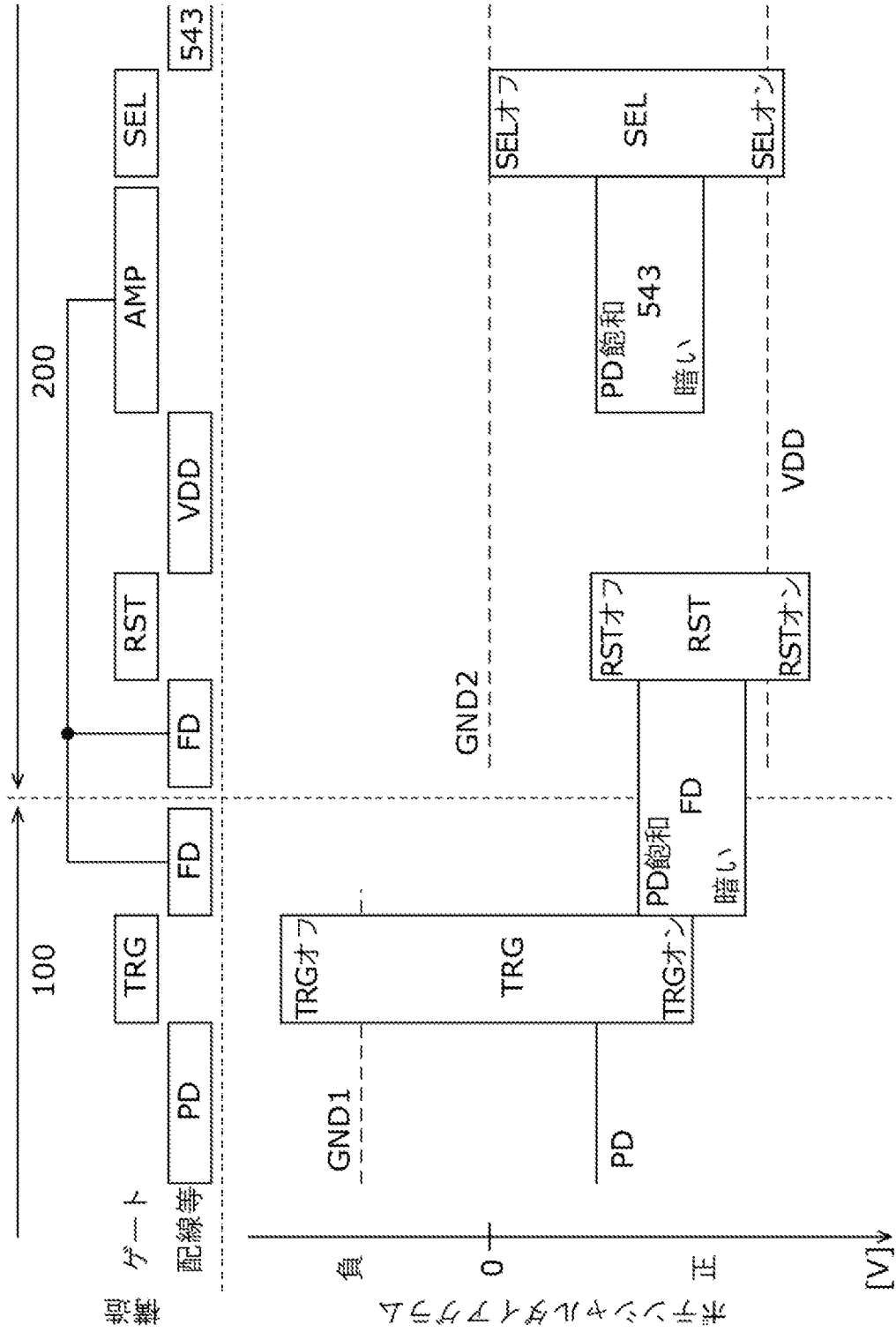
[図38]



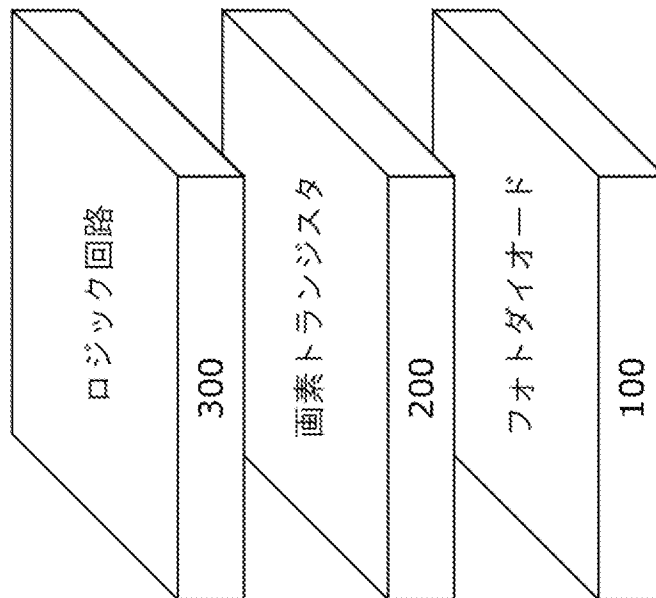
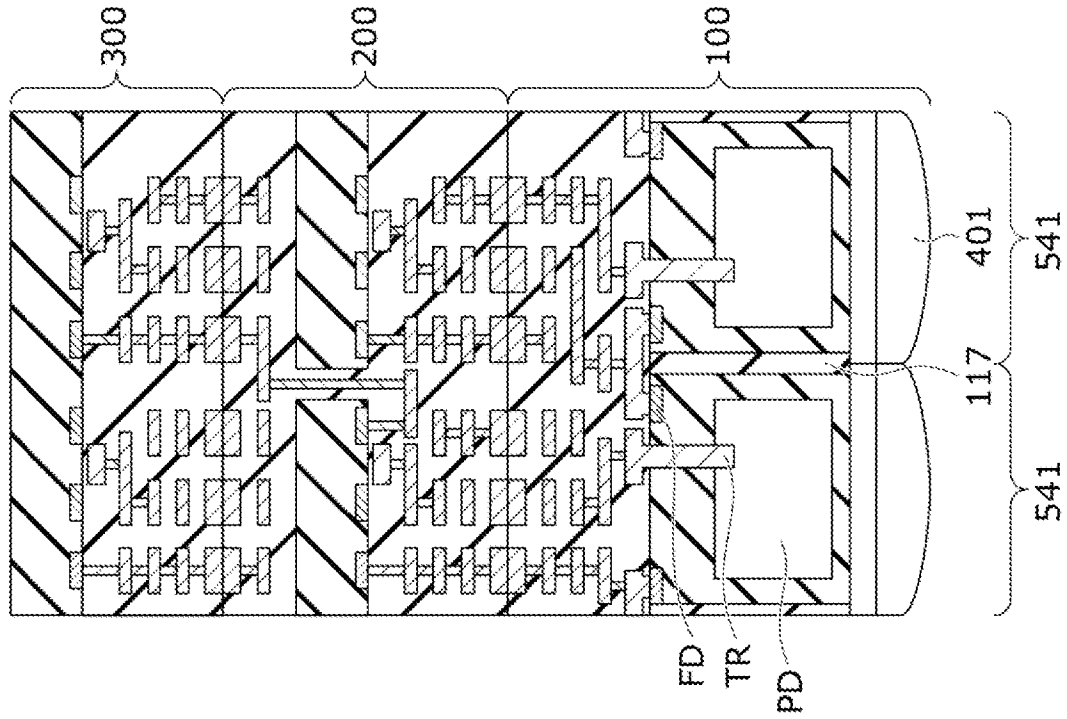
[図39]



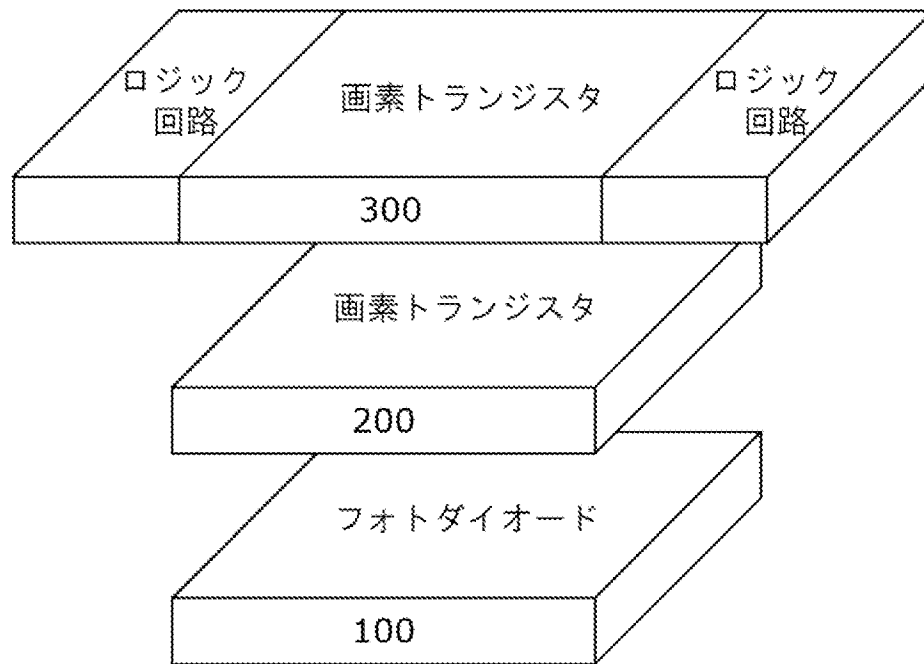
[図41]



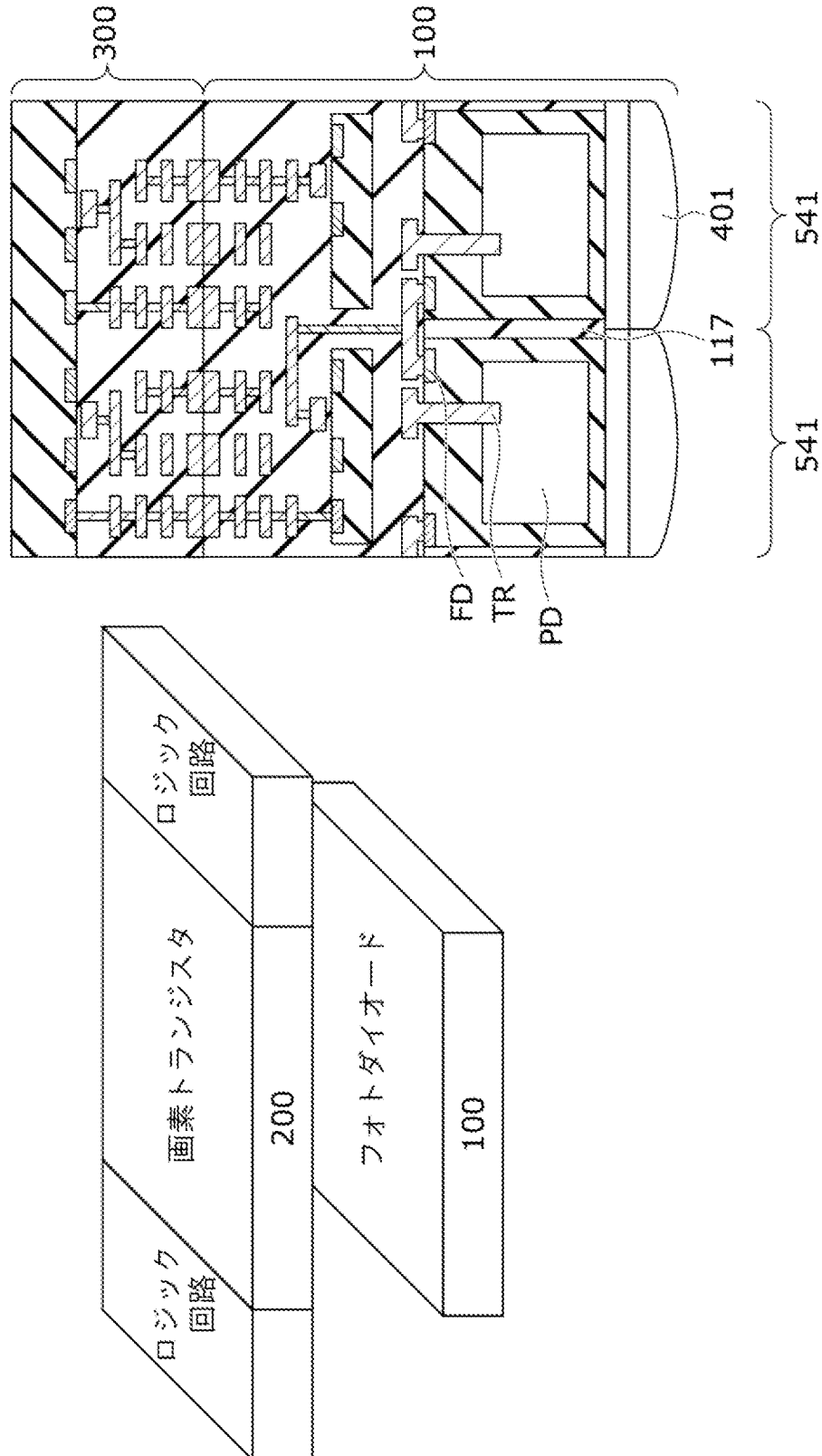
[図42]



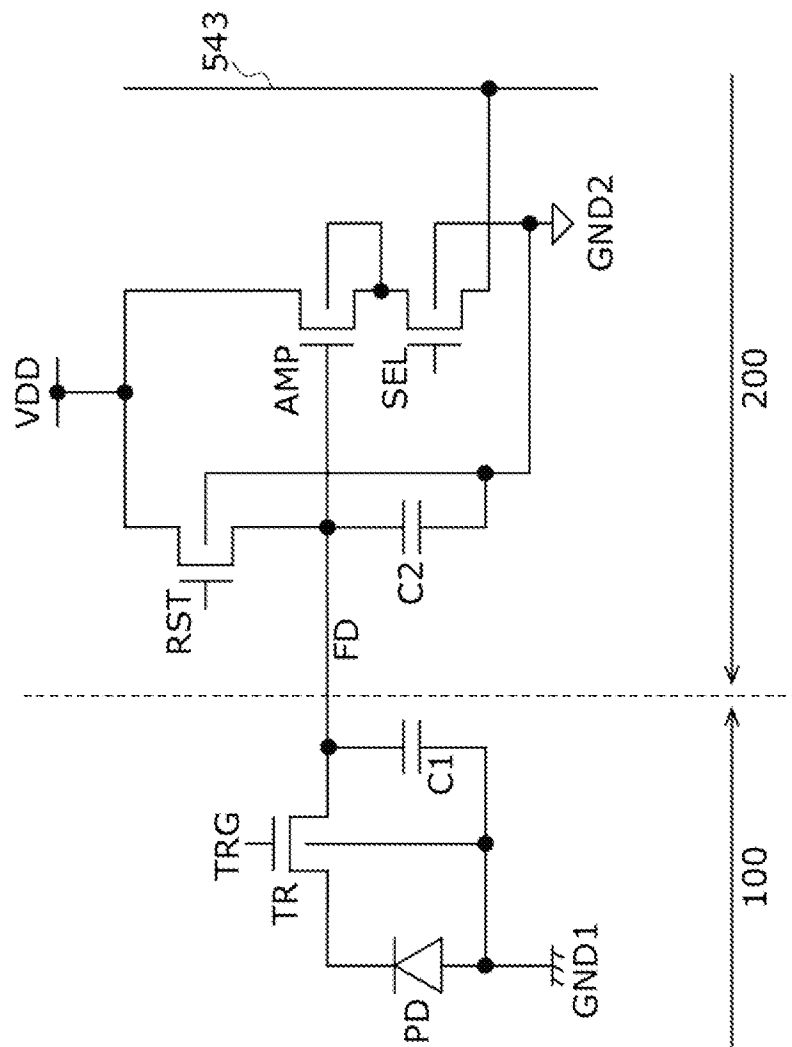
[図43]



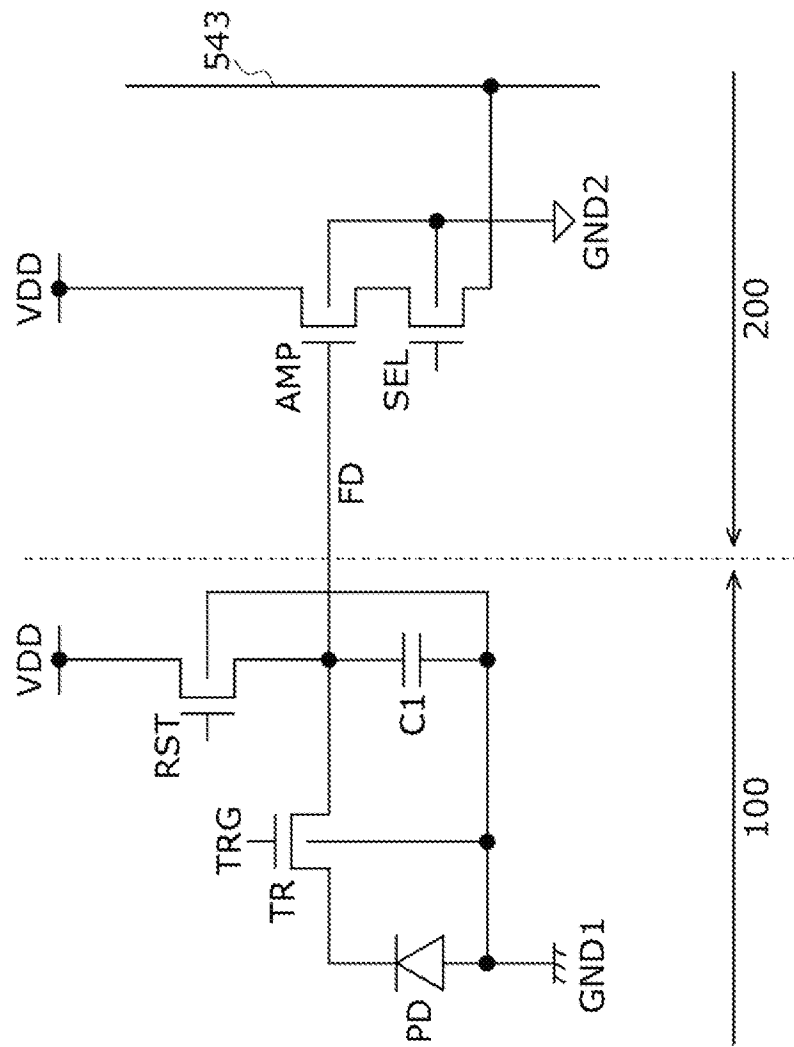
[図44]



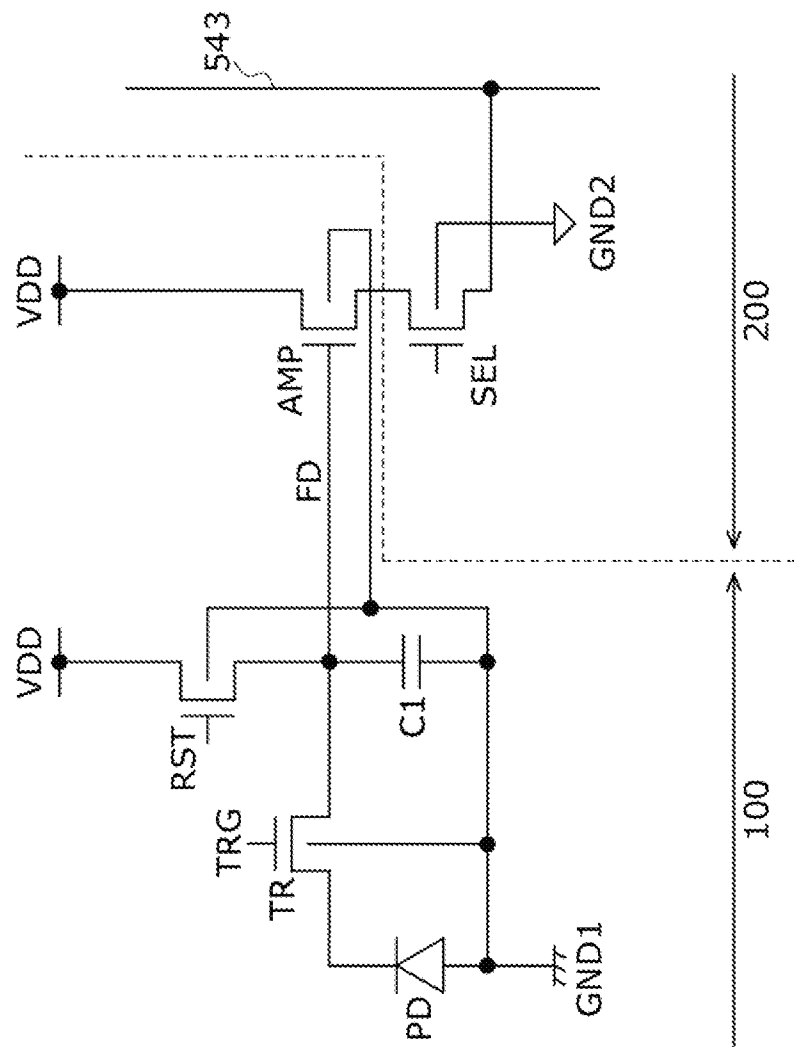
[図45]



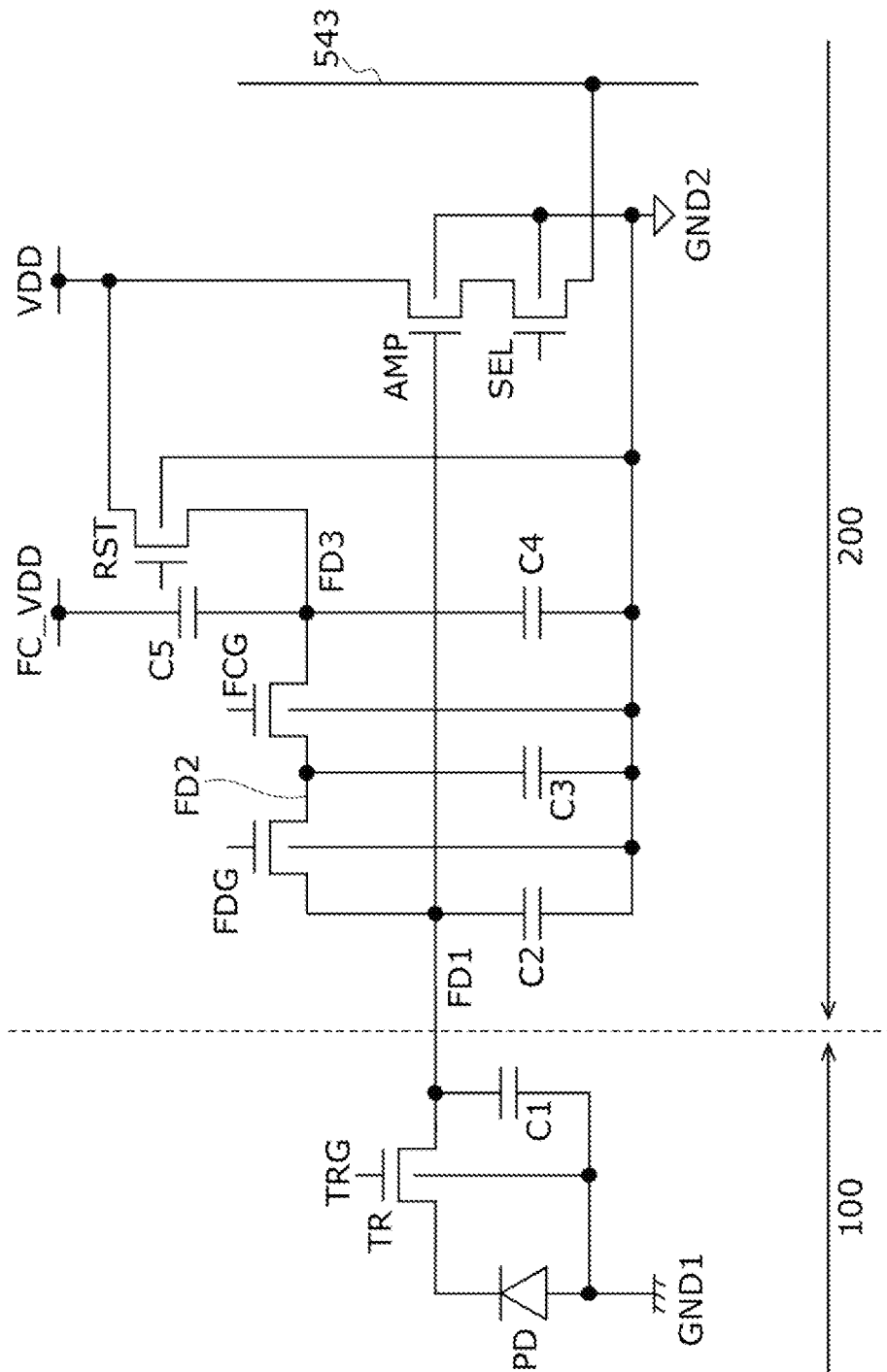
[図46]

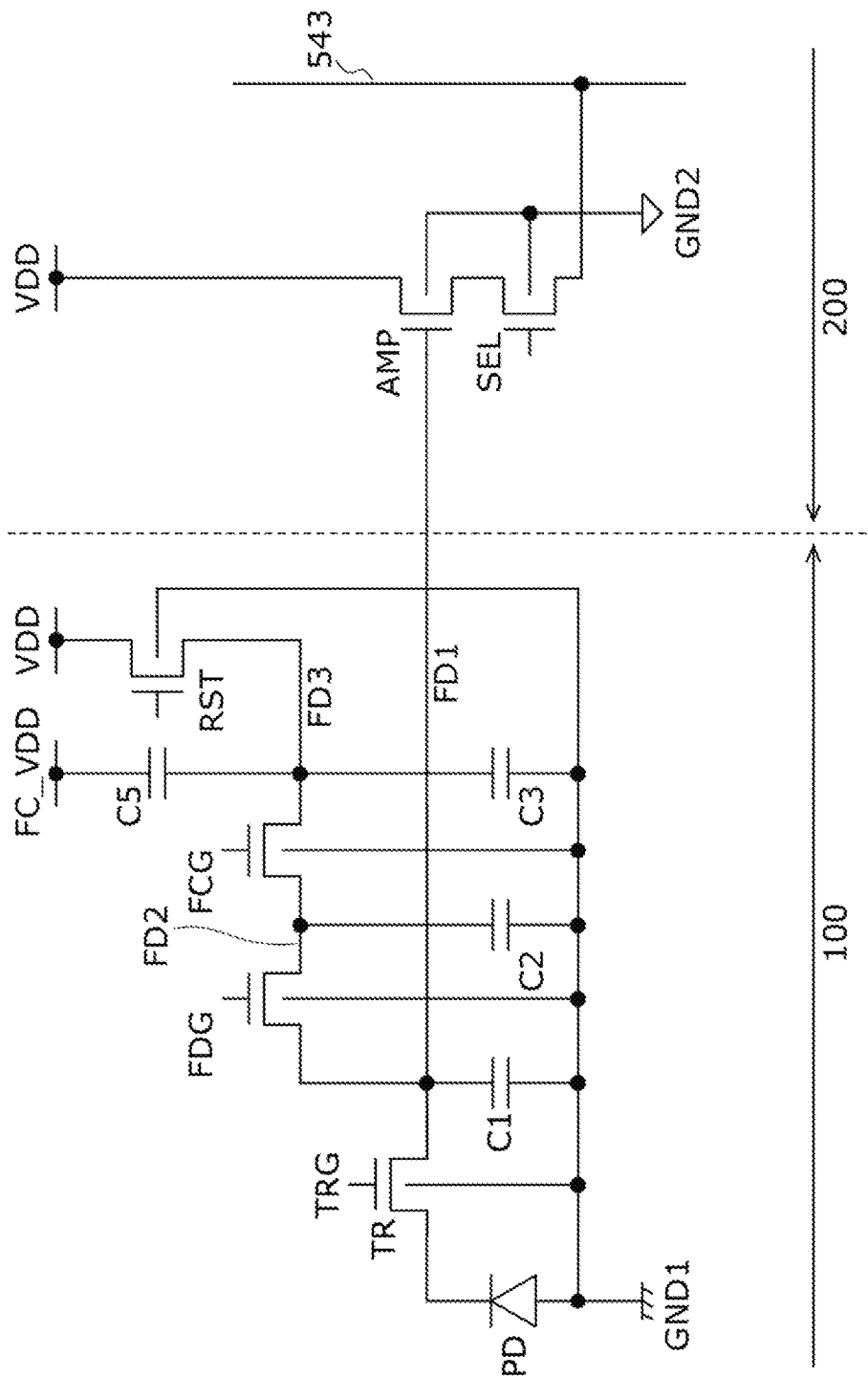


[図47]

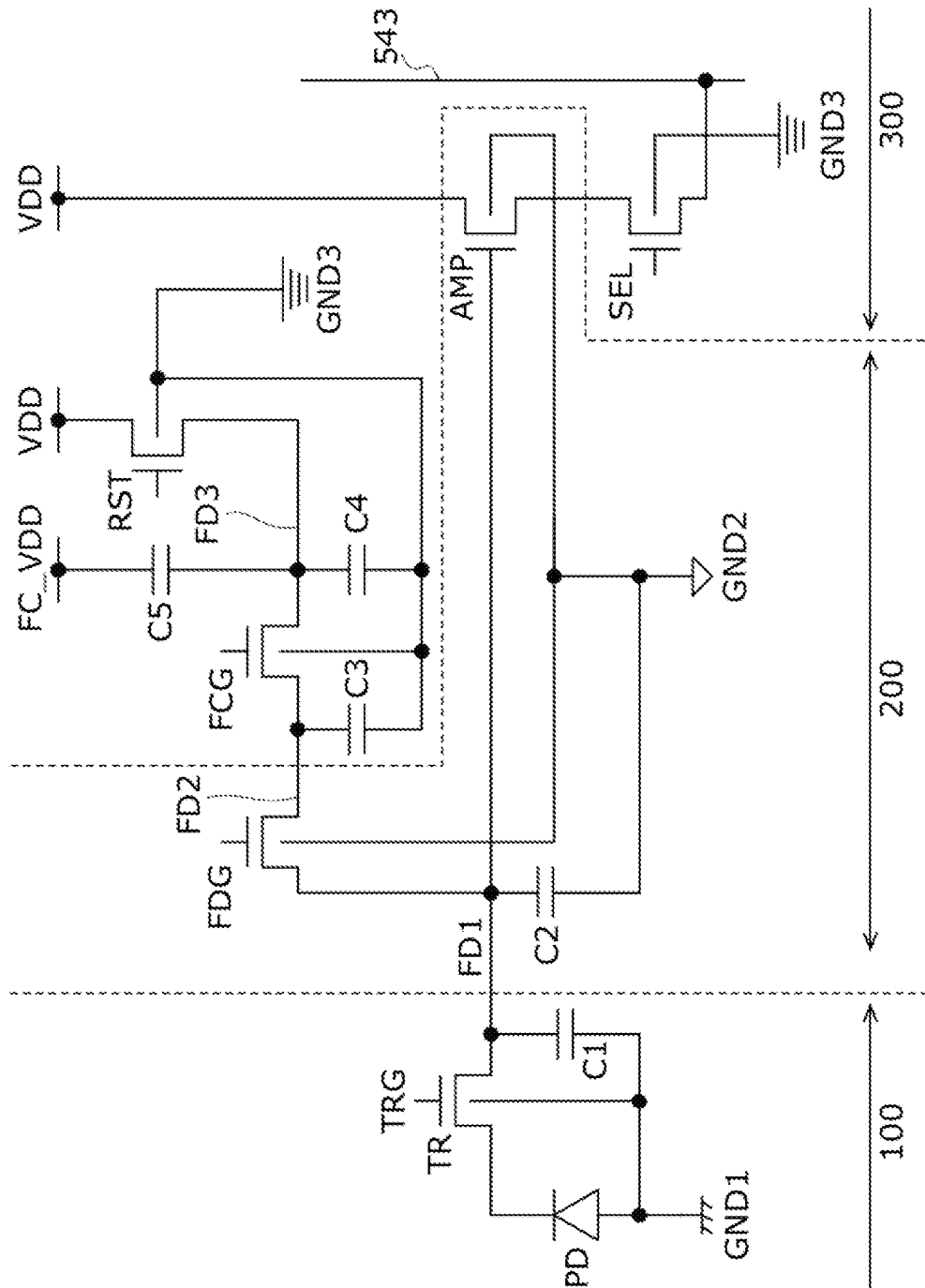


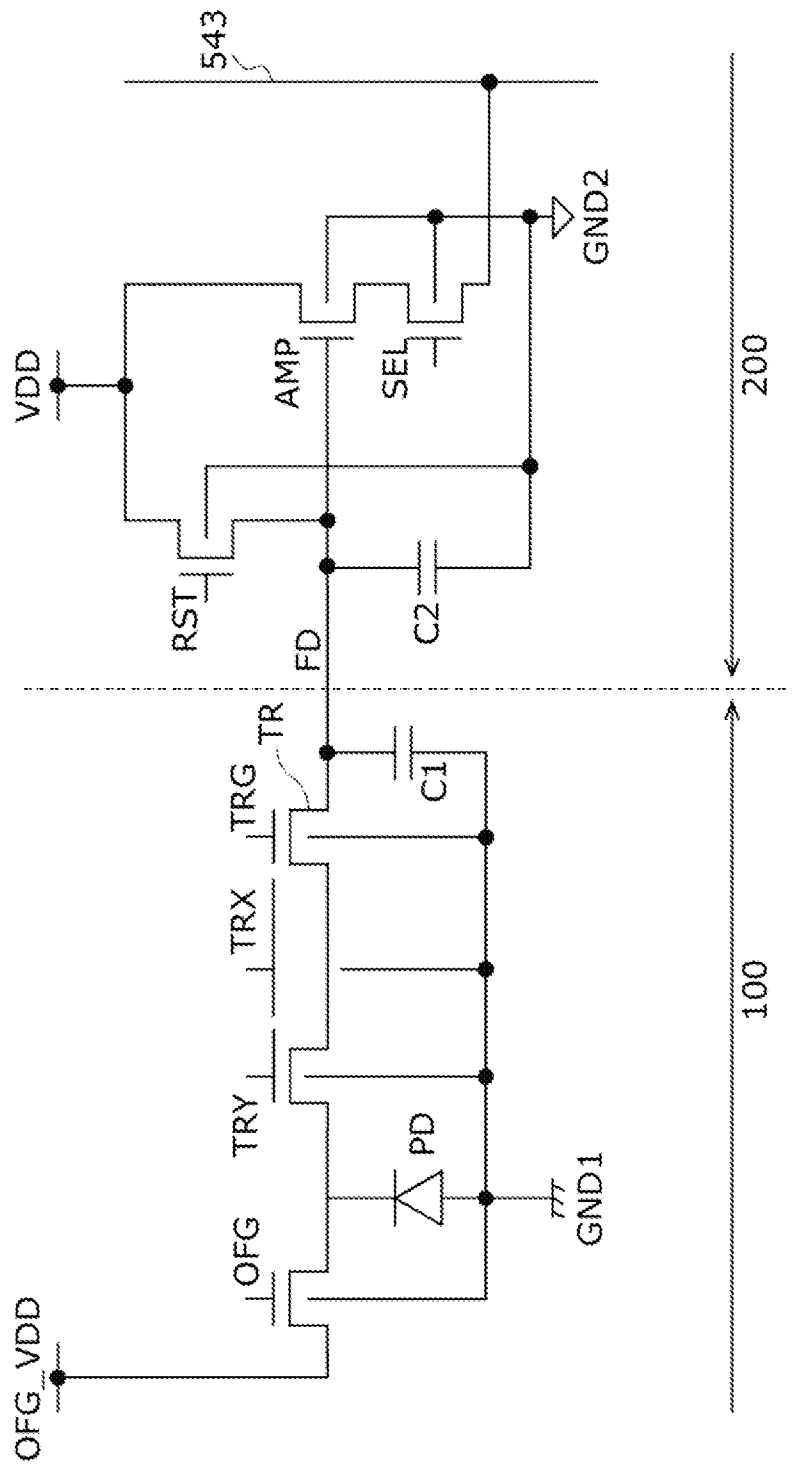
[図48]

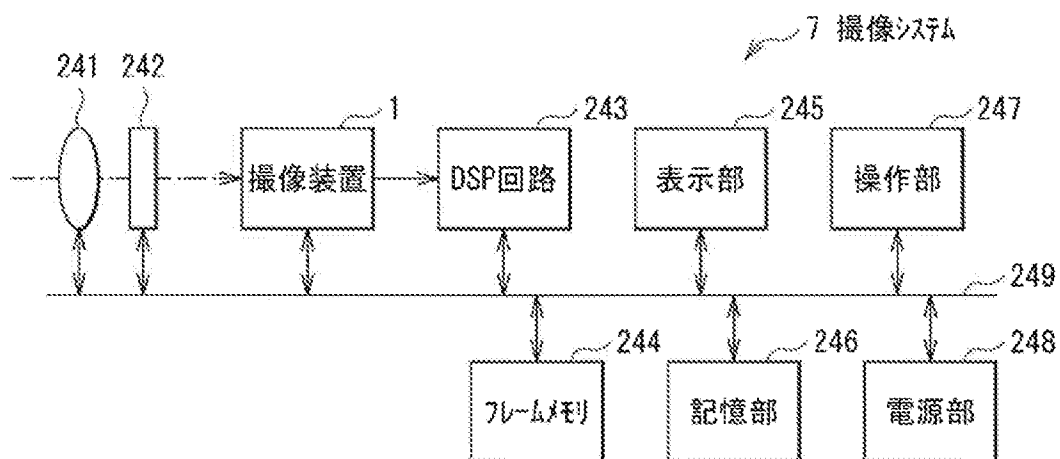
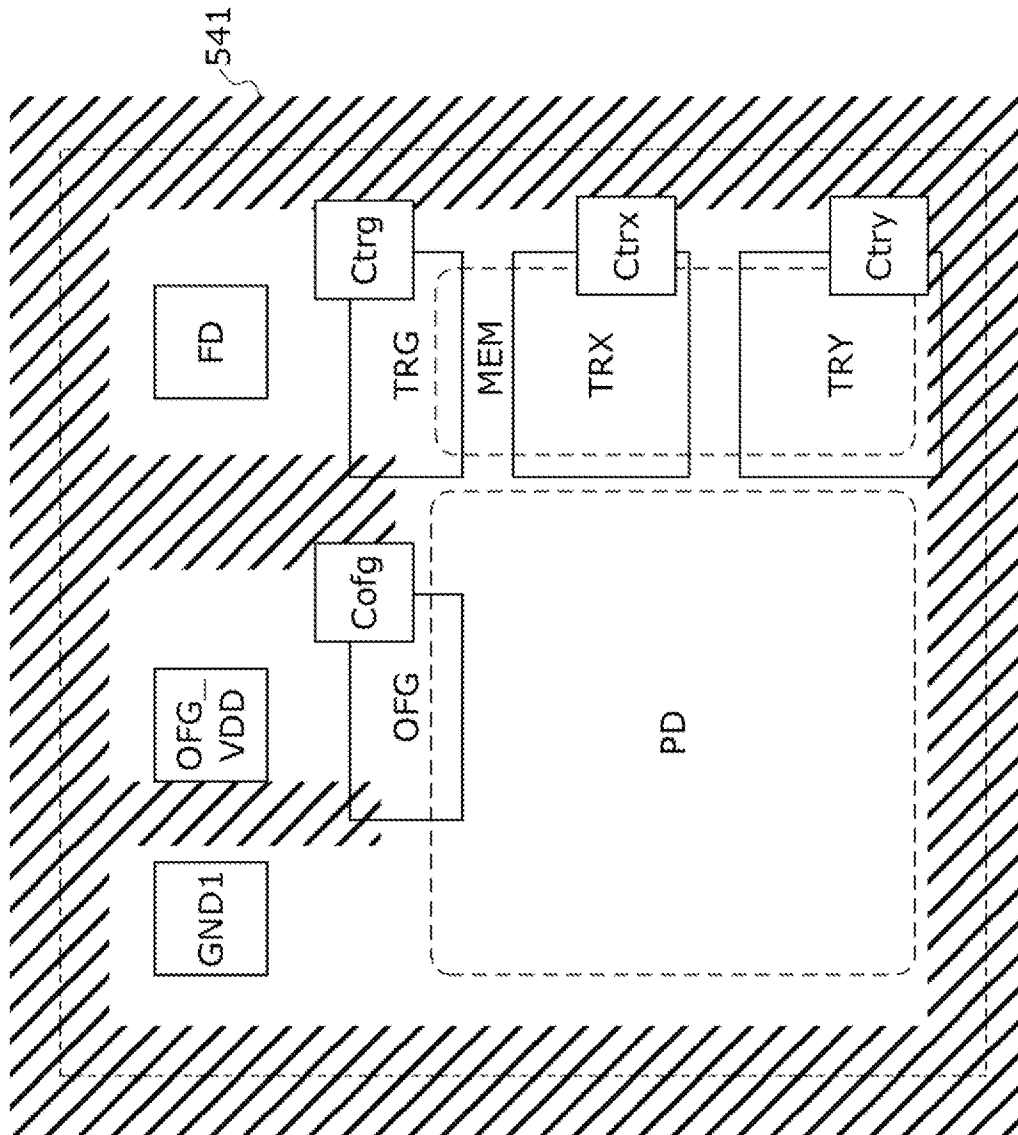




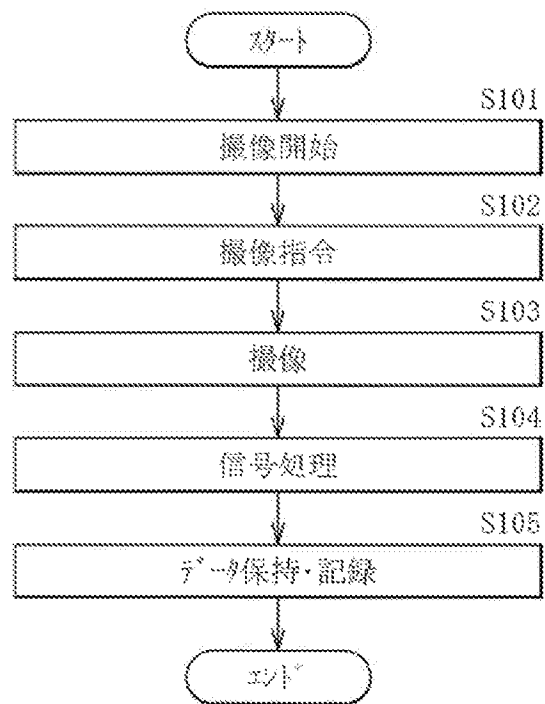
[図50]



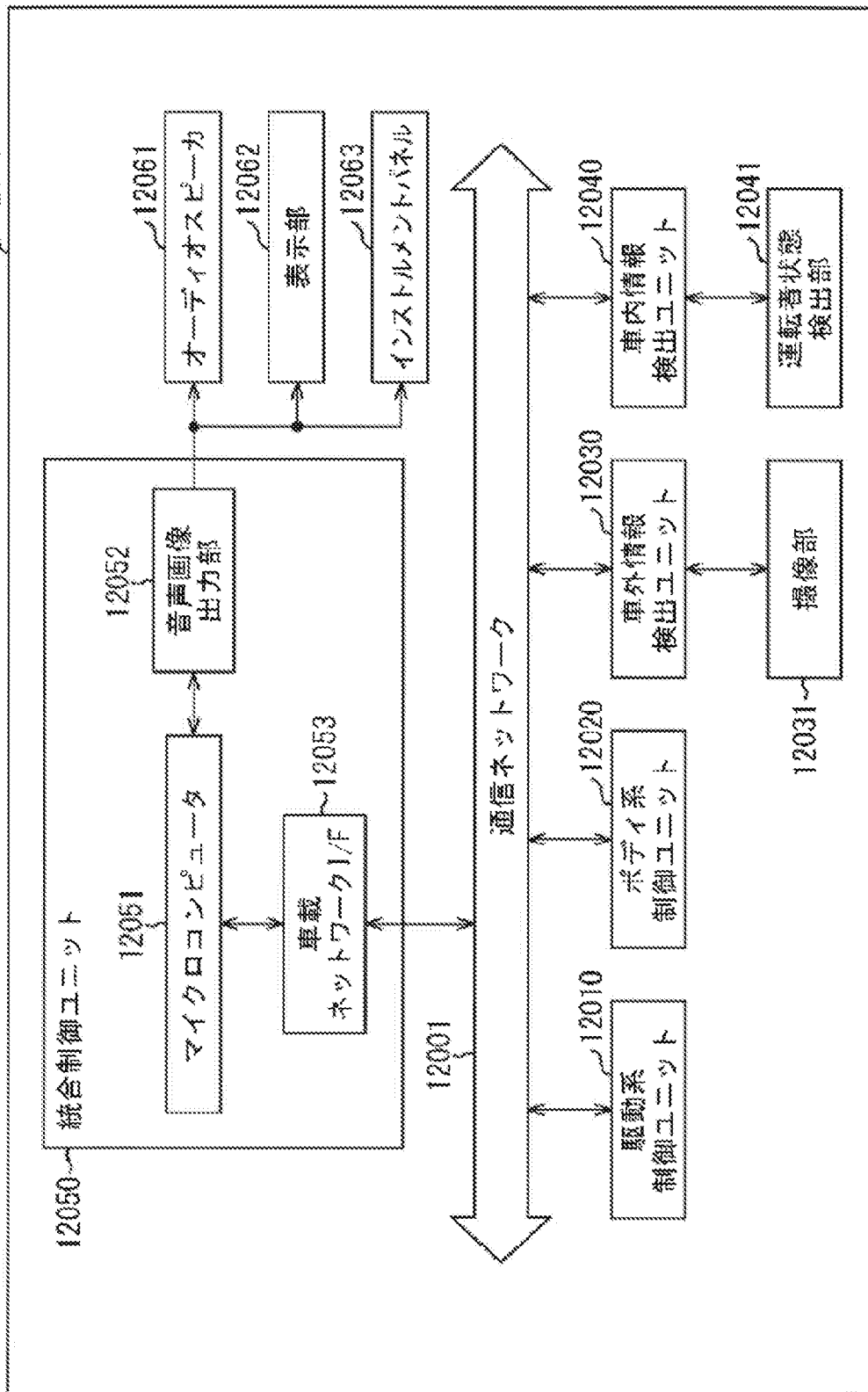




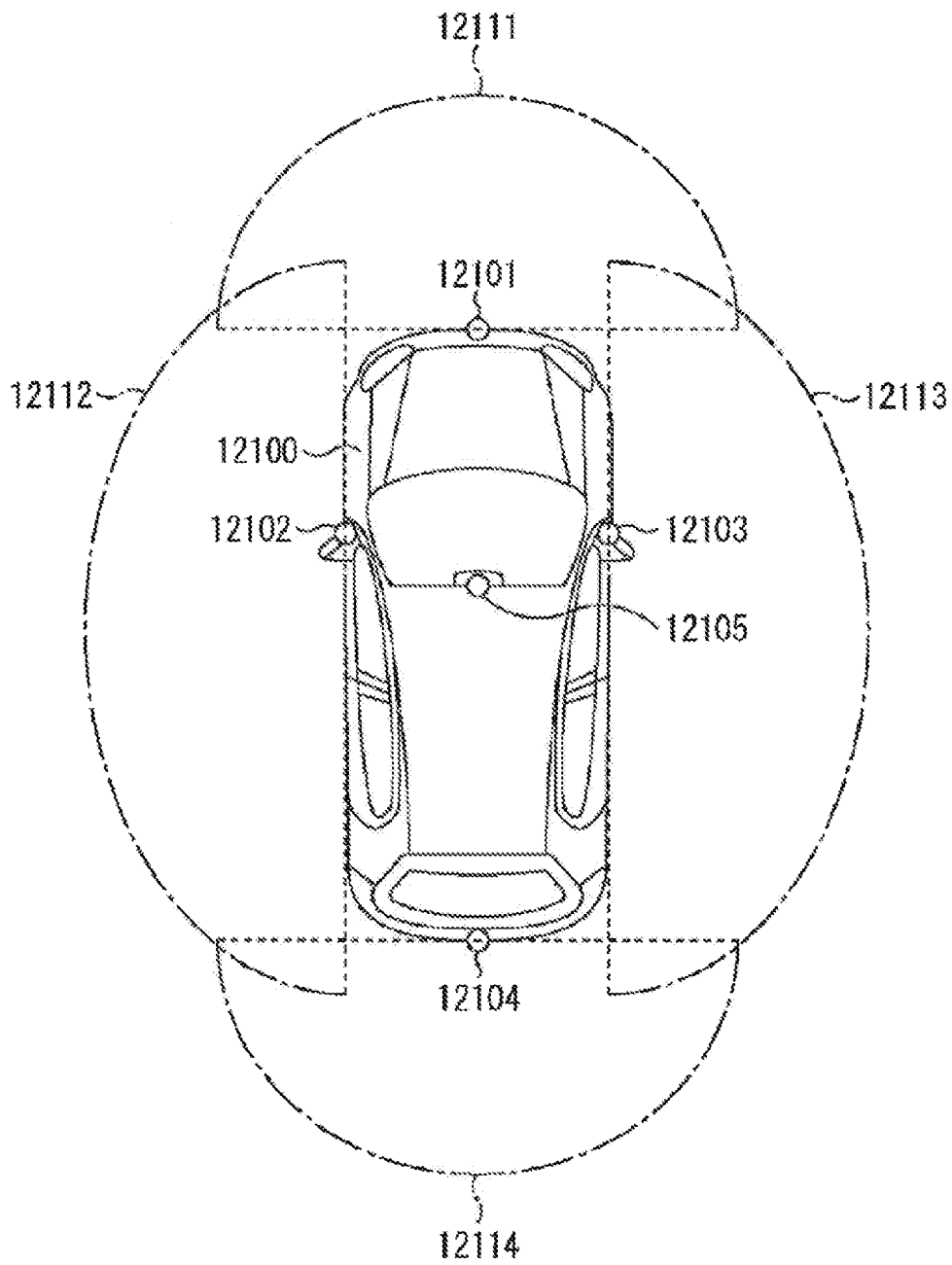
[図54]



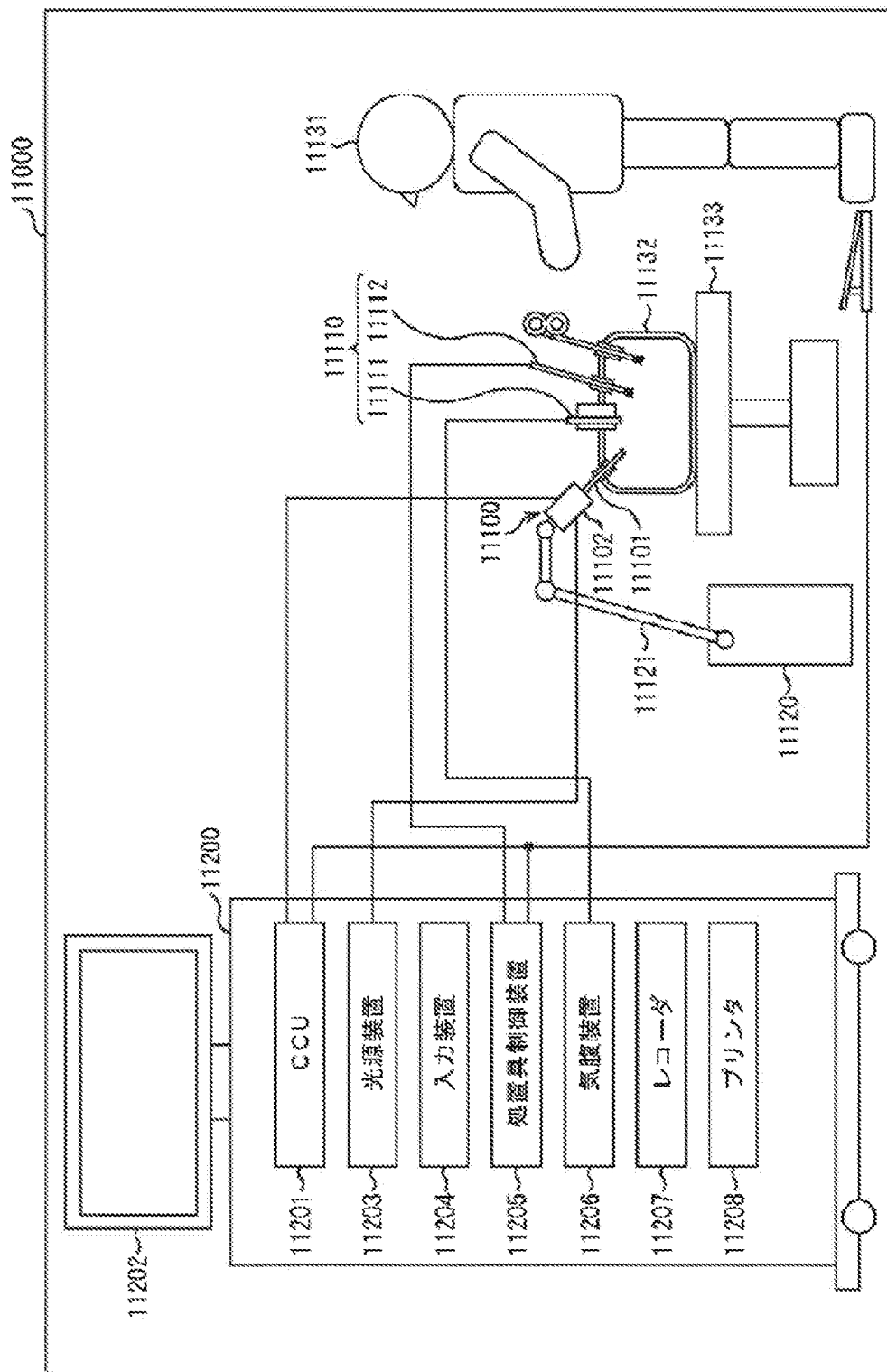
[図55]



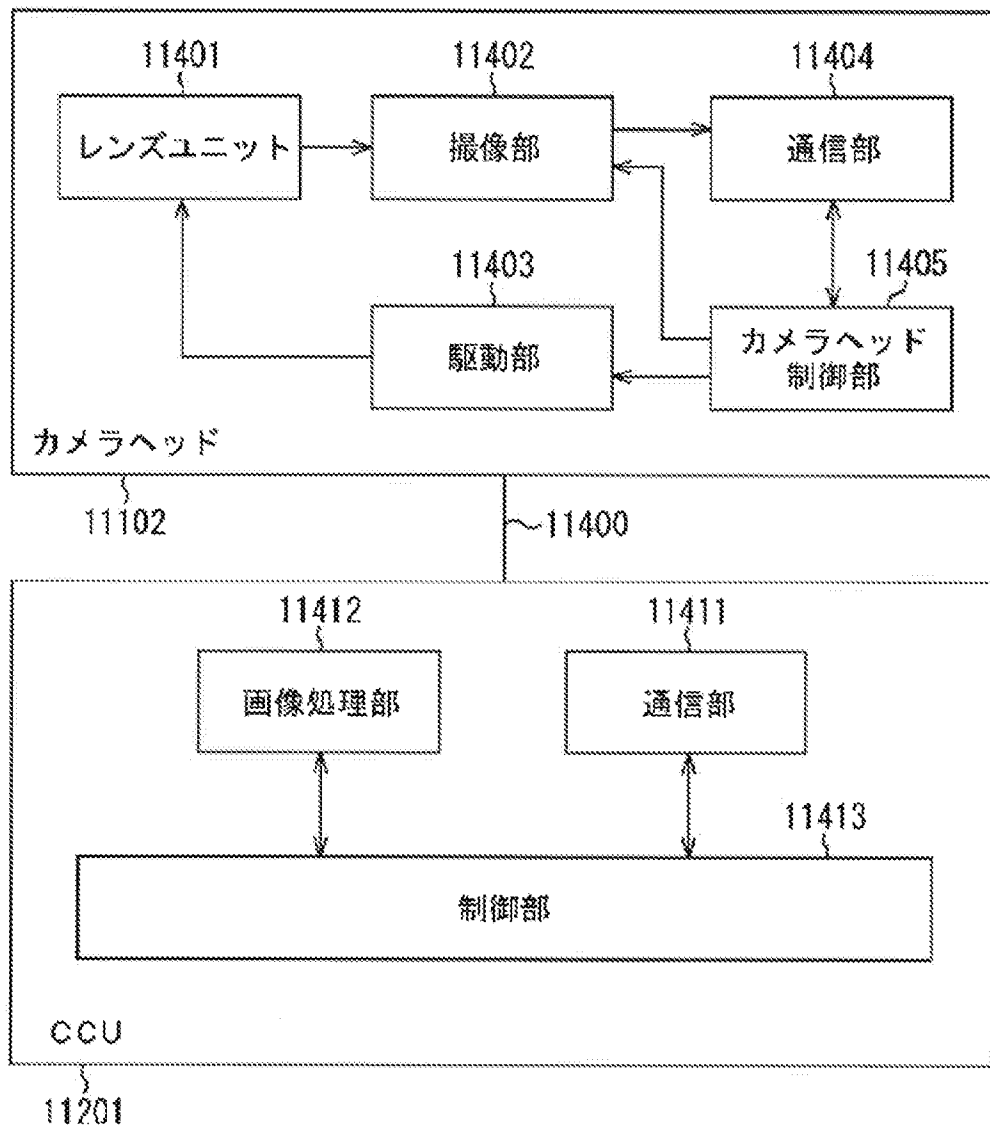
[図56]



[図57]



[図58]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/000469

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/146(2006.01)i; **H04N 25/532**(2023.01)i; **H04N 25/70**(2023.01)i; **H04N 25/772**(2023.01)i; **H04N 25/79**(2023.01)i
FI: H01L27/146 D; H01L27/146 A; H04N25/532; H04N25/70; H04N25/772; H04N25/79

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146; H04N25/532; H04N25/70; H04N25/772; H04N25/79

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-159501 A (SONY CORPORATION) 03 September 2015 (2015-09-03) paragraphs [0065]-[0092], fig. 11-15	1-16
Y	WO 2016/185839 A1 (SONY CORPORATION) 24 November 2016 (2016-11-24) paragraphs [0046]-[0050], fig. 4	1-16
Y	WO 2020/105713 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 28 May 2020 (2020-05-28) paragraphs [0011]-[0019], [0350]-[0356], fig. 1-2, 68-69	1-16
Y	JP 2009-283552 A (PANASONIC CORPORATION) 03 December 2009 (2009-12-03) paragraphs [0023]-[0029], [0051]-[0053], fig. 1-5	6, 9
Y	WO 2021/200174 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 07 October 2021 (2021-10-07) paragraphs [0097]-[0100], fig. 25-26	11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 March 2024

Date of mailing of the international search report

02 April 2024

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2022-152974 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 12 October 2022 (2022-10-12) paragraphs [0032]-[0048], [0079], fig. 4-5	12-13
Y	JP 2013-192015 A (NIPPON HOSO KYOKAI) 26 September 2013 (2013-09-26) paragraphs [0030]-[0033], fig. 4	15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/000469

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2015-159501	A	03 September 2015	US 2017/0053957 A1 paragraphs [0086]-[0113], fig. 11-15 WO 2015/129197 A1 EP 3111479 A1 TW 201535702 A CN 106030803 A KR 10-2016-0125954 A	
WO	2016/185839	A1	24 November 2016	US 2018/0084211 A1 paragraphs [0077]-[0081], fig. 4 CN 107534748 A	
WO	2020/105713	A1	28 May 2020	EP 3886144 A1 paragraphs [0011]-[0019], [0351]-[0357], fig. 1-2, 68-69 US 2021/0400224 A1 CN 112889136 A KR 10-2021-0093869 A TW 202029490 A	
JP	2009-283552	A	03 December 2009	US 2009/0290058 A1 paragraphs [0034]-[0040], [0062]-[0064], fig. 1-5	
WO	2021/200174	A1	07 October 2021	US 2023/0139176 A1 paragraphs [0153]-[0156], fig. 25-26 CN 115335999 A	
JP	2022-152974	A	12 October 2022	WO 2022/209649 A1	
JP	2013-192015	A	26 September 2013	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i; H04N 25/532(2023.01)i; H04N 25/70(2023.01)i; H04N 25/772(2023.01)i;
H04N 25/79(2023.01)i
FI: H01L27/146 D; H01L27/146 A; H04N25/532; H04N25/70; H04N25/772; H04N25/79

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/146; H04N25/532; H04N25/70; H04N25/772; H04N25/79

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-159501 A（ソニー株式会社）03.09.2015（2015-09-03） 段落 [0065] - [0092] , [図11] - [図15]	1-16
Y	WO 2016/185839 A1（ソニー株式会社）24.11.2016（2016-11-24） 段落 [0046] - [0050] , [図4]	1-16
Y	WO 2020/105713 A1（ソニーセミコンダクタソリューションズ株式会社）28.05.2020 （2020-05-28） 段落 [0011] - [0019] , [0350] - [0356] , [図1] - [図2] , [図68] - [図 69]	1-16
Y	JP 2009-283552 A（パナソニック株式会社）03.12.2009（2009-12-03） 段落 [0023] - [0029] , [0051] - [0053] , [図1] - [図5]	6, 9
Y	WO 2021/200174 A1（ソニーセミコンダクタソリューションズ株式会社）07.10.2021 （2021-10-07） 段落 [0097] - [0100] , [図25] - [図26]	11

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に
公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し
くは他の特別な理由を確立するために引用する文献（理由を
付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の
後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵
触するものではなく、発明の原理又は理論の理解のために引
用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性
又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献
との、当業者にとって自明である組合せによって進歩性がな
いと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
19.03.2024

国際調査報告の発送日
02.04.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）
田邊 顕人 5F 5894
電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2022-152974 A (ソニーセミコンダクタソリューションズ株式会社) 12.10.2022 (2022 - 10 - 12) 段落 [0032] - [0048] , [0079] , [図4] - [図5]	12-13
Y	JP 2013-192015 A (日本放送協会) 26.09.2013 (2013 - 09 - 26) 段落 [0030] - [0033] , [図4]	15

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/000469

引用文献			公表日	パテントファミリー文献	公表日
JP	2015-159501	A	03.09.2015	US 2017/0053957 A1 段落 [0086] - [0113] , 図 11-15 WO 2015/129197 A1 EP 3111479 A1 TW 201535702 A CN 106030803 A KR 10-2016-0125954 A	
WO	2016/185839	A1	24.11.2016	US 2018/0084211 A1 段落 [0077] - [0081] , 図 4 CN 107534748 A	
WO	2020/105713	A1	28.05.2020	EP 3886144 A1 段落 [0011] - [0019] , [0351] - [0357] , 図1-2, 68-69 US 2021/0400224 A1 CN 112889136 A KR 10-2021-0093869 A TW 202029490 A	
JP	2009-283552	A	03.12.2009	US 2009/0290058 A1 段落 [0034] - [0040] , [0062] - [0064] , 図1-5	
WO	2021/200174	A1	07.10.2021	US 2023/0139176 A1 段落 [0153] - [0156] , 図 25-26 CN 115335999 A	
JP	2022-152974	A	12.10.2022	WO 2022/209649 A1	
JP	2013-192015	A	26.09.2013	(ファミリーなし)	