

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成28年12月28日(2016.12.28)

【公表番号】特表2015-536569(P2015-536569A)

【公表日】平成27年12月21日(2015.12.21)

【年通号数】公開・登録公報2015-080

【出願番号】特願2015-542757(P2015-542757)

【国際特許分類】

H 01 L 27/146 (2006.01)

H 04 N 5/361 (2011.01)

H 04 N 5/369 (2011.01)

H 04 N 5/374 (2011.01)

【F I】

H 01 L 27/14 A

H 04 N 5/335 6 1 0

H 04 N 5/335 6 9 0

H 04 N 5/335 7 4 0

【手続補正書】

【提出日】平成28年11月11日(2016.11.11)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

エピタキシャルシリコンと、

前記エピタキシャルシリコンの上に形成された少なくとも1つの転送ゲートと、

前記少なくとも1つの転送ゲートに隣接して前記エピタキシャルシリコン内に形成されたピンドフォトダイオードと、

前記エピタキシャルシリコンに注入されたマルチピンド(MP)インプラント層であって、前記ピンドフォトダイオードは前記MPインプラント層の部分を備え、前記MPインプラント層の他の部分は前記少なくとも1つの転送ゲートの下方にある、マルチピンド(MP)インプラント層と、

前記少なくとも1つの転送ゲートのうちの少なくとも1つに近接し、前記MPインプラント層の中に少なくとも部分的に延在するセンスノードと、

を備えるCMOSピクセル。

【請求項2】

前記MPインプラント層は、前記少なくとも1つの転送ゲートが反転状態にあるときに前記少なくとも1つの転送ゲート下方の前記MPインプラント層内の暗電流の不動態化を促進し、転送状態にあるときに電荷転送状態を助長する、

請求項1に記載のCMOSピクセル。

【請求項3】

前記MPインプラント層は、前記エピタキシャルシリコンの表面を、前記CMOSピクセル内の複数の場所において前記MPインプラント層によって確立されたピンニング電位にピンニングするように動作する、

請求項1に記載のCMOSピクセル。

【請求項4】

前記複数の場所は、少なくとも前記ピンドフォトダイオード及び前記少なくとも1つの転送ゲートである、

請求項3に記載のCMOSピクセル。

【請求項5】

前記少なくとも1つの転送ゲートは、第1のゲート及び第2のゲートを含み、

前記ピンドフォトダイオードに隣接する前記第2のゲートは、前記第2のゲートの下方に前記MPインプラント層の一部を有する、

請求項1に記載のCMOSピクセル。

【請求項6】

前記第2のゲートに近接し、前記MPインプラント層の中に少なくとも部分的に延在して形成されたドレインを更に備える、

請求項5に記載のCMOSピクセル。

【請求項7】

前記少なくとも1つの転送ゲートのうちの少なくとも1つに電位を印加するための制御回路を更に備え、前記電位は、前記少なくとも1つの転送ゲートのうちの少なくとも1つを反転させて、暗電流を不動態化する、

請求項5に記載のCMOSピクセル。

【請求項8】

前記電位は、前記エピタキシャルシリコンの電位の約0.5ボルト以内である、

請求項7に記載のCMOSピクセル。

【請求項9】

エピタキシャルシリコンと、

前記エピタキシャルシリコンの上に形成された少なくとも1つの転送ゲートと、

前記少なくとも1つの転送ゲートに隣接して前記エピタキシャルシリコン内に形成されたピンドフォトダイオードと、

前記エピタキシャルシリコンに注入されたマルチピンド(MP)インプラント層であって、前記ピンドフォトダイオードは前記MPインプラント層の部分を備え、前記MPインプラント層の他の部分は前記少なくとも1つの転送ゲートの下方にあり、前記MPインプラント層は、CMOSピクセルの実質的に全体にわたって延在する、マルチピンド(MP)インプラント層と、

を備えるCMOSピクセル。

【請求項10】

前記MPインプラント層は、少なくとも450オングストロームの深さまで注入されている、

請求項1に記載のCMOSピクセル。

【請求項11】

前記MPインプラント層は、約20KeV～約30KeVのエネルギーで、約 1×10^{12} イオン/ cm^2 のドーズ量まで注入することにより形成されている、

請求項1に記載のCMOSピクセル。

【請求項12】

前記エピタキシャル層内に形成された障壁インプラントを更に備え、前記障壁インプラントは、前記ピンドフォトダイオードに更なる電荷収集能力を与えるために前記少なくとも1つの転送ゲートの下に少なくとも部分的に延在する、

請求項1に記載のCMOSピクセル。

【請求項13】

前記MPインプラント層は、前記ピンドフォトダイオードの中に、かつ前記少なくとも1つの転送ゲート下方に、部分的にのみ延在する、

請求項1に記載のCMOSピクセル。

【請求項14】

前記CMOSピクセルは、PMOSピクセル又はNMOSピクセルである、

請求項 1 に記載の C M O S ピクセル。