

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 28 年 12 月 28 日 (2016.12.28)

【公表番号】特表 2015-536569 (P2015-536569A)

【公表日】平成 27 年 12 月 21 日 (2015.12.21)

【年通号数】公開・登録公報 2015-080

【出願番号】特願 2015-542757 (P2015-542757)

【国際特許分類】

H 0 1 L 27/146 (2006.01)

H 0 4 N 5/361 (2011.01)

H 0 4 N 5/369 (2011.01)

H 0 4 N 5/374 (2011.01)

【F I】

H 0 1 L 27/14 A

H 0 4 N 5/335 6 1 0

H 0 4 N 5/335 6 9 0

H 0 4 N 5/335 7 4 0

【手続補正書】

【提出日】平成 28 年 11 月 11 日 (2016.11.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

エピタキシャルシリコンと、

前記エピタキシャルシリコンの上に形成された少なくとも 1 つの転送ゲートと、

前記少なくとも 1 つの転送ゲートに隣接して前記エピタキシャルシリコン内に形成されたピンドフォトダイオードと、

前記エピタキシャルシリコンに注入されたマルチピンド (MP) インプラント層であって、前記ピンドフォトダイオードは前記 MP インプラント層の部分を備え、前記 MP インプラント層の他の部分は前記少なくとも 1 つの転送ゲートの下方にある、マルチピンド (MP) インプラント層と、

前記少なくとも 1 つの転送ゲートのうちの少なくとも 1 つに近接し、前記 MP インプラント層の中に少なくとも部分的に延在するセンスノードと、

を備える CMOS ピクセル。

【請求項 2】

前記 MP インプラント層は、前記少なくとも 1 つの転送ゲートが反転状態にあるときに前記少なくとも 1 つの転送ゲート下方の前記 MP インプラント層内の暗電流の不動態化を促進し、転送状態にあるときに電荷転送状態を助長する、

請求項 1 に記載の CMOS ピクセル。

【請求項 3】

前記 MP インプラント層は、前記エピタキシャルシリコンの表面を、前記 CMOS ピクセル内の複数の場所において前記 MP インプラント層によって確立されたピンニング電位にピンニングするように動作する、

請求項 1 に記載の CMOS ピクセル。

【請求項 4】

前記複数の場所は、少なくとも前記ピンドフォトダイオード及び前記少なくとも１つの転送ゲートである、

請求項３に記載のＣＭＯＳピクセル。

【請求項５】

前記少なくとも１つの転送ゲートは、第１のゲート及び第２のゲートを含み、

前記ピンドフォトダイオードに隣接する前記第２のゲートは、前記第２のゲートの下方に前記ＭＰインプラント層の一部を有する、

請求項１に記載のＣＭＯＳピクセル。

【請求項６】

前記第２のゲートに近接し、前記ＭＰインプラント層の中に少なくとも部分的に延在して形成されたドレインを更に備える、

請求項５に記載のＣＭＯＳピクセル。

【請求項７】

前記少なくとも１つの転送ゲートのうちの少なくとも１つに電位を印加するための制御回路を更に備え、前記電位は、前記少なくとも１つの転送ゲートのうちの少なくとも１つを反転させて、暗電流を不動態化する、

請求項５に記載のＣＭＯＳピクセル。

【請求項８】

前記電位は、前記エピタキシャルシリコンの電位の約０．５ボルト以内である、

請求項７に記載のＣＭＯＳピクセル。

【請求項９】

エピタキシャルシリコンと、

前記エピタキシャルシリコンの上に形成された少なくとも１つの転送ゲートと、

前記少なくとも１つの転送ゲートに隣接して前記エピタキシャルシリコン内に形成されたピンドフォトダイオードと、

前記エピタキシャルシリコンに注入されたマルチピンド（ＭＰ）インプラント層であって、前記ピンドフォトダイオードは前記ＭＰインプラント層の部分を備え、前記ＭＰインプラント層の他の部分は前記少なくとも１つの転送ゲートの下方にあり、前記ＭＰインプラント層は、ＣＭＯＳピクセルの実質的に全体にわたって延在する、マルチピンド（ＭＰ）インプラント層と、

を備えるＣＭＯＳピクセル。

【請求項１０】

前記ＭＰインプラント層は、少なくとも４５０オングストロームの深さまで注入されている、

請求項１に記載のＣＭＯＳピクセル。

【請求項１１】

前記ＭＰインプラント層は、約２０ＫｅＶ～約３０ＫｅＶのエネルギーで、約 1×10^{12} イオン／ cm^2 のドーズ量まで注入することにより形成されている、

請求項１に記載のＣＭＯＳピクセル。

【請求項１２】

前記エピタキシャル層内に形成された障壁インプラントを更に備え、前記障壁インプラントは、前記ピンドフォトダイオードに更なる電荷収集能力を与えるために前記少なくとも１つの転送ゲートの下に少なくとも部分的に延在する、

請求項１に記載のＣＭＯＳピクセル。

【請求項１３】

前記ＭＰインプラント層は、前記ピンドフォトダイオードの中に、かつ前記少なくとも１つの転送ゲート下方に、部分的にのみ延在する、

請求項１に記載のＣＭＯＳピクセル。

【請求項１４】

前記ＣＭＯＳピクセルは、ＰＭＯＳピクセル又はＮＭＯＳピクセルである、

請求項 1 に記載の CMOS ピクセル。