



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년08월05일
(11) 등록번호 10-2690023
(24) 등록일자 2024년07월25일

(51) 국제특허분류(Int. Cl.)
G01R 31/26 (2014.01) G01R 19/165 (2006.01)
G01R 27/08 (2006.01) G01R 27/20 (2006.01)
G01R 31/28 (2006.01)
(52) CPC특허분류
G01R 31/2621 (2013.01)
G01R 19/16576 (2013.01)
(21) 출원번호 10-2024-0035864
(22) 출원일자 2024년03월14일
심사청구일자 2024년03월14일
(56) 선행기술조사문헌
JP03002677 A
(뒷면에 계속)

(73) 특허권자
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
이우석
인천광역시 미추홀구 한나루로477번길 53, 403호
(용현동, js빌)
이정환
인천광역시 연수구 컨벤시아대로130번길 58, 101동 1704호(송도동, 송도자이하버뷰1단지아파트)
최리노
서울특별시 마포구 월드컵북로 502-37, 1102동 305호(상암동, 상암월드컵파크11단지)
(74) 대리인
이은철, 이수찬

전체 청구항 수 : 총 10 항

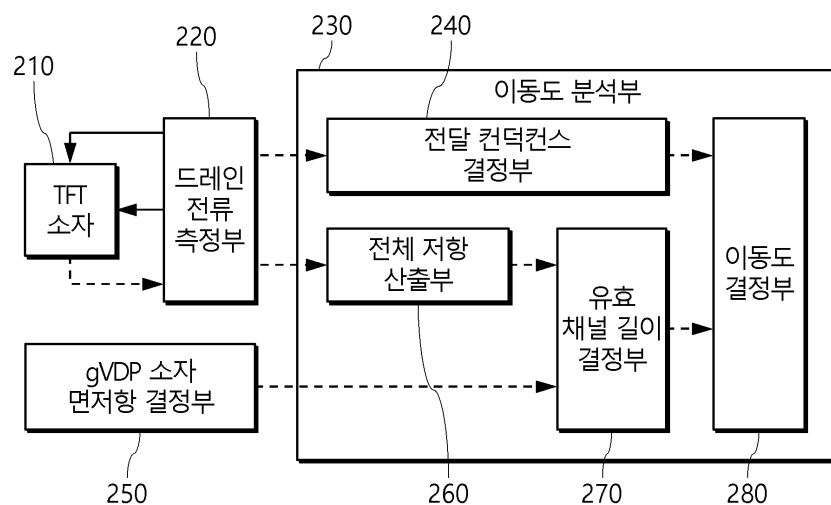
심사관 : 오경환

(54) 발명의 명칭 박막 트랜지스터(TFT)의 정밀 특성 분석을 위한 면저항 및 이동도 측정 장치 및 방법

(57) 요약

박막 트랜지스터(TFT)의 정밀 특성 분석을 위한 면저항 및 이동도 측정에 관한 기술이 개시된다. 반도체 박막의 면저항을 결정하는 방법은, 게이트드 반데르포우(gVDP) 소자에서 전류를 인가하는 전극의 위치를 바꾸며 전압을 측정하고, 이 결과를 이용하여 평균 고유 저항을 구하고, 특정 게이트 전압(V_G)에 대한 반도체 박막 채널의 고유 면저항(R_{sh})을 결정한다. 반도체 박막의 이동도를 결정하는 방법은, 박막 트랜지스터(TFT) 소자에서 복수의 게이트 전압을 인가하며 드레인 전압에 대한 드레인 전류를 측정하여, 박막 전체 저항(R_T)을 구하고, gVDP 소자에서 구한 고유 면저항(R_{sh})을 이용하여 유효 채널 길이(L_{eff})를 결정하고, 전달 곡선의 기울기에서 전달 컨덕턴스(G_m)를 결정하여, 반도체 박막의 이동도(μ_{FE})를 결정한다. 박막 트랜지스터(TFT)의 전체 저항에 gVDP 소자에서 구한 채널 고유 면저항(R_{sh})을 적용하여, 반도체 박막의 이동도(μ_{FE}) 결정시 분석 오류를 효과적으로 보완할 수 있다.

대표도 - 도2



(52) CPC특허분류

G01R 27/08 (2013.01)
G01R 27/205 (2013.01)
G01R 31/2879 (2013.01)

(56) 선행기술조사문헌

JP07130809 A
JP09026446 A
JP2003121480 A
JP2010527517 A
KR1019890002674 A
KR1020060041358 A
KR1020110011297 A
KR1020120129670 A

이 발명을 지원한 국가연구개발사업

과제고유번호 1345374178
과제번호 2022R1A6C101B762
부처명 교육부
과제관리(전문)기관명 한국기초과학지원연구원
연구사업명 이공학학술연구기반구축
연구과제명 핵심연구지원센터조성지원과제(3D 나노융합소자연구센터)
과제수행기관명 인하대학교 산학협력단
연구기간 2023.03.01 ~ 2025.02.28

이 발명을 지원한 국가연구개발사업

과제고유번호 1345362086
과제번호 2022R1A6A1A03051705
부처명 교육부
과제관리(전문)기관명 한국연구재단
연구사업명 이공학학술연구기반구축
연구과제명 3D 나노융합소자 연구 센터
과제수행기관명 인하대학교
연구기간 2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호 1711200488
과제번호 00283597
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 디지털연구혁신선도기관육성
연구과제명 인공지능 디지털 트윈 기반 고효율 적층형 반도체 소자 개발 자동화 연구실
과제수행기관명 한국화학연구원
연구기간 2023.09.01 ~ 2024.02.29

명세서

청구범위

청구항 1

게이티드 반데르포우(gated Van der Pauw) 방법을 이용하여 반도체 박막의 면저항을 측정하는 방법에 있어서, 게이트 전극과, 게이트 전극 위의 절연체와, 절연체 위에 위치하고 중심을 지나는 대칭면을 두개 이상 가지는 반도체 박막과, 반도체 박막의 경계부에 위치하고 박막의 중심으로부터 각 전극까지의 거리가 같은 네개의 박막 전극을 포함하는 게이티드 반데르포우 소자를 준비하는 단계;

네개의 박막 전극 중 하나의 전극을 전류 인가 전극으로 선택하고, 전류 인가 전극에 인접한 위치에 있는 전극 중 하나를 접지 연결 전극으로 선택하고, 나머지 두개의 전극을 전압 측정 전극으로 선택하는 단계;

게이트 전극에 미리 정해진 게이트 전압을 인가하고, 접지 연결 전극을 접지에 연결하고, 전류 인가 전극에 전류를 인가하고, 전압 측정 전극으로부터 각각 전압을 측정하는 단계;

각각의 전류 인가 전극 및 접지 연결 전극 쌍에 대해, 전류 인가 전극으로 인가된 전류와 두개의 전압 측정 전극에서 측정된 전압을 이용하여 반도체 박막 채널의 저항을 결정하는 단계;

전류 인가 전극에 인가한 전류와 전압 측정 전극에서 측정한 전압 및 반도체 박막 채널의 저항에 근거하여, 게이트 전압에 대한 반도체 박막 채널의 면전도도를 산출하는 단계; 및

게이트 전압에 대한 반도체 박막 채널의 면전도도로부터 게이트 전압에 대한 반도체 박막 채널의 고유 면저항을 결정하는 단계;를 포함하는,

반도체 박막의 면저항 측정 방법.

청구항 2

제 1 항에 있어서,

네개의 박막 전극 중 전류 인가 전극을 다른 전극으로 변경하고, 변경된 전류 인가 전극에 인접한 전극 중 하나를 접지 연결 전극으로 변경하고, 나머지 두개의 전극을 전압 측정 전극으로 변경하는 단계;

변경된 접지 연결 전극을 접지에 연결하고, 변경된 전류 인가 전극에 전류를 인가하고, 변경된 전압 측정 전극으로부터 각각 전압을 측정하는 단계; 및

전류 인가 전극과 접지 연결 전극의 위치에 따라 구해진 반도체 박막 채널의 저항들을 평균하여 반도체 박막 채널의 평균 고유 저항을 구하고, 이를 반도체 박막 채널의 저항으로 결정하는 단계;를 더 포함하는,

반도체 박막의 면저항 측정 방법.

청구항 3

제 1 항에 있어서,

측정된 전압을 미리 정해진 정상범위와 비교하여, 측정된 전압이 정상 범위에 속하는지 확인하는 단계;를 더 포함하는,

반도체 박막의 면저항 측정 방법.

청구항 4

게이티드 반데르포우(gated Van der Pauw) 방법으로 구한 면저항을 이용하여 박막 트랜지스터(TFT)에 사용되는

반도체 박막의 이동도를 측정하는 방법에 있어서,

미리 정해진 복수의 게이트 전압에 대해, 반도체 박막의 마주보는 양단에 위치한 두 전극 사이에 미리 설정된 드레인 전압을 인가하고, 두 전극 사이에 흐르는 드레인 전류를 측정하는 단계;

측정된 드레인 전류와 인가한 드레인 전압에 기초하여, 복수의 게이트 전압에 대해 각각 반도체 박막의 전체 저항을 산출하는 단계;

복수의 게이트 전압 중 제1 게이트 전압에 대해 게이티드 반데르포우 방법을 이용하여 반도체 박막 채널의 고유 면저항을 결정하는 단계;

복수의 게이트 전압에 대해 산출한 반도체 박막의 전체 저항과 제1 게이트 전압에 대해 결정된 반도체 박막 채널의 고유 면저항에 근거하여, 제1 게이트 전압에 대해 반도체 박막 채널 길이 편차 및 접촉 저항을 산출하는 단계; 및

제1 게이트 전압에 대한 반도체 박막 채널 길이 편차를 이용하여 반도체 박막 채널의 유효 채널 길이를 결정하는 단계;를 포함하는,

반도체 박막의 이동도 측정 방법.

청구항 5

제 4 항에 있어서,

상기 게이티드 반데르포우 방법을 이용하여 반도체 박막 채널의 고유 면저항을 결정하는 단계는,

게이트 전극과, 게이트 전극 위의 절연체와, 절연체 위에 위치하고 중심을 지나는 대칭면을 두개 이상 가지는 반도체 박막과, 반도체 박막의 경계부에 위치하고 박막의 중심으로부터 각 전극까지의 거리가 같은 네개의 박막 전극을 포함하는 게이티드 반데르포우 소자를 준비하는 단계;

네개의 박막 전극 중 하나의 전극을 전류 인가 전극으로 선택하고, 전류 인가 전극에 인접한 위치에 있는 전극 중 하나를 접지 연결 전극으로 선택하고, 나머지 두개의 전극을 전압 측정 전극으로 선택하는 단계;

게이트 전극에 제1 게이트 전압을 인가하고, 접지 연결 전극을 접지에 연결하고, 전류 인가 전극에 전류를 인가하고, 전압 측정 전극으로부터 각각 전압을 측정하는 단계;

각각의 전류 인가 전극 및 접지 연결 전극 쌍에 대해, 전류 인가 전극으로 인가된 전류와 전압 측정 전극에서 측정된 전압을 이용하여 반도체 박막 채널의 저항을 구하는 단계; 및

전류 인가 전극에 인가한 전류와 전압 측정 전극에서 측정한 전압 및 반도체 박막 채널의 저항에 근거하여, 제1 게이트 전압에 대한 반도체 박막 채널의 고유 면저항을 결정하는 단계;를 포함하는,

반도체 박막의 이동도 측정 방법.

청구항 6

제 4 항에 있어서,

게이트 전극과, 게이트 전극 위의 절연체와, 절연체 위에 위치하는 사각형 반도체 박막과, 반도체 박막의 마주보는 양단에서 일정한 폭으로 반도체 박막과 맞닿고 서로 채널 거리만큼 떨어져서 반도체 박막 위에 형성되는 두개의 전극을 포함하는 박막 트랜지스터(TFT) 소자를 준비하는 단계;를 더 포함하는,

반도체 박막의 이동도 측정 방법.

청구항 7

제 4 항에 있어서,

게이트 전압에 대한 드레인 전류의 전달 곡선 데이터를 게이트 전압에 대해 정렬하는 단계; 및

제1 게이트 전압에서의 전달 곡선의 기울기를 산출하여, 제1 게이트 전압에서의 전달 컨덕턴스를 결정하는 단계;를 더 포함하는,

반도체 박막의 이동도 측정 방법.

청구항 8

제 7 항에 있어서,

제1 게이트 전압에 대한 반도체 박막 채널의 유효 채널 길이 및 전달 컨덕턴스에 기초하여, 제1 게이트 전압에서의 반도체 박막 채널의 이동도를 결정하는 단계;를 더 포함하는,

반도체 박막의 이동도 측정 방법.

청구항 9

게이트 전극과, 게이트 전극 위의 절연체와, 절연체 위에 위치하고 중심을 지나는 대칭면을 두개 이상 가지는 반도체 박막과, 반도체 박막의 경계부에 위치하고 박막의 중심으로부터 각 전극까지의 거리가 같은 네개의 박막 전극을 포함하는 게이트드 반데르포우(gated Van der Pauw) 소자를 이용하여 반도체 박막의 면저항을 측정하는 장치에 있어서,

네개의 박막 전극 중 하나의 전극을 전류 인가 전극으로 선택하고, 전류 인가 전극에 인접한 위치에 있는 전극 중 하나를 접지 연결 전극으로 선택하고, 나머지 두개의 전극을 전압 측정 전극으로 설정하는 전극 설정부;

게이트 전극에 연결되어, 미리 정해진 게이트 전압을 게이트 전극에 인가하는 게이트 전압 인가부;

접지 연결 전극을 접지에 연결하고 전류 인가 전극에 전류를 인가하는 전류 인가부;

전류 인가 전극에 전류가 인가될 때, 두개의 전압 측정 전극으로부터 각각 전압을 측정하는 전압 측정부;

각각의 전류 인가 전극 및 접지 연결 전극 쌍에 대해, 전류 인가 전극으로 인가된 전류와 두개의 전압 측정 전극에서 측정된 전압을 이용하여 반도체 박막 채널의 저항을 결정하는 박막 저항 결정부; 및

전류 인가 전극에 인가한 전류와 전압 측정 전극에서 측정한 전압 및 반도체 박막 채널의 저항에 근거하여, 게이트 전압에 대한 반도체 박막 채널의 고유 면저항을 결정하는 면저항 결정부;를 포함하는,

반도체 박막의 면저항 측정 장치.

청구항 10

게이트드 반데르포우(gated Van der Pauw) 소자에서 구한 면저항을 이용하여 박막 트랜지스터(TFT)에 사용되는 반도체 박막의 이동도를 측정하는 장치에 있어서,

미리 정해진 복수의 게이트 전압에 대해, 반도체 박막의 마주보는 양단에 위치한 두 전극 사이에 미리 설정된 드레인 전압을 인가하고, 두 전극 사이에 흐르는 드레인 전류를 측정하는 드레인 전류 측정부;

측정된 드레인 전류와 인가한 드레인 전압에 기초하여, 복수의 게이트 전압에 대해 각각 반도체 박막의 전체 저항을 산출하는 전체 저항 산출부;

복수의 게이트 전압 중 제1 게이트 전압에 대해 게이트드 반데르포우 소자를 이용하여 반도체 박막 채널의 고유 면저항을 결정하는 면저항 결정부;

복수의 게이트 전압에 대해 산출한 반도체 박막의 전체 저항과 제1 게이트 전압에 대해 결정된 반도체 박막 채널의 고유 면저항에 근거하여, 제1 게이트 전압에 대해 반도체 박막 채널의 유효 채널 길이를 결정하는 유효 채널 길이 결정부;

게이트 전압에 대한 드레인 전류의 전달 곡선 데이터 중 제1 게이트 전압에서의 기울기를 산출하여, 제1 게이트 전압에서의 전달 컨덕턴스를 결정하는 전달 컨덕턴스 결정부; 및

제1 게이트 전압에 대한 반도체 박막 채널의 유효 채널 길이 및 전달 컨덕턴스에 기초하여, 반도체 박막 채널의 이동도를 결정하는 이동도 결정부;를 포함하는,

반도체 박막의 이동도 측정 장치.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터(TFT)의 정밀 특성 분석을 위한 면저항 및 이동도 측정에 관한 것으로, 특히 채널 길이가 짧은 반도체 박막 트랜지스터의 이동도 계산시 발생하는 오류를 게이트드 반데르포우(gated Van der Pauw; gVDP) 법으로 측정한 면저항을 이용하여 보완하는 방법에 관한 것이다.

배경 기술

[0002] 산화물 반도체인 InGaZnO(IGZO)는 기존의 수소화된 비정질 실리콘(hydrogenated amorphous silicon; a-Si:H) 또는 저온 다결정 실리콘(low-temperature polycrystalline silicon; LTPS)을 이용한 박막 트랜지스터(Thin Film Transister; TFT)보다 높은 전자 이동도(electron mobility), 균일성(uniformity), 대면적화 가능(large scalability), 유연성(flexibility), 투명도(transparency) 등의 장점을 가지고 있어 display 산업에서 활발히 연구가 진행되고 있다.

[0003] 또한, 낮은 공정 온도와 우수한 누설전류 특성은 고도화된 반도체의 미세화에 따른 고전력, 높은 발열 문제를 해결할 중요한 잠재력을 가지고 있기 때문에, 소자의 크기를 줄여야(scale down)하는 메모리(memory), 논리소자(logic), BEOL(Back End of Line) 등의 첨단 소자(high-end device) 분야에서도 산업적 요구가 급증하고 있다. 따라서 작은 사이즈로 스케일링(scaling)된 IGZO TFT의 특성 평가는 향후 소자 개발에 있어서 중요한 사안이 되고 있다.

[0004] 하지만 소자의 스케일링(scaling)이 진행될수록, 반도체 박막인 IGZO 채널과 소스(Source) 전극 및 드레인(drain) 전극 사이에 발생하는 접촉 저항의 영향이 증가하게 되어, 분석 parameter의 신뢰성을 감소시키는 문제가 발생한다. 이는 채널 길이가 큰 소자에서는 채널 저항이 접촉 저항에 비해 매우 크기 때문에 접촉 저항을 무시할 수 있었던 반면, 소자의 길이가 짧아질수록 채널 저항의 감소로 인해 접촉 저항의 상대적 크기가 증가하여 drain current model의 가정인 옴 접합이 만족하지 않게 되기 때문이다.

[0005] 따라서 여러 연구팀들은 소자의 접촉 저항을 규명하기 위해 다양한 연구를 하고 있으며, 채널 길이의 변수를 바탕으로 TLM(Transmission Line Method) 소자를 활용하여 접촉 저항을 추출하는 연구도 진행되고 있다. 이는 소자의 미세화가 진행됨에 따라 더욱 중요한 과제로 부상하고 있다.

[0006] TLM(Transmission Line Method) 소자는 채널 길이 별 전체 저항의 거동을 바탕으로 쉽게 특성 평가가 가능하기 때문에 많은 연구진들이 사용하는 분석법이다. 하지만 전체 저항 바탕으로의 평가는 접촉 저항의 상대적 크기에 따라 전체 저항의 거동이 변하는 것을 정확히 분석하지 못한다. TLM 분석법에서 채널 고유 특성인 면저항(Sheet resistance) 추출은 전체 저항의 거동에 영향을 받는데, 채널 길이가 감소함에 따라 전체 저항의 경향은 접촉 저항에 의존하게 된다.

[0007] 이는 채널 고유 특성인 면저항이 접촉 저항의 영향에서 벗어나지 못함을 의미하며, 채널 길이가 감소할수록 잘못된 매개변수(parameter)를 추출하게 된다. 다시 말해, TLM(Transmission Line Method) 분석법은 접촉 저항이 포함된 전체 저항을 토대로 면저항을 분석하기 때문에, 채널 미세화에 따른 상대적 접촉 저항의 변화를 대응하지 못해, 다른 parameter의 변화(면저항, 유효채널길이, 접촉 저항)를 가져오는 계산적 오류를 유발한다.

[0008] 채널 면저항의 잘못된 추출은 소자의 Off/On 변환 과정에서 과대 또는 과소 평가된 전하이동도를 추출하게 되고 결과적으로 분석의 신뢰성을 떨어뜨리게 된다. 따라서 이런 분석 오류를 해결하기 위해 금속 산화물 반도체 전계효과 트랜지스터(MOSFET) 모델에 의존하지 않는 임피던스 측정법, 전자 캐리어 주입 측정법 등등 매개변수(parameter)의 잘못된 계산을 측정값으로 대체하여 분석오류를 보완하는 연구가 계속해서 보고되고 있으며, 매개변수(parameter)의 정확한 추출은 IGZO 뿐만 아니라 접촉 저항의 영향을 받는 모든 소자의 요구사항이 되고

있다.

[0009] 2012.01.12.에 공고된 등록특허 제10-1104784호는 “반데르포우법을 이용한 전도성 박막의 면저항 측정장치 및 그 방법”에 관한 것으로, 전도성 박막의 4지점을 측정지점으로 하여 동일방향 2 측정지점에서 전류를 공급하고 반대방향 2 측정지점에서 전압을 측정하여 저항을 구하는 방식으로 수직축 방향과 수평축 방향에서 저항을 연산하고, 이를 반데르포우법(van der Pauw method)을 이용하여 전도성 박막의 면저항을 측정할 수 있도록 한 반데르포우법을 이용한 전도성 박막의 면저항 측정장치 및 그 방법을 개시한다.

[0010] 2016.12.07.에 공고된 등록특허 제10-1684149호는 “부유 기판구조를 갖는 MOS 트랜지스터에서 게이트 전압에 의존하는 반전전하층의 길이를 보정하여 정확한 진성 이동도를 추출하는 방법 및 장치”에 관한 것입니다. 여기에는, MOS 트랜지스터의 커패시턴스를 측정하고, 게이트 전압에 따른 채널 영역에서의 반전전하층의 계수를 획득하고, 소스 영역 및 드레인 영역 사이의 채널 영역 중 커패시턴스가 형성되는 진성 채널 길이를 계산하고, 계산된 진성 채널 길이를 이용하여 진성 이동도를 추출하는 방법이 개시되어 있다.

[0011] 다만, 반도체 박막의 채널 길이가 짧아지는 경우 접촉 저항의 영향을 고려하여 이동도를 오류없이 측정하는 방법에 대해서는 아직 구체적으로 개시되지 않고 있다.

선행기술문헌

특허문헌

[0012] (특허문헌 0001) KR 10-1104784 B1 (2012.01.12.)

(특허문헌 0002) KR 10-1684149 B1 (2016.12.07.)

발명의 내용

해결하려는 과제

[0013] 본 발명의 일 목적은, 게이트드 반데르포우(gVDP) 소자를 이용하여 면저항(R_{sh})을 정확하게 측정할 수 있는 반도체 박막 채널의 면저항 측정 장치 및 방법을 제공하는 것이다.

[0014] 본 발명의 다른 일 목적은, 접촉 저항의 영향을 받지 않고, 반도체 박막 채널의 고유의 특성을 정밀하게 측정할 수 있는 박막 트랜지스터(TFT)의 정밀 특성 분석을 위한 이동도 측정 장치 및 방법을 제공하는 것이다.

[0015] 본 발명의 또 다른 일 목적은, 반도체 박막 채널의 길이가 짧은 경우에도 오류 없이 정확하게 이동도를 측정할 수 있는 박막 트랜지스터(TFT)의 정밀 특성 분석을 위한 이동도 측정 장치 및 방법을 제공하는 것이다.

[0016] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0017] 제안된 발명의 일 양상에 따르면, 게이트드 반데르포우(gated Van der Pauw) 방법을 이용하여 반도체 박막의 면저항을 측정하는 방법은, 게이트 전극과, 게이트 전극 위의 절연체와, 절연체 위에 위치하고 중심을 지나는 대칭면을 두개 이상 가지는 반도체 박막과, 반도체 박막의 경계부에 위치하고 박막의 중심으로부터 각 전극까지의 거리가 같은 네개의 박막 전극을 포함하는 게이트드 반데르포우 소자를 준비하는 단계와, 네개의 박막 전극 중 하나의 전극을 전류 인가 전극으로 선택하고, 전류 인가 전극에 인접한 위치에 있는 전극 중 하나를 접지 연결 전극으로 선택하고, 나머지 두개의 전극을 전압 측정 전극으로 선택하는 단계와, 게이트 전극에 미리 정해진 게이트 전압을 인가하고, 접지 연결 전극을 접지에 연결하고, 전류 인가 전극에 전류를 인가하고, 전압 측정 전극으로부터 각각 전압을 측정하는 단계와, 각각의 전류 인가 전극 및 접지 연결 전극 쌍에 대해, 전류 인가 전극으로 인가된 전류와 두개의 전압 측정 전극에서 측정된 전압을 이용하여 반도체 박막 채널의 저항을 결정하는 단계와, 전류 인가 전극에 인가한 전류와 전압 측정 전극에서 측정한 전압 및 반도체 박막 채널의 저항에 근거하여, 게이트 전압에 대한 반도체 박막 채널의 면전도도를 산출하는 단계와, 게이트 전압에 대한 반도체 박막 채널의 면전도도로부터 게이트 전압에 대한 반도체 박막 채널의 고유 면저항을 결정하는 단계를 포함한다.

[0018] 추가적인 양상에 따르면, 반도체 박막의 면저항 측정 방법은, 네개의 박막 전극 중 전류 인가 전극을 다른 전극

으로 변경하고, 변경된 전류 인가 전극에 인접한 전극 중 하나를 접지 연결 전극으로 변경하고, 나머지 두개의 전극을 전압 측정 전극으로 변경하는 단계와, 변경된 접지 연결 전극을 접지에 연결하고, 변경된 전류 인가 전극에 전류를 인가하고, 변경된 전압 측정 전극으로부터 각각 전압을 측정하는 단계와, 전류 인가 전극과 접지 연결 전극의 위치에 따라 구해진 반도체 박막 채널의 저항들을 평균하여 반도체 박막 채널의 평균 고유 저항을 구하고, 이를 반도체 박막 채널의 저항으로 결정하는 단계를 더 포함한다.

[0019] 추가적인 양상에 따르면, 반도체 박막의 면저항 측정 방법은, 측정된 전압을 미리 정해진 정상범위와 비교하여, 측정된 전압이 정상 범위에 속하는지 확인하는 단계를 더 포함한다.

[0020] 제안된 발명의 다른 일 양상에 따르면, 게이트드 반데르포우(gated Van der Pauw) 방법으로 구한 면저항을 이용하여 박막 트랜지스터(TFT)에 사용되는 반도체 박막의 이동도를 측정하는 방법은, 미리 정해진 복수의 게이트 전압에 대해, 반도체 박막의 마주보는 양단에 위치한 두 전극 사이에 미리 설정된 드레인 전압을 인가하고, 두 전극 사이에 흐르는 드레인 전류를 측정하는 단계와, 측정된 드레인 전류와 인가한 드레인 전압에 기초하여, 복수의 게이트 전압에 대해 각각 반도체 박막의 전체 저항을 산출하는 단계와, 복수의 게이트 전압 중 제1 게이트 전압에 대해 게이트드 반데르포우 방법을 이용하여 반도체 박막 채널의 고유 면저항을 결정하는 단계와, 복수의 게이트 전압에 대해 산출한 반도체 박막의 전체 저항과 제1 게이트 전압에 대해 결정된 반도체 박막 채널의 고유 면저항에 근거하여, 제1 게이트 전압에 대해 반도체 박막 채널 길이 편차 및 접촉 저항을 산출하는 단계와, 제1 게이트 전압에 대한 반도체 박막 채널 길이 편차를 이용하여 반도체 박막 채널의 유효 채널 길이를 결정하는 단계를 포함한다.

[0021] 추가적인 양상에 따르면, 상기 게이트드 반데르포우 방법을 이용하여 반도체 박막 채널의 고유 면저항을 결정하는 단계는, 게이트 전극과, 게이트 전극 위의 절연체와, 절연체 위에 위치하고 중심을 지나는 대칭면을 두개 이상 가지는 반도체 박막과, 반도체 박막의 경계부에 위치하고 박막의 중심으로부터 각 전극까지의 거리가 같은 네개의 박막 전극을 포함하는 게이트드 반데르포우 소자를 준비하는 단계와, 네개의 박막 전극 중 하나의 전극을 전류 인가 전극으로 선택하고, 전류 인가 전극에 인접한 위치에 있는 전극 중 하나를 접지 연결 전극으로 선택하고, 나머지 두개의 전극을 전압 측정 전극으로 선택하는 단계와, 게이트 전극에 제1 게이트 전압을 인가하고, 접지 연결 전극을 접지에 연결하고, 전류 인가 전극에 전류를 인가하고, 전압 측정 전극으로부터 각각 전압을 측정하는 단계와, 각각의 전류 인가 전극 및 접지 연결 전극 쌍에 대해, 전류 인가 전극으로 인가된 전류와 전압 측정 전극에서 측정된 전압을 이용하여 반도체 박막 채널의 저항을 구하는 단계와, 전류 인가 전극에 인가한 전류와 전압 측정 전극에서 측정한 전압 및 반도체 박막 채널의 저항에 근거하여, 제1 게이트 전압에 대한 반도체 박막 채널의 고유 면저항을 결정하는 단계를 포함한다.

[0022] 추가적인 양상에 따르면, 반도체 박막의 이동도 측정 방법은, 게이트 전극과, 게이트 전극 위의 절연체와, 절연체 위에 위치하는 사각형 반도체 박막과, 반도체 박막의 마주보는 양단에서 일정한 폭(W)으로 반도체 박막과 맞닿고 서로 채널 거리(L)만큼 떨어져서 반도체 박막 위에 형성되는 두개의 전극을 포함하는 박막 트랜지스터(TFT) 소자를 준비하는 단계를 더 포함한다.

[0023] 추가적인 양상에 따르면, 반도체 박막의 이동도 측정 방법은, 게이트 전압에 대한 드레인 전류의 전달 곡선 데이터를 게이트 전압에 대해 정렬하는 단계와, 제1 게이트 전압에서의 전달 곡선의 기울기를 산출하여, 제1 게이트 전압에서의 전달 컨덕턴스를 결정하는 단계를 더 포함한다.

[0024] 추가적인 양상에 따르면, 반도체 박막의 이동도 측정 방법은, 제1 게이트 전압에 대한 반도체 박막 채널의 유효 채널 길이 및 전달 컨덕턴스에 기초하여, 제1 게이트 전압에서의 반도체 박막 채널의 이동도를 결정하는 단계를 더 포함한다.

[0025] 제안된 발명의 또 다른 일 양상에 따르면, 게이트 전극과, 게이트 전극 위의 절연체와, 절연체 위에 위치하고 중심을 지나는 대칭면을 두개 이상 가지는 반도체 박막과, 반도체 박막의 경계부에 위치하고 박막의 중심으로부터 각 전극까지의 거리가 같은 네개의 박막 전극을 포함하는 게이트드 반데르포우(gated Van der Pauw) 소자를 이용하여 반도체 박막의 면저항을 측정하는 장치는, 게이트 전압 인가부와, 전극 설정부와, 전류 인가부와, 전압 측정부와, 박막 저항 결정부와, 면저항 결정부를 포함한다.

[0026] 게이트 전압 인가부는, 게이트 전극에 연결되어, 미리 정해진 게이트 전압(V_g)을 게이트 전극에 인가한다.

[0027] 전극 설정부는, 네개의 박막 전극 중 하나의 전극을 전류 인가 전극으로 선택하고, 전류 인가 전극에 인접한 위치에 있는 전극 중 하나를 접지 연결 전극으로 선택하고, 나머지 두개의 전극을 전압 측정 전극으로 설정한다.

- [0028] 전류 인가부는, 접지 연결 전극을 접지에 연결하고 전류 인가 전극에 전류를 인가한다.
- [0029] 전압 측정부는, 전류 인가 전극에 전류가 인가될 때, 두개의 전압 측정 전극으로부터 각각 전압을 측정한다.
- [0030] 박막 저항 결정부는, 각각의 전류 인가 전극 및 접지 연결 전극 쌍에 대해, 전류 인가 전극에 인가한 전류와 두개의 전압 측정 전극으로부터 측정한 전압을 이용하여 반도체 박막 채널의 저항을 결정한다.
- [0031] 면저항 결정부는, 전류 인가 전극에 인가한 전류와 전압 측정 전극에서 측정한 전압 및 반도체 박막 채널의 저항에 근거하여, 게이트 전압에 대한 반도체 박막 채널의 고유 면저항을 결정한다.
- [0032] 제안된 발명의 또 다른 일 양상에 따르면, 게이티드 반데르포우(gated Van der Pauw) 소자에서 구한 면저항을 이용하여 박막 트랜지스터(TFT)에 사용되는 반도체 박막의 이동도를 측정하는 장치는, 드레인 전류 측정부와, 전체 저항 산출부와, 면저항 결정부와, 유효 채널 길이 결정부와, 전달 컨덕턴스 결정부와, 이동도 결정부를 포함한다.
- [0033] 드레인 전류 측정부는, 미리 정해진 복수의 게이트 전압에 대해, 반도체 박막의 마주보는 양단에 위치한 두 전극 사이에 미리 설정된 드레인 전압을 인가하고, 두 전극 사이에 흐르는 드레인 전류를 측정한다.
- [0034] 전체 저항 산출부는, 측정된 드레인 전류와 인가한 드레인 전압에 기초하여, 복수의 게이트 전압에 대해 각각 반도체 박막의 전체 저항을 산출한다.
- [0035] 면저항 결정부는, 복수의 게이트 전압 중 제1 게이트 전압에 대해 게이티드 반데르포우 소자를 이용하여 반도체 박막 채널의 고유 면저항을 결정한다.
- [0036] 유효 채널 길이 결정부는, 복수의 게이트 전압에 대해 산출한 반도체 박막의 전체 저항과 제1 게이트 전압에 대해 결정된 반도체 박막 채널의 고유 면저항에 근거하여, 제1 게이트 전압에 대해 반도체 박막 채널의 유효 채널 길이를 결정한다.
- [0037] 전달 컨덕턴스 결정부는, 게이트 전압에 대한 드레인 전류의 전달 곡선 데이터 중 제1 게이트 전압에서의 기울기를 산출하여, 제1 게이트 전압에서의 전달 컨덕턴스를 결정한다.
- [0038] 이동도 결정부는, 제1 게이트 전압에 대한 반도체 박막 채널의 유효 채널 길이 및 전달 컨덕턴스에 기초하여, 반도체 박막 채널의 이동도를 결정한다.

발명의 효과

- [0039] 본 발명에 따른 반도체 박막 채널의 면저항 측정 장치 및 방법은, 게이티드 반데르포우(gVDP) 소자를 이용하여 면저항(R_{sh})을 정확하게 측정할 수 있다.
- [0040] 또한, 본 발명에 따른 박막 트랜지스터(TFT)의 정밀 특성 분석을 위한 이동도 측정 장치 및 방법은, 접촉 저항의 영향을 받지 않고, 반도체 박막 채널의 고유의 특성을 정밀하게 측정할 수 있다.
- [0041] 나아가 본 발명에 따른 박막 트랜지스터(TFT)의 정밀 특성 분석을 위한 이동도 측정 장치 및 방법은, 게이티드 반데르포우(gVDP) 소자에서 구한 면저항(R_{sh})을 이용하여 반도체 박막 채널의 길이가 짧은 경우에도 오류 없이 정확하게 이동도를 측정할 수 있다.

도면의 간단한 설명

- [0042] 도 1은 일 실시예에 따른 반도체 박막의 면저항을 측정하는 장치의 주요 구성을 개략적으로 나타내는 구성도이다.
- 도 2는 일 실시예에 따른 반도체 박막의 이동도를 측정하는 장치의 주요 구성을 개략적으로 나타내는 구성도이다.
- 도 3은 일 실시예에 따른 반도체 박막의 이동도를 측정하는 장치에 장착되는 박막 트랜지스터(TFT) 소자의 단면을 나타내는 개념도이다.
- 도 4는 일 실시예에 따른 반도체 박막의 이동도를 측정하는 장치에 장착되는 박막 트랜지스터(TFT) 소자에서 유효 채널 거리(L_{eff})를 나타내는 개념도이다.
- 도 5는 일 실시예에 따른 반도체 박막의 면저항을 측정하는 장치에 장착되는 게이티드 반데르포우(gVDP) 소자를

경사지게 바라본 개념도 및 전극의 연결상태를 나타내는 개념도이다.

도 6은 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법을 개략적으로 나타내는 순서도이다.

도 7은 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법 중 박막 트랜지스터(TFT) 소자의 드레인 전류(I_D)를 측정하는 방법을 나타내는 순서도이다.

도 8은 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법 중 박막 트랜지스터(TFT) 소자의 반도체 박막의 유효 채널 거리(L_{eff})를 결정하는 방법을 나타내는 순서도이다.

도 9는 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법 중 박막 트랜지스터(TFT) 소자의 전달 곡선에서 전달 컨덕턴스(G_m)를 결정하는 방법을 나타내는 순서도이다.

도 10은 일 실시예에 따른 반도체 박막의 면저항을 측정하는 방법을 개략적으로 나타내는 순서도이다.

도 11은 일 실시예에 따른 반도체 박막의 면저항을 측정하는 방법 중 게이트드 반데르포우(gVDP) 소자에서 전극 전압을 측정하는 방법을 나타내는 순서도이다.

도 12는 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법에 의해 구해진 게이트 전압(V_G)에 대한 드레인 전류(I_D)의 관계를 나타내는 전달 곡선 그래프이다.

도 13은 일 실시예에 따른 반도체 박막의 면저항 측정하는 방법에 의해 구해진 면저항(R_{sh})을 종래 기술의 면저항과 비교하는 그래프이다.

도 14는 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법에 의해 구해진 전체 저항(R_T)을 구성 성분별로 구분하여 나타낸 그래프이다.

도 15는 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법에 의해 구해진 채널 길이 편차(ΔL)를 게이트 전압(V_G)에 따라 종래 기술과 비교하는 그래프이다.

도 16은 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법에 의해 구해진 반도체 박막의 이동도(μ_{FE})를 반도체 박막의 채널 거리(L)에 따라 종래 기술과 비교하는 그래프이다.

도 17은 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법에 의해 구해진 반도체 박막의 이동도(μ_{FE})를 인가한 게이트 전압(V_G)에 따라 종래 기술과 비교하는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0043] 전술한, 그리고 추가적인 양상들은 첨부된 도면을 참조하여 설명하는 실시예들을 통해 구체화된다. 각 실시예들의 구성 요소들은 다른 언급이나 상호간에 모순이 없는 한 실시예 내에서 또는 타 실시예의 구성 요소들과 다양한 조합이 가능한 것으로 이해된다. 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 명세서 및 청구범위에 사용된 용어는 기재 내용 혹은 제안된 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 본 명세서에서 모듈 또는 부분은, 컴퓨터 또는 프로세서에서 실행할 수 있도록 메모리에 저장된 프로그램 명령어의 집합이거나, 이러한 명령들을 수행할 수 있도록 ASIC, FPGA 등의 전자 부품 또는 회로의 집합을 이용하여 구현할 수 있다. 또한, 각 모듈 또는 부분의 동작은 하나 또는 복수의 프로세서 또는 장치에 의해 수행될 수 있다. 동일·유사한 부호가 표시된 구성요소는 동일·유사한 기능을 수행하므로, 설명을 생략할 수 있다. 설명이 생략된 도면부호를 가진 구성요소에 대해서는, 동일·유사한 부호를 가진 구성요소에 대해 앞에서 설명한 내용을 참조할 수 있다.
- [0044] 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0045] 도 1은 일 실시예에 따른 반도체 박막의 면저항을 측정하는 장치의 주요 구성을 개략적으로 나타내는 구성도이다.
- [0046] 제안된 발명의 일 양상에 따르면, 반도체 박막의 면저항을 측정하는 장치는, 게이트드 반데르포우(gated Van der Pauw; gVDP) 소자를 이용하여 반도체 박막의 면저항을 측정한다.
- [0047] 게이트드 반데르포우 소자(110)는, 게이트 전극과, 절연체와, 반도체 박막과, 박막 전극을 포함한다.

- [0048] 게이트 전극은 도핑된 실리콘(Si) 기판으로 구성될 수 있다. 절연체는 게이트 전극 위에 열산화(Thermal Oxidation) 공정 등을 이용하여 형성된다. 절연체는 약 100nm 두께의 SiO₂ 층으로 구성될 수 있다.
- [0049] 반도체 박막은 절연체 위에 형성된다. 반도체 박막은 RF 스퍼터 장치를 이용하여 형성할 수 있다. 반도체 박막은 산화물 반도체인 InGaZnO로 구성될 수 있다. 반도체 박막은 박막 트랜지스터(Thin Film Transister; TFT)의 채널(Channel)로 사용되기 위해 사각형 또는 원형으로 패터닝된다. 반도체 박막의 크기는 한번이 약 1mm정도가 되도록 제작할 수 있다.
- [0050] 게이트드 반데르포우(gVDP) 소자를 제작하기 위해, 반도체 박막은 박막면에 수직이고 중심을 지나는 대칭면을 두개 이상, 바람직하게는 네개 이상 가지도록 패터닝된다. 예를 들어, 직사각형인 경우 대칭면이 2개 존재하고, 정사각형인 경우 대칭면이 4개 존재한다. 반도체 박막은 박막면에 수직인 중심축을 중심으로 90도 회전대칭이 되도록 형성될 수 있다. 예를 들어, 도 5에 도시된 것처럼 반도체 박막을 정사각형 또는 네개의 홈을 가진 클로버형으로 구성할 수 있다.
- [0051] 박막 전극은 반도체 박막의 경계부 표면에 형성한다. 게이트드 반데르포우 소자를 제작하기 위해, 박막 전극은 네개를 형성한다. 제1 전극, 제2 전극, 제3 전극, 및 제4 전극으로 구성되는 네개의 박막 전극은 박막의 중심으로부터 각 전극까지의 거리가 모두 같도록 구성한다. 예를 들어, 사각형 구조 반도체 박막인 경우, 반도체 박막의 네개의 꼭지점에 박막 전극을 형성할 수 있다. 원형의 클로버형 반도체 박막인 경우, 두 홈 사이의 원주에 박막 전극을 형성할 수 있다.
- [0052] 게이트드 반데르포우 소자(110)를 이용하여 반도체 박막의 면저항을 측정하는 장치는, 게이트 전압 인가부(130)와, 전극 설정부(160)와, 전류 인가부(140)와, 전압 측정부(150)와, 박막 저항 결정부(180)와, 면저항 결정부(190)를 포함한다.
- [0053] 게이트 전압 인가부(130)는, 게이트 전극에 연결되어, 미리 정해진 게이트 전압(V_G)을 게이트 전극에 인가한다.
- [0054] 전극 설정부(160)는, 네개의 박막 전극 중 하나의 전극을 전류 인가 전극으로 선택하고, 전류 인가 전극에 인접한 위치에 있는 전극 중 하나를 접지 연결 전극으로 선택하고, 나머지 두개의 전극을 전압 측정 전극으로 설정한다. 예를 들어, 제1 전극을 전류 인가 전극으로 선택한 경우, 제1 전극의 옆에 인접하여 위치하는 두 전극 중 하나인 제2 전극을 접지 연결 전극으로 선택한다. 나머지 전극들인, 제1 전극의 대각선 방향에 위치하는 제3 전극과, 제2 전극의 대각선 방향에 위치하는 제4 전극은, 전압 측정 전극으로 설정한다.
- [0055] 전류 인가부(140)는, 접지 연결 전극을 접지에 연결하고 전류 인가 전극에 전류를 인가한다. 앞의 예에서, 전류 인가부(140)는 박막 전극 중 제1 전극 및 제2 전극에 연결된다. 전류 인가부(140)는 전류 인가 전극인 제1 전극에 전류(I_1)를 인가하고, 접지 연결 전극인 제2 전극에 접지를 연결한다. 전압 인가부(140)는 전류 인가 전극에 흐르는 전류(I_1)를 측정할 수 있다.
- [0056] 전압 측정부(150)는, 전류 인가 전극에 전류가 인가될 때, 두개의 전압 측정 전극으로부터 각각 전압을 측정한다. 앞의 예에서, 전압 측정부(150)는, 박막 전극 중 제3 전극 및 제4 전극에 연결된다. 전압 측정부(150)는 제3 전극의 전압(V_3)과 제4 전극의 전압(V_4)을 측정한다.
- [0057] 박막 저항 결정부(180)는, 각각의 전류 인가 전극 및 접지 연결 전극 쌍에 대해, 전류 인가 전극에 인가한 전류와 두개의 전압 측정 전극으로부터 측정한 전압을 이용하여 반도체 박막 채널의 저항을 결정한다. 예를 들어, 앞의 예에서 제1 전극으로부터 제2 전극으로 전류(I_1)가 흐를 때, 제3 전극의 전압(V_3)과 제4 전극의 전압(V_4)이 측정된 경우, 반도체 박막 채널의 저항 R_{12} 은 다음 수학적 식 1로 구할 수 있다.
- [0058] [수학적 식 1]
- [0059]
$$I_1 R_{12} = V_4 - V_3$$
- [0060] 한편, 전극 설정부(160)는 전류 인가 전극과 접지 연결 전극을 변경할 수 있다. 예를 들어, 전류 인가 전극을 제2 전극으로 설정하고, 접지 전극을 제3 전극으로 설정하도록 변경할 수 있다. 이 경우 전압 측정 전극은 제4 전극과 제1 전극이 된다.
- [0061] 박막 저항 결정부(180)는 변경된 전극 설정에 대해서도 반도체 박막 채널의 저항을 결정할 수 있다. 예를 들어, 제2 전극으로부터 제3 전극으로 전류(I_2)가 흐를 때, 제4 전극의 전압(V_4)과 제1 전극의 전압(V_1)이 측정된

경우, 반도체 박막 채널의 저항 R_{23} 은 다음 수학적 식 2로 구할 수 있다.

[수학적 식 2]

$$I_2 R_{23} = V_1 - V_4$$

박막 저항 결정부(180)는, 복수의 전극 설정에 대하여 복수의 반도체 박막 채널의 저항($R_{12}, R_{23}, \dots$)이 산출된 경우, 복수의 반도체 박막 채널 저항의 평균($\overline{R}$)을 구하여 이 평균값을 반도체 박막 채널 저항으로 결정할 수 있다.

면저항 결정부(190)는, 전류 인가 전극에 인가한 전류와 전압 측정 전극에서 측정한 전압 및 반도체 박막 채널의 저항에 근거하여, 게이트 전압(V_G)에 대한 반도체 박막 채널의 고유 면저항(R_{sh})을 결정한다.

반도체 박막 채널의 고유 면저항(R_{sh})은 다음 수학적 식 3처럼 반도체 박막 채널의 면전도도(σ_{sh})의 역수로 구할 수 있다.

[수학적 식 3]

$$R_{sh} = 1 / \sigma_{sh}$$

이때, 반도체 박막 채널의 면전도도(σ_{sh})는 다음 수학적 식 4로 구할 수 있다.

[수학적 식 4]

$$\sigma_{sh} = \left(\frac{I_1}{V_4 - V_3} \right) \left(\frac{\ln 2}{\pi R} \right)$$

따라서, 면저항 결정부(190)는, 전류 인가 전극에 인가한 전류(I_1)와 전압 측정 전극에서 측정한 전압(V_3, V_4) 및 반도체 박막 채널의 평균 저항($\overline{R}$)을 수학적 식 4에 대입하여 반도체 박막 채널의 면전도도(σ_{sh})를 구하고, 면전도도의 역수를 구하고, 역수를 취하여, 게이트 전압(V_G)에 대한 반도체 박막 채널의 고유 면저항(R_{sh})을 결정할 수 있다.

한편, 반도체 박막 채널의 고유 면저항(R_{sh})은 다음 수학적 식 5를 이용하여 구할 수도 있다.

[수학적 식 5]

$$R_{sh} = \frac{1}{\sigma_{sh}} = \left(\frac{V_4 - V_3}{I_1} \right) \left(\frac{\pi R}{\ln 2} \right)$$

즉, 면저항 결정부(190)는, 전류 인가 전극에 인가한 전류(I_1)와 전압 측정 전극에서 측정한 전압(V_3, V_4) 및 반도체 박막 채널의 저항($\overline{R}$)을 수학적 식 5에 대입하여, 게이트 전압(V_G)에 대한 반도체 박막 채널의 고유 면저항(R_{sh})을 결정할 수 있다.

한편, 반도체 박막의 면저항을 측정하는 장치는, 이상에서 설명한 복수의 구성을 결합하여 구성할 수 있다. 예를 들어, 전극 설정부(160)와, 게이트 전압 인가부(130)와, 전류 인가부(140)와, 전압 측정부(150)의 구성을 결합하여 게이티드 반데르포우 소자 측정부(120)로 구성할 수 있다. 또한 박막 저항 결정부(180)와, 면저항 결정부(190)의 구성을 결합하여 면저항 분석부(170)로 구성할 수 있다.

도 2는 일 실시예에 따른 반도체 박막의 이동도를 측정하는 장치의 주요 구성을 개략적으로 나타내는 구성도이다.

제안된 발명의 다른 일 양상에 따르면, 반도체 박막의 이동도를 측정하는 장치는, 게이티드 반데르포우(gated Van der Pauw) 소자에서 구한 면저항을 이용하여 박막 트랜지스터(TFT)에 사용되는 반도체 박막의 이동도를 측정한다.

- [0080] 반도체 박막의 이동도 측정을 위해 사용되는 박막 트랜지스터(TFT) 소자(210)는, 게이트 반데르포우 소자(110)와 마찬가지로, 게이트 전극과, 절연체와, 반도체 박막과, 박막 전극을 포함한다.
- [0081] 박막 트랜지스터(TFT) 소자(210)의 게이트 전극과 절연체는 게이트 반데르포우 소자(110)와 동일하게 구성된다.
- [0082] 박막 트랜지스터(TFT) 소자(210)의 반도체 박막과 박막 전극은 게이트 반데르포우 소자(110)와 동일한 재질로 동일한 공정을 이용하여 동일한 두께로 절연체 위에 형성된다. 박막 트랜지스터(TFT) 소자(210)의 반도체 박막은, 박막면에 수직이고 중심을 지나는 대칭면을 두개 이상 가지도록, 예를 들어 폭(W)과 채널 거리(L)를 가진 직사각형 형태로 패터닝될 수 있다.
- [0083] 박막 트랜지스터(TFT) 소자(210)의 박막 전극은, 반도체 박막의 경계부 표면에 형성된다. 박막 전극은 반도체 박막의 마주보는 양단에 각각 1개씩 2개를 형성할 수 있다. 앞의 예에서, 박막 전극은 반도체 박막의 폭(W)만큼 반도체 박막과 접하고, 두 박막 전극은 서로 반도체 박막의 채널 거리(L)만큼 떨어지게 구성된다.
- [0084] 게이트 반데르포우 소자(110)에서 구한 먼저항을 이용하여 박막 트랜지스터(210)에 사용되는 반도체 박막의 이동도를 측정하는 장치는, 드레인 전류 측정부(220)와, 전체 저항 산출부(260)와, 먼저항 결정부(250)와, 유효 채널 길이 결정부(270)와, 전달 컨덕턴스 결정부(240)와, 이동도 결정부(280)를 포함한다.
- [0085] 드레인 전류 측정부(220)는, 미리 정해진 복수의 게이트 전압(V_G)에 대해, 반도체 박막의 마주보는 양단에 위치한 두 전극 사이에 미리 설정된 드레인 전압(V_D)을 인가하고, 두 전극 사이에 흐르는 드레인 전류(I_D)를 측정한다. 여기에서 드레인 전압(V_D)은 미리 설정된 고정된 값이다.
- [0086] 전체 저항 산출부(260)는, 측정된 드레인 전류(I_D)와 인가한 드레인 전압(V_D)에 기초하여, 복수의 게이트 전압에 대해 각각 반도체 박막의 전체 저항(R_T)을 다음 수학적 식 6과 같이 옴의 법칙을 이용하여 산출한다.
- [0087] [수학적 식 6]
- [0088] $R_T = V_D / I_D$
- [0089] 예를 들어, 제1 게이트 전압(V_{G1})에서 미리 설정된 드레인 전압(V_D)을 입력하는 경우 제1 드레인 전류(I_{D1})가 측정되었다면, 제1 게이트 전압(V_{G1})에서의 반도체 박막의 전체 저항(R_{T1})은 $R_{T1} = V_D / I_{D1}$ 이 된다. 제2 게이트 전압(V_{G2})에서 미리 설정된 드레인 전압(V_D)을 입력하는 경우 제2 드레인 전류(I_{D2})가 측정되었다면, 제2 게이트 전압(V_{G2})에서의 반도체 박막의 전체 저항(R_{T2})은 $R_{T2} = V_D / I_{D2}$ 가 된다.
- [0090] 먼저항 결정부(250)는, 복수의 게이트 전압 중 제1 게이트 전압(V_{G1})에 대해 게이트 반데르포우 소자(110)를 이용하여 반도체 박막 채널의 고유 먼저항(R_{sh})을 결정한다. 먼저항 결정부(250)는, 도 1에서 설명한 반도체 박막의 먼저항을 측정하는 장치를 이용하여 구성할 수 있다.
- [0091] 유효 채널 길이 결정부(270)는, 복수의 게이트 전압에 대해 산출한 반도체 박막의 전체 저항(R_T)과 제1 게이트 전압(V_{G1})에 대해 결정된 반도체 박막 채널의 고유 먼저항(R_{sh})에 근거하여, 제1 게이트 전압(V_{G1})에 대해 반도체 박막 채널의 유효 채널 길이(L_{eff})를 결정한다.
- [0092] 반도체 박막의 전체 저항(R_T)은, 다음 수학적 식 7로 나타낼 수 있다.
- [0093] [수학적 식 7]
- [0094] $W \cdot R_T = R_{sh} (L_{eff}) + W \cdot R_C$
- [0095] 여기에서 W 는 채널 폭이고, L_{eff} 은 박막 트랜지스터에 게이트 전압과 드레인 전압이 인가된 경우 생성되는 채널 길이 편차에 의해 변경되는 유효 채널 길이이고, R_C 는 반도체 박막과 박막 전극 사이의 접촉 저항이다.
- [0096] 유효 채널 길이(L_{eff})는, 설계시의 채널 길이(L)와 박막 트랜지스터에 게이트 전압과 드레인 전압이 인가된 경우 생성되는 채널 길이 편차(ΔL)를 이용하여 다음 수학적 식 8과 같이 나타낼 수 있다.

- [0097] [수학식 8]
- [0098] $L_{eff} = L - \Delta L$
- [0099] 따라서, 반도체 박막의 전체 저항(R_T)은, 다음 수학식 9와 같이 표현할 수 있다.
- [0100] [수학식 9]
- [0101] $W \cdot R_T = R_{sh} (L - \Delta L) + W \cdot R_C$
- [0102] 복수의 게이트 전압에 대해 전체 저항(R_T)을 구하는 경우, R_{sh} 는 동일한 반도체 박막에 대해 동일한 값을 가지고, 설계시의 채널 길이(L)도 동일하므로, 수학식 9에서 반도체 박막 채널 길이 편차(ΔL)와 접촉 저항(R_C)을 산출할 수 있다. 예를 들어, 제1 게이트 전압(V_{G1})에 대해 구한 전체 저항(R_{T1})과, 제2 게이트 전압(V_{G2})에 대해 구한 전체 저항(R_{T2})은 다음 수학식 10의 연립방정식으로 나타낼 수 있다.
- [0103] [수학식 10]
- [0104] $W \cdot R_{T1} = R_{sh} (L - \Delta L) + W \cdot R_C$
- [0105] $W \cdot R_{T2} = R_{sh} (L - \Delta L) + W \cdot R_C$
- [0106] 수학식 10에서 미지수는 2개(ΔL , R_C)이고, 식이 2개 이므로, 제1 게이트 전압(V_{G1})과 제2 게이트 전압(V_{G2}) 사이에서, 채널 길이 편차(ΔL)와 접촉 저항(R_C)을 구할 수 있다. 유효 채널 길이(L_{eff})는 채널 길이 편차(ΔL)를 수학식 8에 대입하여 구할 수 있다.
- [0107] 전달 컨덕턴스 결정부(240)는, 게이트 전압(V_G)에 대한 드레인 전류(I_D)의 전달 곡선 데이터 중 제1 게이트 전압(V_{G1})에서의 전달 곡선의 기울기를 산출하여, 제1 게이트 전압(V_{G1})에서의 전달 컨덕턴스(G_m)를 결정한다. 예를 들어, 제1 게이트 전압(V_{G1})에서의 드레인 전류(I_{D1})와 제2 게이트 전압(V_{G2})에서의 드레인 전류(I_{D2})로부터 전달 컨덕턴스(G_m)는 다음 수학식 11과 같이 구할 수 있다.
- [0108] [수학식 11]
- [0109]
$$G_m = \frac{I_{D2} - I_{D1}}{V_{G2} - V_{G1}}$$
- [0110] 이동도 결정부(280)는, 제1 게이트 전압(V_{G1})에 대한 반도체 박막 채널의 유효 채널 길이(L_{eff}) 및 전달 컨덕턴스(G_m)에 기초하여, 제1 게이트 전압(V_{G1})에서의 반도체 박막 채널의 이동도(μ_{FE})를 결정한다.
- [0111] 반도체 박막 채널의 전체 효과 이동도(Field Effect Mobility; μ_{FE})는 다음 수학식 12로 구할 수 있다.
- [0112] [수학식 12]
- [0113]
$$\mu_{FE} = \left(\frac{G_m}{C_{OX} \cdot V_D} \right) \left(\frac{L}{W} \right)$$
- [0114] 여기에서, C_{OX} 는 단위 면적당 게이트 절연체 커패시턴스를 나타낸다.
- [0115] 박막 트랜지스터(TFT)의 전체 저항에 gVDP 소자에서 구한 채널 고유 면저항(R_{sh})을 적용하여, 반도체 박막의 이동도(μ_{FE}) 결정시 분석 오류를 효과적으로 보완할 수 있다.
- [0116] 도 3은 일 실시예에 따른 반도체 박막의 이동도를 측정하는 장치에 장착되는 박막 트랜지스터(TFT) 소자의 단면을 나타내는 개념도이다.
- [0117] 도 3의 (a)는 반도체 박막 채널의 길이가 긴 박막 트랜지스터(TFT) 소자를 나타내고, 도 3의 (b)는 반도체 박막 채널의 길이가 짧은 박막 트랜지스터(TFT) 소자를 나타낸다.

- [0118] 도평된 실리콘(Si) 기판의 게이트 전극(310)과, 그 위의 절연체층(320)이 구성되어 있고, 절연체층 위에 InGaZnO 반도체 박막 채널층(330)이 형성되어 있다. 반도체 박막 채널층의 표면 위에는 박막 전극(340)이 형성된다. 박막 전극(340)에는 측정 전극(350)이 연결된다.
- [0119] 박막 트랜지스터(TFT) 소자에서 드레인과 소스 사이의 전체 저항(R_T)은, 반도체 박막 채널의 저항(R_{ch})(360)과, 반도체 박막 채널과 박막 전극 사이의 접촉 저항(R_c)(370)과, 각 측정 전극 저항(R_w)(380)으로 구성된다. 도 3에는 접촉 저항(R_c)(370)과 측정 전극 저항(R_w)(380)을 한쪽에만 표시하였지만, 소스 전극과 드레인 전극에 각각 존재하는 저항을 합한 것이다. 따라서 각 측정 전극 저항 (R_w)(380)을 무시하면, 전체 저항(R_T)은 다음 수학적 식 13과 같이 나타낼 수 있다.
- [0120] [수학적 식 13]
- [0121] $R_T = R_{ch} + R_c$
- [0122] 도 3의 (a)와 같이 반도체 박막 채널의 길이(L)가 긴 경우에는 반도체 박막 채널의 저항(R_{ch})(360)이 커서, 반도체 박막 채널과 박막 전극 사이의 접촉 저항(R_c)(370)의 영향이 작다. 이러한 경우에는 쇼트키 접촉(Schottky Contact)을 옴 접촉(Ohmic Contact)으로 보고 계산하여도 된다.
- [0123] 그러나 도 3의 (b)와 같이 반도체 박막 채널의 길이(L)가 짧아지는 경우에는 반도체 박막 채널의 저항(R_{ch})(365)이 작아져서, 반도체 박막 채널과 박막 전극 사이의 접촉 저항(R_c)(370)의 영향이 커진다. 따라서 이러한 경우, 쇼트키 접촉(Schottky Contact)을 옴 접촉(Ohmic Contact)으로 보고 계산하면 반도체 박막 채널의 길이(L)가 짧아질수록 오류가 점점 커지는 문제가 있다. 이러한 오류를 보완하기 위하여, 일 실시예에 따른 반도체 박막의 이동도를 측정하는 장치는, 박막 트랜지스터(TFT)에 사용되는 반도체 박막의 이동도 측정시, 게이트드 반데르포우 소자를 이용하여 구한 반도체 박막의 고유한 면저항을 적용한다.
- [0124] 도 4는 일 실시예에 따른 반도체 박막의 이동도를 측정하는 장치에 장착되는 박막 트랜지스터(TFT) 소자에서 유효 채널 거리(L_{eff})를 나타내는 개념도이다.
- [0125] 도 4의 (a)는 박막 트랜지스터(TFT) 소자를 측면에서 바라본 단면도이고, 도 4의 (b)는 박막 트랜지스터(TFT) 소자를 박막 전극의 위에서 바라본 평면도이다.
- [0126] 도 4의 (a)를 참조하면, 게이트 전극(410) 위에 절연체층(420)이 형성되어 있고, 절연체층(420) 위에 반도체 박막 채널층(430)과 그 위에 박막 전극(440)이 형성되어 있다. 두개의 박막 전극 사이의 채널층(430)의 채널 거리(L)가 표시되어 있다. 게이트 전극(440)에 게이트 전압(V_g)이 인가되고, 두개의 박막 전극(440) 사이에 드레인 전압(V_d)이 인가되면, 반도체 박막 채널층(430)에는 채널 길이 편차(channel length deviation)(435)가 형성되어, 유효 채널 길이(L_{eff})는 감소하게 된다. 유효 채널 길이(L_{eff})는 앞에서 설명한 수학적 식 8로 구할 수 있다.
- [0127] 도 4의 (b)를 참조하면, 반도체 박막 채널층(430)은 일정한 폭(W)을 가진 직사각형 형태로 패터닝되어 있다. 반도체 박막 채널층(430) 위에 복수의 박막 전극(441, 442, ..., 447, 448, 449)이 형성되어 있다. 박막 트랜지스터(TFT) 소자는 반도체 박막의 마주보는 양단에 채널 거리(L)만큼 떨어져 형성되는 소스 전극과 드레인 전극의 두개의 전극이 있으면 된다.
- [0128] 도 4의 (b)에서는 서로 다른 채널 길이에 대한 측정을 위하여, 박막 전극 사이의 거리를 다르게 하여 복수의 박막 전극을 형성하였다. 예를 들어 가장 오른쪽의 두개의 박막 전극(448, 449) 사이의 채널 거리(L)에 비해, 바로 왼쪽의 두개의 박막 전극(447, 448) 사이의 채널 거리(L')가 더 작도록, 박막 전극 사이의 거리를 조절하여 박막 트랜지스터(TFT) 소자를 형성할 수 있다.
- [0129] 도 5는 일 실시예에 따른 반도체 박막의 면저항을 측정하는 장치에 장착되는 게이트드 반데르포우(gVDP) 소자를 경사지게 바라본 개념도 및 전극의 연결상태를 나타내는 개념도이다.
- [0130] 도 5의 (a)는 게이트드 반데르포우 소자를 경사지게 바라본 사시도이고, 도 5의 (b)는 게이트드 반데르포우 소자의 전극에 인가되는 외부 전원과 측정 위치를 나타내는 평면도이고, 도 5의 (c)와 도 5의 (d)는 클로버형 반도체 박막의 예를 나타내는 평면도이다.
- [0131] 도 5의 (a)를 참조하면, 게이트 전극(510) 위에 절연체(520)가 위치하고, 절연체(520) 위에 정사각형으로 패터

닝된 InGaZnO 반도체 박막이 위치하고, 반도체 박막의 표면 위에 박막 전극(540)이 위치한다.

- [0132] 도 5의 (b)를 참조하면, 제1 전극은 전류원(I_1)에 연결되고, 제2 전극은 접지에 연결되고, 제3 전극과 제4 전극은 전압 측정기에 연결된다. 게이트 전극에 게이트 전압(V_g)을 인가하고, 제1 전극에 전류(I_1)를 인가하면, 제1 전극에 전압(V_1)이 발생한다. 반도체 박막이 중심을 지나는 대칭면을 가진 사각형인 경우, 제4 전극에서 측정하는 전위의 등전위면과 제3 전극에서 측정하는 전위의 등전위면은 박막의 중심을 지나는 면을 기준으로 서로 대칭으로 형성된다. 채널 중간 지점의 전위(V_c)는 $V_c = (V_3 + V_4) / 2$ 가 된다.
- [0133] 반도체 박막 채널의 저항(R_{12})은, 도 1에서 설명한 수학적 식 1로 구할 수 있다. 반도체 박막 채널의 면전도도(σ_{sh})는 수학적 식 4로 구할 수 있다. 반도체 박막 채널의 저항을 보다 정확하게 측정하기 위하여, 반도체 박막을 정사각형, 클로버형 등 박막의 중심에 수직한 법선 기준으로 90도 회전 대칭으로 형성한다. 전극의 구성을 서로 바꾸어 측정한 박막 채널의 저항을 평균한 값을 수학적 식 4에 대입하여 보다 정확한 반도체 박막 채널의 면전도도(σ_{sh})를 구할 수 있다.
- [0134] 도 5의 (c)와 도 5의 (d)는 클로버(Clover Leaf)형 반도체 박막의 예를 나타내는 평면도이다. 도 5의 (c)에서 반도체 박막(531)은 전반적으로 정사각형이고, 5의 (d)에서 반도체 박막(532)은 전반적으로 원형을 이루고 있다. 두 박막 모두 90도 간격으로 외부 경계면으로부터 중심을 향한 홈(535)이 형성되어 있다. 전극(540)은 홈(535)의 사이에 배치된다.
- [0135] 도 6은 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법을 개략적으로 나타내는 순서도이다.
- [0136] 제안된 발명의 또 다른 일 양상에 따르면, 게이트드 반데르포우(gated Van der Pauw) 방법으로 구한 면저항을 이용하여 박막 트랜지스터(TFT)에 사용되는 반도체 박막의 이동도를 측정하는 방법은, 박막 트랜지스터(TFT) 소자의 특성을 측정하는 단계(S620)와, 박막 전체 저항(R_T)을 산출하는 단계(S630)와, 유효 채널 길이(L_{eff})를 결정하는 단계(S640)와, 전달 곡선 데이터를 생성하는 단계(S650)와, 전달 컨덕턴스(G_m)를 결정하는 단계(S660)와, 채널의 이동도(μ_{FE})를 결정하는 단계(S670)를 포함한다. 반도체 박막의 이동도를 측정하는 방법은, 도 2에서 설명한 반도체 박막의 이동도를 측정하는 장치에 의해 수행될 수 있다.
- [0137] 도 7은 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법 중 박막 트랜지스터(TFT) 소자의 드레인 전류(I_D)를 측정하는 방법을 나타내는 순서도이다.
- [0138] 박막 트랜지스터(TFT) 소자의 특성을 측정하는 단계(S620)는, 미리 정해진 복수의 게이트 전압(V_g)에 대해, 반도체 박막의 마주보는 양단에 위치한 두 전극 사이에 미리 설정된 드레인 전압(V_D)을 인가하고(S720), 두 전극 사이에 흐르는 드레인 전류(I_D)를 측정하는 단계(S730)를 포함한다.
- [0139] 추가적인 양상에 따르면, 박막 트랜지스터(TFT) 소자의 특성을 측정하는 단계(S620)는, 게이트 전극과, 게이트 전극 위의 절연체와, 절연체 위에 위치하는 사각형 반도체 박막과, 반도체 박막의 마주보는 양단에서 일정한 폭(W)으로 반도체 박막과 맞닿고 서로 채널 거리(L)만큼 떨어져서 반도체 박막 위에 형성되는 두개의 전극을 포함하는 박막 트랜지스터(TFT) 소자를 준비하는 단계(S710)를 더 포함한다.
- [0140] 동일한 채널 폭(W)이고, 채널 길이(L)가 다른 전극에 대해서 추가로 측정하려는 경우에는(S740), 소스 전극과 드레인 전극을 변경하여(S750) 다시 드레인 전압(V_D)을 인가하고(S720), 드레인 전류(I_D)를 측정하는 단계(S730)를 반복할 수 있다. 측정이 완료되면, 박막 전체 저항을 산출(S630)하는 등 데이터 분석을 실시한다(S760).
- [0141] 도 8은 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법 중 박막 트랜지스터(TFT) 소자의 반도체 박막의 유효 채널 거리(L_{eff})를 결정하는 방법을 나타내는 순서도이다.
- [0142] 박막 전체 저항(R_T)을 산출하는 단계(S630)는, 측정된 드레인 전류(I_D)와 인가한 드레인 전압(V_D)에 기초하여, 복수의 게이트 전압에 대해 각각 반도체 박막의 전체 저항(R_T)을 산출하는 단계(S810)를 포함한다. 박막 전체 저항은 도 2에서 설명한 수학적 식 6을 이용하여 구할 수 있다.
- [0143] 유효 채널 길이(L_{eff})를 결정하는 단계(S640)는, 반도체 박막 채널의 고유 면저항을 결정하는 단계(S830)와, 고

유 면저항을 이용하여 채널 길이 편차(ΔL)를 산출하는 단계(S830)와 게이트 전압(V_G)에 대한 반도체 박막 채널의 유효 채널 길이(L_{eff})를 결정하는 단계(S870)를 포함한다.

[0144] 반도체 박막 채널의 고유 면저항을 결정하는 단계(S830)에서는, 복수의 게이트 전압 중 제1 게이트 전압(V_{G1})에 대해 게이티드 반데르포우 방법을 이용하여 반도체 박막 채널의 고유 면저항(R_{sh})을 결정한다. 면저항(R_{sh})을 결정에 대해서는 앞에서 기술한 도 1의 설명 또는 후술할 도 10의 설명을 참조할 수 있다.

[0145] 고유 면저항을 이용하여 채널 길이 편차(ΔL)를 산출하는 단계(S830)에서는, 복수의 게이트 전압에 대해 산출한 반도체 박막의 전체 저항(R_T)과 제1 게이트 전압(V_{G1})에 대해 결정된 반도체 박막 채널의 고유 면저항(R_{sh})에 근거하여, 제1 게이트 전압(V_{G1})에 대해 반도체 박막 채널 길이 편차(ΔL) 및 접촉 저항(R_C)을 산출한다. 이때 수학적 식 10과 같은 연립방정식을 풀어서 반도체 박막 채널 길이 편차(ΔL) 및 접촉 저항(R_C)을 산출할 수 있다.

[0146] 게이트 전압(V_G)에 대한 반도체 박막 채널의 유효 채널 길이(L_{eff})를 결정하는 단계(S870)에서는, 제1 게이트 전압에 대한 반도체 박막 채널 길이 편차(ΔL)를 이용하여 제1 게이트 전압(V_G)에 대한 반도체 박막 채널의 유효 채널 길이(L_{eff})를 수학적 식 8을 이용하여 결정한다.

[0147] 도 9는 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법 중 박막 트랜지스터(TFT) 소자의 전달 곡선에 서 전달 컨덕턴스(G_m)를 결정하는 방법을 나타내는 순서도이다.

[0148] 추가적인 양상에 따르면, 전달 곡선 데이터를 생성하는 단계(S650)는 전달 곡선 데이터를 정리하는 단계(S930)를 포함할 수 있다. 전달 곡선 데이터를 정리하는 단계(S930)에서는, 게이트 전압(V_G)에 대한 드레인 전류(I_D)의 전달 곡선 데이터를 게이트 전압에 대해 순서대로 정렬하여 정리할 수 있다(S930). 전달 곡선 데이터를 다항함수, 로그함수 등에 근사시킨 전달 곡선 함수를 결정할 수 있다.

[0149] 추가적인 양상에 따르면, 전달 컨덕턴스(G_m)를 결정하는 단계(S660)에서는, 제1 게이트 전압(V_{G1})에서의 전달 곡선의 기울기를 산출하여(S950), 제1 게이트 전압(V_{G1})에서의 전달 컨덕턴스(G_m)를 결정한다(S970). 전달 컨덕턴스(G_m)는 수학적 식 11의 전달 곡선의 기울기를 이용하여 구할 수 있다. 근사시킨 전달 곡선 함수에 대해 미분하여 구한 기울기를 이용하여 전달 컨덕턴스(G_m)를 구할 수도 있다.

[0150] 추가적인 양상에 따르면, 채널의 이동도(μ_{FE})를 결정하는 단계(S670)에서는, 제1 게이트 전압(V_{G1})에 대한 반도체 박막 채널의 유효 채널 길이(L_{eff}) 및 전달 컨덕턴스(G_m)에 기초하여, 제1 게이트 전압(V_{G1})에서의 반도체 박막 채널의 이동도(μ_{FE})를 결정한다. 이때 반도체 박막 채널의 이동도(μ_{FE})는 수학적 식 12를 이용하여 결정할 수 있다.

[0151] 도 10은 일 실시예에 따른 반도체 박막의 면저항을 측정하는 방법을 개략적으로 나타내는 순서도이다.

[0152] 제안된 발명의 또 다른 일 양상에 따르면, 게이티드 반데르포우(gated Van der Pauw) 방법을 이용하여 반도체 박막의 면저항을 측정하는 방법은, 게이티드 반데르포우(gVDP) 소자의 특성을 평가하는 단계(S1010)와, 고유 저항을 결정하는 단계(S1030)와, 면전도도를 산출하는 단계(S1050)와 면저항을 결정하는 단계(S1070)를 포함한다.

[0153] 반도체 박막의 면저항을 측정하는 방법은, 도 1에서 설명한 반도체 박막의 면저항을 측정하는 장치에 의해 수행될 수 있다.

[0154] 게이티드 반데르포우(gVDP) 소자의 특성을 평가하는 단계(S1010)는 도 11을 참조하여 후술한다.

[0155] 고유 저항을 결정하는 단계(S1030)에서, 각각의 전류 인가 전극 및 접지 연결 전극 쌍에 대해, 전류 인가 전극으로 인가된 전류와 두개의 전압 측정 전극에서 측정된 전압을 이용하여 반도체 박막 채널의 저항을 결정한다. 반도체 박막 채널의 저항은 도 1에서 설명된 수학적 식 1을 이용하여 결정할 수 있다.

[0156] 고유 저항을 결정하는 단계(S1030)에서, 전류 인가 전극에 인가한 전류와 전압 측정 전극에서 측정한 전압 및 반도체 박막 채널의 저항에 근거하여, 게이트 전압에 대한 반도체 박막 채널의 면전도도를 산출한다. 반도체 박막 채널의 면전도도는 수학적 식 4를 이용하여 결정할 수 있다.

[0157] 면저항을 결정하는 단계(S1070)에서, 게이트 전압에 대한 반도체 박막 채널의 면전도도로부터 게이트 전압에 대

한 반도체 박막 채널의 고유 면저항을 결정한다. 반도체 박막 채널의 고유 면저항은 수식식 5를 이용하여 결정할 수 있다.

- [0158] 추가적인 양상에 따르면, 서로 다른 전극에 대해서 복수의 반도체 박막 채널 저항을 구한 경우, 고유 저항을 결정하는 단계(S1030)에서, 복수의 전류 인가 전극과 접지 연결 전극의 쌍에 대해, 복수의 반도체 박막 채널의 저항이 구해진 경우, 복수의 반도체 박막 채널 저항의 평균값을 반도체 박막 채널의 평균 고유 저항으로 결정할 수 있다.
- [0159] 도 11은 일 실시예에 따른 반도체 박막의 면저항을 측정하는 방법 중 게이트드 반데르포우(gVDP) 소자에서 전극 전압을 측정하는 방법을 나타내는 순서도이다.
- [0160] 게이트드 반데르포우(gVDP) 소자의 특성을 평가하는 단계(S1010)는 게이트드 반데르포우 소자를 준비하는 단계(S1110)와, 전극의 연결상태를 설정하는 단계(S1120)와, 전류를 인가하고 전압을 측정하는 단계(S1140)를 포함한다.
- [0161] 게이트드 반데르포우 소자를 준비하는 단계(S1110)에서, 게이트 전극과, 게이트 전극 위의 절연체와, 절연체 위에 위치하고 중심을 지나는 대칭면을 두개 이상 가지는 반도체 박막과, 반도체 박막의 경계부에 위치하고 박막의 중심으로부터 각 전극까지의 거리가 같은 네개의 박막 전극을 포함하는 게이트드 반데르포우 소자를 준비한다.
- [0162] 전극의 연결상태를 설정하는 단계(S1120)에서, 네개의 박막 전극 중 하나의 전극을 전류 인가 전극으로 선택하고, 전류 인가 전극에 인접한 위치에 있는 전극 중 하나를 접지 연결 전극으로 선택하고, 나머지 두개의 전극을 전압 측정 전극으로 선택한다. 예를 들어, 제1 전극을 전류 인가 전극으로 선택하고, 제1 전극과 인접한 제2 전극을 접지 연결 전극으로 선택하고, 나머지 제3 전극과 제4 전극을 전압 측정 전극으로 선택할 수 있다.
- [0163] 전류를 인가하고 전압을 측정하는 단계(S1140)에서, 게이트 전극에 미리 정해진 게이트 전압을 인가하고, 접지 연결 전극을 접지에 연결하고, 전류 인가 전극에 전류를 인가하고(S1130), 전압 측정 전극으로부터 각각 전압을 측정한다(S1140). 미리 정해진 게이트 전압은, 예를 들어 이동도 측정 장치에서 설정한 제1 게이트 전압(V_{G1})으로 설정할 수 있다.
- [0164] 추가적인 양상에 따르면, 게이트드 반데르포우(gVDP) 소자의 특성을 평가하는 단계(S1010)는, 모든 전극에 대하여 측정이 완료되었는지 확인하여(S1160), 아직 측정이 완료되지 않은 전극이 있는 경우 전극 연결 상태를 재설정하여(S1120) 측정을 반복한다.
- [0165] 전극 연결 상태를 재설정하는 단계(S1120)에서, 네개의 박막 전극 중 전류 인가 전극을 다른 전극으로 변경하고, 변경된 전류 인가 전극에 인접한 전극 중 하나를 접지 연결 전극으로 변경하고, 나머지 두개의 전극을 전압 측정 전극으로 변경한다. 앞의 예에서, 제2 전극을 전류 인가 전극으로 선택하고, 제2 전극과 인접한 제3 전극을 접지 연결 전극으로 선택하고, 나머지 제4 전극과 제1 전극을 전압 측정 전극으로 선택할 수 있다.
- [0166] 서로 다른 전극에 대해서 복수의 반도체 박막 채널 저항을 구한 경우, 고유 저항을 결정하는 단계(S1030)에서, 복수의 전류 인가 전극과 접지 연결 전극의 쌍에 대해, 복수의 반도체 박막 채널의 저항이 구해진 경우, 복수의 반도체 박막 채널 저항의 평균값을 반도체 박막 채널의 평균 고유 저항으로 결정할 수 있다.
- [0167] 변경된 접지 연결 전극을 접지에 연결하고, 변경된 전류 인가 전극에 전류를 인가하고(S1130), 변경된 전압 측정 전극으로부터 각각 전압을 측정하는(S1140) 과정을 반복한다.
- [0168] 추가적인 양상에 따르면, 반도체 박막의 면저항 측정 방법은, 측정된 전압을 미리 정해진 정상범위와 비교하여, 측정된 전압이 정상 범위에 속하는지 확인하는 단계를 더 포함한다. 측정된 전압이 정상 범위에 속하지 않는 경우, 에러 신호를 출력할 수 있다.
- [0169] 도 12는 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법에 의해 구해진 게이트 전압(V_G)에 대한 드레인 전류(I_D)의 관계를 나타내는 전달 곡선 그래프이다.
- [0170] 반도체 채널은 폭(W)이 $500\ \mu\text{m}$ 이고, 가장 위쪽 그래프의 채널 거리(L)는 $10\ \mu\text{m}$ 이고, 가장 아래쪽 그래프의 채널 거리(L)는 $100\ \mu\text{m}$ 이다. 채널 거리(L)가 짧을 수록 같은 게이트 전압(V_G)에서 더 큰 드레인 전류(I_D)가 흐른다. 박막 트랜지스터(TFT) 소자가 스위칭되는 게이트 전압(V_G)이 0 Volt 근처에서 드레인 전류(I_D)의 급격한 변화가 발생한다.

- [0171] 도 13은 일 실시예에 따른 반도체 박막의 면저항 측정하는 방법에 의해 구해진 면저항(R_{sh})을 종래 기술의 면저항과 비교하는 그래프이다.
- [0172] 도 13의 (a)는 종래 기술에 의해 구한 게이트 전압(V_G)에 대한 반도체 박막 채널의 면저항(R_{sh})을 나타낸다. 종래 기술에서는 채널 거리(L)에 대한 전체 저항(R_T) 그래프에서 기울기를 구하여 반도체 박막 채널의 면저항(R_{sh})을 구한다. 도면에서, 모든 채널 거리(L) 데이터를 사용하여(Full Range Fitting; FRF) 기울기를 구하는 경우는 빨간색으로 표시되어 있고, 절반의 채널 거리(L) 데이터를 사용하여(Half Range Fitting; HRF) 기울기를 구하는 경우는 검은색으로 표시되어 있다. 게이트 전압이 낮아져서 박막 트랜지스터(TFT) 소자가 스위칭되는 게이트 전압(V_G)이 0 Volt 근처로 갈수록 피팅하는 데이터의 양에 따라 반도체 박막 채널의 면저항(R_{sh})의 오차가 증가한다.
- [0173] 도 13의 (b)는 종래 기술에 따른 채널 거리(L)에 대한 반도체 박막 채널의 면저항(R_{sh})의 변화를 일 실시예에 따른 반도체 박막 채널의 면저항(R_{sh})과 비교한 그래프이다. 종래 기술에서는 게이트 전압(V_G)에서 드레인 전압(V_D)의 절반을 빼주어 정규화하고($@ = V_G - V_D/2$), 본 발명의 일 실시예에서는 게이트 전압(V_G)에서 중앙 전압(V_C)을 빼주어 정규화하였다($@ = V_G - V_C$). 그래프에서 정규화된 게이트 전압이, 1V인 경우는 검은색으로, 3V인 경우 파란색으로, 5V인 경우 빨간색으로, 20V인 경우 녹색으로 나타내었다. 종래 기술은 점선으로 표시하였고, 본 발명의 일 실시예는 굵은 실선으로 표시하였다.
- [0174] 종래 기술에서는 채널 거리가 짧아질수록 반도체 박막 채널의 면저항(R_{sh})이 점점 감소하는 경향을 보인다. 이에 반하여 본 발명의 일 실시예에서는 반도체 박막 채널의 면저항(R_{sh})은 채널 고유 특성으로 채널 거리에 무관하여 직선으로 나타난다.
- [0175] 도 14는 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법에 의해 구해진 전체 저항(R_T)을 구성 성분별로 구분하여 나타낸 그래프이다.
- [0176] 도 14의 (a)는 종래 기술(TLM)에 의해 측정된 전체 저항(R_T), 채널 저항(R_{ch}), 접촉 저항(R_c)을 게이트 전압(V_G)에 대해 나타내고, 도 14의 (b)는 본 발명의 일 실시예(gVDP)에 의해 측정된 전체 저항(R_T), 채널 저항(R_{ch}), 접촉 저항(R_c)을 게이트 전압(V_G)에 대해 나타낸 것이다.
- [0177] 종래 기술은 TLM으로 표시되고, 본 발명의 일 실시예는 gVDP로 표시된다. 이하의 도면들에 대해서도 마찬가지이다.
- [0178] 전체 저항(R_T)은 검은 색으로 표시되어 있고, 채널 저항(R_{ch})은 빨간색, 접촉 저항(R_c)은 파란색으로 표시되어 있다. 두 경우 모두 채널 거리(L)는 10 μm 인 반도체 박막 채널에 대하여 측정한 것이다.
- [0179] 도 14의 (a)를 참조하면, 종래 기술에서는 게이트 전압이 작아질수록 접촉 저항이 채널 저항보다 급격히 크게 증가하여, 도 3에서 설명된 수학적 식 13으로 계산한 전체 저항이 측정된 전체 저항보다 크게 되는 문제가 발생한다.
- [0180] 도 14의 (b)를 참조하면, 본 발명의 일 실시예에서는 게이트 전압이 작아질수록 접촉 저항(R_c)뿐만 아니라 채널 저항(R_{ch})도 증가하여, 수학적 식 13으로 계산한 전체 저항과 측정된 전체 저항 사이에 오류가 발생하지 않는다.
- [0181] 도 15는 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법에 의해 구해진 채널 길이 편차(ΔL)를 게이트 전압(V_G)에 따라 종래 기술과 비교하는 그래프이다.
- [0182] X축은 도 13과 마찬가지로 정규화된 게이트 전압을 나타낸다. 꺾은선 그래프는 왼쪽 세로축의 채널 길이 편차(ΔL)를 나타내고, 막대 그래프는 오른쪽 세로축의 접촉 저항(R_c)을 나타낸다. 종래 기술은 TLM으로 표시하였고, 본 발명의 일 실시예는 gVDP로 표시하였다.
- [0183] 게이트 전압이 감소함에 따라, 종래 기술에서는 채널 길이 편차(ΔL)가 급격히 증가함에 비해, 본 발명의 일 실시예에서는 채널 길이 편차(ΔL)가 일정한 기울기로 감소한다.

- [0184] 또한, 게이트 전압이 감소함에 따라, 종래 기술에서는 접촉 저항(R_c)이 급격히 증가함에 비해, 본 발명의 일 실시예에서는 접촉 저항(R_c)이 종래 기술보다 적은 수준으로 감소하고 있다.
- [0185] 도 16은 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법에 의해 구해진 반도체 박막의 이동도(μ_{FE})를 반도체 박막의 채널 거리(L)에 따라 종래 기술과 비교하는 그래프이다.
- [0186] 그래프에서 종래 기술(TLM)은 가는 점선으로 표시되어 있고, 본 발명의 일 실시예(gVDP)는 굵은 실선으로 표시되어 있다. 상부의 채널 거리(L)에 대해 일정한 굵은 점선은 진성 이동도(Intrinsic Mobility; μ_{int})를 나타내고, 채널 길이와 무관하여 $14.69 \text{ cm}^2/(\text{Vs})$ 의 일정한 값을 나타낸다. 도 13과 마찬가지로 게이트 전압이 정규화되었고, 정규화된 게이트 전압이, 1V인 경우는 검은색으로, 3V인 경우 파란색으로, 5V인 경우 빨간색으로, 20V인 경우 녹색으로 나타내었다.
- [0187] 도 16을 참조하면, 채널 거리(L)가 $10 \text{ }\mu\text{m}$ 에 가까워질수록 이동도는 감소하는 경향을 보인다. 종래기술(TLM)에서 측정된 이동도는 $30 \text{ }\mu\text{m}$ 부터 급격히 감소한다. 그 결과 검은색의 정규화된 게이트 전압이 1V이고 채널 거리(L)가 $10 \text{ }\mu\text{m}$ 인 경우에, 종래기술(TLM)에서는 이동도가 $-3 \text{ cm}^2/(\text{Vs})$ 로 음수가 나오는 오류가 발생한다.
- [0188] 이에 반하여, 본 발명의 일 실시예(gVDP)에 따르면, 정규화된 게이트 전압이 1V이고 채널 거리(L)가 $10 \text{ }\mu\text{m}$ 인 경우에도, 반도체 박막 채널의 이동도는 급격하게 변하지 않고 정상적인 값을 나타낸다. 따라서 본 발명의 일 실시예(gVDP)에 따르면 반도체 박막 채널의 이동도의 오류를 보완하여 정확한 값을 출력할 수 있다. 특히, 본 발명의 일 실시예(gVDP)는 반도체 박막 채널의 길이가 $30 \text{ }\mu\text{m}$ 이하에서 종래기술(TLM)보다 정확한 이동도를 구할 수 있다.
- [0189] 도 17은 일 실시예에 따른 반도체 박막의 이동도를 측정하는 방법에 의해 구해진 반도체 박막의 이동도(μ_{FE})를 인가한 게이트 전압(V_g)에 따라 종래 기술과 비교하는 그래프이다.
- [0190] 도 17의 (a)는 채널 거리(L)가 $10 \text{ }\mu\text{m}$ 및 $15 \text{ }\mu\text{m}$ 인 경우의 이동도를 측정한 결과이고, 도 17의 (b)는 채널 거리(L)가 $50 \text{ }\mu\text{m}$ 및 $100 \text{ }\mu\text{m}$ 인 경우의 이동도를 측정한 결과이다. 가는 선은 종래 기술(TLM)에 의해 측정된 이동도이고, 굵은 선은 본 발명의 일 실시예(gVDP)에 의해 측정된 이동도이다. 동일한 채널 거리(L)에 대해, 게이트 전압(V_g)이 감소하면 이동도도 감소한다.
- [0191] 채널 거리(L)가 감소하면, 이동도는 낮아진다. 도 17의 (a)를 참조하면, 종래기술(TLM)에서는, 채널 거리가 작고($L = 10 \text{ }\mu\text{m}$) 게이트 전압이 낮아지는 경우($V_g = 1 \text{ V}$), 이동도가 $-3 \text{ cm}^2/(\text{Vs})$ 로 음수가 나오는 오류가 발생한다. 반면에, 본 발명의 일 실시예(gVDP)에서는 동일한 조건에서도 오류가 발생하지 않는 것을 확인할 수 있다.
- [0192] 한편, 도 17의 (b)를 참조하면, 채널 거리(L)가 큰 경우에 본 발명의 일 실시예(gVDP)로 측정한 결과는 종래기술(TLM)로 측정한 결과와 동일한 수준인 것을 확인할 수 있다. 따라서, 본 발명의 일 실시예(gVDP)는 채널 거리(L)가 작은 경우뿐만 아니라, 채널 거리가 큰 경우에도 문제없이 적용 가능하다.
- [0193] 이상에서 본 발명을 첨부된 도면을 참조하는 실시예들을 통해 설명하였지만 이에 한정되는 것은 아니며, 이들로부터 당업자라면 자명하게 도출할 수 있는 다양한 변형예들을 포괄하도록 해석되어야 한다. 특허청구범위는 이러한 변형예들을 포괄하도록 의도되었다.

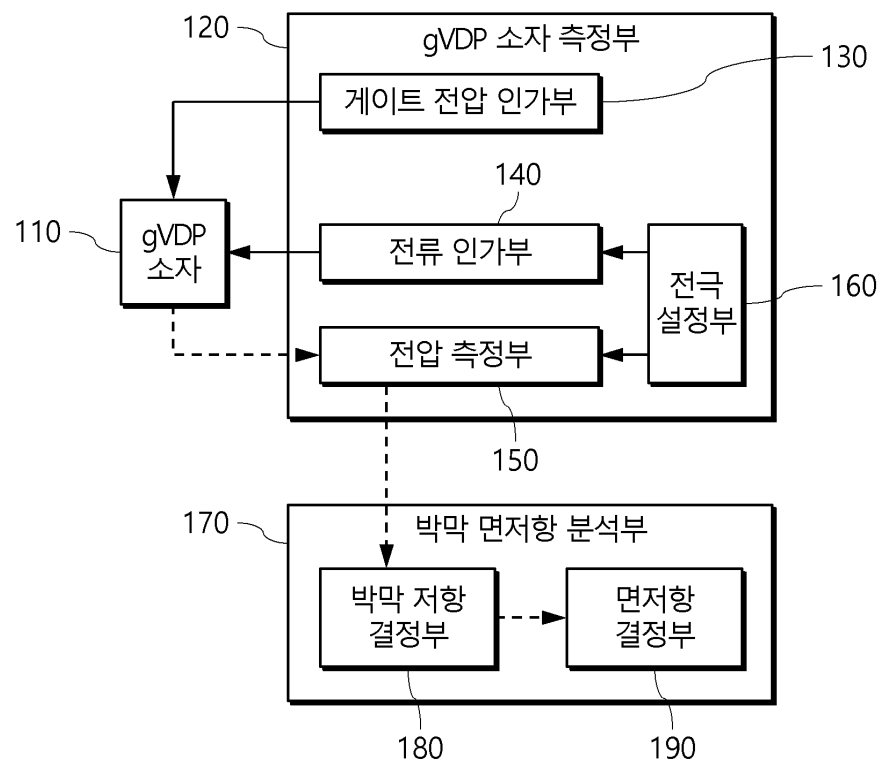
부호의 설명

- [0194] 110 : 게이트드 반테르포우 소자(110)
- 130 : 게이트 전압 인가부(130) 140 : 전류 인가부(140)
- 150 : 전압 측정부(150) 160 : 전극 설정부(160)
- 180 : 박막 저항 결정부(180) 190 : 면저항 결정부(190)
- 210 : 박막 트랜지스터(TFT) 소자
- 220 : 드레인 전류 측정부(220) 240 : 전달 컨덕턴스 결정부(240)
- 250 : 면저항 결정부(250) 260 : 전체 저항 산출부(260)

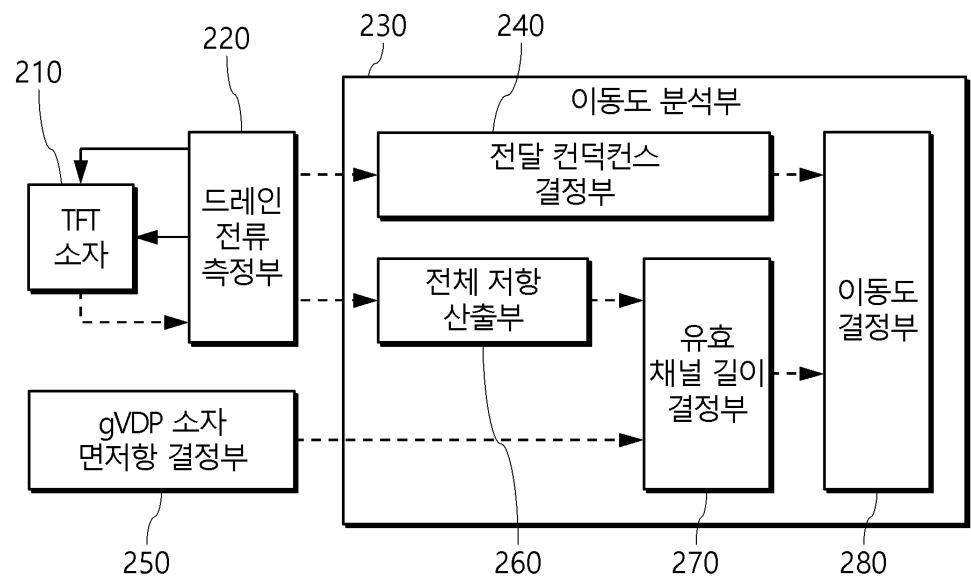
270 : 유효 채널 길이 결정부(270) 280 : 이동도 결정부(280)

도면

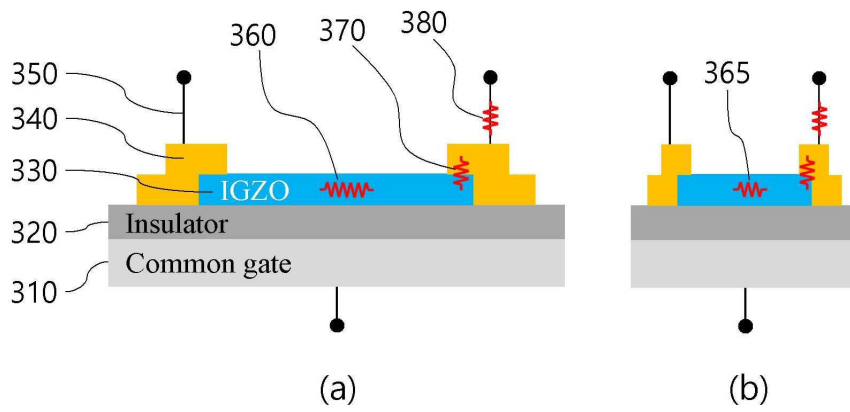
도면1



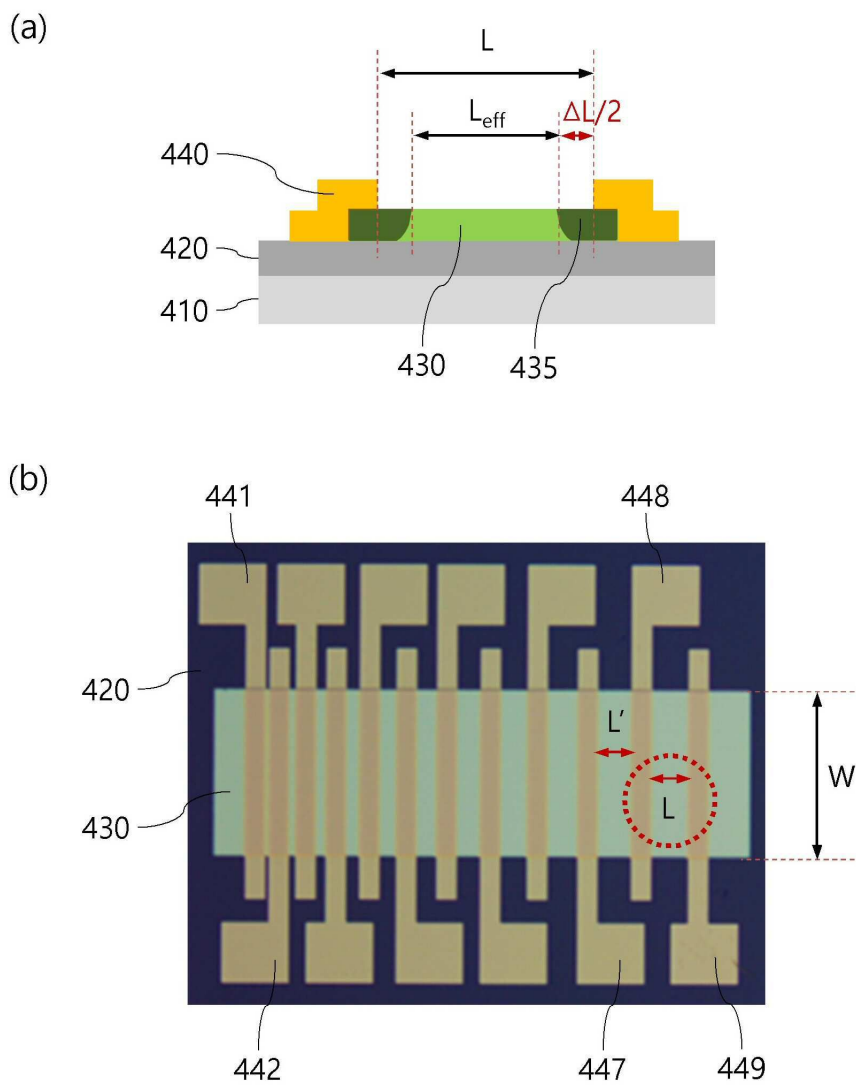
도면2



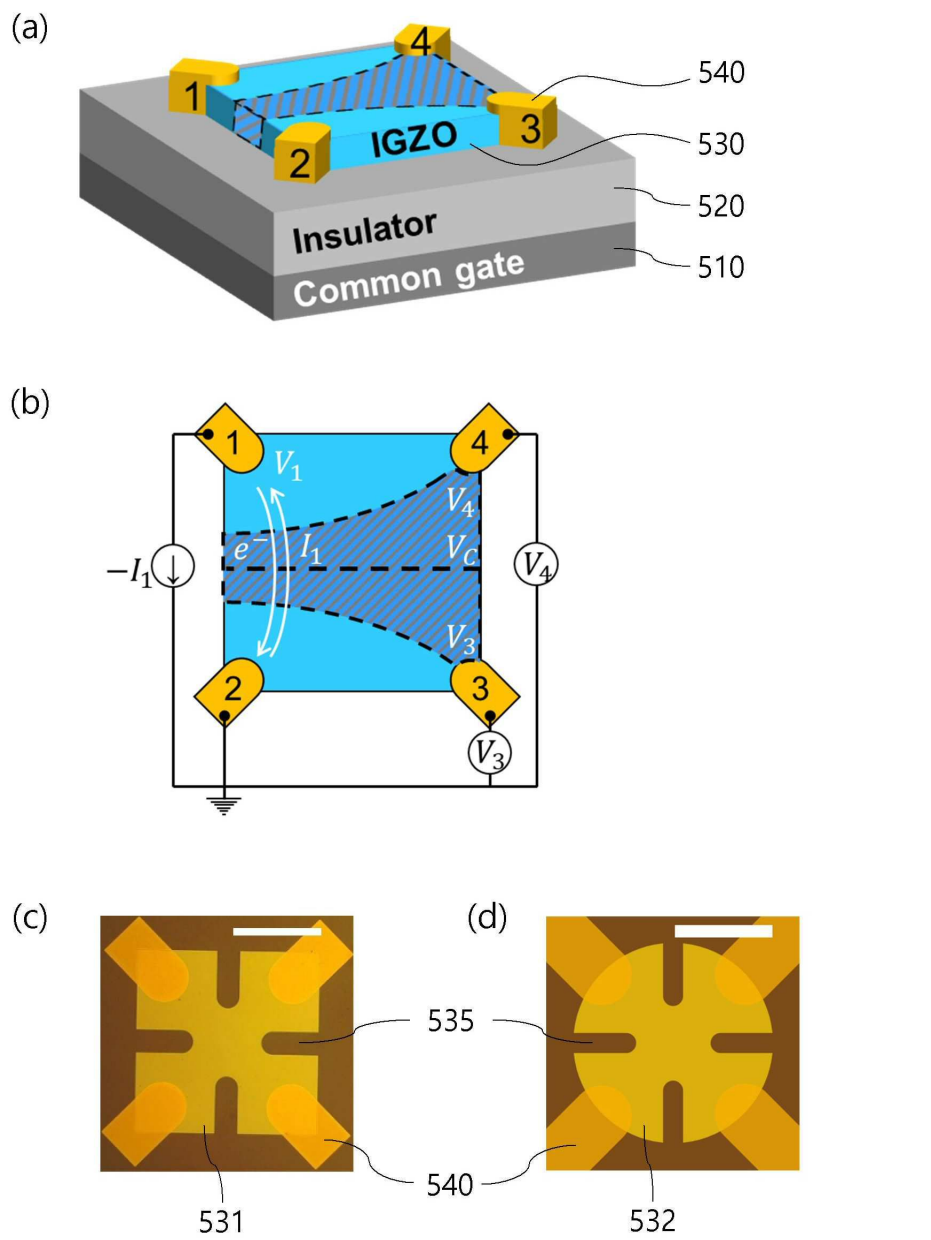
도면3



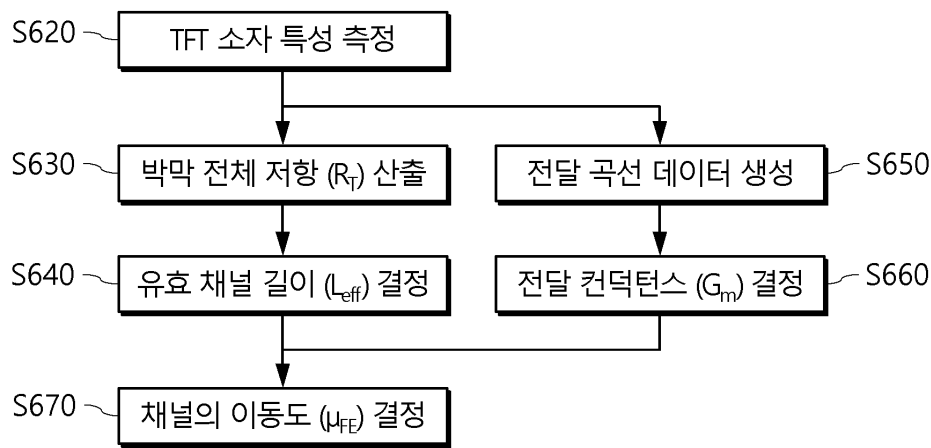
도면4



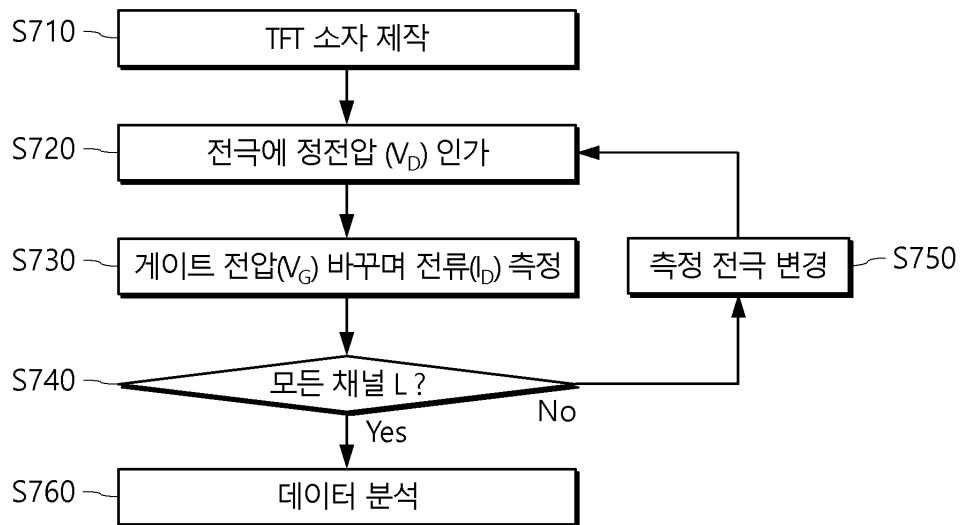
도면5



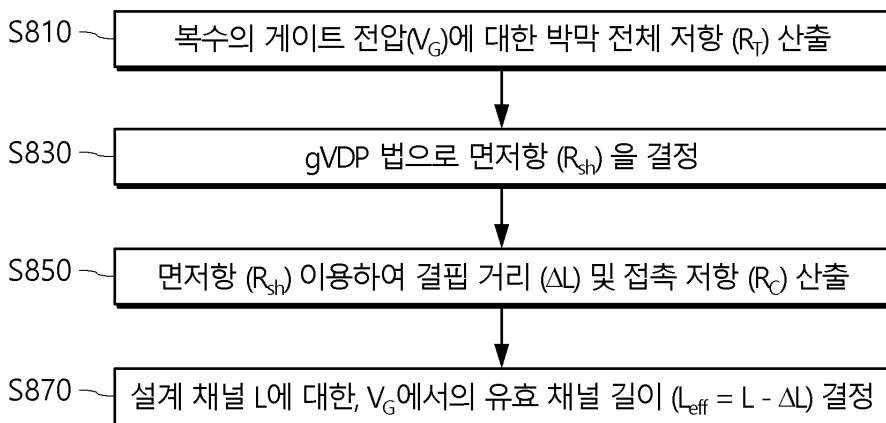
도면6



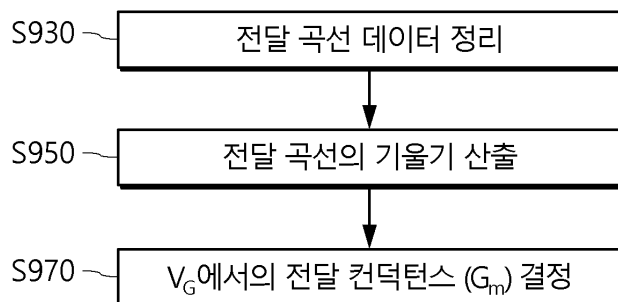
도면7



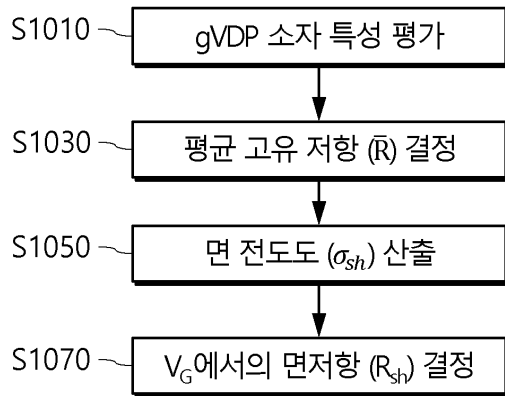
도면8



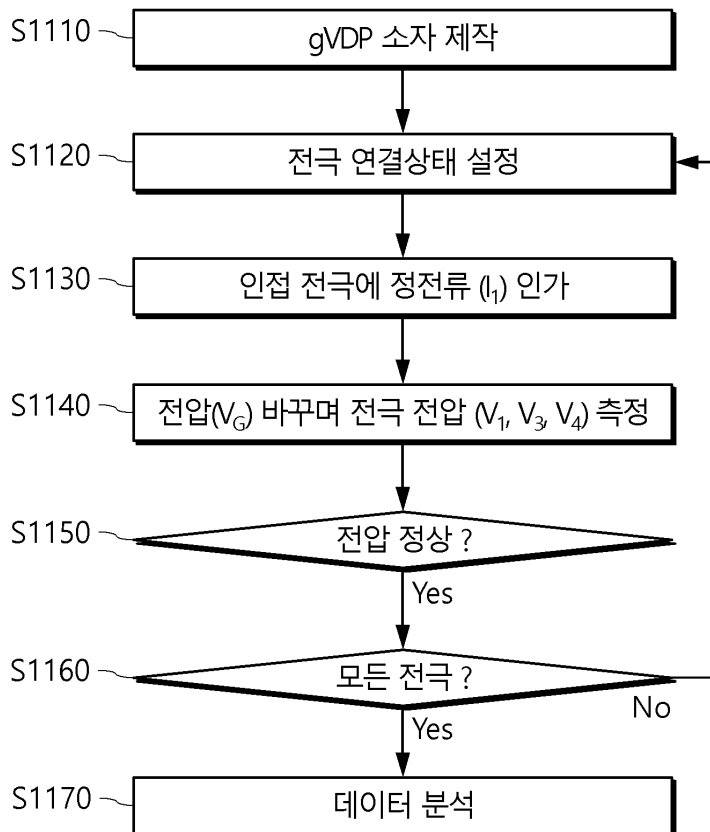
도면9



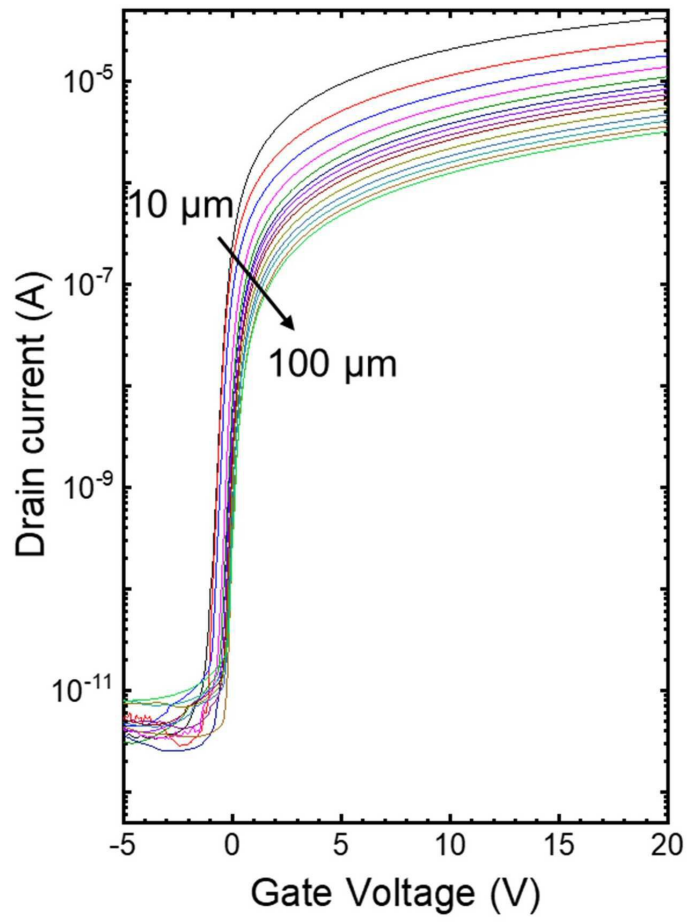
도면10



도면11

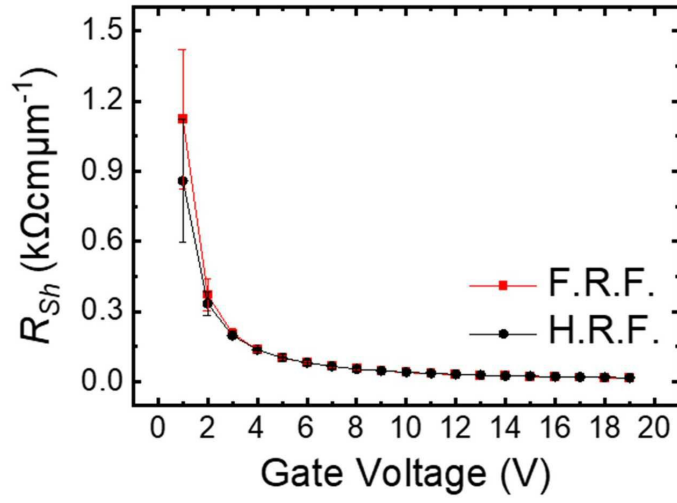


도면12

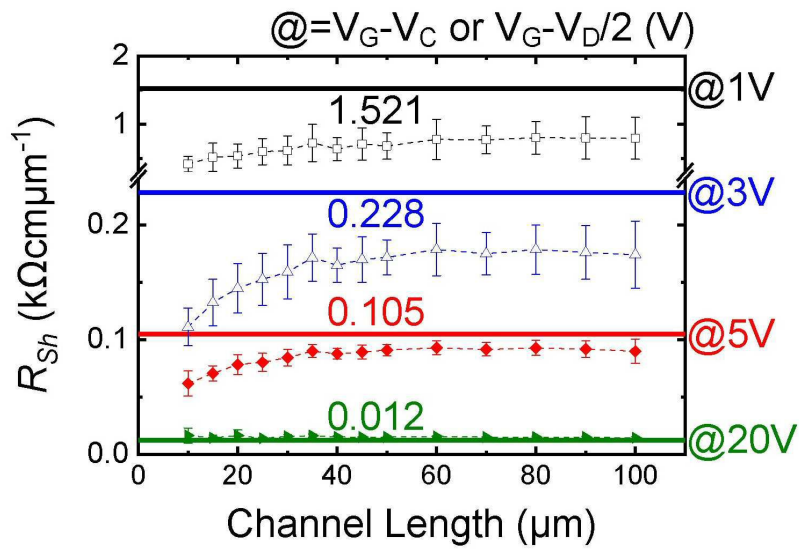


도면13

(a)

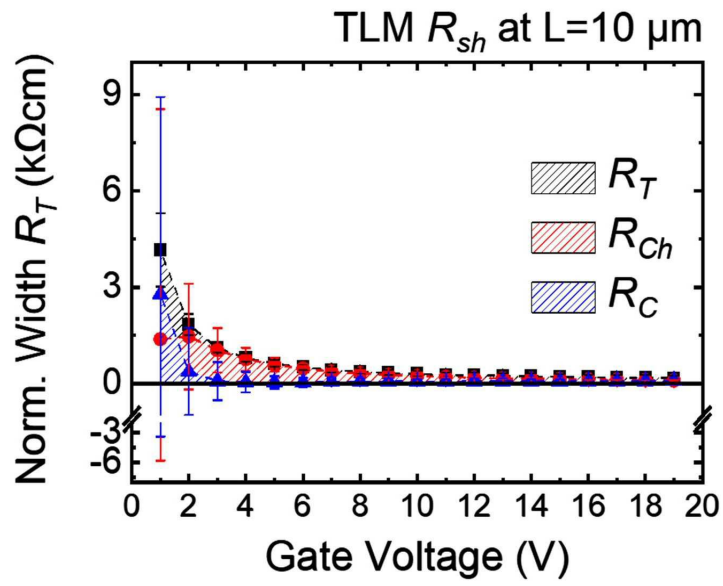


(b)

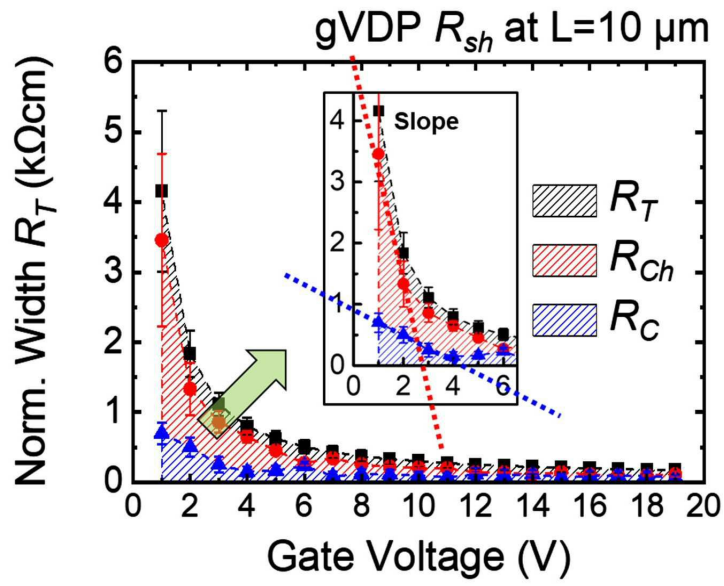


도면14

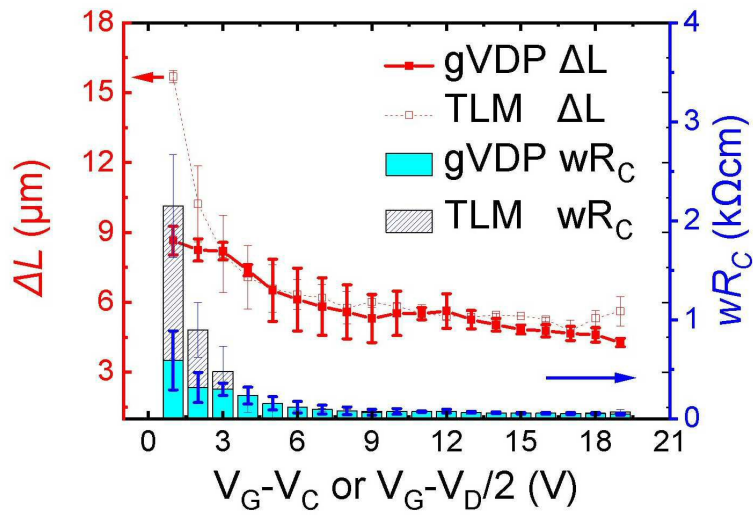
(a)



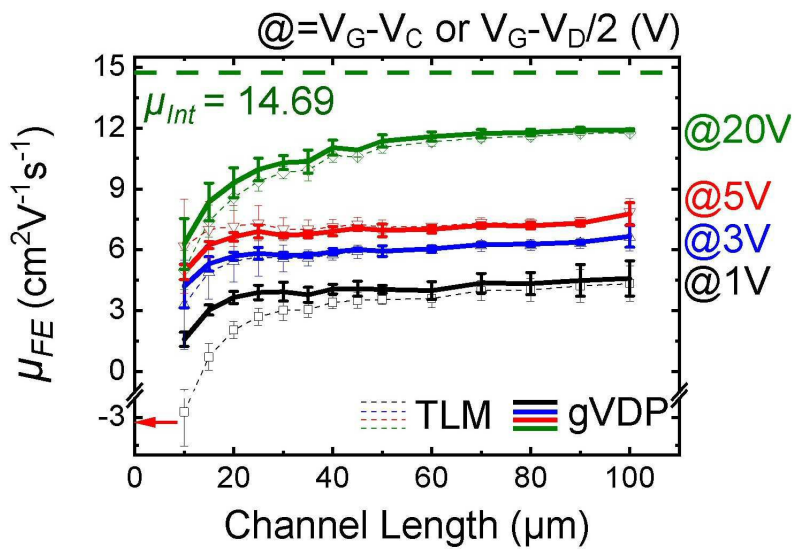
(b)



도면15

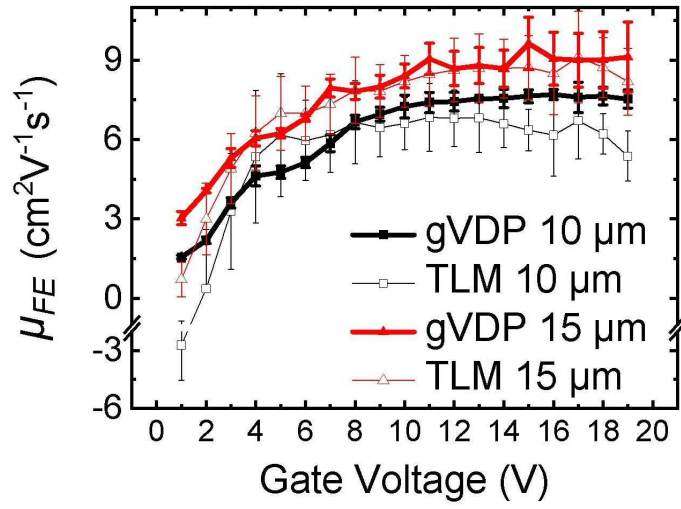


도면16



도면17

(a)



(b)

