

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4286397号
(P4286397)

(45) 発行日 平成21年6月24日 (2009. 6. 24)

(24) 登録日 平成21年4月3日 (2009. 4. 3)

(51) Int. Cl. F I
 H O 1 L 21/822 (2006. 01)
 H O 1 L 27/04 (2006. 01)

請求項の数 3 (全 9 頁)

(21) 出願番号	特願平11-229101	(73) 特許権者	504199127
(22) 出願日	平成11年8月13日 (1999. 8. 13)		フリースケール セミコンダクター イン
(65) 公開番号	特開2000-68453 (P2000-68453A)		コーポレイテッド
(43) 公開日	平成12年3月3日 (2000. 3. 3)		アメリカ合衆国 7 8 7 3 5 テキサス州
審査請求日	平成18年8月9日 (2006. 8. 9)		オースティン ウィリアム キャノン
(31) 優先権主張番号	135634		ドライブ ウェスト 6 5 0 1
(32) 優先日	平成10年8月17日 (1998. 8. 17)	(74) 代理人	100116322
(33) 優先権主張国	米国 (US)		弁理士 桑垣 衛
		(72) 発明者	ケネス・チア・クン・ウェン
			アメリカ合衆国テキサス州オースティン、ブ
			ルー・ビーチ・コープ7 4 0 2
		(72) 発明者	クリストファー・ステーリング・ロオン
			アメリカ合衆国テキサス州オースティン、イ
			ンディオ・サークル5 3 0 2 ビー

最終頁に続く

(54) 【発明の名称】 コンデンサ構造を有する半導体素子の形成方法

(57) 【特許請求の範囲】

【請求項 1】

半導体素子の形成方法であって、
 半導体基板（10）を用意する段階と、
 前記半導体基板（10）上に層間誘電体（18）を形成する段階と、
 前記層間誘電体（18）を覆うように下側電極層（26）を堆積する段階と、
 前記下側電極層（26）上に誘電体層（28）を堆積する段階と、
 前記誘電体層（28）上に保護層（30）を堆積する段階と、
 前記下側電極層（26）、前記誘電体層（28）、及び前記保護層（30）を選択的に
 エッチングし、前記下側電極層（26）、前記誘電体層（28）、及び前記保護層（30）
 を部分的に除去し、前記層間誘電体（18）の一部を露出させる段階と、
 前記保護層（30）及び前記層間誘電体（18）上に上側電極層（32）を堆積する段
 階と、
 前記上側電極層（32）、前記保護層（30）、前記誘電体層（28）、及び前記下側
 電極層（26）をエッチングし、上側電極プレート（42）、誘電体プレート（40）、
 及び下側電極プレート（38）をそれぞれ形成してコンデンサ構造を形成する段階であっ
 て、前記上側電極層（32）のエッチングの間、前記層間誘電体（18）の上にある前記
 上側電極層（32）の少なくとも一部を残し、金属相互接続部（36）を規定する段階と
 から成ることを特徴とする方法。

【請求項 2】

10

20

半導体素子の形成方法であって、
半導体基板（１０）を用意する段階と、
前記半導体基板（１０）上に層間誘電体（１８）を形成する段階と、
前記層間誘電体（１８）を覆うように下側電極層（２６）を堆積する段階と、
前記下側電極層（２６）上に誘電体層（２８）を堆積する段階と、
前記誘電体層（２８）上に保護層（３０）を堆積する段階と、
前記下側電極層（２６）、前記誘電体層（２８）、及び前記保護層（３０）を選択的に
エッチングし、前記下側電極層（２６）、前記誘電体層（２８）、及び前記保護層（３０）
を部分的に除去し、前記層間誘電体（１８）の一部を露出させる段階と、
前記保護層（３０）及び前記層間誘電体（１８）上に上側電極層（３２）を堆積する段
階と、
前記上側電極層（３２）、前記保護層（３０）、前記誘電体層（２８）、及び前記下側
電極層（２６）をエッチングし、上側電極プレート（４２）、誘電体プレート（４０）、
及び下側電極プレート（３８）を形成してコンデンサ構造を形成する段階であって、前記
上側電極プレート（４２）及び前記下側電極プレート（３８）が 1×10^{-5} オーム・ｃｍ
未満の抵抗率を有する段階と
 から成ることを特徴とする方法。

10

【請求項３】

半導体素子の形成方法であって、
半導体基板（１０）を用意する段階と、
前記半導体基板（１０）上に層間誘電体（１８）を形成する段階であって、第１コンタ
クト（２４ａ）と、それを貫通する第２コンタクト（２４ｂ）とを有する前記層間誘電体
（１８）を形成する段階と、
前記第１コンタクト（２４ａ）及び前記層間誘電体（１８）上に下側電極層（２６）を
堆積し、前記下側電極層（２６）と前記第１コンタクト（２４ａ）との間に電気接続を形
成する段階と、
前記下側電極層上に誘電体層（２８）を堆積する段階と、
前記誘電体層（２８）上に保護層（３０）を堆積する段階と、
前記下側電極層（２６）、前記誘電体層（２８）、及び前記保護層（３０）を選択的に
エッチングし、前記下側電極層（２６）、前記誘電体層（２８）、及び保護層（３０）を
部分的に除去し、前記層間誘電体（１８）及び前記第２コンタクト（２４ｂ）の一部を露
出させる段階と、
前記保護層（３０）及び前記層間電極（１８）上に上側電極層（３２）を一括堆積する
段階であって、前記上側電極層（３２）がA 1 及び C u から成る群より選ばれた材料によ
り構成されている段階と、
前記上側電極層（３２）、前記保護層（３０）、前記誘電体層（２８）、及び前記下側
電極層（２６）をエッチングし、上側電極プレート（４２）、誘電体プレート（４０）、
及び下側電極プレート（３８）を形成して、前記第１コンタクト（２４ａ）上に位置しこ
れと電氣的に接続するコンデンサ構造を形成する段階であって、前記上側電極層（３６）
のエッチングの間、前記第２コンタクト（２４ｂ）の上にある前記上側電極層（３２）の
一部を残し、金属相互接続（３６）を規定する段階と
 から成ることを特徴とする方法。

20

30

40

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体素子の形成方法に関し、特に、集積回路においてアナログ - デジタル変換との関連で用いるのに適した積層コンデンサ (stacked capacitor) を含む半導体素子に関するものである。

【０００２】

【従来の技術】

50

当技術分野では既知のように、CMOSにおいてアナログおよびデジタル信号を共に用いる場合、無線周波数(RF)回路およびアナログ回路を、高速および高性能デジタル回路と一体化する。この点において、アナログからデジタルへの変換は、通常、約1MHz以下程度の低いベースバンド周波数において行われる。しかしながら、性能向上および回路設計の簡略化を図るために、RFのように高い周波数においてアナログ-デジタル変換を実行しようという試みが行われている。高周波数で変換を行うには、高い品質係数(Q)を有し、回路が用いられる印加電圧範囲および温度範囲全体にわたって線形性を呈するコンデンサ・エレメントが必要となる。

【0003】

現在のCMOS技術において利用されているコンデンサは、高周波数における変換に必要な要件を適切に満たしてはいない。例えば、かかるコンデンサの電極は、典型的に、バルクの単結晶または多結晶シリコン基板で作られる。かかる構造の容量は、2つの成分、即ち、絶縁容量およびバイアス依存シリコン表面空乏容量(bias-dependent silicon surface depletion capacitance)に左右される。シリコンを基本とする電極に伴う空乏容量の結果として、コンデンサは低い線形性を呈することになる。

【0004】

【発明が解決しようとする課題】

シリコンを基本とする電極に伴う線形性欠如の問題を解決するためには、電極を金属含有材料(例えば、Ti, W)で作ることによって、表面空乏容量を制限することが可能である。金属電極を有するコンデンサは一般に当技術分野では既知であるが、現在のプロセス・フローを用いて形成可能なコンデンサは未だ開発されていない。精度高く製造可能で、高い「Q」を有する金属電極コンデンサは、入手可能であるが、特殊化されたプロセス・フローを必要とするので、コスト効率が低い。

【0005】

【発明の実施の形態】

これより図面を参照しながら、本発明を説明するが、図示の簡略化および明確化のために、図に示すエレメントは必ずしも同じ拡大率で描かれている訳ではないことは認められよう。例えば、エレメントによっては、明確化のために、その寸法が他のエレメントよりも誇張されている場合がある。また、適切と見なされる場合には、対応するエレメントまたは類似のエレメントを示すために図面間で参照番号を繰り返している。

【0006】

図1に移り、本発明による半導体素子の形成プロセスにおける一段階を示す。図示のように、ソース/ドレイン12, ソース/ドレイン14, およびソースをドレインから分離するゲート16を含むトランジスタ構造を有する半導体基板10が示されている。基板は、通常、ドーパ単結晶シリコンで形成される。しかしながら、基板は、ポリシリコン, ゲルマニウム, 絶縁物上シリコン(SOI: silicon on insulator)等でもよい。ゲート16およびソース/ドレイン12, 14は、従来のプロセスで形成する。通常、ゲート16を形成する層のスタックを堆積し、リソグラフを用いて規定しエッチングし、イオン注入によって、ゲート16に自己整合するソースおよびドレインを形成する。基板上に第1層間誘電体18を堆積し、その中に開口20を形成する。層間誘電体18は、従来の技法によって形成され、その厚さは通常約0.8ないし1.0ミクロンである。層間誘電体18は二酸化シリコンで形成するが、ボロフォスフォシリケート・ガラス(BPSG)のような他の誘電体材料で形成することも可能である。開口20は、プラズマ・エッチングのような、従来の技法で形成する。

【0007】

図2に移り、通常タングステン(W), チタン(Ti), および恐らくは銅(Cu)で形成する導電層22を堆積する。図3において、化学機械式研磨(CMP)によって導電層22を研磨してこの層を平面化し、開口20内にコンタクト24a, 24bを規定する。コンタクト24は、第1層間誘電体18の上面と同一面となる。コンタクト24a, 24bは、層間誘電体を貫通する導電性部分を形成する。

【 0 0 0 8 】

コンタクト 2 4 の形成に続いて、複数の層を一括堆積(blanket deposit)し、これらを用いて、図 4 に示すようなコンデンサ・エレメントを規定し形成する。即ち、第 1 層間誘電等 1 8 およびゲート 1 6 に接続するコンタクト 2 4 a を覆うように下側電極層 2 6 を堆積する。下側電極層は、チタン (T i) , タンタル (T a) , タングステン (W) , 銅 (C u) , アルミニウム (A l) , その窒化物およびその硅化物を含む、いずれの導電性材料で形成することも可能である。尚、ここで用いる場合、「導電層」または「導電性材料」という用語は、抵抗率が約 1×10^{-5} オーム・センチメートル未満の材料を言うことを注記しておく。通常、ドーパ・ポリシリコン(doped polysilicon)の抵抗率は 1×10^{-5} オーム・センチメートルよりも大きく、ここで言う高 Q コンデンサ・エレメントの電極には通常用いられない。下側電極層は、従来の技法で形成し、全体的に比較的薄く 0 . 0 5 ないし 0 . 2 ミクロン程度である。次に、下側電極層 2 6 を覆うように、誘電体層 2 8 を一括堆積する。誘電体層 2 8 は、窒化シリコン、酸化シリコン、または酸窒化シリコンのような窒化物または酸化物材料で形成することができ、その厚さは約 0 . 0 1 ないし 0 . 0 6 ミクロンである。しかしながら、B S T (チタン化バリウム・ストロンチウム) 材料、または B Z T (チタン化バリウム・ジルコニウム) 材料のような、他の誘電体材料も使用可能である。その後、誘電体層 2 8 を覆うように、薄い 0 . 0 2 ミクロンの保護層 3 0 を一括堆積する。保護層 3 0 は導電性であり、その上に形成される上側電極層への電気コンタクトを確保し、以下で述べる第 1 エッチング工程の間、誘電体層 2 8 および下側電極層 2 6 を保護するために用いられる。保護層 3 0 は、窒化物または硅化物で形成することができ、例えば、一実施例では、保護層を窒化チタン (T i N) で形成する。

10

20

【 0 0 0 9 】

図 5 および図 6 に移り、フォトレジスト 3 1 をスピン・コートし、露光し、現像して、層 2 6 , 2 8 , 3 0 のパターニングを行う。図示のように、コンタクト 2 4 b の上に位置する層 2 6 , 2 8 , 3 0 の部分を除去して、コンタクト 2 4 b を露出させる。このパターニング工程はエッチングによって実行するが、「粗い」エッチング工程として理解することができる。第 2 エッチング工程によって層 2 6 , 2 8 , 3 0 のパターニングを再度行い、コンデンサ・エレメントを規定する。

【 0 0 1 0 】

図 7 に移り、層 2 6 , 3 8 , 3 0 のスタックを覆い、更にコンタクト 2 4 b を含む第 1 層間誘電体 1 8 も覆うように、上側電極層 3 2 を一括堆積する。上側電極層 3 2 は、A l または C u を含有し、その公称厚さは約 0 . 7 ミクロンである。

30

【 0 0 1 1 】

図 8 および図 9 に示すように、第 2 エッチング工程によって、この構造に再度パターニングを行う。具体的には、フォトレジスト層 3 4 を堆積し、コンデンサ・エレメント即ちコンデンサ構造の寸法をリソグラフィによって規定する。第 2 エッチング工程は第 1 エッチング工程よりも精度が高く、これによってコンデンサ・エレメントの最終寸法が規定される。加えて、図 8 に示すように、コンタクト 2 4 b 上に、フォトレジスト層 3 4 の一部を残しておく。図 1 0 に示すように、フォトレジスト 3 4 のエッチングおよび除去の後には、下側電極プレート 3 8 , 誘電体プレート 4 0 , 保護層 3 0 , および上側電極プレート 4 2 を有するコンデンサ・エレメントが規定されている。加えて、金属層 3 2 にパターニングを行い、コンタクト 2 4 b 上にこれと電氣的に接続する金属相互接続部 3 6 を残す。このようにして、コンデンサ・エレメントの上側電極および金属相互接続部の第 1 レベルを同時に形成することにより、本発明のこの特定実施例によるプロセス工程の数を削減する。即ち、コンデンサ・エレメントの上側電極および金属相互接続部 3 6 を形成する第 1 メタライゼーション層を形成するためには、別個のプロセス工程は不要である。尚、金属相互接続部 3 6 は断面図で示されており、実際には、これは図面を貫通する方向に延びて、他のトランジスタの他のソース/ドレインのような、他のエレメントを相互接続している導電性トレースであることを注記しておく。

40

【 0 0 1 2 】

50

コンデンサ・エレメントおよび金属相互接続の形成に続いて、第１層間誘電体１８と同様に、図１１に示すように第２層間誘電体４４を堆積する。第２層間誘電体４４に開口４６をエッチングによって形成し、金属層４８を堆積し、研磨し、ビア５０を規定する。その後、第２金属層の堆積およびパターニングを行い、図１２に示すように、金属相互接続部５２で示す、第２レベルの金属相互接続部を形成する。その後、当技術分野では公知のように、適切な誘電体層および上位メタライゼーション層を堆積し、続いてパシベーションを行うことによって、素子を完成することができる。

【００１３】

以上のように、コンデンサ・エレメントを有する新規の半導体デバイス形成方法を開示した。本発明によれば、好ましくは、コンデンサ・エレメントは、ドーブ・ポリシリコンの代わりに、金属製の下側および上側電極プレートを採用し、金属電極の高いＱ特性を利用する。加えて、前述の第２エッチング工程によって、電極および誘電体層が全て同一の幾何学的形状を有するように、コンデンサ・エレメントを規定する。したがって、エッジ効果のような、サイズが異なる電極プレートに伴う問題が解消する。加えて、同一の堆積工程およびパターニング工程を用いて上側電極および第１メタライゼーション層を同時に形成するので、プロセス・フローが簡略化され、既存のプロセス・フローに容易に組み込むことが可能となった。

【００１４】

以上本発明の実施例に関して本発明を特に詳細に説明したが、当業者であれば、特許請求の範囲から逸脱することなく、本発明を変更可能であることは理解されよう。

【図面の簡単な説明】

【図１】コンタクト形成に先立つ、本発明の一実施例による工程を示す図。

【図２】堆積および研磨工程によるコンタクトの形成を示す図。

【図３】堆積および研磨工程によるコンタクトの形成を示す図。

【図４】本発明の一実施例によるコンデンサ・エレメントの数層の形成を示す図。

【図５】図４に示す層のパターニングを示す図。

【図６】図４に示す層のパターニングを示す図。

【図７】本発明による二重機能を有する最上部電極層の堆積を示す図。

【図８】コンデンサ・エレメントおよび金属相互接続層を形成するための層のパターニングを示す図。

【図９】コンデンサ・エレメントおよび金属相互接続層を形成するための層のパターニングを示す図。

【図１０】層間誘電体，および電気コンタクトのためにそれを貫通するビアを形成する追加工程を示す図。

【図１１】層間誘電体，および電気コンタクトのためにそれを貫通するビアを形成する追加工程を示す図。

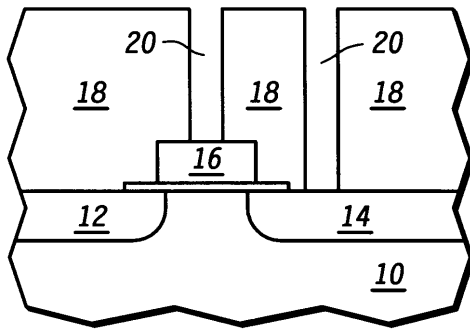
【図１２】層間誘電体，および電気コンタクトのためにそれを貫通するビアを形成する追加工程を示す図。

【符号の説明】

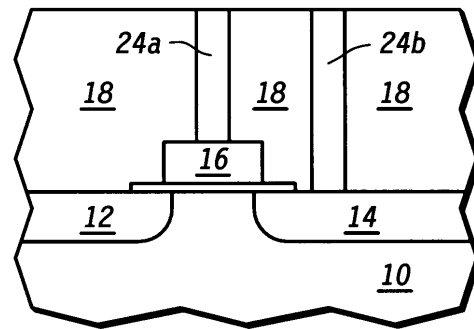
- １０ 半導体基板
- １２，１４ ソース／ドレイン
- １６ ゲート
- １８ 第１層間誘電体
- ２０ 開口
- ２２ 導電層
- ２４ a，２４ b コンタクト
- ２６ 下側電極層
- ２８ 誘電体層
- ３０ 保護層
- ３１ フォトレジスト

- 3 2 上側電極層
- 3 4 フォトリソスト層
- 3 6 金属相互接続部
- 3 8 下側電極プレート
- 4 0 誘電体プレート
- 4 2 上側電極プレート
- 4 4 第2層間誘電体
- 4 6 開口
- 4 8 金属層
- 5 0 ビア
- 5 2 金属相互接続部

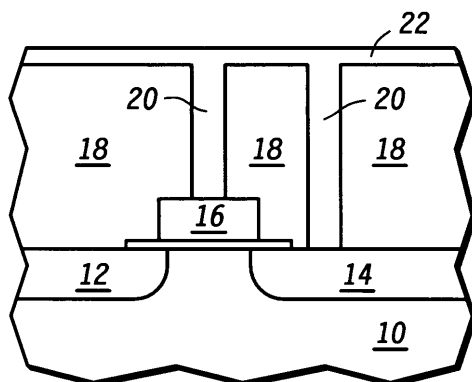
【図1】



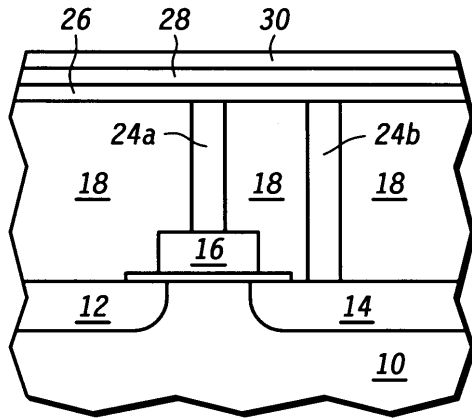
【図3】



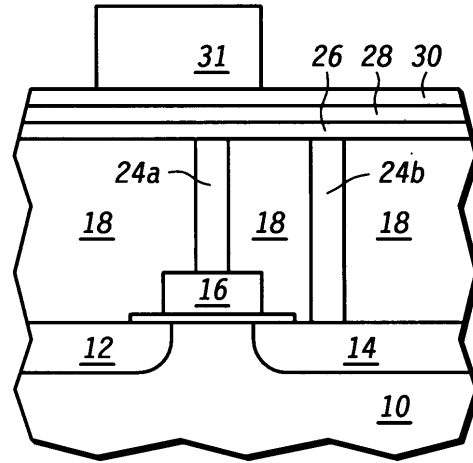
【図2】



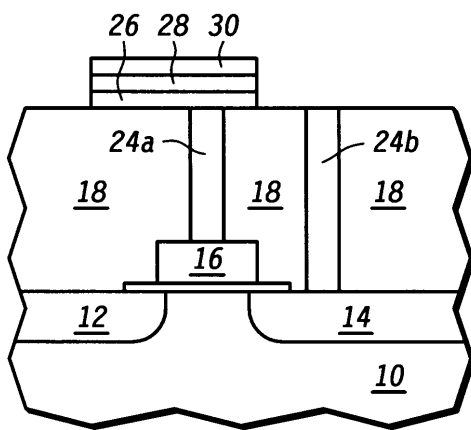
【図 4】



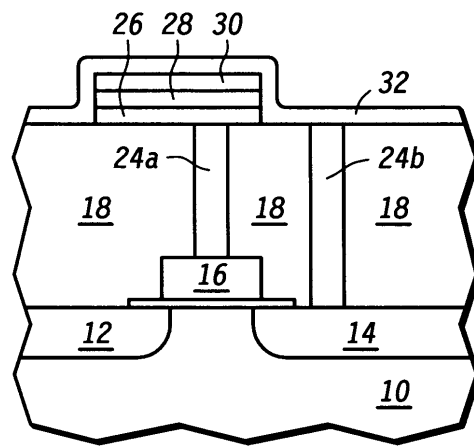
【図 5】



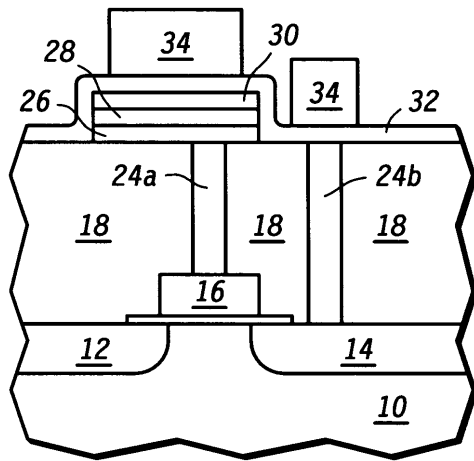
【図 6】



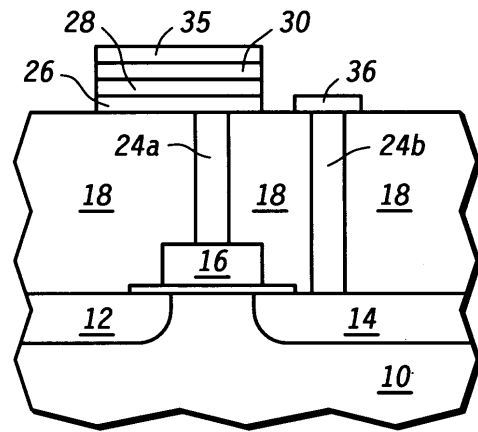
【図 7】



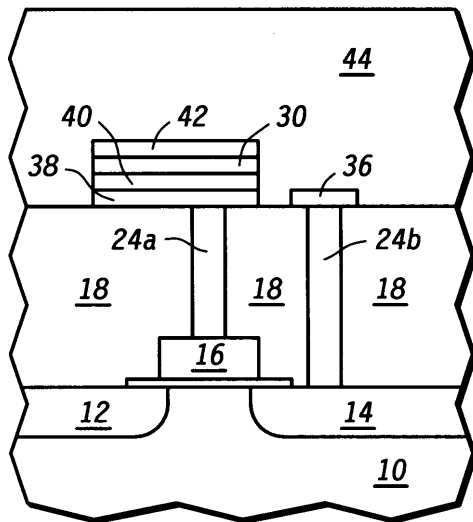
【図 8】



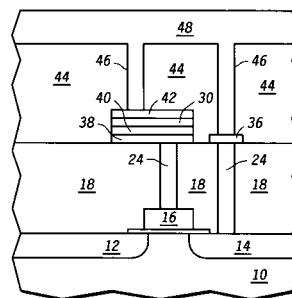
【図 9】



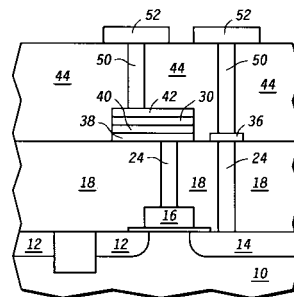
【図 10】



【図 11】



【図 12】



フロントページの続き

(72)発明者 デ・ガオ・リン

アメリカ合衆国テキサス州オースチン、ピー・オー・ボックス 202096

(72)発明者 ケビン・ユン・カン・ウ

アメリカ合衆国テキサス州オースチン、クラッテンジョフ・ドライブ 1903

(72)発明者 ジェフレイ・ディー・ガンガー

アメリカ合衆国テキサス州オースチン、ケレビル・フォークウェイ 13217

審査官 大嶋 洋一

(56)参考文献 特開平 10 - 173138 (JP, A)

特開平 09 - 260614 (JP, A)

特開平 09 - 116111 (JP, A)

特開平 08 - 227825 (JP, A)

特開平 05 - 136378 (JP, A)

特開平 02 - 203558 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01L 27/04