(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 116134442 A
(43)申请公布日 2023.05.16

(21)申请号 202180058948.0
(22)申请日 2021.07.19
(30)优先权数据
2020-131616 2020.08.03 JP
(85)PCT国际申请进入国家阶段日
2023.01.29
(86)PCT国际申请的申请数据
PCT/IB2021/056484 2021.07.19
(87)PCT国际申请的公布数据
WO2022/029532 JA 2022.02.10
(71)申请人 株式会社半导体能源研究所
地址 日本神奈川县
(72)发明人 池田隆之 长塚修平
(74)专利代理机构 上海专利商标事务所有限公司 31100
专利代理师 宋俊寅
(51)Int.Cl.
G06G 7/14(2006.01)

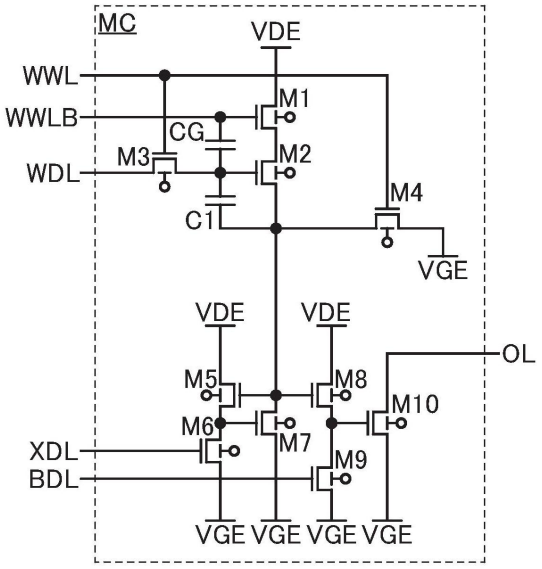
权利要求书3页 说明书72页 附图37页

(54)发明名称

半导体装置及电子设备

(57)摘要

提供一种运算性能高的半导体装置。本发明的一个方式是一种利用跨导线性原理的半导体装置，该半导体装置包括在沟道形成区域中包含金属氧化物的第一至第十晶体管及第一电容。第一晶体管的第一端子与第二晶体管的第一端子电连接，第三晶体管的第一端子通过第一电容与第二晶体管的第二端子及第二晶体管的栅极电连接。第二晶体管的第二端子与第四及第七晶体管的第一端子及第五及第八晶体管的栅极电连接。第七晶体管的栅极与第五及第六晶体管的第一端子电连接，第十晶体管的栅极与第八及第九晶体管的第一端子电连接。



CN 116134442 A

1.一种半导体装置,包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管及第一电容,

其中,所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管及所述第十晶体管的每一个在沟道形成区域中包含金属氧化物,

所述第一晶体管的第一端子与所述第二晶体管的第一端子电连接,

所述第二晶体管的栅极与所述第三晶体管的第一端子及所述第一电容的第一端子电连接,

所述第二晶体管的第二端子与所述第一电容的第二端子、所述第四晶体管的第一端子、所述第五晶体管的栅极、所述第七晶体管的第一端子及所述第八晶体管的栅极电连接,

所述第五晶体管的第一端子与所述第六晶体管的第一端子及所述第七晶体管的栅极电连接,

所述第八晶体管的第一端子与所述第九晶体管的第一端子及所述第十晶体管的栅极电连接,

并且,流在所述第二晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管及所述第十晶体管的每一个的源极-漏极间的电流量为当该晶体管在亚阈值区域中工作时流过的电流量。

2.根据权利要求1所述的半导体装置,包括第二电容,

其中所述第一晶体管的栅极与所述第二电容的第一端子电连接,

并且所述第二晶体管的栅极与所述第二电容的第二端子电连接。

3.根据权利要求1或2所述的半导体装置,

其中所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管和所述第十晶体管中的至少一个为多栅极结构的晶体管。

4.根据权利要求1至3中任一项所述的半导体装置,包括第十一晶体管及第三电容,

其中所述第十一晶体管的第一端子与所述第三电容的第一端子电连接,

并且在所述第十一晶体管的第一端子与所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管和所述第十晶体管中的任一个的背栅极电连接的情况下,所述第三电容的第二端子与包括电连接于所述第十一晶体管的第一端子的背栅极的晶体管的源极电连接。

5.根据权利要求1至3中任一项所述的半导体装置,

其中所述第一晶体管的背栅极与所述第三晶体管的背栅极及所述第四晶体管的背栅极电连接。

6.一种半导体装置,包括第一晶体管、第二晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十二晶体管、第十三晶体管及第一电容,

其中,所述第一晶体管、所述第二晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管、所述第十晶体管、所述第十二

晶体管及所述第十三晶体管的每一个在沟道形成区域中包含金属氧化物，

所述第一晶体管的第一端子与所述第二晶体管的第一端子电连接，

所述第二晶体管的栅极与所述第十二晶体管的第一端子、所述第十三晶体管的栅极及所述第一电容的第一端子电连接，

所述第十二晶体管的第二端子与所述第十三晶体管的第一端子电连接，

所述第二晶体管的第二端子与所述第一电容的第二端子、所述第四晶体管的第一端子、所述第五晶体管的栅极、所述第七晶体管的第一端子及所述第八晶体管的栅极电连接，

所述第五晶体管的第一端子与所述第六晶体管的第一端子及所述第七晶体管的栅极电连接，

所述第八晶体管的第一端子与所述第九晶体管的第一端子及所述第十晶体管的栅极电连接，

并且，流在所述第二晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管、所述第十晶体管及所述第十三晶体管的每一个的源极-漏极间的电流量为当该晶体管在亚阈值区域中工作时流过的电流量。

7.根据权利要求6所述的半导体装置，

其中所述第一晶体管、所述第二晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管、所述第十晶体管、所述第十二晶体管和所述第十三晶体管中的至少一个为多栅极结构的晶体管。

8.根据权利要求6或7所述的半导体装置，包括第十一晶体管及第三电容，

其中所述第十一晶体管的第一端子与所述第三电容的第一端子电连接，

并且在所述第十一晶体管的第一端子与所述第一晶体管、所述第二晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管、所述第十晶体管、所述第十二晶体管和所述第十三晶体管中的任一个的背栅极电连接的情况下，所述第三电容的第二端子与包括电连接于所述第十一晶体管的第一端子的背栅极的晶体管的源极电连接。

9.根据权利要求6或7所述的半导体装置，

其中所述第一晶体管的背栅极与所述第四晶体管的背栅极及所述第十二晶体管的背栅极电连接。

10.一种半导体装置，包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十四晶体管、第十五晶体管、第一电容及光电二极管，

其中，所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管、所述第十晶体管、所述第十四晶体管及所述第十五晶体管的每一个在沟道形成区域中包含金属氧化物，

所述第一晶体管的第一端子与所述第二晶体管的第一端子电连接，

所述第二晶体管的栅极与所述第三晶体管的第一端子及所述第一电容的第一端子电连接，

所述第二晶体管的第二端子与所述第一电容的第二端子、所述第四晶体管的第一端

子、所述第五晶体管的栅极、所述第七晶体管的第一端子及所述第八晶体管的栅极电连接，

所述第五晶体管的第一端子与所述第六晶体管的第一端子及所述第七晶体管的栅极电连接，

所述第八晶体管的第一端子与所述第九晶体管的第一端子及所述第十晶体管的栅极电连接，

所述第十四晶体管的第一端子与所述光电二极管的输入端子电连接，

所述第十四晶体管的第二端子与所述第十五晶体管的第一端子、所述第十五晶体管的栅极及所述第六晶体管的栅极电连接，

并且，流在所述第二晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管、所述第十晶体管及所述第十五晶体管的每一个的源极-漏极间的电流量为当该晶体管在亚阈值区域中工作时流过的电流量。

11.根据权利要求10所述的半导体装置，

其中所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管、所述第十晶体管、所述第十四晶体管和所述第十五晶体管中的至少一个为多栅极结构的晶体管。

12.根据权利要求10或11所述的半导体装置，包括第十一晶体管及第三电容，

其中所述第十一晶体管的第一端子与所述第三电容的第一端子电连接，

在所述第十一晶体管的第一端子与所述第一晶体管、所述第二晶体管、所述第三晶体管、所述第四晶体管、所述第五晶体管、所述第六晶体管、所述第七晶体管、所述第八晶体管、所述第九晶体管、所述第十晶体管、所述第十四晶体管和所述第十五晶体管中的任一个的背栅极电连接的情况下，所述第三电容的第二端子与包括电连接于所述第十一晶体管的第一端子的背栅极的晶体管的源极电连接。

13.根据权利要求10或11所述的半导体装置，

其中所述第一晶体管的背栅极与所述第三晶体管的背栅极及所述第四晶体管的背栅极电连接。

14.根据权利要求10至13中任一项所述的半导体装置，包括第二电容，

其中所述第一晶体管的栅极与所述第二电容的第一端子电连接，

并且所述第二晶体管的栅极与所述第二电容的第二端子电连接。

15.根据权利要求1至14中任一项所述的半导体装置，

其中所述第一晶体管的第一端子与所述第五晶体管的第二端子及所述第八晶体管的第二端子电连接。

16.一种电子设备，包括：

权利要求1至15中任一项所述的半导体装置；以及

框体，

其中，由所述半导体装置进行积和运算。

半导体装置及电子设备

技术领域

[0001] 本发明的一个方式涉及一种半导体装置及电子设备。

[0002] 本发明的一个方式不局限于上述技术领域。本说明书等所公开的发明的技术领域涉及一种物体、驱动方法或制造方法。此外，本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。因此，更具体地说，作为本说明书所公开的本发明的一个方式的技术领域的一个例子可以举出半导体装置、显示装置、液晶显示装置、发光装置、蓄电装置、摄像装置、存储装置、信号处理装置、处理器、电子设备、系统、它们的驱动方法、它们的制造方法或它们的检查方法。

背景技术

[0003] 现在，以人脑结构为模型的集成电路的开发日益火热。该集成电路组装有作为脑子结构的电子电路且包括相当于人脑的“神经元”及“神经突触”的电路。因此，有时将上述集成电路称为“神经形性(neuro-morphic)”、“脑子形性(brain-morphic)”、“脑子激发(brain-inspire)”等。该集成电路具有非诺依曼型体系结构，与随着处理速度的增加功耗也变高的诺依曼型体系结构相比，可以期待以极低功耗进行并列处理。

[0004] 包括“神经元”及“神经突触”的模仿神经网络的数据处理模型被称为人工神经网络(ANN)。例如，非专利文献1及非专利文献2公开了使用SRAM(Static Random Access Memory;静态随机存取存储器)构成人工神经网络的运算装置。

[先行技术文献]

[非专利文献]

[0005] [非专利文献1]M.Kang et al.,”IEEE Journal Of Solid-State Circuits”, 2018,Volume 53,No.2,p.642-655.

[非专利文献2]J.Zhang et al.,“IEEE Journal Of Solid-State Circuits”, 2017,Volume 52,No.4,p.915-924.

发明内容

发明所要解决的技术问题

[0006] 在人工神经网络中，进行将使两个神经元彼此结合的神经突触的结合强度(有时称为权重系数)乘以在两个神经元间传送的信号的计算。尤其是，在分层人工神经网络中，需要将第一层的多个第一神经元的每一个与第二层的第二神经元中的一个之间的神经突触的结合强度分别乘以与从第一层的多个第一神经元的每一个向第二层的第二神经元中的一个输入的信号而将它们加在一起，就是说，需要进行积和运算。该结合强度的个数及表示该信号的参数的个数根据人工神经网络的规模决定。此外，第二神经元使用突触的结合强度和第一神经元所输出的信号的积和运算的结果进行激活函数的运算，将该运算结果作为信号输出到第三层的第三神经元。换言之，在人工神经网络中，分层的数量、神经元的数量等越多，相当于“神经元”及“神经突触”的每一个的电路数量越多，从而运算量有时变庞

大。由此,有时电路的功耗增大,运算效率也下降。

[0007] 另外,在由数字运算电路进行人工神经网络的运算时,运算性能的限值大约为10TOPS(Tera Operations Per Second)/W。为了提高运算性能,已提出了由模拟运算电路进行人工神经网络的运算。

[0008] 另外,作为进行人工神经网络的运算的模拟运算电路,可以举出利用跨导线性原理的电路等。然而,当由在沟道形成区域中包含硅的晶体管(以下,称为Si晶体管)构成该电路时,例如,难以由Si晶体管构成模拟存储器。因此,输入到模拟运算电路的数据需要从数字存储器读出并由数字模拟转换电路转换为模拟数据。

[0009] 另外,在制造包括Si晶体管且利用跨导线性原理的乘法电路的情况下,例如,流过Si晶体管的电流需要为10pA以上,优选为1nA以上。与此相反,比该电流低的电流难以维持Si晶体管的亚阈值区域的指数特性。

[0010] 另外,一般而言,在电路规模较大时,该电路的电压输入端子有时受到电压下降的影响。在是包括Si晶体管且利用跨导线性原理的乘法电路的情况下,为了向Si晶体管流过上述电流值而需要向该电路的电压输入端子供应适当的电压。

[0011] 另外,利用跨导线性原理的乘法电路所包括的晶体管的阈值电压的偏差有时影响到计算结果。与此相反,通过消除阈值电压的偏差,可以提高运算精度。

[0012] 本发明的一个方式的目的之一是提供一种进行积和运算及/或函数运算的半导体装置等。另外,本发明的一个方式的目的之一是提供一种用于AI(Artificial Intelligence:人工智能)的半导体装置等。另外,本发明的一个方式的目的之一是提供一种用于DNN(Deep Neural Network:深度神经网络)的半导体装置等。另外,本发明的一个方式的目的之一是提供一种运算性能高的半导体装置。另外,本发明的一个方式的目的之一是提供一种功耗低的半导体装置等。另外,本发明的一个方式的目的之一是提供一种不容易受到晶体管的阈值电压的不均匀的影响的半导体装置等。另外,本发明的一个方式的目的之一是提供一种不容易受到电流源的特性不均匀的影响的半导体装置等。另外,本发明的一个方式的目的之一是提供一种新颖的半导体装置等。

[0013] 注意,本发明的一个方式的目的不局限于上述目的。上述目的并不妨碍其他目的的存在。其他目的是指将在下面的记载中描述的上述以外的目的。本领域技术人员可以从说明书或附图等的记载中导出并适当抽出上述以外的目的。本发明的一个方式实现上述目的及其他目的中的至少一个目的。此外,本发明的一个方式不一定需要实现所有的上述目的及其他目的。

解决技术问题的手段

[0014] (1)

本发明的一个方式是一种包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管及第一电容的半导体装置。另外,第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管及第十晶体管的每一个在沟道形成区域中包含金属氧化物。第一晶体管的第一端子与第二晶体管的第一端子电连接,第二晶体管的栅极与第三晶体管的第一端子及第一电容的第一端子电连接。另外,第二晶体管的第二端子与第一电容的第二端子、第四晶体管的第一端子、第五晶体管的栅极、第七晶体管的第一

端子及第八晶体管的栅极电连接。另外，第五晶体管的第一端子与第六晶体管的第一端子及第七晶体管的栅极电连接，第八晶体管的第一端子与第九晶体管的第一端子及第十晶体管的栅极电连接。另外，流在第二晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管及第十晶体管的每一个的源极-漏极间的电流量为当该晶体管在亚阈值区域中工作时流过的电流量。

[0015] (2)

在上述(1)中，本发明的另一个方式优选包括第二电容。尤其优选的是，第一晶体管的栅极与第二电容的第一端子电连接，第二晶体管的栅极与第二电容的第二端子电连接。

[0016] (3)

在上述(1)或(2)中，本发明的另一个方式优选具有如下结构：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管和第十晶体管中的至少一个为多栅极结构的晶体管。

[0017] (4)

在上述(1)至(3)中的任一个中，本发明的另一个方式优选包括第十一晶体管及第三电容。尤其优选的是，第十一晶体管的第一端子与第三电容的第一端子电连接。另外，优选的是，在第十一晶体管的第一端子与第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管和第十晶体管中的任一个的背栅极电连接的情况下，第三电容的第二端子与包括电连接于第十一晶体管的第一端子的背栅极的晶体管的源极电连接。

[0018] (5)

在上述(1)至(3)中的任一个中，本发明的另一个方式优选具有如下结构：第一晶体管的背栅极与第三晶体管的背栅极及第四晶体管的背栅极电连接。

[0019] (6)

本发明的另一个方式是一种包括第一晶体管、第二晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十二晶体管、第十三晶体管及第一电容的半导体装置。另外，第一晶体管、第二晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十二晶体管及第十三晶体管的每一个在沟道形成区域中包含金属氧化物。第一晶体管的第一端子与第二晶体管的第一端子电连接，第二晶体管的栅极与第十二晶体管的第一端子、第十三晶体管的栅极及第一电容的第一端子电连接，第十二晶体管的第二端子与第十三晶体管的第一端子电连接。另外，第二晶体管的第二端子与第一电容的第二端子、第四晶体管的第一端子、第五晶体管的栅极、第七晶体管的第一端子及第八晶体管的栅极电连接。第五晶体管的第一端子与第六晶体管的第一端子及第七晶体管的栅极电连接，第八晶体管的第一端子与第九晶体管的第一端子及第十晶体管的栅极电连接。另外，流在第二晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管及第十三晶体管的每一个的源极-漏极间的电流量为当该晶体管在亚阈值区域中工作时流过的电流量。

[0020] (7)

在上述(6)中，本发明的另一个方式优选具有如下结构：第一晶体管、第二晶体管、

第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十二晶体管和第十三晶体管中的至少一个为多栅极结构的晶体管。

[0021] (8)

在上述(6)或(7)中，本发明的另一个方式优选包括第十一晶体管及第三电容。第十一晶体管的第一端子优选与第三电容的第一端子电连接。另外，优选的是，在第十一晶体管的第一端子与第一晶体管、第二晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十二晶体管和第十三晶体管中的任一个的背栅极电连接的情况下，第三电容的第二端子与包括电连接于第十一晶体管的第一端子的背栅极的晶体管的源极电连接。

[0022] (9)

在上述(6)或(7)中，本发明的另一个方式优选具有如下结构：第一晶体管的背栅极与第四晶体管的背栅极及第十二晶体管的背栅极电连接。

[0023] (10)

本发明的另一个方式是一种包括第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十四晶体管、第十五晶体管、第一电容及光电二极管的半导体装置。另外，第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十四晶体管及第十五晶体管的每一个在沟道形成区域中包含金属氧化物。另外，第一晶体管的第一端子与第二晶体管的第一端子电连接，第二晶体管的栅极与第三晶体管的第一端子及第一电容的第一端子电连接。另外，第二晶体管的第二端子与第一电容的第二端子、第四晶体管的第一端子、第五晶体管的栅极、第七晶体管的第一端子及第八晶体管的栅极电连接。另外，第五晶体管的第一端子与第六晶体管的第一端子及第七晶体管的栅极电连接，第八晶体管的第一端子与第九晶体管的第一端子及第十晶体管的栅极电连接。另外，第十四晶体管的第一端子与光电二极管的输入端子电连接，第十四晶体管的第二端子与第十五晶体管的第一端子、第十五晶体管的栅极及第六晶体管的栅极电连接。另外，流在第二晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管及第十五晶体管的每一个的源极-漏极间的电流量为当该晶体管在亚阈值区域中工作时流过的电流量。

[0024] (11)

在上述(10)中，本发明的另一个方式优选具有如下结构：第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十四晶体管和第十五晶体管中的至少一个为多栅极结构的晶体管。

[0025] (12)

在上述(10)或(11)中，本发明的一个方式优选包括第十一晶体管及第三电容。另外，第十一晶体管的第一端子优选与第三电容的第一端子电连接。另外，优选的是，在第十一晶体管的第一端子与第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十四晶体管和第十五晶体管中的任一个的背栅极电连接的情况下，第三电容的第二端子与包括电连接于第十一晶体管的第一端子的背栅极的晶体管的源极电连接。

[0026] (13)

在上述(10)或(11)中,本发明的另一个方式优选具有如下结构:第一晶体管的背栅极与第三晶体管的背栅极及第四晶体管的背栅极电连接。

[0027] (14)

在上述(10)至(13)中的任一个中,本发明的另一个方式优选包括第二电容。尤其优选的是,第一晶体管的栅极与第二电容的第一端子电连接,第二晶体管的栅极与第二电容的第二端子电连接。

[0028] (15)

在上述(1)至(14)中的任一个中,第一晶体管的第一端子优选与第五晶体管的第二端子及第八晶体管的第二端子电连接。

[0029] (16)

本发明的另一个方式一种包括上述(1)至(15)中的任一个半导体装置以及框体的电子设备,其中,由半导体装置进行积和运算。

[0030] 在本说明书等中,半导体装置是指利用半导体特性的装置以及包括半导体元件(晶体管、二极管、光电二极管等)的电路及包括该电路的装置等。此外,半导体装置是指能够利用半导体特性而发挥作用的所有装置。例如,作为半导体装置的例子,有集成电路、具备集成电路的芯片、封装中容纳有芯片的电子构件。此外,有时存储装置、显示装置、发光装置、照明装置以及电子设备等本身是半导体装置,或者包括半导体装置。

[0031] 此外,在本说明书等中,当记载为“X与Y连接”时,表示在本说明书等中公开了如下情况:X与Y电连接的情况;X与Y在功能上连接的情况;以及X与Y直接连接的情况。因此,不局限于附图或文中所示的连接关系,例如其他的连接关系也在附图或文中所记载的范围内记载。X和Y都是对象物(例如,装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0032] 作为X和Y电连接的情况的一个例子,可以在X和Y之间连接一个以上的能够电连接X和Y的元件(例如开关、晶体管、电容元件、电感器、电阻元件、二极管、显示器件、发光器件、负载等)。此外,开关具有控制开启或关闭的功能。换言之,通过使开关处于导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过。

[0033] 作为X与Y在功能上连接的情况的一个例子,例如可以在X与Y之间连接有一个以上的能够在功能上连接X与Y的电路(例如,逻辑电路(反相器、NAND电路、NOR电路等)、信号转换电路(数字模拟转换电路、模拟数字转换电路、伽马校正电路等)、电位电平转换电路(电源电路(升压电路、降压电路等)、改变信号的电位电平的电平转移电路等)、电压源、电流源、切换电路、放大电路(能够增大信号振幅或电流量等的电路、运算放大器、差分放大电路、源极跟随电路、缓冲电路等)、信号产生电路、存储电路、控制电路等)。注意,例如,即使在X与Y之间夹有其他电路,当从X输出的信号传送到Y时,就可以说X与Y在功能上是连接着的。

[0034] 此外,当明确地记载为“X与Y电连接”时,包括如下情况:X与Y电连接的情况(换言之,以中间夹有其他元件或其他电路的方式连接X与Y的情况);以及X与Y直接连接的情况(换言之,以中间不夹有其他元件或其他电路的方式连接X与Y的情况)。

[0035] 例如,可以表现为“X、Y、晶体管的源极(或第一端子等)与晶体管的漏极(或第二端子等)互相电连接,X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)与Y依

次电连接”。或者，可以表现为“晶体管的源极(或第一端子等)与X电连接，晶体管的漏极(或第二端子等)与Y电连接，X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)与Y依次电连接”。或者，可以表达为“X通过晶体管的源极(或第一端子等)及晶体管的漏极(或第二端子等)与Y电连接，X、晶体管的源极(或第一端子等)、晶体管的漏极(或第二端子等)、Y依次设置”。通过使用与这种例子相同的表达方法规定电路结构中的连接顺序，可以区分晶体管的源极(或第一端子等)与漏极(或第二端子等)而决定技术范围。注意，这种表达方法是一个例子，不局限于上述表达方法。在此，X和Y为对象物(例如，装置、元件、电路、布线、电极、端子、导电膜、层等)。

[0036] 此外，即使在电路图上独立的构成要素彼此电连接，也有时一个构成要素兼有多个构成要素的功能。例如，在布线的一部分用作电极时，一个导电膜兼有布线和电极的两个构成要素的功能。因此，本说明书中的“电连接”的范畴内还包括这种一个导电膜兼有多个构成要素的功能的情况。

[0037] 在本说明书等中，“电阻元件”例如包括具有高于0Ω的电阻值的电路元件、高于0Ω的布线等。因此，在本说明书等中，“电阻元件”包括具有电阻值的布线、电流流过源极和漏极之间的晶体管、二极管、线圈等。因此，“电阻元件”也可以称为“电阻”、“负载”、“具有电阻值的区域”等，与此相反，“电阻”、“负载”、“具有电阻值的区域”也可以称为“电阻元件”等。作为电阻值，例如优选为1mΩ以上且10Ω以下，更优选为5mΩ以上且5Ω以下，进一步优选为10mΩ以上且1Ω以下。此外，例如也可以为1Ω以上且1×10^{9}Ω以下。

[0038] 在本说明书等中，“电容元件”例如包括具有高于0F的静电电容值的电路元件、具有高于0F的静电电容值的布线的区域、寄生电容、晶体管的栅极电容等。因此，在本说明书等中，“电容元件”包括具有一对电极及在该电极之间的介电体的电路元件等。此外，“电容元件”、“寄生电容”、“栅极电容”等也可以称为“电容”等，与此相反，“电容”也可以称为“电容元件”、“寄生电容”、“栅极电容”等。此外，“电容”的“一对电极”也可以称为“一对导电体”、“一对导电区域”、“一对区域”等。静电电容值例如可以为0.05fF以上且10pF以下。此外，例如，也可以为1pF以上且10μF以下。

[0039] 在本说明书等中，晶体管包括栅极、源极以及漏极这三个端子。栅极用作控制晶体管的导通状态的控制端子。用作源极或漏极的两个端子是晶体管的输入输出端子。根据晶体管的导电型(n沟道型、p沟道型)及对晶体管的三个端子施加的电位的高低，两个输入输出端子中的一方用作源极而另一方用作漏极。因此，在本说明书等中，源极和漏极可以相互调换。在本说明书等中，在说明晶体管的连接关系时，使用“源极和漏极中的一个”(第一电极或第一端子)、“源极和漏极中的另一个”(第二电极或第二端子)的表述。此外，根据晶体管的结构，有时除了上述三个端子以外还包括背栅极。在此情况下，在本说明书等中，有时将晶体管的栅极和背栅极中的一个称为第一栅极，将晶体管的栅极和背栅极的另一个称为第二栅极。并且，在相同晶体管中，有时可以将“栅极”与“背栅极”相互调换。此外，在晶体管包括三个以上的栅极时，在本说明书等中，有时将各栅极称为第一栅极、第二栅极、第三栅极等。

[0040] 例如在本说明书等中，作为晶体管的一个例子可以采用具有两个以上的栅电极的多栅结构晶体管。当采用多栅结构时，由于将沟道形成区域串联连接，所以成为多个晶体管串联连接的结构。因此，通过采用多栅结构，可以降低关态电流(off-state current)，且提

高晶体管的耐压性(提高可靠性)。或者,通过利用多栅结构,当晶体管在饱和区域工作时,即便漏极-源极间的电压发生变化,漏极-源极间电流的变化也不太大,从而可以得到倾斜角平坦的电压-电流特性。当利用倾斜角平坦的电压-电流特性时,可以实现理想的电流源电路或电阻值极高的有源负载。其结果是,可以实现特性良好的差动电路或电流反射镜电路等。

[0041] 此外,电路图示出一个电路元件的情况有时包括该电路元件具有多个电路元件的情况。例如,电路图示出一个电阻的情况包括两个以上的电阻串联连接的情况。此外,例如,电路图示出一个电容的情况包括两个以上的电容并联连接的情况。此外,例如,电路图示出一个晶体管的情况包括两个以上的晶体管串联连接且各晶体管的栅极彼此电连接的情况。同样,例如,电路图示出一个开关的情况包括该开关具有两个以上的晶体管,两个以上的晶体管串联电连接或者并联电连接并且各晶体管的栅极彼此电连接的情况。

[0042] 此外,在本说明书等中,节点也可以根据电路结构或装置结构等称为端子、布线、电极、导电层、导电体或杂质区域等。此外,端子、布线等也可以称为节点。

[0043] 此外,在本说明书等中,可以适当地调换“电压”和“电位”。“电压”是指与基准电位之间的电位差,例如在基准电位为地电位(接地电位)时,也可以将“电压”称为“电位”。接地电位不一定意味着0V。此外,电位是相对性的,根据基准电位的变化而供应到布线的电位、施加到电路等的电位、从电路等输出的电位等也产生变化。

[0044] 此外,在本说明书等中,“高电平电位”、“低电平电位”不意味着特定的电位。例如,在两个布线都被记为“用作供应高电平电位的布线”的情况下,两个布线所供应的高电平电位也可以互不相同。同样,在两个布线都被记为“用作供应低电平电位的布线”的情况下,两个布线所供应的低电平电位也可以互不相同。

[0045] “电流”是指电荷的移动现象(导电),例如,“发生正带电体的导电”的记载可以替换为“在与其相反方向上发生负带电体的导电”的记载。因此,在本说明书等中,在没有特别的说明的情况下,“电流”是指载流子移动时的电荷的移动现象(导电)。在此,作为载流子可以举出电子、空穴、阴离子、阳离子、络离子等,载流子根据电流流过的系统(例如,半导体、金属、电解液、真空中等)不同。此外,布线等中的“电流的方向”是带正电的载流子移动的方向,以正电流量记载。换言之,带负电的载流子移动的方向与电流方向相反,以负电流量记载。因此,在本说明书等中,在没有特别的说明的情况下,关于电流的正负(或电流的方向),“电流从元件A向元件B流过”等记载可以替换为“电流从元件B向元件A流过”等记载。此外,“对元件A输入电流”等记载可以替换为“从元件A输出电流”等记载。

[0046] 此外,在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加上的。因此,该序数词不限制构成要素的个数。此外,该序数词不限制构成要素的顺序。此外,例如,本说明书等的实施方式之一中附有“第一”的构成要素有可能在其他的实施方式或权利要求书中附有“第二”的构成要素。此外,例如,在本说明书等中,一个实施方式中的“第一”所指的构成要素有可能在其他实施方式或权利要求书中被省略。

[0047] 在本说明书中,为了方便起见,有时使用“上”、“下”等表示配置的词句以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于说明书等中所说明的词句,根据情况可以适当地换词句。例如,在“位于导电体的顶面的绝缘体”的表述中,通过将所示的附图的方向旋转180度,也可以称为“位

于导电体的下面的绝缘体”。

[0048] 此外,“上”或“下”这样的术语不局限于构成要素的位置关系为“正上”或“正下”且直接接触的情况。例如,如果是“绝缘层A上的电极B”的表述,则不一定必须在绝缘层A上直接接触地形成有电极B,也可以包括在绝缘层A与电极B之间包括其他构成要素的情况。

[0049] 此外,在本说明书等中,根据状况,可以互相调换“膜”和“层”等词句。例如,有时可以将“导电层”调换为“导电膜”。此外,有时可以将“绝缘膜”变换为“绝缘层”。此外,根据情况或状态,可以使用其他词句代替“膜”和“层”等词句。例如,有时可以将“导电层”或“导电膜”变换为“导电体”。此外,例如有时可以将“绝缘层”或“绝缘膜”变换为“绝缘体”。

[0050] 注意,在本说明书等中,“电极”、“布线”、“端子”等的词句不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”还包括多个“电极”或/及“布线”被形成为一体的情况等。此外,例如,有时将“端子”用作“布线”或“电极”的一部分,反之亦然。再者,“端子”的词句包括多个“电极”、“布线”、“端子”等被形成为一体的情况等。因此,例如,“电极”可以为“布线”或“端子”的一部分,例如,“端子”可以为“布线”或“电极”的一部分。此外,“电极”、“布线”、“端子”等的词句有时置换为“区域”等的词句。

[0051] 在本说明书等中,根据情况或状态,可以互相调换“布线”、“信号线”及“电源线”等词句。例如,有时可以将“布线”变换为“信号线”。此外,例如有时可以将“布线”变换为“电源线”。反之亦然,有时可以将“信号线”或“电源线”变换为“布线”。有时可以将“电源线”变换为“信号线”。反之亦然,有时可以将“信号线”变换为“电源线”。此外,根据情况或状态,可以互相将施加到布线的“电位”变换为“信号”。反之亦然,有时可以将“信号”变换为“电位”。

[0052] 在本说明书等中,半导体的杂质是指构成半导体膜的主要成分之外的物质。例如,浓度低于0.1atomic%的元素是杂质。当包含杂质时,例如,半导体中的缺陷态密度有可能提高,载流子迁移率有可能降低或结晶性有可能降低。在半导体是氧化物半导体时,作为改变半导体特性的杂质,例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素或主要成分之外的过渡金属等,尤其是,例如有氢(也包含于水中)、锂、钠、硅、硼、磷、碳、氮等。具体而言,当半导体是硅层时,作为改变半导体特性的杂质,例如有第1族元素、第2族元素、第13族元素、第15族元素等(有时不包含氧、氢)。

[0053] 在本说明书等中,开关是指具有通过变为导通状态(开启状态)或非导通状态(关闭状态)来控制是否使电流流过的功能的元件。或者,开关是指具有选择并切换电流路径的功能的元件。因此,开关有时除了控制端子以外还包括使电流流过的两个或三个以上的端子。作为开关的一个例子,可以使用电开关或机械开关等。换而言之,开关只要可以控制电流,就不局限于特定的元件。

[0054] 电开关的例子包括晶体管(例如双极晶体管或MOS晶体管)、二极管(例如PN二极管、PIN二极管、肖特基二极管、金属-绝缘体-金属(MIM)二极管、金属-绝缘体-半导体(MIS)二极管或者二极管接法的晶体管)或者组合这些元件的逻辑电路等。当作为开关使用晶体管时,晶体管的“导通状态”是指晶体管的源电极与漏电极在电性上短路的状态、能够使电流流过源电极与漏电极间的状态等。此外,晶体管的“非导通状态”是指晶体管的源电极与漏电极在电性上断开的状态。当将晶体管仅用作开关时,对晶体管的极性(导电型)没有特别的限制。

[0055] 作为机械开关的例子,可以举出利用了MEMS(微电子机械系统)技术的开关。该开关具有以机械方式可动的电极,并且通过移动该电极来控制导通和非导通而进行工作。

[0056] 在本说明书中,“平行”是指两条直线形成的角度为-10°以上且10°以下的状态。因此,也包括该角度为-5°以上且5°以下的状态。“大致平行”是指两条直线形成的角度为-30°以上且30°以下的状态。此外,“垂直”是指两条直线形成的角度为80°以上且100°以下的状态。因此,也包括该角度为85°以上且95°以下的状态。“大致垂直”是指两条直线形成的角度为60°以上且120°以下的状态。

发明效果

[0057] 根据本发明的一个方式,可以提供一种进行积和运算及/或函数运算的半导体装置等。另外,根据本发明的一个方式,可以提供一种用于AI(Artificial Intelligence:人工智能)的半导体装置等。另外,根据本发明的一个方式,可以提供一种用于DNN(Deep Neural Network:深度神经网络)的半导体装置等。另外,根据本发明的一个方式,可以提供一种运算性能高的半导体装置。另外,根据本发明的一个方式,可以提供一种功耗低的半导体装置等。另外,根据本发明的一个方式,可以提供一种不容易受到晶体管的阈值电压的不均匀的影响的半导体装置等。另外,根据本发明的一个方式,可以提供一种不容易受到电流源的特性不均匀的影响的半导体装置等。另外,根据本发明的一个方式,可以提供一种新颖的半导体装置等。

[0058] 注意,本发明的一个方式的效果不局限于上述效果。上述效果并不妨碍其他效果的存在。其他效果是指将在下面的记载中描述的上述以外的效果。本领域技术人员可以从说明书或附图等的记载中导出并适当抽出上述以外的效果。此外,本发明的一个方式具有上述效果及其他效果中的至少一个效果。因此,本发明的一个方式根据情况而有时没有上述效果。

附图简要说明

[0059] 图1是示出半导体装置所包括的电路的结构例子的电路图。

图2A及图2B是示出半导体装置所包括的电路的结构例子的电路图。

图3是示出半导体装置所包括的电路的结构例子的电路图。

图4是示出半导体装置所包括的电路的结构例子的电路图。

图5是示出半导体装置所包括的电路的结构例子的电路图。

图6A及图6B是示出半导体装置的结构例子的方框图。

图7A至图7C是示出半导体装置所包括的电路的结构例子的电路图。

图8A至图8D是示出半导体装置所包括的电路的结构例子的电路图。

图9A至图9D是示出半导体装置的叠层结构的结构例子的立体图。

图10是示出半导体装置所包括的电路的结构例子的电路图。

图11是示出半导体装置所包括的电路的结构例子的电路图。

图12是示出半导体装置的结构例子的方框图。

图13A是示出半导体装置所包括的电路的结构例子的方框图,图13B是示出半导体装置所包括的电路的结构例子的电路图。

图14A至图14D是示出半导体装置所包括的电路的结构例子的电路图。

图15A及图15B是示出半导体装置所包括的电路的结构例子的电路图。

图16是示出半导体装置所包括的电路的结构例子的电路图。

图17是示出半导体装置的结构例子的方框图。

图18是示出半导体装置的结构例子的方框图。

图19是示出半导体装置的结构例子的方框图。

图20是示出半导体装置的结构例子的方框图。

图21A及图21B是说明分层神经网络的图。

图22是示出半导体装置的结构例子的方框图。

图23是示出半导体装置的结构例子的截面示意图。

图24A至图24C是示出晶体管的结构例子的截面示意图。

图25是示出半导体装置的结构例子的截面示意图。

图26A及图26B是示出晶体管的结构例子的截面示意图。

图27是示出晶体管的结构例子的截面示意图。

图28A是说明结晶结构的分类的图,图28B是说明结晶性IGZO的XRD谱的图,图28C是说明结晶性IGZO的纳米束电子衍射图案的图。

图29A是示出半导体晶片的一个例子的立体图,图29B是示出芯片的一个例子的立体图,图29C及图29D是示出电子构件的一个例子的立体图。

图30是示出电子设备的一个例子的立体图。

图31A至图31C是示出电子设备的一个例子的立体图。

图32A是示出在理论上被期待的从半导体装置输出的电流与通过模拟得到的半导体装置的输出电流的关系的图表,图32B是示出该半导体装置的运算效率的图表。

图33是示出在模拟中使用的电路结构的电路图。

图34是示出通过模拟得到的晶体管的阈值电压与晶体管的背栅极-源极间电压的关系的图表。

实施发明的方式

[0060] 在人工神经网络(以下称为神经网络)中,神经突触的结合强度可以通过对神经网络供应现有的信息改变。有时将这样的对神经网络提供现有的信息决定结合强度的处理称为“学习”。

[0061] 并且,通过对“学习”(决定了结合强度)过的神经网络提供某个信息,可以根据其结合强度输出新信息。有时将这样的在神经网络中根据被提供的信息和结合强度输出新信息的处理称为“推论”或“认知”。

[0062] 作为神经网络的模型,例如可以举出Hopfield神经网络、分层神经网络等。尤其是,有时将具有多层结构的神经网络称为“深度神经网络”(DNN),将利用深度神经网络的机械学习称为“深度学习”。

[0063] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导电体(包括透明氧化物导电体)和氧化物半导体(Oxide Semiconductor,也可以简称为OS)等。例如,在晶体管的沟道形成区域包含金属氧化物的情况下,有时将该金属氧化物称为氧化物半导体。换言之,在金属氧化物能够构成具有放大作用、整流作用及开关作用中的至少一个的晶体管的沟道形成区域时,该金属氧化物称为金属氧化物半导体(metal oxide semiconductor),简称为OS。此外,也可以将OS晶

体管称为包含金属氧化物或氧化物半导体的晶体管。

[0064] 此外,在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0065] 此外,在本说明书等中,各实施方式所示的结构可以与其他实施方式所示的结构适当地组合而构成本发明的一个方式。此外,当在一个实施方式中示出多个结构例子时,可以适当地组合这些结构例子。

[0066] 此外,可以将某一实施方式(实施例)中说明的内容(或其一部分)应用/组合/替换成该实施方式中说明的其他内容(或其一部分)和另一个或多个其他实施方式中说明的内容(或其一部分)中的至少一个内容。

[0067] 注意,实施方式中说明的内容是指各实施方式中利用各种附图所说明的内容或者利用说明书所记载的文章而说明的内容。

[0068] 此外,通过将某一实施方式中示出的附图(或其一部分)与该附图的其他部分、该实施方式中示出的其他附图(或其一部分)和另一个或多个其他实施方式中示出的附图(或其一部分)中的至少一个附图组合,可以构成更多图。

[0069] 参照附图说明本说明书所记载的实施方式。注意,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在实施方式所记载的内容中。注意,在实施方式中的发明的结构中,有时在不同的附图中共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略反复说明。在立体图或俯视图等中,为了明确起见,有时省略部分构成要素的图示。

[0070] 此外,在本说明书等中,在多个要素使用同一符号并且需要区分它们时,有时对符号附加“_1”,“[n]”,“[m,n]”等用于识别的符号。此外,在附图等中,在对符号附加“_1”,“[n]”,“[m,n]”等用于识别的符号的情况下,如果不需要在本说明书等中区分它们,有时不附加“_1”,“[n]”,“[m,n]”等用于识别的符号。

[0071] 在附图中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的尺寸。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。例如,可以包括因噪声或定时偏差等所引起的信号、电压或电流的不均匀等。

[0072] (实施方式1)

在本实施方式中,说明本发明的一个方式的半导体装置的结构。

[0073] <结构例子1>

图1示出为本发明的一个方式的半导体装置的乘法单元的结构例子。作为一个例子,该乘法单元具有利用跨导线性原理进行乘法的结构。此外,作为一个例子,该乘法单元具有保持第一数据的功能,此外,该乘法单元还具有当被输入第二数据时输出第一数据与第二数据之积的功能。

[0074] 图1所示的电路MC包括晶体管M1至晶体管M10、电容C1及电容CG。

[0075] 作为晶体管M1至晶体管M10,例如可以使用OS晶体管。尤其是,作为在OS晶体管的沟道形成区域中包含的金属氧化物,例如优选使用包含铟、元素M及锌的In-M-Zn氧化物(元素M为选自铝、镓、钇、锡、铜、钒、铍、硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁等中

的一种或多种)等。另外,作为除了OS晶体管以外的晶体管,例如可以使用在沟道形成区域中包含Ge等的晶体管、在沟道形成区域中包含ZnSe、CdS、GaAs、InP、GaN、SiGe等化合物半导体的晶体管、在沟道形成区域中包含碳纳米管的晶体管、在沟道形成区域中包含有机半导体的晶体管等。

[0076] 例如,除非特别说明均包括晶体管M1、晶体管M3及晶体管M4各自被用作开关元件的情况。也就是说,包括上述晶体管各自的栅极、源极及漏极合适地被输入在上述晶体管起到开关元件作用的范围的电压的情况。但是,本发明的一个方式不局限于此。例如,上述晶体管中的至少一个可以在开启状态下工作在饱和区域或线性区域。此外,为了减少流过上述晶体管的电流量,晶体管M1、晶体管M3及晶体管M4中的至少一个可以工作在亚阈值区域。此外,晶体管M1、晶体管M3及晶体管M4中的至少一个工作在线性区域的情况、工作在饱和区域的情况以及工作在亚阈值区域的情况可以混合存在。此外,晶体管M1、晶体管M3及晶体管M4中的至少一个工作在线性区域的情况和工作在饱和区域的情况可以混合存在,工作在饱和区域的情况和工作在亚阈值区域的情况可以混合存在,或者,工作在线性区域的情况和工作在亚阈值区域的情况可以混合存在。

[0077] 此外,在本说明书等中,饱和区域为栅极-源极间电压比阈值电压大且栅极-源极间电压与阈值电压之差比源极-漏极间电压大的区域。或者,饱和区域为即使源极-漏极间电压改变晶体管的漏极电流也几乎不变的区域。或者,饱和区域为漏极电流与栅极-源极间电压的平方成正比的区域。此外,饱和区域包括可被视为上述各区域的区域。

[0078] 在本说明书等中,线性区域为栅极-源极间电压比阈值电压大且栅极-源极间电压与阈值电压之差比源极-漏极间电压小的区域。或者,线性区域是指因沟道形成区域用作电阻源极-漏极间电压改变而使晶体管的漏极电流呈现线性变化的区域。此外,线性区域包括可被视为上述各区域的区域。

[0079] 在本说明书等中,亚阈值区域是指在示出晶体管的栅极电压(Vg)-漏极电流(Id)特性的图表中栅极电压低于阈值电压的区域。此外,亚阈值区域是指偏离缓变沟道近似(只考虑漂移电流的模型)的伴随载流子扩散的电流流过的区域。此外,亚阈值区域是指相对于栅极电压的增大漏极电流以指数函数增大的区域。此外,亚阈值区域包括可被视为上述各区域的区域。

[0080] 此外,晶体管工作在亚阈值区域时的漏极电流被称为亚阈值电流。亚阈值电流不依赖漏极电压而相对于栅极电压以指数函数增大。在使用亚阈值电流的电路工作中,可以减少漏极电压不均匀的影响。

[0081] OS晶体管每沟道宽度1μm的漏极电流小于1×10^{-20}A、小于1×10^{-22}A或者小于1×10^{-24}A。此外,在OS晶体管的阈值电压下,每沟道宽度1μm的漏极电流为1.0×10^{-8}A以下、1.0×10^{-12}A以下或1.0×10^{-15}A以下。也就是说,OS晶体管可以扩大工作在亚阈值区域的栅极电压的范围。具体而言,在OS晶体管的阈值电压为V_{th}的情况下,可以在亚阈值区域中利用在V_{th}-1.0V以上且V_{th}以下或者在V_{th}-0.5V以上且V_{th}以下的范围的栅极电压进行电路工作。

[0082] 另一方面,在沟道形成区域中包含硅的晶体管(以下,称为Si晶体管)的关态电流大,工作在亚阈值区域的栅极电压的范围窄。在利用亚阈值电流的情况下,与Si晶体管相比,OS晶体管能够在宽的栅极电压范围进行电路工作。

[0083] 此外,在本说明书等中,晶体管的截止区域是指栅极-源极间电压低于亚阈值区域

的电压的区域。此外，晶体管的栅极-源极间电压为截止区域时，晶体管处于关闭状态。此外，在本说明书等中，将晶体管为关闭状态时流过的电流称为关态电流或泄漏电流。

[0084] 此外，除非特别说明均包括晶体管M2、晶体管M5至晶体管M10各自在亚阈值区域工作的情况。

[0085] 晶体管M1的第一端子与布线VDE电连接，晶体管M1的第二端子与晶体管M2的第一端子电连接，晶体管M1的栅极与布线WWLB及电容CG的第一端子电连接。此外，晶体管M3的第一端子与布线WDL电连接，晶体管M3的第二端子与晶体管M2的栅极、电容CG的第二端子及电容C1的第一端子电连接。此外，晶体管M2的第二端子与晶体管M4的第一端子、电容C1的第二端子、晶体管M5的栅极、晶体管M7的第一端子及晶体管M8的栅极电连接。此外，晶体管M4的第二端子与布线VGE电连接，晶体管M4的栅极与晶体管M3的栅极及布线WWL电连接。此外，晶体管M5的第一端子与布线VDE电连接，晶体管M5的第二端子与晶体管M6的第一端子及晶体管M7的栅极电连接。晶体管M6的栅极与布线XDL电连接，晶体管M6的第二端子与布线VGE电连接。此外，晶体管M7的第二端子与布线VGE电连接。此外，晶体管M8的第一端子与布线VDE电连接，晶体管M8的第二端子与晶体管M9的第一端子及晶体管M10的栅极电连接。此外，晶体管M9的栅极与布线BDL电连接，晶体管M9的第二端子与布线VGE电连接。此外，晶体管M10的第一端子与布线OL电连接，晶体管M10的第二端子与布线VGE电连接。

[0086] 作为一个例子，布线VDE被用作供应恒定电压的布线。该恒定电压例如可以为高电源电压。

[0087] 作为一个例子，布线VGE被用作供应恒定电压的布线。该恒定电压例如可以为低电源电压、接地电位等。

[0088] 作为一个例子，布线WWL被用作对电路MC写入第一数据的写入信号线。

[0089] 作为一个例子，布线WWLB被用作传送对应于传送到布线WWL的写入信号的反转信号的布线。此外，布线WWLB也可以不供应上述反转信号而供应可变电位(例如，高电平电位、低电平电位等)的布线。

[0090] 作为一个例子，布线WDL被用作将对应于第一数据的电压写入到电路MC的写入数据线。

[0091] 作为一个例子，布线XDL被用作将对应于第二数据的电压输入到电路MC的信号线。

[0092] 由此，包括与布线XDL电连接的栅极的晶体管M6被用作电流源。此外，如上所述，由于晶体管M6可以在亚阈值区域工作，所以晶体管M6的第一端子-第二端子间流过亚阈值区域的电流。

[0093] 作为一个例子，布线BDL被用作将用于调整对应于第一数据与第二数据的运算结果的电流量的电压输入到电路MC的信号线。

[0094] 由此，包括与布线BDL电连接的栅极的晶体管M9被用作电流源。此外，如上所述，因为包括晶体管M9在亚阈值区域工作的情况，所以晶体管M9的第一端子-第二端子间流过亚阈值区域的电流。

[0095] 此外，作为晶体管M9流过的电流量，例如，可以使用后述电路ACTV所包括的根据函数系统进行运算的电路所使用的变数、常数等。

[0096] 作为一个例子，布线OL被用作将对应于第一数据与第二数据之积的电流输出的布线。

[0097] 〈工作例子〉

接着，说明图1的电路MC的工作例子。注意，本工作例子中，布线VDE供应的电位为高电源电位，布线VGE供应的电位为接地电位(V_{GND})。

[0098] 〈〈写入工作〉〉

首先，说明将第一数据写入到电路MC的工作的一个例子。

[0099] 布线WWL被输入高电平电位。由此，晶体管M3、晶体管M4各自的栅极被输入该高电平电位，因此晶体管M3及晶体管M4成为开启状态。

[0100] 此时，通过晶体管M4，布线VGE与电容C1的第二端子(晶体管M2的第二端子)之间成为导通状态，因此电容C1的第二端子(晶体管M2的第二端子)的电位为V_{GND}。

[0101] 此外，此时通过晶体管M3，布线WDL与电容C1的第一端子(电容CG的第二端子、晶体管M2的栅极等)之间成为导通状态。在此，通过将对应于第一数据的信号(以下称为电压V_W)传送到布线WDL，电容C1的第一端子(电容CG的第二端子、晶体管M2的栅极等)被写入对应于第一数据的电压V_W。

[0102] 此外，布线WWLB被输入传送到布线WWL的信号的反转信号。具体而言，布线WWLB被输入低电平电位。因此，晶体管M1的栅极(电容CG的第一端子)被施加该低电平电位。由此，晶体管M1成为关闭状态。

[0103] 电容C1的第一端子(电容CG的第二端子、晶体管M2的栅极等)被写入电压V_W之后，布线WWL被输入低电平电位。由此，因为晶体管M3、晶体管M4各自的栅极被输入该低电平电位，所以晶体管M3及晶体管M4成为关闭状态。另外，由此，因为电容C1的第一端子成为浮动状态，所以保持电容C1的第一端子-第二端子间的电压V_W-V_{GND}。

[0104] 严格地说，当晶体管M3的栅极被供应的电位从高电平电位变为低电平电位时，由于晶体管M3的栅极-第二端子间的寄生电容，写入电容C1的第一端子的电压V_W有时降低。此外，在本说明书中，为了方便起见，由于晶体管M3的栅极-第二端子间的寄生电容而从电压V_W降低的电压也可以称为对应于第一数据的电压。为了防止电压V_W的降低，图1的电路MC中设置有电容CG。当晶体管M3的栅极被供应的电位从高电平电位变为低电平电位时，也就是说，当布线WWL供应的电位从高电平电位变为低电平电位时，布线WWLB被输入传送到布线WWL的信号的反转信号，因此布线WWLB的电位从低电平电位变为高电平电位。此时，电容CG的第一端子的电位从低电平电位上升至高电平电位，电容CG的第二端子的电位(电容C1的第一端、晶体管M2的栅极等)因电容CG的电容耦合而升高，理想的是，仅升高高电平电位与低电平电位之电位差那么大。在此，通过使升高的电位差等于电压V_W因晶体管M3的栅极-第二端子间的寄生电容而降低的电位差，可以防止晶体管M3为关闭状态时的电压V_W的降低。此外，将在后面说明用于使因电容CG的电容耦合升高的电位差等于因晶体管M3的栅极-第二端子间的寄生电容而降低的电位差的电容CG的结构。

[0105] 另外，此时，也可以对布线WWLB供应低电平电位代替传送到布线WWL的信号的反转信号，使晶体管M1为关闭状态。由此，可以同时进行保持电路MC的第一数据及停止对晶体管M2的第一端子供应高电源电位。

[0106] 〈〈乘法工作〉〉

接着，在电路MC，说明第一数据与第二数据的乘法工作的一个例子。

[0107] 通过对布线WWLB输入高电平电位，晶体管M1成为开启状态，由此晶体管M2的第一

端子被输入高电源电位，晶体管M2的第一端子-第二端子间流过对应于晶体管M2的栅极-第二端子间的电压的电流。另外，在此，晶体管M2的第一端子-第二端子间流过的电流量为I_W。此外，晶体管M2在亚阈值区域工作的情况下，I_W为在亚阈值区域中的电流范围内的电流量。

[0108] 此外，晶体管M2的第一端子-第二端子间流过的电流通过晶体管M7流过布线VGE。在此，晶体管M7也在亚阈值区域工作，晶体管M7的第一端子-第二端子间流过电流量I_W的电流。此时，电流量I_W可以由如下算式表示。

[0109] [算式1]

$$I_W = I_0 \exp(JV_{M7gs}) \cdots (1.1)$$

[0110] 此外，V_{M7gs}为晶体管M7的栅极-第二端子间的电压。此外，I_0是V_{M7gs}为0时流过的电流值，由晶体管M7的阈值电压、温度、器件结构等决定。此外，J为由温度、器件结构等设定的校正系数。

[0111] 此外，对布线XDL输入V_X作为对应第二数据的电压。此时，晶体管M6的栅极-第二端子间的电压为V_X-V_{GND}，晶体管M6的第一端子-第二端子间流过对应V_X-V_{GND}的电流。另外，在此，晶体管M6的第一端子-第二端子间流过的电流量为I_X。此外，晶体管M6在亚阈值区域工作的情况下，I_X为在亚阈值区域中的电流范围的电流量。

[0112] 此外，晶体管M6的第一端子-第二端子间流过的电流为从布线VDE通过晶体管M5流到晶体管M6的第一端子的电流。在此，晶体管M5也在亚阈值区域工作，晶体管M5的第一端子-第二端子间流过电流量I_X的电流。此时，电流量I_X可以表示为如下算式。

[0113] [算式2]

$$I_X = I_0 \exp(JV_{M5gs}) \cdots (1.2)$$

[0114] 此外，V_{M5gs}为晶体管M5的栅极-第二端子间的电压。此外，I_0是V_{M5gs}为0时流过的电流值，由晶体管M5的阈值电压、温度、器件结构等决定。此外，J为由温度、器件结构等设定的校正系数。注意，算式(1.2)中的I_0及J与算式(1.1)中的I_0及J相等。

[0115] 此外，对布线BDL输入V_B作为调整输出电流的电压。此时，晶体管M9的栅极-第二端子间的电压为V_B-V_{GND}，晶体管M9的第一端子-第二端子间流过对应V_B-V_{GND}的电流。另外，在此，晶体管M9的第一端子-第二端子间流过的电流量为I_B。此外，晶体管M9在亚阈值区域工作的情况下，I_B为在亚阈值区域中的电流范围的电流量。

[0116] 此外，晶体管M9的第一端子-第二端子间流过的电流为从布线VDE通过晶体管M8流到晶体管M9的第一端子的电流。在此，晶体管M8也在亚阈值区域工作，晶体管M8的第一端子-第二端子间流过电流量I_B的电流。此时，电流量I_B可以表示为如下算式。

[0117] [算式3]

$$I_B = l_0 \exp(JV_{M8gs}) \cdots (1.3)$$

[0118] 此外，V_{M8gs}为晶体管M8的栅极-第二端子间的电压。此外，I_0是V_{M8gs}为0时流过的电流值，由晶体管M8的阈值电压、温度、器件结构等被决定。此外，J为由温度、器件结构等被设定的校正系数。注意，算式(1.3)中的I_0及J与算式(1.1)及(1.2)中的I_0及J相等。

[0119] 此外，晶体管M10的第一端子-第二端子间流过的电流根据晶体管M10的栅极-第二端子间的电压而决定。另外，晶体管M10的第一端子-第二端子间流过的电流量为I_Y时，电流量I_Y可以表示为如下算式。

[0120] [算式4]

$$I_Y = I_0 \exp(JV_{M10gs}) \cdots (1.4)$$

[0121] 此外，V_{M10gs}为晶体管M10的栅极-第二端子间的电压。此外，I_0是V_{M10gs}为0时流过的电流值，由晶体管M10的阈值电压、温度、器件结构等被决定。此外，J为由温度、器件结构等被设定的校正系数。注意，算式(1.4)中的I_0及J与算式(1.1)至(1.3)中的I_0及J相等。

[0122] 在此，考虑布线VGE、晶体管M7的第二端子、晶体管M7的栅极、晶体管M5的第二端子、晶体管M5的栅极、晶体管M8的栅极、晶体管M8的第二端子、晶体管M10的栅极、晶体管M10的第二端子、布线VGE的顺序的闭合电路。该闭电路中，根据基尔霍夫第二定律(电压定律)，以下算式成立。

[0123] [算式5]

$$V_{M5gs} + V_{M7gs} = V_{M8gs} + V_{M10gs} \cdots (1.5)$$

[0124] 此外，通过参照算式(1.1)至算式(1.4)改写算式(1.5)中的各电压的项，可以得到如下算式。

[0125] [算式6]

$$I_Y = \frac{I_W I_X}{I_B} \cdots (1.6)$$

[0126] 就是说，晶体管M10的第一端子-第二端子间流过的电流I_Y可以表示为I_W与I_X之积。由此，通过测量从布线OL流过的电流量I_Y，可以算出对应于I_W与I_X之积的值。

[0127] <结构例子2>

本发明的一个方式的半导体装置所包含的乘法单元的结构不局限于图1所示的电路MC。本发明的一个方式的半导体装置所包含的乘法单元也可以采用根据情况，对图1所示的电路MC进行了改动的结构。

[0128] <<变形例子1>>

图1所示的晶体管M1至晶体管M10例如采用在沟道上下包括栅极的结构的n沟道型晶体管，晶体管M1至晶体管M10都包括第一栅极及第二栅极。注意，在本说明书等中，为了方便起见，例如将第一栅极记为栅极(有时记为前栅极)，将第二栅极记为背栅极来进行区分，但是第一栅极和第二栅极可以相互调换。因此，在本说明书等中，“栅极”可以记为“背栅极”。同样地，“背栅极”可以记为“栅极”。具体而言，“栅极与第一布线电连接且背栅极与第二布线电连接”的连接结构可以调换为“背栅极与第一布线电连接且栅极与第二布线电连接”的连接结构。

[0129] 另外，本发明的一个方式的半导体装置不取决于晶体管的背栅极的连接结构。在图1所示的晶体管M1至晶体管M10中示出背栅极而不示出该背栅极的连接关系，但是可以在进行设计时决定该背栅极的电连接点。例如，在包括背栅极的晶体管中，为了提高该晶体管的通态电流，可以使栅极与背栅极电连接。此外，例如，在包括背栅极的晶体管中，为了使该晶体管的阈值电压改变或降低该晶体管的关态电流，也可以设置与外部电路等电连接的布线而通过该外部电路等对该晶体管的背栅极供应固定电位或可变电位。具体而言，例如，如图2A所示，图1所示的结构也可以为将晶体管M1、晶体管M3和晶体管M4的每一个的背栅极电连接于布线BGL的结构。在图2A的结构中，通过向布线BGL供应低电平电位、接地电位、负电位等，可以提高晶体管M1、晶体管M3和晶体管M4的每一个的阈值电压，由此可以减少晶体管M1、晶体管M3和晶体管M4的每一个的关态电流。注意，可以在设计阶段决定图1所示的晶体

管的背栅极的连接结构，说明书的其他部分所记载的晶体管或者其他附图所示的晶体管也是同样的。

[0130] <<变形例子2>>

另外，图1的电路MC也可以保持晶体管M1至晶体管M10中的至少一个的背栅极的电位。图3所示的电路MC是图1的变形例子，其包括保持晶体管M2及晶体管M5至晶体管M10的每一个的背栅极的电位的电路HC2、电路HC5至电路HC10。

[0131] 电路HC2、电路HC5至电路HC10的每一个包括晶体管BTr及电容BC。

[0132] 作为晶体管BTr，例如可以使用可用作晶体管M1、晶体管M3、晶体管M4等的晶体管。另外，晶体管BTr的栅极、源极及漏极合适地被输入与晶体管M1、晶体管M3、晶体管M4等的工作范围同样的电压。

[0133] 另外，作为电容BC，可以使用可用作在本说明书等中说明的电容C1、电容CG等的电容。

[0134] 在电路HC2、电路HC5至电路HC10的每一个中，晶体管BTr的第一端子与电容BC的第一端子电连接。

[0135] 另外，在电路HC2中，晶体管BTr的第一端子与晶体管M2的背栅极电连接。另外，电容BC的第二端子与晶体管M2的第二端子电连接。另外，晶体管BTr的栅极与布线BWL2电连接，晶体管BTr的第二端子与布线BGL2电连接。

[0136] 同样地，电路HC5至电路HC10的晶体管BTr的第一端子分别与晶体管M5至晶体管M10的背栅极电连接。另外，电路HC5至电路HC10的电容BC的第二端子分别与晶体管M5至晶体管M10的第二端子电连接。另外，电路HC5至电路HC10的晶体管BTr的栅极分别与布线BWL5至布线BWL10电连接，电路HC5至电路HC10的晶体管BTr的第二端子分别与布线BGL5至布线BGL10电连接。

[0137] 布线BGL2及布线BGL5至布线BGL10的每一个作为一个例子被用作向电路HC2及电路HC5至电路HC10供应下述校正电位的布线。

[0138] 另外，作为一个例子，布线BWL2及布线BWL5至布线BWL10被用作控制电路HC2及电路HC5至电路HC10的每一个所包括的晶体管BTr的开启状态与关闭状态的切换的布线。

[0139] 例如，电路HC2可以在布线BWL2使晶体管BTr处于开启状态时从布线BGL2向电容BC的第一端子写入调整晶体管M2的阈值电压的校正电位。注意，此时，晶体管M2的第二端子优选不处于浮动状态(与供应恒定电压的布线处于导通状态)。

[0140] 另外，与上述同样地，电路HC5至电路HC10的每一个也可以通过向电路HC5至电路HC10的电容BC的第一端子写入校正电位来调整晶体管M5至晶体管M10的阈值电压。

[0141] 尤其是，在晶体管M2、晶体管M5至晶体管M10的每一个的阈值电压从所希望的值偏离的情况下，流在各晶体管的第一端子-第二端子间的电流量大幅度地变化。因此，在电路MC中，优选对晶体管M2、晶体管M5至晶体管M10的每一个设置保持调整阈值电压的校正电位的电路HC2及电路HC5至电路HC10。

[0142] 另外，布线BGL2及布线BGL5至布线BGL10例如也可以组合为一个布线。另外，此时，布线BWL2及布线BWL5至布线BWL10的每一个优选被用作作为校正电位的写入对象选择电路HC2及电路HC5至电路HC10中的任一个的选择信号线。

[0143] 另外，在图3中，晶体管M2、晶体管M5至晶体管M10的每一个与电路HC2及电路HC5至

电路HC10电连接，但是本发明的一个方式不局限于此。例如，也可以将保持校正电位的电路电连接于晶体管M2、晶体管M5至晶体管M10中的部分晶体管而不是电连接于所有晶体管。另外，例如，也可以将与电路HC2及电路HC5至电路HC10同样的保持校正电位的电路电连接于晶体管M1、晶体管M3及/或晶体管M4。就是说，例如，也可以选择图1的电路MC所包括的一个以上的晶体管并对所选择的晶体管设置保持校正电位的电路。

[0144] <<变形例子3>>

另外，在图1的电路MC中，电容C1及/或电容CG作为一个例子可以使用平面型、沟槽型等中的任一个的电容元件。另外，电容C1及/或电容CG可以为包括晶体管的电容元件。

[0145] 例如，图2B示出图2A的电路MC中的电容CG包括晶体管时的电路MC的结构。电容CG包括晶体管CT，晶体管CT的栅极与布线WWLB及晶体管M1的栅极电连接，晶体管CT的第一端子及第二端子与晶体管M3的第二端子、晶体管M2的栅极及电容C1的第一端子电连接。就是说，采用作为图2B的电路MC所包括的电容CG使用晶体管CT的栅极电容的结构。

[0146] 如图2B所示，通过作为电路MC所包括的电容CG使用晶体管CT的栅极电容，在晶体管M3从开启状态变为关闭状态时发生的晶体管M3的栅极-第二端子间的寄生电容所引起的电容C1的第一端子(晶体管M2的栅极)的电压下降的电位差可以大致相等于在电容CG的第一端子从低电平电位变为高电平电位时发生的电容CG的第二端子的电压上升的电位差。如上所述，通过作为电路MC所包括的电容CG使用晶体管CT的栅极电容，可以防止晶体管M3的栅极-第二端子间的寄生电容所引起的写入到电容C1的第一端子的电压V_W的降压。此时，晶体管CT的尺寸优选与晶体管M3的尺寸相等。注意，本说明书等中的晶体管的尺寸例如是指沟道长度、沟道宽度、晶体管结构等。

[0147] 注意，虽然在图1至图3、下述图4、图5等中电路MC包括电容CG，但是本发明的一个方式的半导体装置的电路MC的结构不局限于此。例如，在图1至图3、下述图4、图5等中，本发明的一个方式的半导体装置的电路MC也可以不包括电容CG。此时，作为写入到电容C1的第一端子的电压，考虑因晶体管M3的栅极-第二端子间的寄生电容而降压的电位差，优选设定将对应于第一数据的电压V_W与该电位差加在一起的电压。

[0148] <<变形例子4>>

另外，在图1的电路MC中，例如，流在晶体管M2的第一端子-第二端子间的电流量取决于晶体管M2的栅极-第二端子间的电压，通过向晶体管M2的第一端子供应高电源电位，在晶体管M2中有时发生漏致势垒降低(DIBL)。当在晶体管M2中发生漏致势垒降低时，晶体管M2的阈值电压下降，由此有可能使晶体管M2进行工作的亚阈值区域的电压范围变化。

[0149] 因此，图1的电路MC所包括的晶体管也可以具有串联连接两个以上的晶体管的结构。有时将这种串联连接两个以上的晶体管的结构称为多栅极结构的晶体管。

[0150] 图4示出将图2A中的晶体管M2至晶体管M10的每一个置换为串联连接两个晶体管的多栅极结构的晶体管的结构例子。

[0151] 在图4中，例如，晶体管M2包括晶体管M2a及晶体管M2b，晶体管M3包括晶体管M3a及晶体管M3b，晶体管M4包括晶体管M4a及晶体管M4b。另外，晶体管M5包括晶体管M5a及晶体管M5b，晶体管M6包括晶体管M6a及晶体管M6b，晶体管M7包括晶体管M7a及晶体管M7b。另外，晶体管M8包括晶体管M8a及晶体管M8b，晶体管M9包括晶体管M9a及晶体管M9b，晶体管M10包括晶体管M10a及晶体管M10b。

[0152] 晶体管M2a及晶体管M2b的每一个的栅极相当于图2A中的晶体管M2的栅极，晶体管M2a及晶体管M2b的每一个的背栅极相当于图2A中的晶体管M2的背栅极，晶体管M2a的第一端子相当于图2A中的晶体管M2的第一端子。晶体管M2a的第二端子与晶体管M2b的第一端子电连接。另外，晶体管M2b的第二端子相当于图2A中的晶体管M2的第二端子。

[0153] 关于晶体管M3a、晶体管M3b、晶体管M4a、晶体管M4b、晶体管M5a、晶体管M5b、晶体管M6a、晶体管M6b、晶体管M7a、晶体管M7b、晶体管M8a、晶体管M8b、晶体管M9a、晶体管M9b、晶体管M10a及晶体管M10b，参照上述晶体管M2a及晶体管M2b的连接结构的说明。

[0154] 另外，如图4所示，通过作为电路MC所包括的晶体管M3及晶体管M4的每一个使用多栅极结构的晶体管，可以进一步减少在晶体管M3及晶体管M4的每一个处于关闭状态时流过的泄漏电流。另外，可以防止在晶体管M3或晶体管M4处于开启状态时其晶体管所引起的漏致势垒降低。

[0155] 注意，图4示出晶体管M2至晶体管M10的每一个作为多栅极结构的晶体管，但是本发明的一个方式的半导体装置的电路MC所包括的晶体管M2至晶体管M10中的至少一个也可以为多栅极结构的晶体管。另外，图4示出没有将电路MC所包括的晶体管M1置换为多栅极结构的晶体管的结构，但是也可以将晶体管M1置换为多栅极结构的晶体管(未图示)。

[0156] 虽然上面说明了通过将图2A的电路MC所包括的晶体管置换为多栅极结构的晶体管可以防止晶体管的漏致势垒降低并且/或者可以减少关闭状态下的晶体管的泄漏电流，但是也可以通过采用其他结构来防止晶体管的漏致势垒降低并且/或者减少关闭状态下的晶体管的泄漏电流。例如，也可以通过将图2A所示的电路MC的晶体管的沟道长度设定为适当的长度来防止晶体管的漏致势垒降低并且/或者减少关闭状态下的晶体管的泄漏电流。

[0157] 例如，在图2A中，作为晶体管M1至晶体管M10的每一个的沟道长度(有时称为L长度)，具体而言，优选为200nm，更优选为300nm，进一步优选为400nm。另外，在图4中，作为多栅极结构的晶体管M2至晶体管M10的每一个所包括的晶体管的沟道长度，具体而言，优选为100nm，更优选为150nm，进一步优选为200nm。

[0158] <<变形例子5>>

在图1的电路MC的结构中，根据晶体管M1的开启状态或关闭状态决定布线VDE所供应的高电源电位是否供应到晶体管M2的第一端子。这里，因为布线VDE还与晶体管M5的第一端子及晶体管M8的第一端子电连接，所以也可以设置控制布线VDE所供应的高电源电位供应到晶体管M5的第一端子及晶体管M8的第一端子的开关元件。

[0159] 图5所示的电路MC是图1的电路MC的变形例子，其具有晶体管M5的第一端子及晶体管M8的第一端子与晶体管M1的第二端子电连接的结构。

[0160] 在图1的电路MC中，因为晶体管M5的第一端子及晶体管M8的第一端子与布线VDE电连接，所以电流一直流在晶体管M5、晶体管M8的每一个的第一端子-第二端子间。另一方面，图5的电路MC具有在晶体管M1处于开启状态时电流流在晶体管M2、晶体管M5及晶体管M8的每一个的第一端子-第二端子间的结构。因此，电路MC可以在不进行乘法运算时停止高电源电位的供应，由此可以降低功耗。

[0161] 另外，为了使晶体管M1处于关闭状态，向布线WWLB输入低电平电位，由此向布线WWL输入高电平电位。另外，此时，通过向布线WDL输入高电平电位，晶体管M处于开启状态，由此晶体管M5及晶体管M8的每一个的第一端子经过晶体管M2的第一端子-第二端子间以及

晶体管M4的第一端子-第二端子间与布线VGE处于导通状态。在此，通过将布线VGE所供应的恒定电压设定为接地电位，可以将晶体管M2的第二端子、晶体管M1的第二端子、晶体管M5的第一端子及晶体管M8的第一端子的每一个设定为接地电位。如此，通过在图5的电路MC进行乘法运算之前预先将电路MC的晶体管M2的第二端子、晶体管M1的第二端子、晶体管M5的第一端子、晶体管M8的第一端子等设定为接地电位，电路MC可以稳定地进行乘法运算工作。

[0162] 注意，本发明的一个方式的电路MC可以具有选择上述多个结构例子并适当地组合的结构。

[0163] <半导体装置的结构例子1>

在此，说明可以使用图1所示的电路MC的半导体装置的结构例子。

[0164] 图6A是示出可以使用图1、图4等的电路MC的半导体装置的结构例子的电路图。作为一个例子，图6A所示的半导体装置SDV1包括电路WDC、电路XDC、电路BDC、电路WWC、单元阵列CA、电路ACTV。此外，作为一个例子，电路ACTV包括电路ADR[1]至电路ADR[n]。

[0165] 作为一个例子，单元阵列CA包括图1、图4等中的多个电路MC。具体而言，在单元阵列CA中，多个电路MC配置为m行n列(m为1以上的整数，n为1以上的整数)的阵列状。作为一个例子，在图6A的单元阵列CA中作为电路MC摘要示出电路MC[1,1]、电路MC[m,1]、电路MC[1,n]及电路MC[m,n]。

[0166] 电路MC[1,1]与布线WDL[1]、布线WWL[1]、布线WWLB[1]、布线XDL[1]、布线BDL[1]、布线OL[1]电连接。此外，电路MC[m,1]与布线WDL[1]、布线WWL[m]、布线WWLB[m]、布线XDL[m]、布线BDL[m]、布线OL[1]电连接。此外，电路MC[1,n]与布线WDL[n]、布线WWL[1]、布线WWLB[1]、布线XDL[1]、布线BDL[1]、布线OL[n]电连接。此外，电路MC[m,n]与布线WDL[n]、布线WWL[m]、布线WWLB[m]、布线XDL[m]、布线BDL[m]、布线OL[n]电连接。

[0167] 就是说，当i为1以上且m以下的整数且j为1以上且n以下的整数时，可以说电路MC[i,j](在图6A未图示)与布线WDL[j]、布线WWL[i]、布线WWLB[i]、布线XDL[i]、布线BDL[i]、布线OL[j]电连接。

[0168] 此外，布线WDL[j]相当于图1等所示的布线WDL。此外，布线WWL[i]相当于图1等所示的布线WWL，此外，布线WWLB[i]相当于图1等所示的布线WWLB。此外，布线XDL[i]相当于图1等所示的布线XDL，布线BDL[i]相当于图1等所示的布线BDL。此外，布线OL[j]相当于图1等所示的布线OL。

[0169] 电路WDC与布线WDL[1]至布线WDL[n]电连接。此外，电路XDC与布线XDL[1]至布线XDL[m]电连接。此外，电路BDC与布线BDL[1]至布线BDL[m]电连接。此外，电路WWC与布线WWL[1]至布线WWL[m]及布线WWLB[1]至布线WWLB[m]电连接。此外，电路ADR[1]至电路ADR[n]分别与布线OL[1]至布线OL[n]、布线ZL[1]至布线ZL[n]电连接。

[0170] 作为一个例子，电路WDC被用作如下驱动电路，其对布线WDL[1]至布线WDL[n]的各自供应对应于用来写入到单元阵列CA中的电路MC的第一数据的电压。

[0171] 作为一个例子，电路XDC被用作如下驱动电路，其对布线XDL[1]至布线XDL[m]的各自供应对应于用来输入到单元阵列CA中的电路MC的第二数据的电压。

[0172] 作为一个例子，电路BDC被用作如下驱动电路，其对布线BDL[1]至布线BDL[m]的各自供应用来调整用来输入到单元阵列CA中的电路MC的布线OL中流过的对应运算结果的电流量的电压。

[0173] 作为一个例子,电路WWC具有当对单元阵列CA中的电路MC写入第一数据时布线WWL[1]至布线WWL[m]的各自选择成为第一数据的写入对象的电路MC的功能。具体而言,例如,当对位于单元阵列CA的第i行的电路MC[i,1]至电路MC[i,n]写入第一数据时,电路WWC通过对布线WWL[i]供应高电平电位且对布线WWL[i]以外的布线WWL[1]至布线WWL[m]供应低电平电位,可以选择电路MC[i,1]至电路MC[i,n]作为第一数据的写入对象。

[0174] 此外,作为一个例子,电路WWC具有对布线WWLB[i]传送对布线WWL[i]传送的选择信号的反转信号的功能。此外,电路WWC也可以对布线WWLB[i]传送与该反转信号不同的信号。例如,电路WWC也可以具有在布线WWL[i]被输入低电平电位时也对布线WWLB[i]输入低电平电位的功能。由此,图1等的电路MC可以同时进行保持第一数据及停止对晶体管M2的第一端子供应高电源电位。

[0175] 另外,着眼于存储单元阵列CA的第j列,作为电流量,在布线OL中流过电路MC[1,j]至电路MC[m,j]各自输出的I_Y之和。在此,电路MC[i,j]的晶体管M2中流过的电流为$I_W[i,j]$,电路MC[i,j]的晶体管M6中流过的电流为$I_X[i]$,从布线OL流到电路MC[i,j]的电流量为$I_Y[i,j]$。而且,电路MC[1,j]至电路MC[m,j]各自的晶体管M9中流过的电流量为I_B时,布线OL中流过的电流量$I_S[j]$可以表示为如下算式。

[0176] [算式7]

$$I_S[j]=\sum_{i=1}^{m}I_Y[i,j]=\frac{1}{I_B}\sum_{i=1}^{m}I_W[i,j]I_X[i] \qquad \cdots(1.7)$$

[0177] 作为一个例子,电路ADR[j]例如具有输出对应于从布线OL[j]流过电路ADR[j]的电流量的电压的功能、使用该电压根据预定的函数系统进行运算的功能、将该函数运算的结果输出到布线ZL[j]的功能。

[0178] 例如,电路ADR[j]可以具有图7A所示的电路ADR的结构。图7A的电路ADR作为一个例子包括晶体管M11、晶体管M12、电容C2及电路ACF。另外,电路ACF包括作为输入端子的端子IT及作为输出端子的端子OT。

[0179] 作为晶体管M11及晶体管M12,例如可以使用可用作晶体管M1、晶体管M3、晶体管M4等的晶体管。另外,晶体管M11或晶体管M12的栅极、源极及漏极合适地被输入与晶体管M1、晶体管M3、晶体管M4等的工作范围同样的电压。

[0180] 在图7A中,晶体管M11的第一端子与布线VDE电连接,晶体管M11的栅极与布线RSL电连接。另外,晶体管M12的第一端子与布线OL电连接,晶体管M12的第二端子与晶体管M11的第二端子、电容C2的第一端子及电路ACF的端子IT电连接,晶体管M12的栅极与布线TXL电连接。另外,电容C2的第二端子与布线CVL电连接。另外,电路ACF的端子OT与布线ZL电连接。

[0181] 当作为图6A的半导体装置SDV1的电路ADR[j](未图示)使用图7A的电路ADR时,图7A所示的布线OL相当于图6A的布线OL[j](未图示),图7A所示的布线ZL相当于图6A的布线ZL[j](未图示)。

[0182] 由于布线CVL作为一个例子保持电容C2的第一端子-第二端子间的电位,所以被用作向电容C2的第二端子供应恒定电压的布线。该恒电压例如可以为低电平电位、接地电位、负电位等。另外,布线CVL所供应的电位例如也可以与布线VGE所供应的电位相等。或者,布线CVL也可以为与布线VGE相同的布线。

[0183] 布线RSL作为一个例子在电路ADR中被用作发送向电容C2的第一端子写入初始化用电位的复位信号的布线。具体而言，例如，当向电容C2的第一端子供应初始化用电位时，首先，向布线TXL输入低电平电位来使晶体管M12处于关闭状态，向布线RSL输入高电平电位来使晶体管M11处于开启状态，从布线VDE向电容C2的第一端子供应高电源电位(初始化用电位)。然后，向布线RSL输入低电平电位来使晶体管M11处于关闭状态，由此电容C2的第一端子的电位的初始化结束。

[0184] 布线TXL作为一个例子被用作发送读出流过布线OL的电流的信号的布线。具体而言，例如，当读出流过布线OL的电流时，如上所述，将电容C2的第一端子的电位设定为初始化用电位，然后，向布线TXL输入高电平电位来使晶体管M12处于开启状态，使电容C2的第一端子与布线OL间处于导通状态。在此，当作为图6A的电路ADR[j](未图示)使用图7A的电路ADR时，从电路ADR[j]向布线OL[j](未图示)流过算式(1.7)所记载的电流量$I_S[j]$的电流。此时，当仅在一定期间向布线TXL供应高电平电位时，电容C2的第一端子所保持的电荷量取决于向布线TXL供应高电平电位的时间与电流量$I_S[j]$之积。因此，根据电容C2的电容值和该电荷量决定电容C2的第一端子的电位。

[0185] 电路ACF作为一个例子具有向电路ACF的输出端子输出对应于电路ACF的输入端子的电位的电压，即对应于电容C2的第一端子的电位的电压的功能。注意，将在后面说明电路ACF的具体电路结构。

[0186] 注意，可用于图6A的半导体装置SDV1的电路ADR不局限于图7A的结构。可用于半导体装置SDV1的电路ADR例如也可以具有图7B所示的电路ADR的结构。图7B的电路ADR具有晶体管M11及晶体管M12的每一个的背栅极与布线BGLA电连接的结构。尤其是，在图7B的结构中，通过向布线BGLA供应低电平电位、接地电位、负电位等可以提高晶体管M11和晶体管M12的每一个的阈值电压，由此可以减少晶体管M11和晶体管M12的每一个的关态电流。另外，与图2A的布线BGL的说明同样地，供应到布线BGLA的电位也可以不是固定电位而是可变电位。

[0187] 另外，作为可用于半导体装置SDV1的电路ADR，例如，如图7C所示，也可以将图7B的电路ADR中的晶体管M11及晶体管M12的每一个置换为多栅极结构的晶体管。在图7C中，例如，晶体管M11包括晶体管M11a及晶体管M11b，晶体管M12包括晶体管M12a及晶体管M12b。

[0188] 晶体管M11a及晶体管M11b的每一个的栅极相当于图7B中的晶体管M11的栅极，晶体管M11a及晶体管M11b的每一个的背栅极相当于图7B中的晶体管M11的背栅极，晶体管M11a的第一端子相当于图7B中的晶体管M11的第一端子。晶体管M11a的第二端子与晶体管M11b的第一端子电连接。另外，晶体管M11b的第二端子相当于图7B中的晶体管M11的第二端子。

[0189] 关于晶体管M12a及晶体管M12b，参照上述晶体管M11a及晶体管M11b的连接结构的说明。

[0190] 如图7C所示，通过作为电路ADR所包括的晶体管M11及晶体管M12的每一个使用多栅极结构的晶体管，可以进一步减少在晶体管M11及晶体管M12的每一个处于关闭状态时流过的泄漏电流。另外，可以防止在晶体管M11或晶体管M12处于开启状态时其晶体管所引起的漏致势垒降低。

[0191] 作为电路ACF的具体结构，例如可以使用图8A所示的源极跟随电路。图8A所示的电路ACF包括晶体管M13及晶体管M14。

[0192] 作为晶体管M13及晶体管M14，例如可以使用可用作晶体管M2、晶体管M5至晶体管M10等的晶体管。另外，晶体管M13或晶体管M14的栅极、源极及漏极合适地被输入与晶体管M2、晶体管M5至晶体管M10等的工作范围同样的电压。

[0193] 晶体管M13的栅极与电路ACF的端子IT电连接，晶体管M13的第一端子与布线VDE2电连接，晶体管M13的第二端子与晶体管M14的第一端子及端子OT电连接。另外，晶体管M14的第二端子与布线VGE2连接，晶体管M14的栅极与布线BIL电连接。

[0194] 布线VDE2作为一个例子被用作供应恒定电压的布线。该恒电压可以为高电源电位等。注意，布线VDE2所供应的高电源电位可以与布线VDE所供应的高电源电位相等。或者，布线VDE2所供应的高电源电位也可以与布线VDE所供应的高电源电位不同。

[0195] 布线VGE2作为一个例子被用作供应恒定电压的布线。该恒定电压可以为低电源电位等。注意，布线VGE2所供应的高电源电位可以与布线VGE所供应的低电源电位相等。或者，布线VGE2所供应的低电源电位也可以与布线VGE2所供应的低电源电位不同。

[0196] 布线BIL作为一个例子被用作供应向晶体管M14的栅极输入的恒定电压的布线。

[0197] 通过作为图7A至图7C的电路ACF使用图8A的源极跟随电路，电路ACF可以从端子OT输出与输入到电路ACF的端子IT的电位大致相等的电位。

[0198] 另外，作为图7A至图7C的电路ACF的具体结构，例如可以使用图8B所示的源极接地电路。图8B所示的电路ACF作为一个例子包括晶体管M15及负载LE。

[0199] 作为负载LE，例如可以使用电阻、二极管、晶体管等。

[0200] 作为晶体管M15，例如可以使用可用作晶体管M2、晶体管M5至晶体管M10等的晶体管。另外，晶体管M15的栅极、源极及漏极合适地被输入与晶体管M2、晶体管M5至晶体管M10等的工作范围同样的电压。

[0201] 晶体管M15的栅极与电路ACF的端子IT电连接，晶体管M15的第一端子与负载LE的第一端子及电路ACF的端子OT电连接，晶体管M15的第二端子与布线VGE2电连接。另外，负载LE的第二端子与布线VDE2电连接。

[0202] 关于布线VDE2及布线VGE2，参照图8A的电路ACF的布线VDE2及布线VGE2的说明。

[0203] 通过作为图7A至图7C的电路ACF使用图8B的源极接地电路，电路ACF可以从端子OT输出与输入到电路ACF的端子IT的电位对应的电位。例如，在电流量$I_S[j]$较大时，电容C2的第一端子的电位从初始化用电位大幅度地下降，因此流过晶体管M15的第一端子-第二端子的电流变小，从端子OT输出的电压变高(接近布线VDE2所供应的电压)。另一方面，在电流量$I_S[j]$较小时，电容C2的第一端子的电位从初始化用电位小幅度地下降，因此流过晶体管M15的第一端子-第二端子的电流变大，从端子OT输出的电压变低(接近布线VGE2所供应的电压)。

[0204] 另外，作为图7A至图7C的电路ACF的具体结构，例如可以使用数字电路。作为该数字电路，例如可以使用图8C所示的缓冲电路。图8C所示的电路ACF作为一个例子包括反相电路INV1及反相电路INV2。

[0205] 反相电路INV1的输入端子与电路ACF的端子IT电连接，反相电路INV1的输出端子与反相电路INV2的输入端子电连接，反相电路INV2的输出端子与电路ACF的端子OT电连接。

[0206] 通过作为图7A至图7C的电路ACF使用图8C的缓冲电路，电路ACF可以根据输入到电路ACF的端子IT的电位从端子OT输出高电平电位和低电平电位中的一个。例如，在电流量I_S

[j]较大时，电容C2的第一端子的电位从初始化用电位大幅度地下降，因此供应到反相电路INV1的输入端子的电位变小，从端子OT输出的电压变为低电平电位。另一方面，在电流量I_S[j]较小时，电容C2的第一端子的电位从初始化用电位小幅度地下降。此时，在供应到反相电路INV1的输入端子的电位不小于反相电路INV1的阈值电压的情况下，从端子OT输出的电压为高电平电位。

[0207] 另外，用于图7A至图7C的电路ACF的缓冲电路的结构不局限于图8C的结构。作为用于图7A至图7C的电路ACF的缓冲电路的结构，例如也可以采用图8D所示的结构。图8D所示的电路ACF包括NAND电路ND及反相电路INV3。

[0208] NAND电路ND的第一输入端子与电路ACF的端子IT电连接，NAND电路ND的第二输入端子与布线PI电连接，NAND电路ND的输出端子与反相电路INV3的输入端子电连接，反相电路INV3的输出端子与电路ACF的端子OT电连接。

[0209] 与图8C所示的电路ACF同样地，图8D的电路ACF在向布线PI输入低电平电位时根据输入到电路ACF的端子IT的电位从端子OT输出高电平电位和低电平电位中的一个。就是说，与图8C所示的电路ACF同样地，图8D的电路ACF通过向布线PI输入信号(脉冲电压等)来被用作缓冲电路。

[0210] 注意，在图8D的电路ACF中，也可以使用NOR电路代替NAND电路ND。在NOR电路的第一输入端子与端子IT电连接、NOR电路的第二输入端子与布线PI电连接、NOR电路的输出端子与反相电路INV3的输入端子电连接的情况下，当向布线PI输入高电平电位时，与图8C所示的电路ACF同样地被用作缓冲电路。

[0211] 注意，在图8A至图8D等所示的电路ACF中，流在电路MC[1,1]至电路MC[m,n]所包括的晶体管M9的第一端子-第二端子间的电流量I_B可以被处理为由电路ACF进行的运算的变数、常数等。具体而言，例如，在图8A及图8B的电路ACF中，在向电路ACF的端子IT输入算式(1.7)的电流I_Y时，$1/I_B$可以被看作电路ACF对$\Sigma I_W \times I_X$进行乘法运算时的常数。注意，该常数例如可以为使$\Sigma I_W \times I_X$归一化来得到0以上1以下的范围时的系数。另外，例如，在图8C及图8D的电路ACF中，在向电路ACF的端子IT输入算式(1.7)的电流I_Y时，$1/I_B$可以被看作使由电路ACF进行的激活函数的阈值变化的变数。具体而言，例如，随着$1/I_B$变小而I_Y也变小，因此可以相对地提高该阈值。另外，例如，随着$1/I_B$变大而I_Y也变大，因此可以相对地降低该阈值。

[0212] 注意，作为图6A的半导体装置SDV1的运算，例如可以进行神经网络的积和运算及激活函数的运算。尤其是，作为神经网络的激活函数的运算电路，可以使用图8B的源极接地电路、图8C或图8D的缓冲电路。

[0213] <半导体装置的结构例子2>

接着，说明与图6A所示的半导体装置SDV1不同的可以采用图1等的电路MC的半导体装置。

[0214] 图6B所示的半导体装置SDV2是图6A的半导体装置SDV1的变形例子，其包括电路BGC。电路BGC与布线BGL[1]至布线BGL[m]电连接。

[0215] 电路BGC作为一个例子具有向布线BGL[1]至布线BGL[m]的每一个输入所希望的恒定电压的功能。就是说，电路BGC被用作向电路MC[1,1]至电路MC[m,n]所包括的各晶体管的背栅极供应恒定电压的电路。

[0216] 因此,可用于图6B的半导体装置SDV2的电路MC[1,1]至电路MC[m,n]的电路例如可以为上述图2A、图2B、图4等的电路MC。

[0217] <半导体装置的叠层结构的例子>

接着,说明半导体装置SDV1、半导体装置SDV2等具有叠层结构时的结构例子。

[0218] 作为一个例子,图9A示出衬底BSE的上方设置有结构体SIL和结构体OSL的结构。就是说,半导体装置SDV1、半导体装置SDV2等例如可以通过在一个衬底BSE上形成电路元件等来制造。

[0219] 作为衬底BSE例如可以使用各种衬底。作为各种衬底,例如可以举出半导体衬底(例如,单晶衬底或硅衬底)、SOI衬底、玻璃衬底、石英衬底、塑料衬底、蓝宝石玻璃衬底、金属衬底、不锈钢衬底、包含不锈钢箔的衬底、钨衬底、包含钨箔的衬底、柔性衬底、贴合薄膜、包含纤维状材料的纸或基材薄膜等。作为玻璃衬底的一个例子,可以举出钡硼硅酸盐玻璃、铝硼硅酸盐玻璃或钠钙玻璃等。作为柔性衬底、贴合薄膜、基材薄膜等,可以举出如下例子。例如可以举出以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)、聚四氟乙烯(PTFE)为代表的塑料。或者,作为一个例子,可以举出丙烯酸树脂等合成树脂等。或者,作为一个例子,可以举出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。或者,作为例子,可以举出聚酰胺、聚酰亚胺、芳族聚酰胺、环氧树脂、无机蒸镀薄膜、纸类等。尤其是,通过使用半导体衬底、单晶衬底或SOI衬底等制造晶体管,能够制造特性、尺寸或形状等的偏差小、电流能力高且尺寸小的晶体管。当利用上述晶体管构成电路时,可以实现电路的低功耗化或电路的高集成化。

[0220] 另外,作为衬底BSE也可以使用柔性衬底,在该柔性衬底上直接形成晶体管。或者,也可以在衬底与晶体管之间设置剥离层。剥离层可以在如下情况下使用,即在剥离层上制造半导体装置的一部分或全部,然后将其从衬底分离并转置到其他衬底上的情况。此时,也可以将晶体管转置到耐热性低的衬底、柔性衬底等上。另外,作为上述剥离层,例如可以使用钨膜与氧化硅膜的无机膜的叠层结构、衬底上形成有聚酰亚胺等有机树脂膜的结构等。

[0221] 另外,也可以使用一个衬底形成晶体管,然后将该晶体管转置到另一个衬底上,还将晶体管配置在另一个衬底(例如,衬底BSE)上。作为转置晶体管的衬底,除了上述可以设置晶体管的衬底之外,还可以使用纸衬底、玻璃纸衬底、芳族聚酰胺薄膜衬底、聚酰亚胺薄膜衬底、石材衬底、木材衬底、布衬底(包括天然纤维(丝、棉、麻)、合成纤维(尼龙、聚氨酯、聚酯)或再生纤维(醋酯纤维、铜氨纤维、人造纤维、再生聚酯)等)、皮革衬底、橡胶衬底等。通过使用上述衬底,可以实现特性良好的晶体管、功耗低的晶体管、不易损坏的装置、耐热性的提高、轻量化或薄型化。

[0222] 另外,可以在相同的衬底(例如,玻璃衬底、塑料衬底、单晶衬底或SOI衬底等)上形成为了实现指定的功能所需要的所有电路。如此,可以通过减少部件数量降低成本,或者可以通过减少与电路部件之间的连接数量提高可靠性。

[0223] 注意,也可以将为了实现指定的功能所需要的所有电路不形成在相同的衬底上。换言之,也可以将为了实现指定的功能所需要的电路的一部分形成在某个衬底上,并且将为了实现指定的功能所需要的电路的另一部分形成在另一衬底上。例如,也可以将为了实现指定的功能所需要的电路的一部分形成在玻璃衬底上,并且将为了实现指定的功能所需要的电路的另一部分形成在单晶衬底(或SOI衬底)上。并且,也可以通过COG(Chip On

Glass:玻璃覆晶封装)将形成为了实现指定的功能所需要的电路的另一部分的单晶衬底(也称为IC芯片)连接到玻璃衬底,从而在玻璃衬底上配置该IC芯片。或者,也可以使用TAB(Tape Automated Bonding:卷带自动结合)、COF(Chip On Film:薄膜上芯片)、SMT(Surface Mount Technology:表面贴装技术)或印刷电路板等使该IC芯片和玻璃衬底连接。如此,通过使电路的一部分与像素部形成在同一衬底上,可以通过减少部件数量降低成本,或者可以通过减少与电路部件之间的连接数量提高可靠性。尤其是,在很多情况下,驱动电压高的部分的电路或者驱动频率高的部分的电路等的功耗高。于是,将该电路与像素部形成在不同的衬底(例如,单晶衬底)上,以构成IC芯片。通过使用该IC芯片,可以防止功耗的增高。

[0224] 例如,通过作为衬底BSE使用半导体衬底,可以在衬底BSE的顶面形成在沟道形成区域中包含该半导体的晶体管。注意,在本实施方式中,在衬底BSE的顶面形成的该晶体管包括在结构体SIL中。换言之,可以说结构体SIL包括具有该晶体管的电路。

[0225] 例如,通过作为衬底BSE使用包含硅的半导体衬底,可以使结构体SIL所包括的晶体管为Si晶体管。因此,可以说结构体SIL包括具有Si晶体管的电路。

[0226] 另外,在图9A的叠层结构的例子中,结构体SIL的上方设置有结构体OSL。结构体OSL作为一个例子包括具有OS晶体管的电路。OS晶体管例如可以设置在平坦化的绝缘体、导电体等的上方,在实施方式5中进行详细的说明。就是说,通过将图9A的叠层结构的例子应用于本发明的一个方式的半导体装置,在该半导体装置中可以使用在沟道形成区域中的半导体材料不同的两个以上的晶体管。

[0227] 例如,通过作为衬底BSE使用包含硅的半导体衬底,作为结构体OSL所包括的晶体管使用OS晶体管,将图9A的叠层结构的例子应用于上述半导体装置SDV1、半导体装置SDV2等,在该半导体装置所包括的电路等中可以使用OS晶体管、Si晶体管。

[0228] 具体而言,结构体OSL例如可以包括电路WDC、电路XDC、电路BDC、电路WWC、电路MC、电路ACTV等且这些电路可以包括OS晶体管,并且,结构体SIL例如可以包括向这些电路供应电压的电压源等且该电压源可以包括Si晶体管。另外,结构体OSL例如可以包括选自电路WDC、电路XDC、电路BDC、电路WWC、电路MC、电路ACTV等中的电路且被选择的电路可以包括OS晶体管,并且,结构体SIL例如可以包括不被选择的其余的电路,该其余的电路可以包括Si晶体管。

[0229] 另外,结构体OSL例如可以包括电路WDC、电路XDC、电路BDC、电路WWC、电路MC、电路ACTV等且这些电路可以包括OS晶体管,并且,结构体SIL例如可以包括数字运算电路等且数字运算电路可以包括Si晶体管。通过具有这种半导体装置,该半导体装置例如可以将由结构体OSL进行运算的结果发送到结构体SIL的数字运算电路并进行利用该结果的数字运算。例如,在由该半导体装置进行神经网络的运算的情况下,可以由结构体OSL进行神经网络的第一层的运算且由结构体SIL所包括的数字运算电路等进行神经网络的第二层之后的运算。

[0230] 另外,作为半导体装置SDV1、半导体装置SDV2等具有叠层结构时的结构例子,也可以采用图9B所示的叠层结构。图9B的叠层结构与图9A的叠层结构的不同之处在于:结构体SIL的上方设置有结构体OSL1,结构体OSL1的上方设置有结构体OSL2。与图9A的结构体OSL同样地,结构体OSL1及结构体OSL2的每一个可以包括具有OS晶体管的电路。就是说,可以在

包括OS晶体管的结构体的上方层叠其他包括OS晶体管的结构体。另外，虽然图9B示出在结构体SIL的上方设置结构体OSL1及结构体OSL2这两个结构体的叠层结构，但是在结构体SIL的上方设置的包括OS晶体管的结构体的个数也可以为三个以上。在电路规模较大时，通过层叠多个包括OS晶体管的结构体，可以缩小形成电路的衬底BSE的面积。

[0231] 另外，当作为衬底BSE使用半导体衬底、绝缘体衬底等时，半导体装置SDV1、半导体装置SDV2等可以具有图9C所示的将结构体OSL设置在衬底BSE的上方的结构。就是说，也可以在衬底BSE上设置包括OS晶体管的结构体。换言之，也可以在衬底BSE上制造包括OS晶体管的电路。

[0232] 另外，也可以在图9A至图9C的上方设置传感器。图9D作为一个例子示出在图9A的结构体OSL的上方设置包括传感器的结构体PDL的叠层结构。结构体PDL所包括的传感器例如可以对来自外部的信息进行感测并将其转换为电流或电压。作为该传感器，例如可以使用光传感器(光电二极管)、压力传感器、陀螺仪传感器、加速度传感器、听觉传感器、温度传感器、湿度传感器、味觉传感器、嗅觉传感器等。在此，通过具有将由传感器得到的信息作为第二数据(电流或电压)输入到半导体装置SDV1、半导体装置SDV2等的结构，可以基于由传感器得到的信息进行运算。尤其是，在由半导体装置SDV1、半导体装置SDV2等进行神经网络的运算时，可以将由传感器得到的信息作为输入数据进行该输入数据的推导。注意，在实施方式3中，说明作为结构体PDL所包括的传感器使用光传感器(光电二极管)时的半导体装置。

[0233] 如上所述，通过使用图1至图5中的任何电路MC，可以将对应于第一数据的电压写入到电路MC。另外，可以由电路MC将对应于第一数据与第二数据之积的电流I_Y输出到布线OL。另外，通过使用图6A的半导体装置SDV1或图6B的半导体装置SDV2，可以进行多个第一数据与多个第二数据的积和运算。

[0234] 注意，本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0235] (实施方式2)

虽然在实施方式1中说明的各电路MC具有通过向电容C2的第一端子写入对应于第一数据的电压来在晶体管M2中生成电流I_W的结构(电压写入方式)，但是本发明的一个方式的半导体装置也可以具有通过写入对应于第一数据的电流来在晶体管M2中生成电流I_W的结构(电流写入方式)。在本实施方式中，说明通过写入电流来生成电流I_W的电路MC。

[0236] 图10所示的电路MC是图1的电路MC的变形例子，其不包括晶体管M3及电容CG而包括晶体管M3A及晶体管M2A。

[0237] 作为晶体管M3A，例如可以使用可用作图1的电路MC所包括的晶体管M3的晶体管。另外，晶体管M3A的栅极、源极及漏极合适地被输入与晶体管M3的工作范围同样的电压。

[0238] 另外，作为晶体管M2A，例如可以使用可用作图1的电路MC所包括的晶体管M2的晶体管。另外，晶体管M2A的栅极、源极及漏极合适地被输入与晶体管M2的工作范围同样的电压。另外，晶体管M2A的尺寸优选与图10所示的晶体管M2的尺寸相等。尤其是，通过使晶体管M2与晶体管M2A的尺寸大致相等，晶体管M2和晶体管M2A通过电连接来被用作电流镜电路，因此可以使流在晶体管M2的第一端子-第二端子间的电流量大致相等于流在晶体管M2A的第一端子-第二端子间的电流量。

[0239] 晶体管M3A的第一端子与晶体管M2A的第一端子及布线WDIL电连接，晶体管M3A的

第二端子与晶体管M2的栅极、晶体管M2A的栅极及电容C1的第一端子电连接，晶体管M3A的栅极与布线WWL电连接。另外，晶体管M2A的第二端子与布线VGE电连接。

[0240] 注意，关于上述以外的图10的电路MC的连接结构，参照图1的电路MC的说明。

[0241] 布线WDIL作为一个例子被用作使对应于第一数据的电流流过电路MC的写入数据线(电流线)。尤其是，在包括晶体管M2及晶体管M2A的电路被用作电流镜电路时，来自布线WDIL的对应于第一数据的电流量与流在晶体管M2的第一端子-第二端子间的电流量可以大致相等。

[0242] 接着，说明向电路MC写入对应于第一数据的电流时的工作例子。注意，在本工作例子中，将布线VDE所供应的电位设定为高电源电位，将布线VGE所供应的电位设定为接地电位(V_{GND})。

[0243] 首先，布线WWL被输入高电平电位。由此，晶体管M3A和晶体管M4的每一个的栅极被输入该高电平电位，所以晶体管M3A和晶体管M4处于开启状态。

[0244] 此时，因为通过晶体管M4使布线VGE与电容C1的第二端子(晶体管M2的第二端子)间处于导通状态，所以电容C1的第二端子(晶体管M2的第二端子)的电位成为V_{GND}。

[0245] 另外，此时，通过晶体管M3A使布线WDIL与电容C1的第一端子(晶体管M2的栅极等)间处于导通状态。因此，晶体管M2A具有二极管连接结构。

[0246] 在此，通过从布线WDIL向电路MC流过对应于第一数据的电流量(以下，称为I_W)的电流，晶体管M2A的第一端子及栅极的电位成为对应于该电流的电位(以下，称为V_W)。此时，电容C1的第一端子被写入电压V_W。另外，电流量I_W的电流流在晶体管M2A的第一端子-第二端子间。

[0247] 另外，布线WWLB被输入向布线WWL发送的信号的反转信号。具体而言，布线WWLB被输入低电平电位。因此，晶体管M1的栅极被施加该低电平电位。由此，晶体管M1成为关闭状态。

[0248] 在电容C1的第一端子(晶体管M2的栅极)被写入电压V_W之后，布线WWL被输入低电平电位。由此，晶体管M3A和晶体管M4的每一个的栅极被输入该低电平电位，所以晶体管M3A和晶体管M4处于关闭状态。另外，由此，电容C1的第一端子处于浮动状态，所以保持电容C1的第一端子-第二端子间的电压V_W-V_{GND}。就是说，晶体管M2的栅极-第二端子间的电压与晶体管M2A的栅极-第二端子间的电压大致相等。

[0249] 另外，因为布线WWLB被输入向布线WWL发送的信号的反转信号，所以此时布线WWLB被输入高电平电位。因此，晶体管M1的栅极被施加该高电平电位，晶体管M1成为开启状态。由此，布线VDE与晶体管M2的第一端子成为导通状态，布线VDE的高电源电位被供应到晶体管M2的第一端子。

[0250] 另外，因为晶体管M2的栅极-第二端子间的电压V_W-V_{GND}与晶体管M2A的栅极-第二端子间的电压大致相等，所以此时在晶体管M2的尺寸与晶体管M2A的尺寸相等的情况下，流在晶体管M2的第一端子-第二端子间的电流量与流在晶体管M2A的第一端子-第二端子间的电流量I_W大致相等。

[0251] 可以根据上述工作向电路MC作为对应于第一数据的电流写入电流量I_W。

[0252] 另外，与图4的电路MC同样地，也可以作为图10的电路MC所包括的晶体管使用多栅极结构的晶体管。图11所示的电路MC示出将图10的电路MC所包括的晶体管M2、晶体管M2A、

晶体管M3A、晶体管M4至晶体管M10置换为多栅极结构的晶体管的结构例子。具体而言，晶体管M2包括晶体管M2a和晶体管M2b，晶体管M2A包括晶体管M2Aa和晶体管M2Ab，晶体管M3A包括晶体管M3Aa和晶体管M3Ab，晶体管M4包括晶体管M4a和晶体管M4b，晶体管M5包括晶体管M5a和晶体管M5b，晶体管M6包括晶体管M6a和晶体管M6b，晶体管M7包括晶体管M7a和晶体管M7b，晶体管M8包括晶体管M8a和晶体管M8b，晶体管M9包括晶体管M9a和晶体管M9b，晶体管M10包括晶体管M10a和晶体管M10b。如图11所示，通过将晶体管M2、晶体管M2A、晶体管M3A、晶体管M4至晶体管M10置换为多栅极结构的晶体管，可以防止在各晶体管处于开启状态时发生的漏致势垒降低并且/或者减少关闭状态下的晶体管的泄漏电流。

[0253] 注意，图11示出晶体管M2、晶体管M2A、晶体管M3A、晶体管M4至晶体管M10的每一个作为多栅极结构的晶体管，但是本发明的一个方式的半导体装置的电路MC所包括的晶体管M2、晶体管M2A、晶体管M3A、晶体管M4至晶体管M10中的至少一个也可以为多栅极结构的晶体管。另外，图11示出没有将电路MC所包括的晶体管M1置换为多栅极结构的晶体管的结构，但是也可以将晶体管M1置换为多栅极结构的晶体管(未图示)。

[0254] <半导体装置的结构例子1>

接着，说明能够使用图10或图11所示的电路MC的半导体装置的结构例子。

[0255] 图12是示出可以使用图10或图11中的电路MC的半导体装置的结构例子的电路图。注意，图12所示的半导体装置SDV3是图6A所示的半导体装置SDV1的变形例子，其包括电路WDIC代替电路WDC。另外，在图12的半导体装置SDV3中延伸设置布线WDIL[1]至布线WDIL[n]代替布线WDL[1]至布线WDL[n]。

[0256] 另外，因为图12的半导体装置SDV3是图6A的半导体装置SDV1的变形例子，所以关于半导体装置SDV3的结构中的与半导体装置SDV1相同的部分，参照半导体装置SDV1的说明。

[0257] 电路WDIC具有向布线WDIL[1]至布线WDIL[n]的每一个供应与第一数据对应之量的电流的功能。例如，电路WDIC与布线WDIL[1]至布线WDIL[n]的每一个电连接。

[0258] 接着，说明电路WDIC的具体结构例子。图13A是示出电路WDIC的一个例子的方框图。在图13A中，为了示出电路WDIC与其周围电路的电连接还示出布线WDIL。

[0259] 电路WDIC例如包括相当于布线WDIL的个数的电路WDICa。也就是说，电路WDIC包括n个电路WDICa。因此，图13A所示的布线WDIL可以是图12的半导体装置SDV3中的布线WDIL[1]至布线WDIL[n]中的任一个。因此，布线WDIL[1]至布线WDIL[n]分别与不同电路WDICa电连接。

[0260] 作为一个例子，图13A所示的电路WDICa包括开关SWW。开关SWW的第一端子与布线WDIL电连接，开关SWW的第二端子与布线VINIL1电连接。布线VINIL1被用作对布线WDIL供应用于初始化的电位的布线，用于初始化的电位可以为负电位、接地电位(GND)、低电平电位、高电平电位等。此外，该用于初始化的电位例如可以为第一数据是“0”时的电位。

[0261] 作为开关SWW，例如可以使用模拟开关、晶体管等电开关等。当作为开关SWW例如使用晶体管时，该晶体管可以为具有与晶体管M1、晶体管M3、晶体管M4同样的结构的晶体管。另外，除了电开关以外，也可以使用机械开关。

[0262] 另外，作为一个例子，图13A的电路WDICa包括多个电流源CS。具体而言，电路WDICa具有将K位(2^K值)(K是1以上的整数)的第一数据输出为电流量的功能，此时，电路WDICa包

括2^K-1个电流源CS。电路WDICa包括一个将相当于第一位的值的信息输出为电流的电流源CS、两个将相当于第二位的值的信息输出为电流的电流源CS、以及2^{K-1}个将相当于第K位的值的信息输出为电流的电流源CS。

[0263] 在图13A中，各电流源CS包括端子T1及端子T2。各电流源CS的端子T1与布线WDIL电连接。另外，一个电流源CS的端子T2与布线DW[1]电连接，两个电流源CS的端子T2都与布线DW[2]电连接，2^{K-1}个电流源CS的端子T2都与布线DW[K]电连接。

[0264] 电路WDICa中的多个电流源CS具有将同一恒定电流I_{Wut}从各自的端子T1输出的功能。注意，实际上在半导体装置SDV3的制造阶段中，有时因各电流源CS中的晶体管的电特性的波动产生误差。因此，多个电流源CS的端子T1各自输出的恒定电流I_{Wut}的误差优选在10％以内，更优选在5％以内，进一步优选在1％以内。在本实施方式中，假定从电路WDICa中的多个电流源CS的端子T1输出的恒定电流I_{Wut}之间没有误差而进行说明。

[0265] 布线DW[1]至布线DW[K]被用作发送用来从与其电连接的电流源CS输出恒定电流I_{Wut}的控制信号的布线。具体而言，例如，在布线DW[1]被供应高电平电位时，电连接到布线DW[1]的电流源CS作为恒定电流使I_{Wut}流过布线WDIL，在布线DW[1]被供应低电平电位时，电连接到布线DW[1]的电流源CS没有输出I_{Wut}。另外，例如，在布线DW[2]被供应高电平电位时，电连接到布线DW[2]的两个电流源CS使总共$2I_{Wut}$的恒定电流流过布线WDIL，在布线DW[2]被供应低电平电位时，电连接到布线DW[2]的电流源CS没有输出总共$2I_{Wut}$的恒定电流。另外，例如，在布线DW[K]被供应高电平电位时，电连接到布线DW[K]的2^{K-1}个电流源CS使总共$2^{K-1}I_{Wut}$的恒定电流流过布线WDIL，在布线DW[K]被供应低电平电位时，电连接到布线DW[K]的电流源CS没有输出总共$2^{K-1}I_{Wut}$的恒定电流。

[0266] 电连接到布线DW[1]的一个电流源CS所供应的电流相当于第一位的值，电连接到布线DW[2]的两个电流源CS所供应的电流相当于第二位的值，电连接到布线DW[K]的K个电流源CS所供应的电流之量相当于第K位的值。在此考虑K为2时的电路WDICa。例如，在第一位的值为“1”且第二位的值为“0”时，布线DW[1]被供应高电平电位且布线DW[2]被供应低电平电位。此时，作为恒定电流，I_{Wut}从电路WDICa流到布线WDIL。另外，例如，在第一位的值为“0”且第二位的值为“1”时，布线DW[1]被供应低电平电位且布线DW[2]被供应高电平电位。此时，作为恒定电流，$2I_{Wut}$从电路WDICa流到布线WDIL。另外，例如，在第一位的值为“1”且第二位的值为“1”时，布线DW[1]及布线DW[2]被供应高电平电位。此时，作为恒定电流，$3I_{Wut}$从电路WDICa流到布线WDIL。另外，例如，在第一位的值为“0”且第二位的值为“0”时，布线DW[1]及布线DW[2]被供应低电平电位。此时，恒定电流没有从电路WDICa流到布线WDIL。

[0267] 注意，在图13A中示出K为3以上的整数的情况下的电路WDICa，在K为1的情况下，作为图13A的电路WDICa采用不设置电连接到布线DW[2]至布线DW[K]的电流源CS的结构即可。另外，当K为2的情况下，作为图13A的电路WDICa采用不设置电连接到布线DW[3](未图示)至布线DW[K]的电流源CS的结构即可。

[0268] 接着，说明电流源CS的具体结构例子。

[0269] 图14A所示的电流源CS1是可用于图13A的电路WDICa中的电流源CS的电路，电流源CS1包括晶体管Tr1及晶体管Tr2。

[0270] 晶体管Tr1的第一端子与布线VDDL电连接，晶体管Tr1的第二端子与晶体管Tr1的栅极、晶体管Tr1的背栅极、晶体管Tr2的第一端子电连接。晶体管Tr2的第二端子与端子T1

电连接，晶体管Tr2的栅极与端子T2电连接。另外，端子T2与布线DW电连接。

[0271] 布线DW是图13A的布线DW[1]至布线DW[K]中的任一个。

[0272] 布线VDDL被用作供应恒定电压的布线。该恒定电压例如可以为高电平电位。

[0273] 当将布线VDDL所供应的恒定电压设定为高电平电位时，晶体管Tr1的第一端子被输入高电平电位。另外，将晶体管Tr1的第二端子的电位设定为比该高电平电位低的电位。此时，晶体管Tr1的第一端子被用作漏极，晶体管Tr1的第二端子被用作源极。另外，晶体管Tr1的栅极和晶体管Tr1的第二端子是电连接着的，因此晶体管Tr1的栅极-源极间电压为0V。因此，当晶体管Tr1的阈值电压在适当的范围内时，亚阈值区域的电流范围的电流(漏极电流)流过晶体管Tr1的第一端子-第二端子间。

[0274] 晶体管Tr2被用作开关元件。此外，当晶体管Tr2的第一端子的电位比晶体管Tr2的第二端子的电位高时，晶体管Tr2的第一端子被用作漏极，晶体管Tr2的第二端子被用作源极。另外，晶体管Tr2的背栅极和晶体管Tr2的第二端子是电连接着的，因此背栅极-源极间电压为0V。因此，在晶体管Tr2的阈值电压在适当的范围内的情况下，在晶体管Tr2的栅极被输入高电平电位时晶体管Tr2处于开启状态，在晶体管Tr2的栅极被输入低电平电位时晶体管Tr2处于关闭状态。具体而言，当晶体管Tr2处于开启状态时，上述亚阈值区域的电流范围的电流从晶体管Tr1的第二端子流到端子T1，当晶体管Tr2处于关闭状态时，该电流不从晶体管Tr1的第二端子流到端子T1。

[0275] 注意，可用于图13A的电路WDICa中的电流源CS的电路不局限于图14A的电流源CS1。例如，电流源CS1具有电连接晶体管Tr2的背栅极和晶体管Tr2的第二端子的结构，但是也可以采用晶体管Tr2的背栅极电连接到其他布线的结构。图14B示出这样的结构例子。图14B所示的电流源CS2具有晶体管Tr2的背栅极电连接到布线VTHL的结构。在电流源CS2中，因为布线VTHL与外部电路等电连接，所以可以利用该外部电路等对布线VTHL供应规定电位来对晶体管Tr2的背栅极供应该规定电位。由此，可以改变晶体管Tr2的阈值电压。通过增高晶体管Tr2的阈值电压，可以使晶体管Tr2的关态电流变小。

[0276] 另外，图14A的电流源CS1具有电连接晶体管Tr1的背栅极和晶体管Tr1的第二端子的结构，但是例如也可以采用晶体管Tr2的背栅极和第二端子之间的电压由电容保持的结构。图14C示出这样的结构例子。图14C所示的电流源CS3除了晶体管Tr1及晶体管Tr2以外还包括晶体管Tr3、电容C6。电流源CS3的与电流源CS1不同之处在于：通过电容C6电连接晶体管Tr1的第二端子和晶体管Tr1的背栅极；以及电连接晶体管Tr1的背栅极和晶体管Tr3的第一端子。另外，电流源CS3具有晶体管Tr3的第二端子与布线VTL电连接且晶体管Tr3的栅极与布线VWL电连接的结构。在电流源CS3中，通过对布线VWL供应高电平电位而使晶体管Tr3处于开启状态，可以使布线VTL和晶体管Tr1的背栅极之间处于导通状态。此时，可以从布线VTL向晶体管Tr1的背栅极输入规定电位。并且，通过对布线VWL供应低电平电位而使晶体管Tr3变为关闭状态，可以由电容C6保持晶体管Tr1的第二端子和晶体管Tr1的背栅极之间的电压。就是说，通过决定布线VTL供应到晶体管Tr1的背栅极的电压，可以改变晶体管Tr1的阈值电压，由晶体管Tr3和电容C6可以固定晶体管Tr1的阈值电压。

[0277] 另外，例如，作为可用于图13A的电路WDICa中的电流源CS的电路也可以使用图14D所示的电流源CS4。电流源CS4具有将图14C的电流源CS3的晶体管Tr2的背栅极电连接到布线VTHL而不电连接到晶体管Tr2的第二端子的结构。就是说，与图14B的电流源CS2同样，在

电流源CS4中，根据布线VTHL所供应的电位可以改变晶体管Tr2的阈值电压。

[0278] 当在电流源CS4中大电流流过晶体管Tr1的第一端子-第二端子间时，为了使该电流从端子T1流到电流源CS4的外部，需要增高晶体管Tr2的通态电流。此时，在电流源CS4中，通过对布线VTHL供应高电平电位来降低晶体管Tr2的阈值电压且增高晶体管Tr2的通态电流，可以使流过晶体管Tr1的第一端子-第二端子间的大电流从端子T1流到电流源CS4的外部。

[0279] 通过作为图13A的电路WDICa中的电流源CS使用图14A至图14D所示的电流源CS1至电流源CS4，电路WDICa可以输出与K位的第一数据对应的电流。另外，该电流之量例如可以为晶体管M2A在亚阈值区域工作的范围内的流过第一端子-第二端子间的电流之量。

[0280] 另外，作为图13A的电路WDICa也可以使用图13B所示的电路WDICa。图13B的电路WDICa具有布线DW[1]至布线DW[K]分别连接有一个图14A的电流源CS1的结构。另外，在晶体管Tr1[1]的沟道宽度为w[1]，晶体管Tr1[2]的沟道宽度为w[2]且晶体管Tr1[K]的沟道宽度为w[K]时，各沟道宽度之比为w[1]:w[2]:w[K]＝1:2:2^{K-1}。流过在亚阈值区域中工作的晶体管的源极-漏极间的电流与沟道宽度成比例，因此与图13A的电路WDICa同样，图13B所示的电路WDICa可以输出与K位的第一数据对应的电流。

[0281] 晶体管Tr1(包括晶体管Tr1[1]至晶体管Tr2[K])、晶体管Tr2(包括晶体管Tr2[1]至晶体管Tr2[K])及晶体管Tr3例如可以使用可用于晶体管M1至晶体管M10等的晶体管。尤其是，晶体管Tr1(包括晶体管Tr1[1]至晶体管Tr1[K])、晶体管Tr2(包括晶体管Tr2[1]至晶体管Tr2[K])及晶体管Tr3优选使用OS晶体管。

[0282] 通过使用图10所示的电路MC，可以将对应于第一数据的电流写入到电路MC。另外，通过使晶体管M2与晶体管M2A的每一个的尺寸大致相等，来自布线WDIL的对应于第一数据的电流量与流在晶体管M2的第一端子-第二端子间的电流量可以大致相等。由此，可以由电路MC将对应于第一数据与第二数据之积的电流I_Y输出到布线OL。

[0283] 注意，本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0284] (实施方式3)

在本实施方式中，说明将由摄像元件拍摄的图像数据作为第二数据输入到上述实施方式所说明的电路MC的结构。

[0285] <结构例子1>

图15A是示出在本实施方式中说明的半导体装置所包括的电路MC及电路ISC的结构例子的电路图。关于图15A的电路MC，参照图1所示的电路MC的说明。另外，图15A的电路ISC是包括摄像元件的像素电路的一个例子，其包括光电二极管PD及电路PE。另外，电路PE包括晶体管M6A及晶体管M16。

[0286] 作为晶体管M6A，例如可以使用可用作图1的电路MC所包括的晶体管M6的晶体管。另外，晶体管M6A的栅极、源极及漏极合适地被输入与晶体管M6的工作范围同样的电压。另外，晶体管M6A的尺寸优选与晶体管M6的尺寸相等。尤其是，通过使晶体管M6与晶体管M6A的尺寸大致相等，晶体管M6和晶体管M6A通过电连接来被用作电流镜电路，因此可以使流在晶体管M6的第一端子-第二端子间的电流量大致相等于流在晶体管M6A的第一端子-第二端子间的电流量。

[0287] 另外，作为晶体管M16，例如可以使用可用作图1的电路MC所包括的晶体管M1、晶体

管M3、晶体管M4等的晶体管。另外，晶体管M16的栅极、源极及漏极合适地被输入与晶体管M1、晶体管M3、晶体管M4等的工作范围同样的电压。

[0288] 晶体管M6A的第一端子与晶体管M6A的栅极及晶体管M16的第一端子电连接，晶体管M6A的第二端子与布线VGE3电连接。另外，晶体管M6A的第一端子及栅极与布线XDL电连接。晶体管M16的第二端子与光电二极管PD的输入端子(阳极)电连接，光电二极管PD的输出端子(阴极)与布线VDE3电连接。另外，晶体管M16的栅极与布线IML电连接。

[0289] 布线VDE3作为一个例子被用作供应恒定电压的布线。该定恒电压例如可以为高电源电压。

[0290] 布线VGE3作为一个例子被用作供应恒定电压的布线。该恒定电压例如可以为低电源电压、接地电位等。另外，在布线VGE3和布线VGE的每一个所供应的恒定电压相等时，也可以将布线VGE3用作布线VGE。

[0291] 布线IML作为一个例子被用作发送使由光电二极管PD生成的电流流在晶体管M6A的第一端子-第二端子间的信号的布线。具体而言，例如，当使由光电二极管PD生成的电流流在晶体管M6A的第一端子-第二端子间时，向布线IML输入高电平电位来使晶体管M16处于开启状态，而使光电二极管PD的输入端子与晶体管M6A的第一端子间处于导通状态。此时，当向光电二极管PD照射光时，由光电二极管PD生成的电流流在晶体管M6A的第一端子-第二端子间。

[0292] 此时，布线VDE3所供应的恒定电压为高电源电位等。由此，在光照射到光电二极管PD时，正电流从光电二极管PD的输出端子向输入端子的方向流过。由此，在光照射到光电二极管PD时，电流从布线VDE3经过光电二极管PD的输出端子流过输入端子。

[0293] 另外，在图15A中，也可以调换光电二极管PD的输入端子和输出端子(未图示)。在此情况下，例如，光电二极管PD的输入端子(阳极)与布线VDE3(高电源电位一侧)电连接，光电二极管PD的输出端子(阴极)与布线VGE3(低电源电位一侧)电连接，由此有时可以使电路ISC进行工作。另外，在此情况下，也可以根据需要将电路ISC和电路MC所包括的晶体管中的一个以上从n沟道型晶体管改变为p沟道型晶体管。

[0294] 接着，说明由电路ISC向路MC写入对应于第二数据的电流时的工作例子。注意，本工作例子中，布线VDE及布线VDE3供应的电位为高电源电位，布线VGE及布线VGE3供应的电位为接地电位(V_{GND})。

[0295] 首先，向布线IML输入高电平电位。由此，晶体管M16的栅极被输入该高电平电位，所以晶体管M16成为开启状态。

[0296] 此时，晶体管M6A的第一端子与光电二极管PD的输入端子通过晶体管M16成为导通状态。

[0297] 在此，通过向光电二极管PD照射光，由光电二极管PD生成对应于第二数据(光的强度)的电流量(以下，称为I_X)。在电流量I_X的电流从光电二极管PD的输入端子经过晶体管M16流过晶体管M6A的第一端子时，晶体管M6A的第一端子及栅极的电位成为对应于该电流的电位(以下，称为V_X)。此时，电容C1的第一端子被写入电压V_W。另外，电流量I_W的电流流在晶体管M6A的第一端子-第二端子间。

[0298] 此时，晶体管M6的栅极-第二端子间的电压成为V_X-V_{GND}，晶体管M6A的栅极-第二端子间的电压成为V_X-V_{GND}。就是说，晶体管M6的栅极-第二端子间的电压大致与晶体管M6A的

栅极-第二端子间的电压相等。

[0299] 另外，由于晶体管M6的栅极-第二端子间的电压V_X-V_{GND}大致与晶体管M2A的栅极-第二端子间的电压相等，所以此时在晶体管M6的尺寸与晶体管M6A的尺寸相等的情况下，流在晶体管M6的第一端子-第二端子间的电流量大致与流在晶体管M6A的第一端子-第二端子间的电流量I_X相等。

[0300] 可以根据上述工作向电路MC作为对应于第二数据的电流输入电流量I_X。

[0301] 〈结构例子2〉

另外，图15A的电路ISC及电路MC具有仅在向布线IML输入高电平电位的期间(晶体管M16处于开启状态的期间)I_X的电流流在晶体管M6的第一端子-第二端子的结构，但是例如也可以具有在电路MC中设置保持晶体管M6的栅极-第二端子间的电压的电容以及使晶体管M6的栅极处于浮动状态的晶体管来保持晶体管M6的栅极的电位(V_X)的结构。

[0302] 图15B示出此时的电路ISC及电路MC的结构。图15B的电路ISC及电路MC是图15A的电路ISC及电路MC的变形例子，电路MC包括晶体管M6A、晶体管M17及电容C3。另外，图15B的电路ISC与图15A的电路ISC的不同之处是不包括晶体管M6A。

[0303] 作为晶体管M17，例如可以使用可用作图1的电路MC所包括的晶体管M1、晶体管M3、晶体管M4等的晶体管。另外，晶体管M17的栅极、源极及漏极合适地被输入与晶体管M1、晶体管M3、晶体管M4等的工作范围同样的电压。

[0304] 作为电容C3，例如可以使用在本说明书等中说明的可用作电容C1、电容CG等的电容。

[0305] 晶体管M17的第一端子与晶体管M6A的第一端子电连接，晶体管M17的第二端子与晶体管M6A的栅极及晶体管M6的栅极电连接，晶体管M17的栅极与布线XWL电连接。另外，电容C3的第一端子与晶体管M6A的栅极及晶体管M6的栅极电连接，电容C3的第二端子与布线VGE电连接。

[0306] 布线XWL作为一个例子被用作控制晶体管M17的开启状态与关闭状态的切换的布线。具体而言，例如，布线XWL被用作选择写入对应于第二数据的电流的电路MC的选择信号线。

[0307] 具体工作例子是如下：当晶体管M16处于开启状态且在光电二极管PD中生成电流时，向布线XWL输入高电平电位来使晶体管M17处于开启状态，而向电容C3的第一端子写入V_X。在向电容C3的第一端子写入V_X之后，向布线XWL输入低电平电位来使晶体管M17处于关闭状态，由此在电容C3的第一端子中可以保持V_X。因此，即便向布线IML输入低电平电位来使晶体管M16处于关闭状态，晶体管M6的栅极-第二端子间的电压也被电容C3保持，所以可以使电流流在晶体管M6的第一端子-第二端子间。

[0308] 〈结构例子3〉

另外，与图4的电路MC同样地，也可以作为图15A的电路MC及电路ISC所包括的晶体管M6及晶体管M6A使用多栅极结构的晶体管。图16所示的电路MC及电路ISC示出将图15A的电路MC所包括的晶体管M6及晶体管M6A置换为多栅极结构的晶体管的结构例子。如图16所示，通过将晶体管M6及晶体管M6A置换为多栅极结构的晶体管，可以防止在各晶体管处于开启状态时发生的漏致势垒降低并且/或者减少关闭状态下的晶体管的泄漏电流。

[0309] 注意，在图16中，例如，晶体管M6包括晶体管M6a及晶体管M6b，晶体管M6A包括晶体

管M6Aa及晶体管M6Ab。另外，晶体管M6a及晶体管M6b的每一个的栅极相当于图15A中的晶体管M6的栅极，晶体管M6a的第一端子相当于图15A中的晶体管M6的第一端子。晶体管M6a的第二端子与晶体管M6b的第一端子电连接。另外，晶体管M6b的第二端子相当于图15A中的晶体管M6的第二端子。另外，晶体管M6Aa及晶体管M6Ab的每一个的栅极相当于图15A中的晶体管M6A的栅极，晶体管M6Aa的第一端子相当于图15A中的晶体管M6A的第一端子。晶体管M6Aa的第二端子与晶体管M6Ab的第一端子电连接。另外，晶体管M6b的第二端子相当于图15A中的晶体管M6的第二端子。

[0310] 注意，虽然图16示出晶体管M6、晶体管M6A的每一个作为多栅极结构的晶体管，但是本发明的一个方式的半导体装置的晶体管M1至晶体管M10、晶体管M6A、晶体管M16中的至少一个也可以为多栅极结构的晶体管。另外，在图15B的情况下，晶体管M1至晶体管M10、晶体管M6A、晶体管M16、晶体管M17中的至少一个也可以为多栅极结构的晶体管。

[0311] <半导体装置的结构例子1>

接着，说明能够使用图15A、图16等的电路MC及电路ISC的半导体装置。

[0312] 图17示出包括图15A、图16等的电路MC及电路ISC的半导体装置的结构例子。图17所示的半导体装置SDV4作为一个例子包括电路PDA、电路PEA及单元阵列CA。

[0313] 在图17的半导体装置SDV4中，电路PEA作为一个例子位于单元阵列CA的上方。另外，电路PDA作为一个例子位于电路PEA的上方。注意，在电路PEA所包括的晶体管与单元阵列CA所包括的晶体管具有同样结构的情况下，电路PEA与单元阵列CA可以在相同层内利用同一工序同时制造(未图示)。

[0314] 电路PDA包括光电二极管PD[1]至光电二极管PD[m](在此，m为1以上的整数)。另外，在电路PDA中，光电二极管PD[1]至光电二极管PD[m]被配置为m/h行h列(h为1以上的整数且为m的约数)的矩阵状。光电二极管PD[1]至光电二极管PD[m]中的任一个相当于图15A、图16所示的电路ISC所包括的光电二极管PD。

[0315] 电路PEA包括电路PE[1]至电路PE[m]。另外，在电路PEA中，电路PE[1]至电路PE[m]与电路PDA同样地被配置为m/h行h列的矩阵状。另外，电路PE[1]至电路PE[m]中的任一个相当于图15A、图16所示的电路ISC所包括的电路PE。

[0316] 单元阵列CA包括电路MC[1]至电路MC[m]。另外，在单元阵列CA中，电路MC[1]至电路MC[m]被配置为m行1列的矩阵状。另外，电路MC[1]至电路MC[m]中的任一个相当于图15A、图16所示的电路MC。

[0317] 注意，虽然在图17中未图示，但是在单元阵列CA的周围也可以与图6A的半导体装置SDV1、图6B的半导体装置SDV2或图12的半导体装置SDV3同样地设置有电路WDC、电路BDC、电路WWC、电路ACTV等。

[0318] 在图17中，光电二极管PD[1]通过电路PE[1]及布线XDL[1]与电路MC[1]电连接。另外，光电二极管PD[h]通过电路PE[h]及布线XDL[h]与电路MC[h]电连接。光电二极管PD[m-h+1]通过电路PE[m-h+1]及布线XDL[m-h+1]与电路MC[m-h+1]电连接。另外，光电二极管PD[m]通过电路PE[m]及布线XDL[m]与电路MC[m]电连接。

[0319] 通过构成图17所示的半导体装置SDV4，可以由电路PDA所包括的光电二极管PD[1]至光电二极管PD[m]拍摄图像数据作为多个第二数据。另外，预先向单元阵列CA的电路MC[1]至电路MC[m]写入多个第一数据，然后将多个第二数据的每一个发送到电路MC[1]至电

路MC[m],由此可以执行第一数据与第二数据的积和运算。另外,也可以使用该积和运算的结果进行函数的运算。

[0320] 尤其是,通过作为写入到电路MC[1]至电路MC[m]的每一个的多个第一数据使用用于图像处理等的滤波值,上述的积和运算可以被看作对由光电二极管PD[1]至光电二极管PD[m]拍摄的图像数据进行的卷积处理。另外,在进行卷积处理的情况下,作为上述函数的运算,例如可以使用ReLU函数等。

[0321] 换言之,在图17的半导体装置SDV4的单元阵列CA中可以进行卷积神经网络(CNN)的第一层的运算。另外,通过使半导体装置SDV4具有图9D等的叠层结构且在结构体SIL中设置数字运算电路,例如可以使用该数字运算电路等进行卷积神经网络的第二层之后的运算。

[0322] 另外,虽然图17的半导体装置SDV4具有由将光电二极管PD配置为m/h行h列的矩阵状的电路PDA取得图像数据的结构,但是本发明的一个方式不局限于此。例如,如图18所示,本发明的一个方式也可以具有以电路PDA位于上方的方式将多个半导体装置SDV4设置为矩阵状的结构。图18所示的半导体装置的顶部设置有摄像区域IMA,摄像区域IMA包括多个电路PDA。换言之,摄像区域IMA所包括的多个光电二极管PD被多个电路PDA分割。如图18所示,通过将摄像区域IMA所包括的多个光电二极管PD分割成多个电路PDA,由整个摄像区域IMA取得的图像数据被多个电路PDA分割来取得。可以由各半导体装置SDV4进行被分割的图像数据的每一个与第一数据(权重系数、滤波值等)的积和运算。如此,本发明的一个方式也可以如图18的半导体装置那样具有将摄像区域分割为多个区域并使用在各区域中取得的图像数据进行积和运算的结构。

[0323] <半导体装置的结构例子2>

接着,说明能够使用图15B等的电路MC及电路ISC的半导体装置。

[0324] 图19所示的半导体装置SDV5是使用图15B的电路MC及电路ISC的电路结构例子。注意,图19的半导体装置SDV5与图17的半导体装置SDV4的不同之处在于:在单元阵列CA中可以设置多个列的电路MC;以及包括电路XWC。

[0325] 另外,图20示出图19的半导体装置SDV5的单元阵列CA的包括外围电路的电路结构的一个例子。就是说,图19的半导体装置SDV5的单元阵列CA除了电路XWC之外还包括电路WDC、电路WWC、电路BDC及电路ACTV。注意,关于电路WDC、电路WWC、电路BDC及电路ACTV,参照图6A的半导体装置SDV1的电路结构的说明。

[0326] 注意,如图19所示,电路PDA及电路PEA设置在单元阵列CA的上方,但是在图20中,为了简化起见,电路PDA及电路PEA位于单元阵列CA的同一平面上。

[0327] 如图19所示,作为单元阵列CA所包括的多个电路MC,例如可以使用配置为m行n列(在此,n为1以上的整数)的矩阵状的电路MC[1,1]至电路MC[m,n]。另外,位于单元阵列CA的第j列(在此,j为1以上且n以下的整数)的电路MC[1,j]至电路MC[m,j]与布线XWL[j]电连接。具体而言,例如,位于单元阵列CA的第一列的电路MC[1,1]至电路MC[m,1]与布线XWL[1]电连接,并且,位于单元阵列CA的第n列的电路MC[1,n]至电路MC[m,n]与布线XWL[n]电连接。

[0328] 另外,布线XWL[1]至布线XWL[n]与电路XWC电连接。作为一个例子,电路XWC具有当对单元阵列CA中的电路MC写入第二数据时布线XWL[1]至布线XWL[m]的各自选择成为第二

数据的写入对象的电路MC的功能。具体而言，例如，当对位于单元阵列CA的第j列的电路MC[1,j]至电路MC[m,j]写入第二数据时，电路WWC通过对布线XWL[j]供应高电平电位且对布线XWL[j]以外的布线XWL[1]至布线XWL[m]供应低电平电位，可以选择电路MC[1,j]至电路MC[m,j]作为第二数据的写入对象。

[0329] 如上所述，图15B所示的电路MC及电路ISC与图15A所示的电路MC及电路ISC的不同之处是能够保持对应于作为第二数据输入的电流的电压(V_X)。因此，当向光电二极管PD[1]至光电二极管PD[m]的每一个照射光而在光电二极管PD[1]至光电二极管PD[m]的每一个中生成电流时，使晶体管M16处于开启状态且由电路XWC按单元阵列CA的每个列选择电路MC，由此可以向各列的多个电路MC写入对应于作为第二数据输入的电流的电压。通过上述工作，单元阵列CA的各列的多个电路MC各自被写入同一第二数据。

[0330] 另外，考虑在半导体装置SDV5中进行与半导体装置SDV4同样的图像处理的情况。因为半导体装置SDV5的单元阵列CA中配置有n列的电路MC，所以可以将n个滤波器分配于半导体装置SDV5的单元阵列CA的各列。另外，一个滤波器具有m个滤波值。因此，配置在单元阵列CA的某一列上的m个电路MC分别可以保持m个滤波值作为第一数据。

[0331] 如上所述，通过将n个滤波器所包括的滤波值保持在单元阵列CA的电路MC中，可以按每个滤波器对滤波器所包括的滤波值(第一数据)与图像数据(第二数据)之积进行运算。例如，当配置于单元阵列CA的第一列的电路MC[1,1]至电路MC[m,1]保持第一滤波器所包括的m个滤波值且配置于单元阵列CA的第n列的电路MC[1,n]至电路MC[m,n]保持第n滤波器所包括的m个滤波值时，半导体装置SDV5在单元阵列CA的第一列上进行第一滤波器所包括的m个滤波值与图像数据的积和运算并将对应于其运算结果的电流输入到电路ADR[1]。另外，在单元阵列CA的第n列上进行第n滤波器所包括的m个滤波值与图像数据的积和运算并将对应于其运算结果的电流输入到电路ADR[n]。由此，由多个滤波器对输入到单元阵列CA的图像数据进行卷积处理并将其结果从电路ACTV输出到布线ZL[1]至布线ZL[n]。

[0332] 如上所述，通过使用图15A、图15B、图16等所示的电路MC及电路ISC构成图17的半导体装置SDV4、图19的半导体装置SDV5等，可以将由光电二极管PD取得的图像数据用作第二数据并进行该第二数据与第一数据(权重系数、滤波值等)的积和运算。

[0333] 注意，本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0334] (实施方式4)

在本实施方式中，说明分层神经网络。通过使用上述实施方式所示的半导体装置，可以进行分层神经网络的运算。

[0335] <分层神经网络>

分层神经网络例如包括一个输入层、一个或多个中间(隐藏层)及一个输出层，由共三个以上的层构成。图21A所示的分层神经网络100是其一个例子，神经网络100包括第一层至第R层(在此，R可以为4以上的整数)。尤其是，第一层相当于输入层，第R层相当于输出层，其他层相当于中间层。注意，在图21A中，作为中间层示出第(k-1)层、第k层(在此，k是3以上且R-1以下的整数)，而省略其他中间层。

[0336] 神经网络100的各层包括一个或多个神经元。在图21A中，第一层包括神经元$N_1^{(1)}$至神经元$N_p^{(1)}$(在此，p是1以上的整数)，第(k-1)层包括神经元$N_1^{(k-1)}$至神经元$N_m^{(k-1)}$(在此，m是1以上的整数)，第k层包括神经元$N_1^{(k)}$至神经元$N_n^{(k)}$(在此，n是1以上的整数)，第R层包括

神经元$N_1^{(R)}$至神经元$N_q^{(R)}$(在此,q是1以上的整数)。

[0337] 此外,图21A除了神经元$N_1^{(1)}$、神经元$N_p^{(1)}$、神经元$N_1^{(k-1)}$、神经元$N_m^{(k-1)}$、神经元$N_1^{(k)}$、神经元$N_n^{(k)}$、神经元$N_1^{(R)}$、神经元$N_q^{(R)}$以外,还示出第(k-1)层的神经元$N_i^{(k-1)}$(在此,i是1以上且m以下的整数)、第k层的神经元$N_j^{(k)}$(在此,j是1以上且n以下的整数)。

[0338] 接着,说明从前一层的神经元向下一层的神经元的信号的传送以及向每个神经元输入或输出到每个神经元的信号。在此,着眼于第k层的神经元$N_j^{(k)}$。

[0339] 图21B示出第k层的神经元$N_j^{(k)}$、输入到神经元$N_j^{(k)}$的信号以及从神经元$N_j^{(k)}$输出的信号。

[0340] 具体而言,第(k-1)层的神经元$N_1^{(k-1)}$至神经元$N_m^{(k-1)}$的每一个的输出信号的$z_1^{(k-1)}$至$z_m^{(k-1)}$向神经元$N_j^{(k)}$输出。然后,神经元$N_j^{(k)}$根据$z_1^{(k-1)}$至$z_m^{(k-1)}$生成$z_j^{(k)}$而将$z_j^{(k)}$作为输出信号向第(k+1)层(未图示)的各神经元输出。

[0341] 从前一层的神经元向后一层的神经元输入的信号的传送强度根据使它们连接的神经突触的结合强度(以下称为权重系数)决定。在神经网络100中,从前一层的神经元输出的信号在乘以对应的权重系数之后输入到后一层的神经元。在i设定为1以上且m以下的整数且第(k-1)层的神经元$N_i^{(k-1)}$与第k层的神经元$N_j^{(k)}$之间的神经突触的权重系数设定为$w_i^{(k-1)}{}_j^{(k)}$时,输入到第k层的神经元$N_j^{(k)}$的信号可以以算式(4.1)表示。

[0342] [算式8]

$$w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} \qquad \cdots(4.1)$$

[0343] 换言之,在从第(k-1)层的神经元$N_1^{(k-1)}$至神经元$N_m^{(k-1)}$的每一个向第k层的神经元$N_j^{(k)}$传送信号时,作为该信号的$z_1^{(k-1)}$至$z_m^{(k-1)}$被乘以对应于各信号的权重系数($w_1^{(k-1)}{}_j^{(k)}$至$w_m^{(k-1)}{}_j^{(k)}$)。然后,对第k层的神经元$N_j^{(k)}$输入$w_1^{(k-1)}{}_j^{(k)} \cdot z_1^{(k-1)}$至$w_m^{(k-1)}{}_j^{(k)} \cdot z_m^{(k-1)}$。此时,对第k层的神经元$N_j^{(k)}$输入的信号的总和$u_j^{(k)}$成为算式(4.2)。

[0344] [算式9]

$$u_j^{(k)} = \sum_{i=1}^{m} w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} \qquad \cdots(4.2)$$

[0345] 也可以对权重系数$w_1^{(k-1)}{}_j^{(k)}$至$w_m^{(k-1)}{}_j^{(k)}$及神经元的信号$z_1^{(k-1)}$至$z_m^{(k-1)}$的积和的结果作为偏差供应偏置。在偏置为b时,算式(4.2)可以改写为如下算式。

[0346] [算式10]

$$u_j^{(k)} = \sum_{i=1}^{m} w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} + b \qquad \cdots(4.3)$$

[0347] 神经元$N_j^{(k)}$根据$u_j^{(k)}$生成输出信号$z_j^{(k)}$。在此,以以下算式定义来自神经元$N_j^{(k)}$的输出信号$z_j^{(k)}$。

[0348] [算式11]

$$z_j^{(k)} = f(u_j^{(k)}) \qquad \cdots(4.4)$$

[0349] 函数$f(u_j^{(k)})$是分层神经网络中的激活函数,可以使用sigmoid函数、tanh函数、softmax函数、ReLU函数(斜坡函数)、阈值函数等。既可以在所有神经元中使用相同的激活

函数，也可以在神经元中使用不同的激活函数。此外，神经元的激活函数也可以在各层中相同或不同。

[0350] 各层的神经元所输出的信号、权重系数w或偏置b既可以为模拟值又可以为数字值。作为数字值，例如既可以为2值又可以为3值以上的位数。此外，也可以为更大的位数。作为一个例子，在信号为模拟值时，作为激活函数，例如使用线性斜坡函数、sigmoid函数等即可。在信号为数字值的2值时，例如，使用使输出为-1或1、或者0或1的阶梯函数即可。此外，各层的神经元所输出的信号也可以为3值以上，在此情况下，例如，作为输出3值的激活函数，使用使输出为-1、0或1的阶梯函数，或者0、1或2的阶梯函数等即可。此外，例如，作为输出5值的激活函数，使用-2、-1、0、1或2的阶梯函数等。通过作为各层的神经元所输出的信号、权重系数w和偏置b中的至少一个使用数字值，可以减少电路规模、降低功耗或提高运算速度。此外，通过作为各层的神经元所输出的信号、权重系数w和偏置b中的至少一个使用模拟值，可以提高运算的精度。

[0351] 神经网络100通过对第一层(输入层)输入输入信号，在从第一层(输入层)到最后层(输出层)的各层中，依次进行根据从前一层输入的信号使用算式(4.1)、算式(4.2)(或算式(4.3))、算式(4.4)生成输出信号而将该输出信号输出到后一层的工作。从最后层(输出层)输出的信号相当于神经网络100所计算的结果。

[0352] 在将实施方式1所示的半导体装置SDV1应用于上述隐藏层的情况下，通过以权重系数$w_{s[k-1]}{}^{(k-1)}{}_{s[k]}{}^{(k)}$(s[k-1]为1以上且m以下的整数，s[k]为1以上且n以下的整数)为第一数据来将对应于第一数据的电压保持在电路MC的电容C1的第一端子中，以来自第(k-1)层的神经元$N_{s[k-1]}{}^{(k-1)}$的输出信号$z_{s[k-1]}{}^{(k-1)}$为第二数据来使对应于第二数据的电流量从电路XDC流过布线XDL，可以从流过电路ADR的电流量I_Y求出第一数据与第二数据之积和。加上，通过利用电路ADR中的电路ACF根据该积和的值求出激活函数的值，可以将该激活函数的值作为第k层的神经元$N_{s[k]}{}^{(k)}$的输出信号$z_{s[k]}{}^{(k)}$。

[0353] 此外，在将实施方式1所示的半导体装置SDV1应用于上述输出层的情况下，通过以权重系数$w_{s[R-1]}{}^{(R-1)}{}_{s[R]}{}^{(R)}$(s[R-1]为1以上的整数，s[R]为1以上且q以下的整数)为第一数据来将对应于第一数据的电压保持在电路MC的电容C1的第一端子中，以来自第(R-1)层的神经元$N_{s[R-1]}{}^{(R-1)}$的输出信号$z_{s[R-1]}{}^{(R-1)}$为第二数据来使对应于第二数据的电流量从电路XDC流过布线XDL，可以从流过电路ADR的电流量I_Y求出第一数据与第二数据之积和。加上，通过利用电路ADR中的电路ACF根据该积和的值求出激活函数的值，可以将该激活函数的值作为第R层的神经元$N_{s[R]}{}^{(R)}$的输出信号$z_{s[R]}{}^{(R)}$。

[0354] 此外，本实施方式所示的输入层也可以起到将输入信号输出到第二层的缓冲电路的作用。

[0355] 此外，在将实施方式1所示的半导体装置SDV1应用于上述隐藏层的情况下，通过以权重系数$w_{s[k-1]}{}^{(k-1)}{}_{s[k]}{}^{(k)}$为第一数据来将对应于第一数据的电压储存在电路MC[1,1]至电路MC[m,n]中，以来自第(k-1)层的神经元$N_{s[k-1]}{}^{(k-1)}$的输出信号$z_{s[k-1]}{}^{(k-1)}$为第二数据并将对应于第二数据的电压从电路XDC输入到布线XDL[1]至布线XDL[m]，可以从输入到电路ADR的电流量$I_S[j]$计算出对应于第一数据与第二数据之积和的激活函数的值。也就是说，可以将该值作为第k层的神经元$N_{s[k]}{}^{(k)}$的输出信号$z_{s[k]}{}^{(k)}$。例如，在电路ADR输出对应于该值的电压的情况下，输入到第(k+1)层的多个神经元的第k层的神经元$N_{s[k]}{}^{(k)}$的输出信号$z_{s[k]}{}^{(k)}$可

以为该电压。也就是说，在将半导体装置SDV1应用于第(k+1)层的隐藏层的情况下，输入到半导体装置SDV1的布线XDL[1]至布线XDL[m]的第k层的神经元$N_{s[k]}^{(k)}$的输出信号$z_{s[k]}^{(k)}$不是在电路XDC中生成的而是从第k层的隐藏层的半导体装置SDV1的电路ADR输出的该电压。

[0356] 具体而言，通过使用图22所示的半导体装置，可以进行上述分层神经网络的运算。图22的半导体装置作为一个例子包括与图6A的半导体装置SDV1同样的半导体装置SDV1-1以及在图6A的半导体装置SDV1中没有设置电路XDC的半导体装置SDV1-2。注意，半导体装置SDV1-1的单元阵列CA包括电路MC[1,1]至电路MC[m,n]。另外，半导体装置SDV1-2的单元阵列CA包括电路MC[1,1]至电路MC[n,t](t为1以上的整数)。另外，半导体装置SDV1-1的布线ZL[1]至布线ZL[n]分别与半导体装置SDV1-2的布线XDL[1]至布线XDL[n]电连接。

[0357] 例如，在图22的半导体装置SDV1-1中，通过以第(k-1)层的神经元与第k层的神经元之间的权重系数为第一数据来将其保持在电路MC[1,1]至电路MC[m,n]中，并以来自第(k-1)层的神经元$N_{s[k-1]}^{(k-1)}$的输出信号$z_{s[k-1]}^{(k-1)}$为第二数据来将对应于第二数据的电压从电路XDC输入到布线XDL[1]至布线XDL[m]，可以从布线ZL[1]至布线ZL[n]分别输出第k层的神经元$N_1^{(k)}$至神经元$N_n^{(k)}$的输出信号$z_1^{(k)}$至$z_n^{(k)}$。此外，输出信号$z_1^{(k)}$至$z_n^{(k)}$的各值可以表现为从电路ADR输出的电压。

[0358] 在此，在图22的半导体装置SDV1-2中，通过以第k层的神经元与第(k+1)层的神经元之间的权重系数为第一数据来将其保持在电路MC[1,1]至电路MC[n,t]中并以输入到布线XDL[1]至布线XDL[n]的电压，即第k层的神经元$N_1^{(k)}$至神经元$N_n^{(k)}$的输出信号$z_1^{(k)}$至$z_n^{(k)}$为第二数据，可以从布线ZL[s[k+1]](在此，s[k+1]为1以上且t以下的整数)输出第(k+1)层的神经元$N_{s[k+1]}^{(k+1)}$的输出信号$z_{s[k+1]}^{(k+1)}$。

[0359] 如上所述，通过使用图22所示的运算电路构成分层神经网络的运算，可以将半导体装置SDV1-1所输出的神经元的输出信号的值(电压)直接输入到半导体装置SDV1-2，由此可以作为一个例子从第一层连续进行分层神经网络的运算。此外，不需要使用外部电路等暂时储存从半导体装置SDV1-1的布线ZL[1]至布线ZL[n]输出的输出信号，所以不需要另外设置用于暂时储存的存储装置。也就是说，通过构成图22的半导体装置，可以缩小电路面积，还可以降低用于暂时储存的数据发送所需的功耗。

[0360] 注意，本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0361] (实施方式5)

在本实施方式中，说明上述实施方式所示的半导体装置的结构例子及可以应用于上述实施方式所示的半导体装置的晶体管的结构例子。

[0362] <半导体装置的结构例子>

图23示出上述实施方式所示的半导体装置的一个例子，该半导体装置包括晶体管300、晶体管500以及电容元件600。此外，图24A是晶体管500的沟道长度方向上的截面图，图24B是晶体管500的沟道宽度方向上的截面图，并且图24C是晶体管300的沟道宽度方向上的截面图。

[0363] 晶体管500是在沟道形成区域中包含金属氧化物的晶体管(OS晶体管)。晶体管500具有关态电流低且场效应迁移率在高温下也不容易变化的特性。通过将晶体管500应用于半导体装置(例如，上述实施方式所示的半导体装置SDV1、半导体装置SDV2、半导体装置SDV3、半导体装置SDV4、半导体装置SDV5等所包括的晶体管)，可以实现性能在高温下也不

容易下降的半导体装置。尤其是，通过利用关态电流小的特性将晶体管500例如应用于晶体管M3，可以长时间保持写入到电路MC的电容C1的第一端子的电位。

[0364] 晶体管500例如设置在晶体管300上方，电容元件600例如设置在晶体管300及晶体管500上方。此外，电容元件600可以为上述实施方式所示的半导体装置SDV1、半导体装置SDV2、半导体装置SDV3、半导体装置SDV4、半导体装置SDV5等所包括的电容等。此外，根据电路结构，不一定需要设置图23所示的电容元件600。

[0365] 晶体管300设置在衬底310上，包括元件分离层312、导电体316、绝缘体315、由衬底310的一部构成的半导体区域313、用作源区域或漏区域的低电阻区域314a及低电阻区域314b。此外，晶体管300例如可以应用于上述实施方式所示的半导体装置SDV1、半导体装置SDV2、半导体装置SDV3、半导体装置SDV4、半导体装置SDV5等所包括的晶体管等。具体而言，例如可以为图8A及图8B所示的电路ACF所具有的反相电路、NAND电路等所包括的晶体管。此外，图23示出晶体管300的栅极通过电容元件600的一对电极电连接于晶体管500的源极和漏极中的一个的结构，但是可以根据半导体装置SDV1、半导体装置SDV2、半导体装置SDV3、半导体装置SDV4、半导体装置SDV5等的结构而具有如下结构：晶体管300的源极及漏极中的一个通过电容元件600的一对电极电连接于晶体管500的源极及漏极中的一个；晶体管300的源极及漏极中的一个通过电容元件600的一对电极电连接于晶体管500的栅极；晶体管300的各端子不分别电连接于晶体管500的各端子及电容元件600的各端子。

[0366] 作为衬底310，优选使用半导体衬底(例如单晶衬底或硅衬底)。

[0367] 如图24C所示，在晶体管300中，导电体316隔着绝缘体315覆盖半导体区域313的顶面及沟道宽度方向的侧面。如此，通过使晶体管300具有Fin型结构，实效上的沟道宽度增加，所以可以改善晶体管300的通态特性。此外，由于可以增加栅电极的电场的影响，所以可以改善晶体管300的关闭特性。

[0368] 此外，晶体管300可以为p沟道型晶体管或n沟道型晶体管。

[0369] 半导体区域313的沟道形成区域、其附近的区域、被用作源区域或漏区域的低电阻区域314a及低电阻区域314b等优选包含硅类半导体等半导体，更优选包含单晶硅。此外，也可以使用包含Ge(锗)、SiGe(硅锗)、GaAs(砷化镓)、GaAlAs(镓铝砷)、GaN(氮化镓)等的材料形成。可以使用对晶格施加应力，改变晶面间距而控制有效质量的硅。此外，晶体管300也可以是使用GaAs和GaAlAs等的HEMT(High Electron Mobility Transistor:高电子迁移率晶体管)。

[0370] 在低电阻区域314a及低电阻区域314b中，除了应用于半导体区域313的半导体材料之外，还包含砷、磷等赋予n型导电性的元素或硼等赋予p型导电性的元素。

[0371] 作为被用作栅电极的导电体316，可以使用包含砷、磷等赋予n型导电性的元素或硼等赋予p型导电性的元素的硅等半导体材料、金属材料、合金材料或金属氧化物材料等导电材料。

[0372] 此外，由于导电体的材料决定功函数，所以通过选择该导电体的材料，可以调整晶体管的阈值电压。具体而言，作为导电体优选使用氮化钛或氮化钽等的材料。为了兼具导电性和嵌入性，作为导电体优选使用钨或铝等的金属材料的叠层，尤其在耐热性方面上优选使用钨。

[0373] 为了使形成在衬底310上的多个晶体管彼此分离设置有元件分离层312。元件分离

层例如可以使用LOCOS(Local Oxidation of Silicon:硅局部氧化)法、STI(Shallow Trench Isolation:浅沟槽隔离)法或台面隔离法等形成。

[0374] 此外,图23所示的晶体管300只是一个例子,本发明不局限于该结构,可以根据电路结构、驱动方法等而使用合适的晶体管。例如,晶体管300也可以具有平面型结构而不具有图24C所示的FIN型结构。例如,当在半导体装置中使用只由OS晶体管构成的单极性电路时,如图25所示,作为晶体管300的结构采用与使用氧化物半导体的晶体管500相同的结构即可。关于晶体管500将在后面详细描述。此外,在本说明书等中,单极性电路是指只包括n沟道型晶体管及p沟道型晶体管中的一个极性的晶体管的电路。

[0375] 在图25中,晶体管300设置在衬底310A上,在此情况下,也可以使用与图23的半导体装置的衬底310同样的半导体衬底作为衬底310A。作为衬底310A,例如可以使用SOI衬底、玻璃衬底、石英衬底、塑料衬底、蓝宝石玻璃衬底、金属衬底、不锈钢衬底、包含不锈钢箔的衬底、钨衬底、包含钨箔的衬底、柔性衬底、贴合薄膜、包含纤维状材料的纸或基材薄膜等。作为玻璃衬底的一个例子,可以举出钡硼硅酸盐玻璃、铝硼硅酸盐玻璃或钠钙玻璃等。作为柔性衬底、贴合薄膜、基材薄膜等,可以举出如下例子。例如可以举出以聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)、聚四氟乙烯(PTFE)为代表的塑料。或者,作为一个例子,可以举出丙烯酸树脂等合成树脂等。或者,作为一个例子,可以举出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。或者,作为例子,可以举出聚酰胺、聚酰亚胺、芳族聚酰胺、环氧树脂、无机蒸镀薄膜、纸类等。

[0376] 图23所示的晶体管300从衬底310一侧依次层叠有绝缘体320、绝缘体322、绝缘体324及绝缘体326。

[0377] 作为绝缘体320、绝缘体322、绝缘体324及绝缘体326,例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝及氮化铝等。

[0378] 注意,在本说明书中,“氧氮化硅”是指在其组成中氧含量多于氮含量的材料,而“氮氧化硅”是指在其组成中氮含量多于氧含量的材料。注意,在本说明书中,“氧氮化铝”是指氧含量多于氮含量的材料,“氮氧化铝”是指氮含量多于氧含量的材料。

[0379] 绝缘体322也可以被用作使因被绝缘体320及绝缘体322覆盖的晶体管300等而产生的台阶平坦化的平坦化膜。例如,为了提高绝缘体322的顶面的平坦性,其顶面也可以通过利用化学机械抛光(CMP:Chemical Mechanical Polishing)法等的平坦化处理被平坦化。

[0380] 作为绝缘体324,优选使用能够防止氢、杂质等从衬底310或晶体管300等扩散到设置有晶体管500的区域中的具有阻挡性的膜。

[0381] 作为对氢具有阻挡性的膜的一个例子,例如可以使用通过CVD法形成的氮化硅。在此,有时氢扩散到晶体管500等具有氧化物半导体的半导体元件中,导致该半导体元件的特性下降。因此,优选在晶体管500与晶体管300之间设置抑制氢的扩散的膜。具体而言,抑制氢的扩散的膜是指氢的脱离量少的膜。

[0382] 氢的脱离量例如可以利用热脱附谱分析法(TDS)等测量。例如,在TDS分析中的膜表面温度为50℃至500℃的范围内,当换算为氢原子的脱离量时,绝缘体324的单位面积的氢的脱离量为10×10^{15}atoms/cm^{2}以下,优选为5×10^{15}atoms/cm^{2}以下,即可。

[0383] 注意,绝缘体326的介电常数优选比绝缘体324低。例如,绝缘体326的相对介电常

数优选低于4，更优选低于3。例如，绝缘体326的相对介电常数优选为绝缘体324的相对介电常数的0.7倍以下，更优选为0.6倍以下。通过将介电常数低的材料用于层间膜，可以减少产生在布线之间的寄生电容。

[0384] 此外，在绝缘体320、绝缘体322、绝缘体324及绝缘体326中嵌入与电容元件600或晶体管500连接的导电体328、导电体330等。此外，导电体328及导电体330具有插头或布线的功能。注意，有时使用同一附图标记表示具有插头或布线的功能的多个导电体。此外，在本说明书等中，布线、与布线连接的插头也可以是一个构成要素。就是说，导电体的一部分有时被用作布线，并且导电体的一部分有时被用作插头。

[0385] 作为各插头及布线(导电体328及导电体330等)的材料，可以使用金属材料、合金材料、金属氮化物材料或金属氧化物材料等导电材料的单层或叠层。优选使用兼具耐热性和导电性的钨或钼等的高熔点材料，尤其优选使用钨。或者，优选使用铝或铜等的低电阻导电材料。通过使用低电阻导电材料可以降低布线电阻。

[0386] 也可以在绝缘体326及导电体330上形成布线层。例如，在图23中，在绝缘体326及导电体330的上方依次层叠有绝缘体350、绝缘体352及绝缘体354。此外，在绝缘体350、绝缘体352及绝缘体354中形成有导电体356。导电体356具有与晶体管300连接的插头或布线的功能。此外，导电体356可以使用与导电体328及导电体330同样的材料形成。

[0387] 此外，与绝缘体324同样，绝缘体350例如优选使用对氢或水等杂质具有阻挡性的绝缘体。此外，与绝缘体326同样，绝缘体352及绝缘体354优选使用相对介电常数较低的绝缘体以降低布线间产生的寄生电容。此外，导电体356优选包含对氢或水等杂质具有阻挡性的导电体。尤其是，在对氢具有阻挡性的绝缘体350所具有的开口部中形成对氢具有阻挡性的导电体。通过采用该结构，可以使用阻挡层将晶体管300与晶体管500分离，从而可以抑制氢从晶体管300扩散到晶体管500中。

[0388] 注意，作为对氢具有阻挡性的导电体，例如优选使用氮化钽等。此外，通过层叠氮化钽和导电性高的钨，不但可以保持作为布线的导电性而且可以抑制氢从晶体管300扩散。此时，对氢具有阻挡性的氮化钽层优选与对氢具有阻挡性的绝缘体350接触。

[0389] 此外，在绝缘体354及导电体356上依次层叠有绝缘体360、绝缘体362及绝缘体364。

[0390] 与绝缘体324等同样，绝缘体360优选使用对水或氢等杂质具有阻挡性的绝缘体。因此，绝缘体360例如可以使用可用于绝缘体324等的材料。

[0391] 绝缘体362及绝缘体364被用作层间绝缘膜及平坦化膜。此外，与绝缘体324同样，绝缘体362及绝缘体364优选使用对水或氢等杂质具有阻挡性的绝缘体。因此，绝缘体362及/或绝缘体364可以使用可用于绝缘体324的材料。

[0392] 此外，绝缘体360、绝缘体362及绝缘体364各自的重叠于部分导电体356的区域中形成有开口部，并以嵌入该开口部的方式设置有导电体366。此外，导电体366还形成在绝缘体362上。导电体366例如具有与晶体管300连接的插头或布线的功能。此外，导电体366可以使用与导电体328及导电体330同样的材料设置。

[0393] 在绝缘体364及导电体366上依次层叠有绝缘体510、绝缘体512、绝缘体514及绝缘体516。作为绝缘体510、绝缘体512、绝缘体514及绝缘体516中的任意个，优选使用对氧或氢具有阻挡性的物质。

[0394] 例如，作为绝缘体510及绝缘体514，优选使用能够防止氢、杂质从衬底310或设置有晶体管300的区域等扩散到设置有晶体管500的区域中的具有阻挡性的膜。因此，绝缘体510及绝缘体514可以使用与绝缘体324同样的材料。

[0395] 作为对氢具有阻挡性的膜的一个例子，可以使用通过CVD法形成的氮化硅。在此，有时氢扩散到晶体管500等具有氧化物半导体的半导体元件中，导致该半导体元件的特性下降。因此，优选在晶体管300与晶体管500之间设置抑制氢的扩散的膜。具体而言，抑制氢的扩散的膜是指氢的脱离量少的膜。

[0396] 例如，作为对氢具有阻挡性的膜，绝缘体510及绝缘体514优选使用氧化铝、氧化铪、氧化钽等金属氧化物。

[0397] 尤其是，氧化铝的不使氧及导致晶体管的电特性变动的氢、水分等杂质透过的阻挡效果高。因此，在晶体管的制造工序中及制造工序之后，氧化铝可以防止氢、水分等杂质进入晶体管500中。此外，氧化铝可以抑制氧从构成晶体管500的氧化物释放。因此，氧化铝适合用作晶体管500的保护膜。

[0398] 例如，作为绝缘体512及绝缘体516，可以使用与绝缘体320同样的材料。此外，通过作为上述绝缘体使用介电常数较低的材料，可以减少产生在布线之间的寄生电容。例如，作为绝缘体512及绝缘体516，可以使用氧化硅膜和氧氮化硅膜等。

[0399] 此外，在绝缘体510、绝缘体512、绝缘体514及绝缘体516中例如嵌入有导电体518、构成晶体管500的导电体(例如，图24A及图24B所示的导电体503)等。此外，导电体518被用作与电容元件600或晶体管300连接的插头或布线。导电体518可以使用与导电体328及导电体330同样的材料形成。

[0400] 尤其是，与绝缘体510及绝缘体514接触的区域的导电体518优选为对氧、氢及水具有阻挡性的导电体。通过采用该结构，可以利用对氧、氢及水具有阻挡性的层将晶体管300与晶体管500分离，从而可以抑制氢从晶体管300扩散到晶体管500中。

[0401] 在绝缘体516上方设置有晶体管500。

[0402] 如图24A及图24B所示，晶体管500包括绝缘体514上的绝缘体516、以嵌入绝缘体514或绝缘体516中的方式配置的导电体503(导电体503a及导电体503b)、绝缘体516及导电体503上的绝缘体522、绝缘体522上的绝缘体524、绝缘体524上的氧化物530a、氧化物530a上的氧化物530b、氧化物530b上的导电体542a、导电体542a上的绝缘体571a、氧化物530b上的导电体542b、导电体542b上的绝缘体571b、氧化物530b上的绝缘体552、绝缘体552上的绝缘体550、绝缘体550上的绝缘体554、位于绝缘体554上并与氧化物530b的一部分重叠的导电体560(导电体560a及导电体560b)、以及配置在绝缘体522、绝缘体524、氧化物530a、氧化物530b、导电体542a、导电体542b、绝缘体571a及绝缘体571b上的绝缘体544。在此，如图24A及图24B所示，绝缘体552与绝缘体522的顶面、绝缘体524的侧面、氧化物530a的侧面、氧化物530b的侧面及顶面、导电体542的侧面、绝缘体571的侧面、绝缘体544的侧面、绝缘体580的侧面及绝缘体550的底面接触。此外，导电体560的顶面以高度与绝缘体554的最上部、绝缘体550的最上部、绝缘体552的最上部及绝缘体580的顶面的高度大致一致的方式配置。此外，绝缘体574与导电体560、绝缘体552、绝缘体550、绝缘体554和绝缘体580各自的顶面的至少一部分接触。

[0403] 在绝缘体580及绝缘体544中形成到达氧化物530b的开口。在该开口内设置绝缘体

552、绝缘体550、绝缘体554及导电体560。此外，在晶体管500的沟道长度方向上，绝缘体571a及导电体542a与绝缘体571b及导电体542b间设置有导电体560、绝缘体552、绝缘体550及绝缘体554。绝缘体554具有与导电体560的侧面接触的区域及与导电体560的底面接触的区域。

[0404] 氧化物530优选包括绝缘体524上的氧化物530a及氧化物530a上的氧化物530b。当在氧化物530b下包括氧化物530a时，可以抑制杂质从形成在氧化物530a的下方的结构物向氧化物530b扩散。

[0405] 在晶体管500中，氧化物530具有氧化物530a及氧化物530b这两层的叠层结构，但是本发明不局限于此。例如，晶体管500可以具有氧化物530b的单层结构或三层以上的叠层结构，也可以具有氧化物530a及氧化物530b分别为叠层的结构。

[0406] 导电体560被用作第一栅(也称为顶栅极)电极，导电体503被用作第二栅(也称为背栅极)电极。此外，绝缘体552、绝缘体550及绝缘体554被用作第一栅极绝缘体，绝缘体522及绝缘体524被用作第二栅极绝缘体。注意，有时将栅极绝缘体称为栅极绝缘层或栅极绝缘膜。此外，导电体542a被用作源极和漏极中的一个，导电体542b被用作源极和漏极中的另一个。此外，氧化物530的与导电体560重叠的区域的至少一部分被用作沟道形成区域。

[0407] 在此，图26A示出图24A中的沟道形成区域附近的放大图。由于氧化物530b被供应氧，沟道形成区域形成在导电体542a和导电体542b之间的区域中。因此，如图26A所示，氧化物530b包括被用作晶体管500的沟道形成区域的区域530bc及以夹着区域530bc的方式设置并被用作源区域或漏区域的区域530ba及区域530bb。区域530bc的至少一部分与导电体560重叠。换言之，区域530bc设置在导电体542a与导电体542b间的区域中。区域530ba与导电体542a重叠，区域530bb与导电体542b重叠。

[0408] 被用作沟道形成区域的区域530bc是与区域530ba及区域530bb相比其氧空位(在本说明书等中，金属氧化物中的氧空位有时被称为V_0(oxygen vacancy))少或杂质浓度低，由此载流子浓度低的高电阻区域。因此，区域530bc可以说是i型(本征)或实质上i型的区域。

[0409] 在使用氧化物半导体的晶体管中，如果氧化物半导体中的形成沟道的区域存在杂质或氧空位(V_0)，电特性则容易变动，有时降低可靠性。此外，氧空位(V_0)附近的氢形成氢进入氧空位(V_0)中的缺陷(下面有时称为V_0H)而可能会生成成为载流子的电子。因此，当在氧化物半导体中的形成沟道的区域中包含氧空位时，晶体管会成为常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此，在氧化物半导体的形成沟道的区域中，优选尽量减少杂质、氧空位及V_0H。

[0410] 此外，在被用作源区域或漏区域的区域530ba及区域530bb中，氧空位(V_0)多或者氢、氮及金属元素等的杂质浓度高。因此，区域530ba及区域530bb的载流子浓度提高，所以被低电阻化。就是说，区域530ba及区域530bb是比区域530bc载流子浓度高且电阻低的n型区域。

[0411] 在此，被用作沟道形成区域的区域530bc的载流子浓度优选为$1\times10^{18}cm^{-3}$以下，更优选低于$1\times10^{17}cm^{-3}$，进一步优选低于$1\times10^{16}cm^{-3}$，更优选的是低于$1\times10^{13}cm^{-3}$，进一步优选的是低于$1\times10^{12}cm^{-3}$。对被用作沟道形成区域的区域530bc的载流子浓度的下限值没有特别的限定，例如，可以将其设定为$1\times10^{-9}cm^{-3}$。

[0412] 此外，也可以在区域530bc与区域530ba或区域530bb之间形成载流子浓度等于或低于区域530ba及区域530bb的载流子浓度且等于或高于区域530bc的载流子浓度的区域。换言之，该区域被用作区域530bc与区域530ba或区域530bb的接合区域。该接合区域的氢浓度有时相等于或低于区域530ba及区域530bb的氢浓度且等于或高于区域530bc的氢浓度。此外，该接合区域的氧空位有时等于或少于区域530ba及区域530bb的氧空位且等于或多于区域530bc的氧空位。

[0413] 注意，图26A示出区域530ba、区域530bb及区域530bc形成在氧化物530b中的例子，但是本发明不局限于此。例如，上述各区域也可以形成在氧化物530b和氧化物530a中。

[0414] 在氧化物530中，有时难以明确地观察各区域的边界。在各区域中检测出的金属元素和氢及氮等杂质元素的浓度并不需要按每区域分阶段地变化，也可以在各区域中逐渐地变化。就是说，越接近沟道形成区域，金属元素和氢及氮等杂质元素的浓度越低即可。

[0415] 优选在晶体管500中将被用作半导体的金属氧化物(以下，有时称为氧化物半导体)用于包含沟道形成区域的氧化物530(氧化物530a、氧化物530b)。

[0416] 被用作半导体的金属氧化物优选使用其带隙为2eV以上，优选为2.5eV以上的金属氧化物。如此，通过使用带隙较宽的金属氧化物，可以减小晶体管的关态电流。

[0417] 例如，作为氧化物530优选使用包含铟、元素M及锌的In-M-Zn氧化物(元素M为选自铝、镓、钇、锡、铜、钒、铍、硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁等中的一种或多种)等的金属氧化物。此外，作为氧化物530也可以使用In-Ga氧化物、In-Zn氧化物、铟氧化物。

[0418] 在此，优选的是，用于氧化物530b的金属氧化物中的In与元素M的原子个数比大于用于氧化物530a的金属氧化物中的In与元素M的原子个数比。

[0419] 如此，通过在氧化物530b下配置氧化物530a，可以抑制杂质及过多的氧从形成在氧化物530a的下方的结构物向氧化物530b扩散。

[0420] 此外，氧化物530a及氧化物530b除了氧以外还包含共同元素(作为主要成分)，所以可以降低氧化物530a与氧化物530b的界面的缺陷态密度。因为可以降低氧化物530a与氧化物530b的界面的缺陷态密度，所以界面散射给载流子传导带来的影响小，从而可以得到高通态电流。

[0421] 氧化物530b优选具有结晶性。尤其是，优选使用CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向结晶氧化物半导体)作为氧化物530b。

[0422] CAAC-OS具有结晶性高的致密结构且是杂质、缺陷(例如，氧空位(V_O等)少的金属氧化物。尤其是，通过在形成金属氧化物后以金属氧化物不被多晶化的温度(例如，400℃以上且600℃以下)进行热处理，可以使CAAC-OS具有结晶性更高的致密结构。如此，通过进一步提高CAAC-OS的密度，可以进一步降低该CAAC-OS中的杂质或氧的扩散。

[0423] 另一方面，在CAAC-OS中不容易观察明确的晶界，因此不容易发生起因于晶界的电子迁移率的下降。因此，包含CAAC-OS的金属氧化物的物理性质稳定。因此，具有CAAC-OS的金属氧化物具有耐热性且可靠性良好。

[0424] 在使用氧化物半导体的晶体管中，如果在氧化物半导体的形成沟道的区域中存在杂质或氧空位，电特性则容易变动，有时降低可靠性。此外，氧空位附近的氢形成氢进入氧空位中的缺陷(下面有时称为V_OH)而可能会产生成为载流子的电子。因此，当在氧化物半导

体的形成沟道的区域中包含氧空位时，晶体管会具有常开启特性(即使不对栅电极施加电压也存在沟道而在晶体管中电流流过的特性)。由此，在氧化物半导体的形成沟道的区域中，优选尽量减少杂质、氧空位及V_0H。换言之，优选的是，氧化物半导体中的形成沟道的区域的载流子浓度降低且被i型化(本征化)或实质上被i型化。

[0425] 相对于此，通过在氧化物半导体附近设置包含通过加热脱离的氧(以下，有时称为过剩氧)的绝缘体而进行热处理，可以从该绝缘体向氧化物半导体供应氧而减少氧空位及V_0H。注意，在对源区域或漏区域供应过多的氧时，有可能引起晶体管500的通态电流下降或者场效应迁移率的下降。并且，在供应到源区域或漏区域的氧在衬底面内有不均匀时，包括晶体管的半导体装置特性发生不均匀。

[0426] 因此，优选的是，在氧化物半导体中，被用作沟道形成区域的区域530bc的载流子浓度得到降低且被i型化或实质上被i型化。另一方面，优选的是，被用作源区域或漏区域的区域530ba及区域530bb的载流子浓度高且被n型化。换言之，优选减少氧化物半导体的区域530bc的氧空位及V_0H且区域530ba及区域530bb不被供应过多的氧。

[0427] 于是，本实施方式以在氧化物530b上设置导电体542a及导电体542b的状态在含氧气氛下进行微波处理来减少区域530bc的氧空位及V_0H。在此，微波处理例如是指使用包括利用微波生成高密度等离子体的电源的装置的处理。

[0428] 通过在含氧气氛下进行微波处理，可以使用微波或RF等高频使氧气体等离子体化而使该氧等离子体作用。此时，也可以将微波或RF等高频照射到区域530bc。通过等离子体、微波等的作用，可以使区域530bc的V_0H分开。可以将氢(H)从区域530bc去除而由氧填补氧空位(V_0)。换言之，在区域530bc中发生“$V_0H \rightarrow H+V_0$”的反应，可以降低区域530bc的氢浓度。由此，可以减少区域530bc中的氧空位及V_0H而降低载流子浓度。

[0429] 此外，当在含氧气氛下进行微波处理时，微波、RF等高频、氧等离子体等被导电体542a及导电体542b遮蔽而不作用于区域530ba及区域530bb。再者，可以通过覆盖氧化物530b及导电体542的绝缘体571及绝缘体580降低氧等离子体的作用。由此，在进行微波处理时在区域530ba及区域530bb中不发生V_0H的减少以及过多的氧的供应，因此可以防止载流子浓度的降低。

[0430] 此外，优选在形成成为绝缘体552的绝缘膜之后或者在形成成为绝缘体550的绝缘膜之后以含氧气氛进行微波处理。如此，通过经由绝缘体552或绝缘体550以含氧气氛进行微波处理，可以对区域530bc高效地注入氧。此外，通过以与导电体542的侧面及区域530bc的表面接触的方式配置绝缘体552，可以抑制区域530bc被注入不必要的氧，因此可以抑制导电体542的侧面的氧化。此外，可以抑制在形成成为绝缘体550的绝缘膜时导电体542的侧面被氧化。

[0431] 此外，作为注入到区域530bc中的氧，有氧原子、氧分子、氧自由基(也称为O自由基，包含不成对电子的原子、分子或离子)等各种方式。注入到区域530bc中的氧可以为上述方式中的任一个或多个，尤其优选为氧自由基。此外，由于可以提高绝缘体552及绝缘体550的膜品质，晶体管500的可靠性得到提高。

[0432] 如上所述，可以在氧化物半导体的区域530bc中选择性地去除氧空位及V_0H而使区域530bc成为i型或实质上i型。并且，可以抑制对被用作源区域或漏区域的区域530ba及区域530bb供应过多的氧而保持n型。由此，可以抑制晶体管500的电特性变动而抑制在衬底面

内晶体管500的电特性不均匀。

[0433] 通过采用上述结构，可以提供一种晶体管特性不均匀小的半导体装置。此外，可以提供一种可靠性良好的半导体装置。此外，可以提供一种具有良好的电特性的半导体装置。

[0434] 此外，如图24B所示，在从晶体管500的沟道宽度的截面看时，也可以在氧化物530b的侧面与氧化物530b的顶面之间具有弯曲面。就是说，该侧面的端部和该顶面的端部也可以弯曲(以下，也称为圆形)。

[0435] 上述弯曲面的曲率半径优选大于0nm且小于与导电体542重叠的区域的氧化物530b的厚度或者小于不具有上述弯曲面的区域的一半长度。具体而言，上述弯曲面的曲率半径大于0nm且为20nm以下，优选为1nm以上且15nm以下，更优选为2nm以上且10nm以下。通过采用上述形状，可以提高绝缘体552、绝缘体550、绝缘体554及导电体560的氧化物530b的覆盖性。

[0436] 氧化物530优选具有化学组成互不相同的多个氧化物层的叠层结构。具体而言，用于氧化物530a的金属氧化物中的相对于主要成分的金属元素的元素M的原子个数比优选大于用于氧化物530b的金属氧化物中的相对于主要成分的金属元素的元素M的原子个数比。此外，用于氧化物530a的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物530b的金属氧化物中的In与元素M的原子个数比。此外，用于氧化物530b的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物530a的金属氧化物中的In与元素M的原子个数比。

[0437] 此外，氧化物530b优选为具有CAAC-OS等的结晶性的氧化物。CAAC-OS等的具有结晶性的氧化物具有杂质及缺陷(氧空位等)少的结晶性高且致密的结构。因此，可以抑制源电极或漏电极从氧化物530b抽出氧。因此，即使进行热处理也可以减少氧从氧化物530b被抽出，所以晶体管500对制造工序中的高温度(所谓热积存:thermal budget)也很稳定。

[0438] 在此，在氧化物530a与氧化物530b的接合部中，导带底平缓地变化。换言之，也可以将上述情况表示为氧化物530a与氧化物530b的接合部的导带底连续地变化或者连续地接合。为此，优选降低形成在氧化物530a与氧化物530b的界面的混合层的缺陷态密度。

[0439] 具体而言，通过使氧化物530a与氧化物530b除了包含氧之外还包含共同元素作为主要成分，可以形成缺陷态密度低的混合层。例如，在氧化物530b为In-M-Zn氧化物的情况下，作为氧化物530a也可以使用In-M-Zn氧化物、M-Zn氧化物、元素M的氧化物、In-Zn氧化物、铟氧化物等。

[0440] 具体而言，作为氧化物530a使用In:M:Zn＝1:3:4[原子个数比]或其附近的组成或者In:M:Zn＝1:1:0.5[原子个数比]或其附近的组成的金属氧化物，即可。此外，作为氧化物530b，使用In:M:Zn＝1:1:1[原子个数比]或其附近的组成、In:M:Zn＝4:2:3[原子个数比]或其附近的组成的金属氧化物，即可。注意，附近的组成包括所希望的原子个数比的±30％的范围。此外，作为元素M优选使用镓。

[0441] 此外，在通过溅射法形成金属氧化物时，上述原子个数比不局限于所形成的金属氧化物的原子个数比，而也可以是用于金属氧化物的形成的溅射靶材的原子个数比。

[0442] 此外，如图24A等所示，由于以与氧化物530的顶面及侧面接触的方式设置由氧化铝等形成的绝缘体552，氧化物530所包含的铟有时分布在氧化物530和绝缘体552的界面及其附近。因此，氧化物530的表面附近具有接近铟氧化物的原子个数比或者接近In-Zn氧化

物的原子个数比。在如此氧化物530，尤其是氧化物530b的表面附近的铟的原子个数比较大时，可以提高晶体管500的场效应迁移率。

[0443] 通过使氧化物530a及氧化物530b具有上述结构，可以降低氧化物530a与氧化物530b的界面的缺陷态密度。因此，界面散射对载流子传导带来的影响减少，从而晶体管500可以得到高通态电流及高频特性。

[0444] 绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576、绝缘体581中的至少一个优选被用作抑制水、氢等杂质从衬底一侧或晶体管500的上方扩散到晶体管500的阻挡绝缘膜。因此，绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576、绝缘体581中的至少一个优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的绝缘材料。此外，优选使用具有抑制氧(例如，氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的绝缘材料。

[0445] 此外，在本说明书中，阻挡绝缘膜是指具有阻挡性的绝缘膜。在本说明书中，阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者，是指俘获并固定所对应的物质(也称为吸杂)的功能。

[0446] 作为绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581，优选使用具有抑制水、氢等杂质及氧的扩散的功能的绝缘体，例如可以使用氧化铝、氧化镁、氧化铪、氧化镓、铟镓锌氧化物、氮化硅或氮氧化硅等。例如，作为绝缘体512、绝缘体544及绝缘体576，优选使用氢阻挡性更高的氮化硅等。此外，例如，作为绝缘体514、绝缘体571、绝缘体574及绝缘体581，优选使用俘获并固定氢的性能高的氧化铝或氧化镁等。由此，可以抑制水、氢等杂质经过绝缘体512及绝缘体514从衬底一侧扩散到晶体管500一侧。或者，可以抑制水、氢等杂质从配置在绝缘体581的外方的层间绝缘膜等扩散到晶体管500一侧。或者，可以抑制包含在绝缘体524等中的氧经过绝缘体512及绝缘体514扩散到衬底一侧。或者，可以抑制含在绝缘体580等中的氧经过绝缘体574等向晶体管500的上方扩散。如此，优选采用由具有抑制水、氢等杂质及氧的扩散的功能的绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581围绕晶体管500的结构。

[0447] 在此，作为绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581，优选使用具有非晶结构的氧化物。例如，优选使用AlO_x(x是大于0的任意数)或MgO_y(y是大于0的任意数)等金属氧化物。上述具有非晶结构的金属氧化物有时具有如下性质：氧原子具有悬空键而由该悬空键俘获或固定氢。通过将上述具有非晶结构的金属氧化物作为晶体管500的构成要素使用或者设置在晶体管500的周围，可以俘获或固定含在晶体管500中的氢或存在于晶体管500的周围的氢。尤其是，优选俘获或固定含在晶体管500中的沟道形成区域的氢。通过将具有非晶结构的金属氧化物作为晶体管500的构成要素使用或者设置在晶体管500的周围，可以制造具有良好特性的可靠性高的晶体管500及半导体装置。

[0448] 此外，绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581优选具有非晶结构，但是也可以在其一部分形成多晶结构的区域。此外，绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581也可以具有层叠有非晶结构的层与多晶结构的层的多层结构。例如，也可以具有在非晶结构的层上层叠

有多晶结构的层的叠层结构。

[0449] 绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581的成膜例如可以利用溅射法。溅射法不需要作为沉积气体使用包含氢的分子，所以可以降低绝缘体512、绝缘体514、绝缘体544、绝缘体571、绝缘体574、绝缘体576及绝缘体581的氢浓度。作为成膜方法，除了溅射法以外还可以适当地使用化学气相沉积(CVD:Chemical Vapor Deposition)法、分子束外延(MBE:Molecular Beam Epitaxy)法、脉冲激光沉积(PLD:Pulsed Laser Deposition)法、原子层沉积法(ALD:Atomic Layer Deposition)法等。

[0450] 此外，有时优选降低绝缘体512、绝缘体544及绝缘体576的电阻率。例如，通过使绝缘体512、绝缘体544及绝缘体576的电阻率约为$1\times10^{13}\Omega$cm，在半导体装置制造工序的利用等离子体等的处理中，有时绝缘体512、绝缘体544及绝缘体576可以缓和导电体503、导电体542、导电体560的电荷积聚。绝缘体512、绝缘体544及绝缘体576的电阻率为$1\times10^{10}\Omega$cm以上且$1\times10^{15}\Omega$cm以下。

[0451] 此外，绝缘体516、绝缘体574、绝缘体580及绝缘体581的介电常数优选比绝缘体514低。通过将介电常数低的材料用于层间膜，可以减少产生在布线之间的寄生电容。例如，作为绝缘体516、绝缘体580及绝缘体581，适当地使用氧化硅、氧氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅或具有空孔的氧化硅等。

[0452] 此外，绝缘体581例如优选为被用作层间膜、平坦化膜等的绝缘体。

[0453] 导电体503以与氧化物530及导电体560重叠的方式配置。在此，导电体503优选以嵌入绝缘体516的开口中的方式设置。此外，导电体503的一部分有时嵌入绝缘体514中。

[0454] 导电体503包括导电体503a及导电体503b。导电体503a以与该开口的底面及侧壁接触的方式设置。导电体503b以嵌入形成在导电体503a的凹部中的方式设置。在此，导电体503b的顶面与导电体503a的顶面的高度及绝缘体516的顶面的高度大致一致。

[0455] 在此，作为导电体503a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、铜原子等杂质的扩散的功能的导电材料。此外，优选使用具有抑制氧(例如，氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0456] 通过作为导电体503a使用具有抑制氢的扩散的功能的导电材料，可以防止含在导电体503b中的氢等杂质通过绝缘体524等扩散到氧化物530。此外，通过作为导电体503a使用具有抑制氧的扩散的功能的导电材料，可以抑制导电体503b被氧化而导电率下降。作为具有抑制氧扩散的功能的导电材料，例如可以使用钛、氮化钛、钽、氮化钽、钌、氧化钌等。因此，作为导电体503a使用单层或叠层的上述导电材料即可。例如，作为导电体503a使用氮化钛即可。

[0457] 此外，导电体503b优选使用以钨、铜或铝为主要成分的导电材料。例如，导电体503b可以使用钨。

[0458] 导电体503有时被用作第二栅电极。在此情况下，通过独立地改变供应到导电体503的电位而不使其与供应到导电体560的电位联动，可以控制晶体管500的阈值电压(Vth)。尤其是，通过对导电体503施加负电位，可以增大晶体管500的Vth而减少关态电流。由此，与不对导电体503施加负电位的情况相比，在对导电体503施加负电位的情况下，可以减少对导电体560施加的电位为0V时的漏极电流。

[0459] 此外，导电体503的电阻率根据上述施加到导电体503的电位设计，导电体503的厚度根据该电阻率设定。此外，绝缘体516的厚度与导电体503大致相同。在此，优选在导电体503的设计允许的范围内减少导电体503及绝缘体516的厚度。通过减少绝缘体516的厚度，可以降低含在绝缘体516中的氢等杂质的绝对量，所以可以抑制该杂质扩散到氧化物530。

[0460] 此外，导电体503在被俯视时优选比氧化物530的不与导电体542a及导电体542b重叠的区域大。尤其是，如图24B所示，导电体503优选延伸到氧化物530a及氧化物530b的沟道宽度方向的端部的外侧的区域。就是说，优选在氧化物530的沟道宽度方向的侧面的外侧，导电体503和导电体560隔着绝缘体重叠。通过具有上述结构，可以由被用作第一栅电极的导电体560的电场和被用作第二栅电极的导电体503的电场电围绕氧化物530的沟道形成区域。在本说明书中，将由第一栅极及第二栅极的电场电围绕沟道形成区域的晶体管结构称为surrounded channel(S-channel)结构。

[0461] 在本说明书等中，S-channel结构的晶体管是指由一对栅电极中的一方及另一方的电场电围绕沟道形成区域的晶体管的结构。此外，本说明书等中公开的S-channel结构与Fin型结构及平面型结构不同。通过采用S-channel结构，可以实现对短沟道效应的耐性得到提高的晶体管，换言之，可以实现不容易发生短沟道效应的晶体管。

[0462] 此外，如图24B所示，将导电体503延伸来用作布线。但是，本发明不局限于此，也可以在导电体503下设置被用作布线的导电体。此外，不一定需要在每一个晶体管中设置一个导电体503。例如，在多个晶体管中可以共同使用导电体503。

[0463] 注意，示出在晶体管500中作为导电体503层叠有导电体503a及导电体503b的结构，但是本发明不局限于此。例如，导电体503可以具有单层结构，也可以具有三层以上的叠层结构。

[0464] 绝缘体522及绝缘体524被用作栅极绝缘体。

[0465] 绝缘体522优选具有抑制氢(例如，氢原子、氢分子等中的至少一个)的扩散的功能。此外，绝缘体522优选具有抑制氧(例如，氧原子、氧分子等中的至少一个)的扩散的功能。例如，与绝缘体524相比，绝缘体522优选具有抑制氢和氧中的一方或双方的扩散的功能。

[0466] 绝缘体522优选使用作为绝缘材料的包含铝和铪中的一方或双方的氧化物的绝缘体。作为该绝缘体，优选使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。当使用这种材料形成绝缘体522时，绝缘体522被用作抑制氧从氧化物530释放到衬底一侧以及氢等杂质从晶体管500的周围部扩散到氧化物530的层。因此，通过设置绝缘体522，可以抑制氢等杂质扩散到晶体管500的内侧，而可以抑制在氧化物530中生成氧空位。此外，可以抑制导电体503与绝缘体524及氧化物530所包含的氧起反应。

[0467] 或者，例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇或氧化锆。或者，也可以对上述绝缘体进行氮化处理。此外，作为绝缘体522还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅而使用。

[0468] 此外，作为绝缘体522，例如也可以以单层或叠层使用包含氧化铝、氧化铪、氧化钽、氧化锆等所谓的high-k材料的绝缘体。当进行晶体管的微型化及高集成化时，由于栅极绝缘体的薄膜化，有时发生泄漏电流等的问题。通过作为被用作栅极绝缘体的绝缘体使用high-k材料，可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外，作为绝缘体

522有时可以使用锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)、(Ba,Sr)TiO_3(BST)等介电常数高的物质。

[0469] 作为与氧化物530接触的绝缘体524,例如适当地使用氧化硅、氧氮化硅等即可。

[0470] 此外,在晶体管500的制造工序中,热处理优选在氧化物530的表面露出的状态下进行。该热处理例如优选以100℃以上且600℃以下,更优选以350℃以上且550℃以下进行。热处理在氮气体或惰性气体气氛或者包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行。例如,热处理优选在氧气氛下进行。由此,对氧化物530供应氧,从而可以减少氧空位(V_O)。热处理也可以在减压状态下进行。此外,也可以在氮气体或惰性气体的气氛下进行热处理,然后为了填补脱离的氧而在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理。此外,也可以在包含10ppm以上、1%以上或10%以上的氧化性气体的气氛下进行热处理,然后连续地在氮气体或惰性气体的气氛下进行热处理。

[0471] 通过对氧化物530进行加氧化处理,可以由所供应的氧填补氧化物530中的氧空位,换言之可以促进“$V_O+O\rightarrow null$”的反应。再者,氧化物530中残留的氢与被供给的氧发生反应而可以将氢以H_2O的形态去除(脱水化)。由此,可以抑制残留在氧化物530中的氢与氧空位再结合而形成V_OH。

[0472] 此外,绝缘体522及绝缘体524也可以具有两层以上的叠层结构。此时,不局限于使用相同材料构成的叠层结构,也可以是使用不同材料构成的叠层结构。此外,绝缘体524也可以形成为岛状且与氧化物530a重叠。在此情况下,绝缘体544与绝缘体524的侧面及绝缘体522的顶面接触。

[0473] 导电体542a及导电体542b与氧化物530b的顶面接触。导电体542a及导电体542b分别被用作晶体管500的源电极或漏电极。

[0474] 作为导电体542(导电体542a及导电体542b)例如优选使用包含钽的氮化物、包含钛的氮化物、包含钼的氮化物、包含钨的氮化物、包含钽及铝的氮化物、包含钛及铝的氮化物等。在本发明的一个方式中,尤其优选采用包含钽的氮化物。此外,例如也可以使用氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物等。这些材料是不容易氧化的导电材料或者即使吸收氧也维持导电性的材料,所以是优选的。

[0475] 注意,有时包含在氧化物530b等中的氢扩散到导电体542a或导电体542b。尤其是,通过作为导电体542a及导电体542b使用包含钽的氮化物,有时包含在氧化物530b等中的氢容易扩散到导电体542a或导电体542b,该扩散的氢与导电体542a或导电体542b所包含的氮键合。也就是说,有时包含在氧化物530b等中的氢被导电体542a或导电体542b吸收。

[0476] 此外,优选在导电体542的侧面与导电体542的顶面之间不形成弯曲面。通过使导电体542不具有该弯曲面,可以增大沟道宽度方向的截面上的导电体542的截面积。由此,增大导电体542的导电率,从而可以增大晶体管500的通态电流。

[0477] 绝缘体571a与导电体542a的顶面接触,绝缘体571b与导电体542b的顶面接触。绝缘体571优选被用作至少对氧具有阻挡性的绝缘膜。因此,绝缘体571优选具有抑制氧扩散的功能。例如,与绝缘体580相比,绝缘体571优选具有进一步抑制氧扩散的功能。作为绝缘体571,例如可以使用氮化硅等包含硅的氮化物。此外,绝缘体571优选具有俘获氢等杂质的功能。在此情况下,绝缘体571可以使用具有非晶结构的金属氧化物,例如,氧化铝或氧化镁等绝缘体。尤其是,绝缘体571特别优选使用具有非晶结构的氧化铝或由非晶结构组成的氧

化铝，因为有时能够更有效地俘获或固定氢。由此，可以制造特性良好且可靠性高的晶体管500及半导体装置。

[0478] 绝缘体544以覆盖绝缘体524、氧化物530a、氧化物530b、导电体542及绝缘体571的方式设置。绝缘体544优选具有俘获并固定氢的功能。在此情况下，绝缘体544优选包括氮化硅或具有非晶结构的金属氧化物，例如，氧化铝或氧化镁等绝缘体。此外，例如，作为绝缘体544也可以使用氧化铝与该氧化铝上的氮化硅的叠层膜。

[0479] 通过设置上述绝缘体571及绝缘体544，可以由对氧具有阻挡性的绝缘体包围导电体542。换言之，可以抑制包含在绝缘体524及绝缘体580中的氧扩散到导电体542中。由此，可以抑制包含在绝缘体524及绝缘体580中的氧而导致导电体542直接被氧化使得电阻率增大而通态电流减少。

[0480] 绝缘体552被用作栅极绝缘体的一部分。作为绝缘体552优选使用氧阻挡绝缘膜。作为绝缘体552使用上述可用于绝缘体574的绝缘体即可。作为绝缘体552优选使用包含铝和铪中的一方或双方的氧化物的绝缘体。作为该绝缘体，可以使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)、包含铪及硅的氧化物(硅酸铪)等。在本实施方式中，作为绝缘体552，使用氧化铝。此时，绝缘体552是至少包含氧及铝的绝缘体。

[0481] 如图24B所示，绝缘体552以与氧化物530b的顶面及侧面、氧化物530a的侧面、绝缘体524的侧面及绝缘体522的顶面接触的方式设置。就是说，在沟道宽度方向的截面中氧化物530a、氧化物530b及绝缘体524的与导电体560重叠的区域被绝缘体552覆盖。因此，可以利用具有氧阻挡性的绝缘体552防止在进行热处理等时氧化物530a及氧化物530b中的氧脱离。因此，可以减少在氧化物530a及氧化物530b中形成氧空位(V_O)。由此，可以减少形成在区域530bc中的氧空位(V_O)及V_OH。因此，可以提高晶体管500的电特性及可靠性。

[0482] 此外，反之，即使绝缘体580及绝缘体550等包含过多的氧，也可以抑制该氧过度供应到氧化物530a及氧化物530b。因此，可以抑制区域530ba及区域530bb通过区域530bc被过度氧化而导致晶体管500的通态电流的下降或场效应迁移率的下降。

[0483] 此外，如图24A所示，绝缘体552以与导电体542、绝缘体544、绝缘体571及绝缘体580各自的侧面接触的方式设置。因此，可以减少导电体542的侧面被氧化而氧化膜形成在该侧面。因此，可以抑制导致晶体管500的通态电流的下降或场效应迁移率的下降。

[0484] 此外，绝缘体552需要与绝缘体554、绝缘体550、导电体560一起设置在形成于绝缘体580等中的开口中。为了实现晶体管500的微型化，绝缘体552的厚度优选小。绝缘体552的厚度为0.1nm以上、0.5nm以上或1.0nm以上且1.0nm以下、3.0nm以下或5.0nm以下。上述下限值及上限值可以分别组合。此时，绝缘体552的至少一部分是具有上述厚度的区域即可。此外，绝缘体552的厚度优选比绝缘体550的厚度小。此时，绝缘体552的至少一部分是厚度比绝缘体550小的区域即可。

[0485] 为了如上所述地将绝缘体552形成得薄，优选利用ALD法形成绝缘体552。ALD法有只利用热能使前驱物及反应物起反应的热ALD(Thermal ALD)法、使用收到等离子体激发的反应物的PEALD(Plasma Enhanced ALD)法等。在PEALD法中，通过利用等离子体可以在更低温下进行形成，所以有时是优选的。

[0486] ALD法可以利用作为原子的性质的自调整性来沉积每一层的原子，从而发挥能够形成极薄的膜、能够对纵横比高的结构形成膜、能够以针孔等的缺陷少的方式形成膜、能够

形成覆盖性优良的膜及能够在低温下形成膜等的效果。因此，可以在形成于绝缘体580等中的开口的侧面等以上述较小的厚度且高覆盖性形成绝缘体552。

[0487] ALD法中使用的前驱物有时包含碳等。因此，利用ALD法形成的膜有时与利用其它的成膜方法形成的膜相比包含更多的碳等杂质。此外，杂质的定量可以利用二次离子质谱分析(SIMS:Secondary Ion Mass Spectrometry)或X射线光电子能谱(XPS:X-ray Photoelectron Spectroscopy)测量。

[0488] 绝缘体550被用作栅极绝缘体的一部分。绝缘体550优选以与绝缘体552的顶面接触的方式配置。绝缘体550可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅等。尤其是，氧化硅及氧氮化硅具有热稳定性，所以是优选的。此时，绝缘体550是至少包含氧及硅的绝缘体。

[0489] 与绝缘体524同样，优选绝缘体550中的水、氢等杂质的浓度得到降低。绝缘体550的厚度优选为1nm以上或0.5nm以上且15.0nm以下或20nm以下。上述下限值及上限值可以分别组合。此时，绝缘体550的至少一部分是具有上述厚度的区域即可。

[0490] 在图24A及图24B等中，示出绝缘体550具有单层的结构，但是本发明不局限于此，也可以采用两层以上的叠层结构。例如，如图26B所示，绝缘体550也可以具有绝缘体550a与绝缘体550a上的绝缘体550b这两层的叠层结构。

[0491] 如图26B所示，在使绝缘体550具有两层叠层结构的情况下，优选的是，下层的绝缘体550a使用容易使氧透过的绝缘体形成，而上层的绝缘体550b使用具有抑制氧的扩散的功能的绝缘体形成。通过采用这种结构，可以抑制包含在绝缘体550a中的氧扩散到导电体560。换言之，可以抑制对氧化物530供应的氧量的减少。此外，可以抑制因包含在绝缘体550a中的氧导致的导电体560的氧化。例如，绝缘体550a使用上述的能够用于绝缘体550的材料，绝缘体550b使用包含铝和铪中的一方或双方的氧化物的绝缘体，即可。作为该绝缘体，可以使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)、包含铪及硅的氧化物(硅酸铪)等。在本实施方式中，作为绝缘体550b，使用氧化铪。此时，绝缘体550b是至少包含氧及铪的绝缘体。此外，绝缘体550b的厚度优选为0.5nm以上或1.0nm以上且3.0nm以下或5.0nm以下。此时，绝缘体550b的至少一部分是具有上述厚度的区域即可。

[0492] 注意，当绝缘体550a使用氧化硅或氧氮化硅等时，绝缘体550b也可以使用相对介电常数高的high-k材料的绝缘材料形成。通过作为栅极绝缘体采用绝缘体550a及绝缘体550b的叠层结构，可以形成具有热稳定性且相对介电常数高的叠层结构。因此，可以在保持栅极绝缘体的物理厚度的同时降低在晶体管工作时施加的栅极电位。此外，可以减少被用作栅极绝缘体的绝缘体的等效氧化物厚度(EOT)。因此，可以提高绝缘体550的绝缘耐压。

[0493] 绝缘体554被用作栅极绝缘体的一部分。作为绝缘体554优选使用氢阻挡绝缘膜。由此，可以防止包含在导电体560中的氢等杂质扩散到绝缘体550及氧化物530b。作为绝缘体554使用上述可用于绝缘体576的绝缘体即可。例如，作为绝缘体554使用利用PEALD法形成的氮化硅即可。此时，绝缘体554是至少包含氮、硅的绝缘体。

[0494] 此外，绝缘体554也可以还具有氧阻挡性。由此，可以抑制包含在绝缘体550中的氧扩散到导电体560。

[0495] 此外，绝缘体554需要与绝缘体552、绝缘体550、导电体560一起设置在形成于绝缘体580等中的开口中。为了实现晶体管500的微型化，绝缘体554的厚度优选小。绝缘体554的

厚度为0.1nm以上、0.5nm以上或1.0nm以上且3.0nm以下或5.0nm以下。上述下限值及上限值可以分别组合。此时，绝缘体554的至少一部分是具有上述厚度的区域即可。此外，绝缘体554的厚度优选比绝缘体550的厚度小。此时，绝缘体554的至少一部分是厚度比绝缘体550小的区域即可。

[0496] 导电体560被用作晶体管500的第一栅电极。导电体560优选包括导电体560a以及配置在导电体560a上的导电体560b。例如，优选以包围导电体560b的底面及侧面的方式配置导电体560a。此外，如图24A及图24B所示，导电体560的顶面与绝缘体550的顶面大致对齐。虽然在图24A及图24B中导电体560具有导电体560a和导电体560b的两层结构，但是导电体560除了该两层结构以外也可以具有单层结构或三层以上的叠层结构。

[0497] 作为导电体560a优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子、铜原子等杂质的扩散的功能的导电材料。此外，优选使用具有抑制氧(例如，氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。

[0498] 此外，当导电体560a具有抑制氧的扩散的功能时，可以抑制绝缘体550所包含的氧使导电体560b氧化而导致导电率的下降。作为具有抑制氧扩散的功能的导电材料，例如可以使用钛、氮化钛、钽、氮化钽、钌、氧化钌等。

[0499] 此外，由于导电体560还被用作布线，所以优选使用导电性高的导电体。例如，导电体560b可以使用钨、铜或铝为主要成分的导电材料。此外，导电体560b可以具有叠层结构。具体而言，导电体560b例如可以具有钛或氮化钛与上述导电材料的叠层结构。

[0500] 此外，在晶体管500中，以嵌入绝缘体580等的开口中的方式自对准地形成导电体560。通过如此形成导电体560，可以在导电体542a和导电体542b之间的区域中无需对准并确实地配置导电体560。

[0501] 此外，如图24B所示，在晶体管500的沟道宽度方向上，以绝缘体522的底面为基准，导电体560的导电体560不与氧化物530b重叠的区域的底面的高度优选比氧化物530b的底面的高度低。通过采用被用作栅电极的导电体560隔着绝缘体550等覆盖氧化物530b的沟道形成区域的侧面及顶面的结构，容易使导电体560的电场作用于氧化物530b的沟道形成区域整体。由此，可以提高晶体管500的通态电流及频率特性。以绝缘体522的底面为基准时的氧化物530a及氧化物530b不与导电体560重叠的区域的导电体560的底面的高度与氧化物530b的底面的高度之差为0nm以上、3nm以上或5nm以上且20nm以下、50nm以下或100nm以下。上述下限值及上限值可以分别组合。

[0502] 绝缘体580设置在绝缘体544上，在将设置绝缘体550及导电体560的区域中形成开口。此外，绝缘体580的顶面也可以被平坦化。

[0503] 优选的是，被用作层间膜的绝缘体580的介电常数低。通过将介电常数低的材料用于层间膜，可以减少产生在布线之间的寄生电容。绝缘体580例如优选使用与绝缘体516同样的材料形成。尤其是，氧化硅及氧氮化硅具有热稳定性，所以是优选的。特别是，因为氧化硅、氧氮化硅、具有空孔的氧化硅等材料容易形成包含通过加热脱离的氧的区域，所以是优选的。

[0504] 绝缘体580中的水、氢等杂质浓度优选得到降低。例如，作为绝缘体580适当地使用氧化硅、氧氮化硅等包含硅的氧化物即可。

[0505] 绝缘体574优选被用作抑制水、氢等杂质从上方向绝缘体580扩散的阻挡绝缘膜且

具有俘获氢等杂质的功能。此外，绝缘体574优选被用作抑制氧透过的阻挡绝缘膜。作为绝缘体574，使用具有非晶结构的金属氧化物，例如氧化铝等绝缘体即可。此时的绝缘体574是至少包含氧及铝的绝缘体。通过在夹在绝缘体512与绝缘体581的区域内设置与绝缘体580接触且具有俘获氢等杂质的功能的绝缘体574，可以俘获包含在绝缘体580等中的氢等杂质而将该区域内的氢量为一定的值。尤其是，绝缘体574优选使用具有非晶结构的氧化铝，因为有时能够更有效地俘获或固定氢。由此，可以制造特性良好且可靠性高的晶体管500及半导体装置。

[0506] 绝缘体576可以被用作抑制水、氢等杂质从上方扩散到绝缘体580的阻挡绝缘膜。绝缘体576配置在绝缘体574上。作为绝缘体576，优选使用氮化硅或氮氧化硅等包含硅的氮化物。例如，作为绝缘体576使用通过溅射法形成的氮化硅。通过使用溅射法形成绝缘体576，可以形成密度高的氮化硅膜。此外，作为绝缘体576，也可以在通过溅射法形成的氮化硅上还层叠通过PEALD法或CVD法形成的氮化硅。

[0507] 此外，晶体管500的第一端子及第二端子中的一个与用作插头的导电体540a电连接，晶体管500的第一端子及第二端子中的另一个与用作插头的导电体540b电连接。在本说明书等中，将导电体540a及导电体540b统称为导电体540。

[0508] 作为一个例子，导电体540a设置在与导电体542a重叠的区域。具体而言，在与导电体542a重叠的区域，在图24A所示的绝缘体544、绝缘体571、绝缘体580、绝缘体574、绝缘体576、绝缘体581、图23所示的绝缘体582以及绝缘体586中形成有开口部，在该开口部的内侧设置有导电体540a。此外，作为一个例子，导电体540b设置在与导电体542b重叠的区域。具体而言，在与导电体542b重叠的区域，在图24A所示的绝缘体544、绝缘体571、绝缘体580、绝缘体574、绝缘体576、绝缘体581、图23所示的绝缘体582以及绝缘体586中形成有开口部，在该开口部的内侧设置有导电体540b。关于绝缘体582及绝缘体586将在后面描述。

[0509] 此外，如图24A所示，也可以在与导电体542a重叠的区域中的开口部的侧面与导电体540a之间设置绝缘体541a作为具有杂质阻挡性的绝缘体。同样，也可以在与导电体542b重叠的区域中的开口部的侧面与导电体540b之间设置绝缘体541b作为具有杂质阻挡性的绝缘体。在本说明书等中，将绝缘体541a及绝缘体541b统称为绝缘体541。

[0510] 导电体540a及导电体540b优选使用以钨、铜或铝为主要成分的导电材料。此外，导电体540a及导电体540b也可以具有叠层结构。

[0511] 当作为导电体540采用叠层结构时，作为配置在绝缘体581、绝缘体576、绝缘体574、绝缘体580、绝缘体544及绝缘体571附近的第一导电体优选使用具有抑制水、氢等杂质的透过的功能的导电材料。例如，优选使用钽、氮化钽、钛、氮化钛、钌、氧化钌等。可以以单层或叠层使用具有抑制水、氢等杂质的透过的功能的导电材料。此外，可以防止包含在绝缘体576的上方的层的水、氢等杂质通过导电体540a及导电体540b混入到氧化物530。

[0512] 作为绝缘体541a及绝缘体541b，使用可用于绝缘体544等的阻挡绝缘膜即可。作为绝缘体541a及绝缘体541b，例如可以使用氮化硅、氧化铝、氮氧化硅等绝缘体。因为绝缘体541a及绝缘体541b与绝缘体576、绝缘体574及绝缘体571接触地设置，所以可以抑制包含在绝缘体580等中的水、氢等杂质经过导电体540a及导电体540b混入氧化物530。尤其是，氮化硅的氢阻挡性高，所以是优选的。此外，可以防止绝缘体580所包含的氧被导电体540a及导电体540b吸收。

[0513] 在绝缘体541a及绝缘体541b具有如图24A所示那样的叠层结构时，作为与绝缘体580等的开口的内壁接触的第一绝缘体以及其内侧的第二绝缘体优选组合使用氧阻挡绝缘膜和氢阻挡绝缘膜。

[0514] 例如，作为第一绝缘体使用利用ALD法形成的氧化铝且作为第二绝缘体使用利用PEALD法形成的氮化硅即可。通过采用这样的结构，可以抑制导电体540的氧化，并且可以抑制氢进入导电体540中。

[0515] 此外，在晶体管500中，层叠有绝缘体541的第一绝缘体与绝缘体541的第二导电体，但是本发明不局限于此。例如，绝缘体541也可以具有单层结构或者三层以上的叠层结构。此外，在晶体管500中，层叠有导电体540的第一导电体与导电体540的第二导电体，但是本发明不局限于此。例如，导电体540也可以具有单层结构或者三层以上的叠层结构。

[0516] 此外，如图23所示，也可以以与导电体540a的上部及导电体540b的上部接触的方式配置被用作布线的导电体610、导电体612等。导电体610、导电体612优选使用以钨、铜或铝为主要成分的导电材料。此外，该导电体可以具有叠层结构。具体而言，例如，该导电体也可以具有钛或氮化钛与上述导电材料的叠层。此外，该导电体也可以嵌入设置在绝缘体中的开口而形成。

[0517] 此外，本发明的一个方式的半导体装置所包括的晶体管的结构不局限于图23、图24A、图24B及图25所示的晶体管500。本发明的一个方式的半导体装置所包括的晶体管的结构也可以根据状况而改变。

[0518] 例如，图23、图24A、图24B及图25所示的晶体管500也可以具有图27所示的结构。图27的晶体管包括氧化物543a及氧化物543b，这一点与图23、图24A、图24B及图25所示的晶体管500不同。在本说明书等中，将氧化物543a及氧化物543b统称为氧化物543。此外，图27的晶体管的沟道宽度方向上的截面结构可以与图24B所示的晶体管500的截面结构同样。

[0519] 氧化物543a设置在氧化物530b和导电体542a之间，氧化物543b设置在氧化物530b和导电体542b之间。在此，氧化物543a优选与氧化物530b的顶面及导电体542a的底面接触。此外，氧化物543b优选与氧化物530b的顶面及导电体542b的底面接触。

[0520] 氧化物543优选具有抑制氧透过的功能。通过在被用作源电极或漏电极的导电体542与氧化物530b之间配置具有抑制氧透过的功能的氧化物543，导电体542与氧化物530b之间的电阻被减少，所以是优选的。通过采用这样的结构，有时可以提高晶体管500的电特性、场效应迁移率及可靠性。

[0521] 作为氧化物543也可以使用包含元素M的金属氧化物。尤其是，作为元素M优选使用铝、镓、钇或锡。氧化物543的元素M的浓度优选比氧化物530b高。此外，作为氧化物543也可以使用氧化镓。此外，作为氧化物543也可以使用In-M-Zn氧化物等金属氧化物。具体而言，用于氧化物的金属氧化物中的In与元素M的原子个数比优选大于用于氧化物530b的金属氧化物中的In与元素M的原子个数比。此外，氧化物543的厚度优选为0.5nm以上或1nm以上且2nm以下、3nm以下或5nm以下。上述下限值及上限值可以分别组合。此外，氧化物543优选具有结晶性。在氧化物543具有结晶性的情况下，可以适当地抑制氧化物530中的氧的释放。例如，在氧化物543具有六方晶等结晶结构的情况下，有时可以抑制氧化物530中的氧的释放。

[0522] 在绝缘体581上设置有绝缘体582，在绝缘体582上设置有绝缘体586。

[0523] 绝缘体582优选使用对氧或氢具有阻挡性的物质。因此，作为绝缘体582可以使用

与绝缘体514同样的材料。例如，作为绝缘体582优选使用氧化铝、氧化铪、氧化钽等金属氧化物。

[0524] 作为绝缘体586可以使用与绝缘体320同样的材料。此外，通过作为这些绝缘体应用介电常数较低的材料，可以减少产生在布线之间的寄生电容。例如，作为绝缘体586，可以使用氧化硅膜或氧氮化硅膜等。

[0525] 接着，说明图23及图25所示的半导体装置所包括的电容元件600及其周边的布线或插头。此外，在图23及图25所示的晶体管500上方设置有电容元件600、布线及/或插头。

[0526] 作为一个例子，电容元件600包括导电体610、导电体620、绝缘体630。

[0527] 导电体610设置在导电体540a及导电体540b中的一个、导电体546及绝缘体586上。导电体610被用作电容元件600的一对电极中的一个。

[0528] 此外，导电体612设置在导电体540a及导电体540b中的另一个及绝缘体586上。导电体612具有电连接晶体管500与上方的电路元件或布线等的插头、布线、端子等的功能。具体而言，例如，导电体612可以为实施方式1所说明的半导体装置SDV1中的布线WDL等。

[0529] 此外，可以同时形成导电体612及导电体610。

[0530] 作为导电体612及导电体610可以使用包含选自钼、钛、钽、钨、铝、铜、铬、钕、钪中的元素的金属膜或以上述元素为成分的金属氮化物膜(氮化钽膜、氮化钛膜、氮化钼膜、氮化钨膜)等。或者，也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等导电材料。

[0531] 在图23中，导电体612及导电体610具有单层结构，但是不局限于此，也可以具有两层以上的叠层结构。例如，也可以在具有阻挡性的导电体与导电性高的导电体之间形成与具有阻挡性的导电体以及导电性高的导电体紧密性高的导电体。

[0532] 在绝缘体586及导电体610上设置有绝缘体630。此外，绝缘体630被用作夹在电容元件600的一对电极间的介电质。

[0533] 作为绝缘体630，例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝、氧化铪、氧氮化铪、氮氧化铪、氮化铪、氧化锆等。此外，绝缘体630可以使用上述材料形成为叠层或单层。

[0534] 例如，绝缘体630可以使用氧氮化硅等介电强度高的材料和高介电常数(high-k)材料的叠层结构。通过采用该结构，电容元件600可以包括高介电常数(high-k)的绝缘体来确保充分的电容，并可以包括介电强度高的绝缘体来提高介电强度，从而可以抑制电容元件600的静电破坏。

[0535] 注意，作为高介电常数(high-k)材料(相对介电常数高的材料)的绝缘体，有氧化镓、氧化铪、氧化锆、具有铝及铪的氧化物、具有铝及铪的氧氮化物、具有硅及铪的氧化物、具有硅及铪的氧氮化物或具有硅及铪的氮化物等。

[0536] 此外，作为绝缘体630，例如也可以以单层或叠层使用包含氧化铝、氧化铪、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)或(Ba,Sr)TiO_3(BST)等high-k材料的绝缘体。此外，作为绝缘体630也可以使用包含铪和锆的化合物等。随着半导体装置微型化及高集成化，由于用于栅极绝缘体及电容元件的介电质薄膜化，有时发生晶体管及电容元件的泄漏电流等的问题。通过作为被用作栅极绝缘体及电容元件的介电质的绝缘体使用high-k材

料，可以在保持物理厚度的同时降低晶体管工作时的栅极电位并确保电容元件的电容。

[0537] 以隔着绝缘体630重叠于导电体610的方式设置导电体620。导电体610具有电容元件600的一对电极中的一个的功能。例如，导电体620也可以被用作实施方式1所说明的半导体装置SDV1中的布线WWLB等。

[0538] 作为导电体620可以使用金属材料、合金材料、金属氧化物材料等导电材料。优选使用兼具耐热性和导电性的钨或钼等高熔点材料，尤其优选使用钨。当与导电体等其他构成要素同时形成导电体620时，使用低电阻金属材料的Cu(铜)或Al(铝)等即可。此外，例如，导电体620可以使用可以应用于导电体610的材料。此外，导电体620也可以具有两层以上的叠层结构而不具有单层结构。

[0539] 在导电体620及绝缘体630上设置有绝缘体640。作为绝缘体640，例如优选使用能够防止氢、杂质扩散到设置有晶体管500的区域中的具有阻挡性的膜。因此，绝缘体640可以使用与绝缘体324同样的材料。

[0540] 在绝缘体640上设置有绝缘体650。绝缘体650可以使用与绝缘体320同样的材料形成。此外，绝缘体650也可以被用作覆盖其下方的凹凸形状的平坦化膜。因此，绝缘体650可以使用可以应用于绝缘体324的材料。

[0541] 虽然图23及图25所示的电容元件600为平面型，但是电容元件的形状不局限于此。电容元件600例如也可以不是平面型而是圆柱型的电容元件。

[0542] 此外，也可以在电容元件600上方设置有布线层。例如，在图23中，绝缘体411、绝缘体412、绝缘体413及绝缘体414依次设置在绝缘体650上方。此外，在绝缘体411、绝缘体412及绝缘体413中设置有被用作插头或布线的导电体416。作为一个例子，导电体416设置在与后述导电体660重叠的区域。

[0543] 此外，在绝缘体630、绝缘体640及绝缘体650中，在与导电体612重叠的区域设置有开口部，以嵌入该开口部的方式设置有导电体660。导电体660被用作与上述布线层所包括的导电体416电连接的插头或布线。

[0544] 与绝缘体324等同样，绝缘体411及绝缘体414例如优选使用对水或氢等杂质具有阻挡性的绝缘体。因此，绝缘体411及绝缘体414例如可以使用可用于绝缘体324等的材料。

[0545] 例如，与绝缘体326同样，绝缘体412及绝缘体413优选使用相对介电常数较低的绝缘体以降低布线间产生的寄生电容。

[0546] 此外，导电体612及导电体416例如可以使用与导电体328及导电体330同样的材料形成。

[0547] 通过使用本实施方式所示的本结构作为使用包含氧化物半导体的晶体管的半导体装置，可以在抑制该晶体管的电特性的变动的同时提高可靠性。此外，可以实现使用包含氧化物半导体的晶体管的半导体装置的微型化或高集成化。

[0548] 注意，本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0549] (实施方式6)

在本实施方式中，说明可用于上述实施方式中说明的OS晶体管的金属氧化物(以下称为氧化物半导体)。

[0550] 金属氧化物优选至少包含铟或锌。尤其优选包含铟及锌。此外，除此之外，优选还包含铝、镓、钇、锡等。此外，也可以包含选自硼、硅、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、

钨、镁及钴等中的一种或多种。

[0551] <结晶结构的分类>

首先，对氧化物半导体中的结晶结构的分类参照图28A进行说明。图28A是说明氧化物半导体，典型为IGZO(包含In、Ga、Zn的金属氧化物)的结晶结构的分类的图。

[0552] 如图28A所示，氧化物半导体大致分为“Amorphous(无定形)”、“Crystalline(结晶性)”及“Crystal(结晶)”。此外，在“Amorphous”中包含completely amorphous。此外，在“Crystalline”中包含CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)及CAC(Cloud-Aligned Composite)(excluding single crystal and poly crystal)。此外，在“Crystalline”的分类中不包含single crystal、poly crystal及completely amorphous。此外，在“Crystal”中包含single crystal及poly crystal。

[0553] 此外，图28A所示的外框线被加粗的部分中的结构是介于“Amorphous(无定形)”与“Crystal(结晶)”之间的中间状态，是属于新的边界区域(New crystalline phase)的结构。换言之，该结构与“Crystal(结晶)”及在能量性上不稳定的“Amorphous(无定形)”可以说是完全不同的结构。

[0554] 另外，可以使用X射线衍射(XRD:X-Ray Diffraction)谱对膜或衬底的结晶结构进行评价。在此，图28B示出被分类为“Crystalline”的CAAC-IGZO膜的通过GIXD(Grazing-Incidence XRD)测量而得到的XRD谱(横轴表示2θ[deg.]，纵轴以任意单位(a.u.)表示强度(Intensity))。此外，将GIXD法也称为薄膜法或Seemann-Bohlin法。下面，将图28B所示的通过GIXD测量而得到的XRD谱简单地记为XRD谱。此外，图28B所示的CAAC-IGZO膜的组成是In:Ga:Zn＝4:2:3[原子个数比]附近。此外，图28B所示的CAAC-IGZO膜的厚度为500nm。

[0555] 如图28B所示，在CAAC-IGZO膜的XRD谱中检测出表示明确的结晶性的峰值。具体而言，在CAAC-IGZO膜的XRD谱中，2θ＝31°附近检测出表示c轴取向的峰值。此外，如图28B所示那样，2θ＝31°附近的峰值在以检测出峰值强度的角度为轴时左右非对称。

[0556] 此外，可以使用纳米束电子衍射法(NBED:Nano Beam Electron Diffraction)观察的衍射图案(也称为纳米束电子衍射图案)对膜或衬底的结晶结构进行评价。图28C示出CAAC-IGZO膜的衍射图案。图28C是通过将电子束向平行于衬底的方向入射的NBED观察的衍射图案。此外，图28C所示的CAAC-IGZO膜的组成是In:Ga:Zn＝4:2:3[原子个数比]附近。此外，在纳米束电子衍射法中，进行束径为1nm的电子衍射法。

[0557] 如图28C所示那样，在CAAC-IGZO膜的衍射图案中观察到表示c轴取向的多个斑点。

[0558] <<氧化物半导体的结构>>

此外，在注目于氧化物半导体的结晶结构的情况下，有时氧化物半导体的分类与图28A不同。例如，氧化物半导体可以分类为单晶氧化物半导体和除此之外的非单晶氧化物半导体。作为非单晶氧化物半导体，例如可以举出上述CAAC-OS及nc-OS。此外，在非单晶氧化物半导体中包含多晶氧化物半导体、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0559] 在此，对上述CAAC-OS、nc-OS及a-like OS的详细内容进行说明。

[0560] [CAAC-OS]

CAAC-OS是包括多个结晶区域的氧化物半导体，该多个结晶区域的c轴取向于特定的方向。此外，特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法线方向或

者CAAC-OS膜的表面的法线方向。此外，结晶区域是具有原子排列的周期性的区域。注意，在将原子排列看作晶格排列时结晶区域也是晶格排列一致的区域。再者，CAAC-OS具有在a-b面方向上多个结晶区域连接的区域，有时该区域具有畸变。此外，畸变是指在多个结晶区域连接的区域中，晶格排列一致的区域和其他晶格排列一致的区域之间的晶格排列的方向变化的部分。换言之，CAAC-OS是指c轴取向并在a-b面方向上没有明显的取向的氧化物半导体。

[0561] 此外，上述多个结晶区域的每一个由一个或多个微小结晶(最大径小于10nm的结晶)构成。在结晶区域由一个微小结晶构成的情况下，该结晶区域的最大径小于10nm。此外，结晶区域由多个微小结晶构成的情况下，有时该结晶区域的尺寸为几十nm左右。

[0562] 此外，在In-M-Zn氧化物(元素M为选自铝、镓、钇、锡及钛等中的一种或多种)中，CAAC-OS有包括含有层叠有铟(In)及氧的层(以下，In层)、含有元素M、锌(Zn)及氧的层(以下，(M,Zn)层)的层状结晶结构(也称为层状结构)的趋势。此外，铟和元素M可以彼此置换。因此，有时(M,Zn)层包含铟。此外，有时In层包含元素M。注意，有时In层包含Zn。该层状结构例如在高分辨率TEM图像中被观察作为晶格像。

[0563] 例如，当对CAAC-OS膜使用XRD装置进行结构分析时，在使用θ/2θ扫描的Out-of-plane XRD测量中，在2θ＝31°或其附近检测出表示c轴取向的峰值。注意，表示c轴取向的峰值的位置(2θ值)有时根据构成CAAC-OS的金属元素的种类、组成等变动。

[0564] 此外，例如，在CAAC-OS膜的电子衍射图案中观察到多个亮点(斑点)。此外，在以透过样品的入射电子束的斑点(也称为直接斑点)为对称中心时，某一个斑点和其他斑点被观察在点对称的位置。

[0565] 在从上述特定的方向观察结晶区域的情况下，虽然该结晶区域中的晶格排列基本上是六方晶格，但是单位晶格并不局限于正六角形，有是非正六角形的情况。此外，在上述畸变中，有时具有五角形、七角形等晶格排列。此外，在CAAC-OS的畸变附近观察不到明确的晶界(grain boundary)。也就是说，晶格排列的畸变抑制晶界的形成。这可能是由于CAAC-OS因为a-b面方向上的氧原子的排列的低密度或因金属原子被取代而使原子间的键合距离产生变化等而能够包容畸变。

[0566] 此外，确认到明确的晶界的结晶结构被称为所谓的多晶(polycrystal)。晶界成为再结合中心而载流子被俘获，因而有可能导致晶体管的通态电流的降低、场效应迁移率的降低等。因此，确认不到明确的晶界的CAAC-OS是使晶体管的半导体层具有优异的结晶结构的结晶性氧化物之一。注意，为了构成CAAC-OS，优选为包含Zn的结构。例如，与In氧化物相比，In-Zn氧化物及In-Ga-Zn氧化物能够进一步地抑制晶界的发生，所以是优选的。

[0567] CAAC-OS是结晶性高且确认不到明确的晶界的氧化物半导体。因此，可以说在CAAC-OS中，不容易发生起因于晶界的电子迁移率的降低。此外，氧化物半导体的结晶性有时因杂质的混入、缺陷的生成等而降低，因此可以说CAAC-OS是杂质、缺陷(氧空位等)少的氧化物半导体。因此，包含CAAC-OS的氧化物半导体的物理性质稳定。因此，包含CAAC-OS的氧化物半导体具有高耐热性及良好可靠性。此外，CAAC-OS对制造工序中的高温度(所谓热积存;thermal budget)也很稳定。由此，通过在OS晶体管中使用CAAC-OS，可以扩大制造工序的自由度。

[0568] [nc-OS]

在nc-OS中，微小的区域(例如1nm以上且10nm以下的区域，特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。换言之，nc-OS具有微小的结晶。此外，例如，该微小的结晶的尺寸为1nm以上且10nm以下，尤其为1nm以上且3nm以下，将该微小的结晶称为纳米晶。此外，nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此，在膜整体中观察不到取向性。所以，有时nc-OS在某些分析方法中与a-like OS及非晶氧化物半导体没有差别。例如，在对nc-OS膜使用XRD装置进行结构分析时，在使用θ/2θ扫描的Out-of-plane XRD测量中，不检测出表示结晶性的峰值。此外，在对nc-OS膜进行使用其束径比纳米晶大(例如，50nm以上)的电子束的电子衍射(也称为选区电子衍射)时，观察到类似光晕图案的衍射图案。另一方面，在对nc-OS膜进行使用其束径近于或小于纳米晶的尺寸(例如1nm以上且30nm以下)的电子束的电子衍射(也称为纳米束电子衍射)的情况下，有时得到在以直接斑点为中心的环状区域内观察到多个斑点的电子衍射图案。

[0569] [a-like OS]

a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。a-like OS包含空洞或低密度区域。也就是说，a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。此外，a-like OS的膜中的氢浓度比nc-OS及CAAC-OS的膜中的氢浓度高。

[0570] <<氧化物半导体的构成>>

接着，说明上述的CAC-OS的详细内容。此外，说明CAC-OS与材料构成有关。

[0571] [CAC-OS]

CAC-OS例如是指包含在金属氧化物中的元素不均匀地分布的构成，其中包含不均匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下，优选为1nm以上且3nm以下或近似的尺寸。注意，在下面也将在金属氧化物中一个或多个金属元素不均匀地分布且包含该金属元素的区域混合的状态称为马赛克状或补丁(patch)状，该区域的尺寸为0.5nm以上且10nm以下，优选为1nm以上且3nm以下或近似的尺寸。

[0572] 再者，CAC-OS是指其材料分开为第一区域与第二区域而成为马赛克状且该第一区域分布于膜中的结构(以下也称为云状)。就是说，CAC-OS是指具有该第一区域和该第二区域混合的结构的复合金属氧化物。

[0573] 在此，将相对于构成In-Ga-Zn氧化物的CAC-OS的金属元素的In、Ga及Zn的原子个数比分别记为[In]、[Ga]及[Zn]。例如，在In-Ga-Zn氧化物的CAC-OS中，第一区域是其[In]大于CAC-OS膜的组成中的[In]的区域。此外，第二区域是其[Ga]大于CAC-OS膜的组成中的[Ga]的区域。此外，例如，第一区域是其[In]大于第二区域中的[In]且其[Ga]小于第二区域中的[Ga]的区域。此外，第二区域是其[Ga]大于第一区域中的[Ga]且其[In]小于第一区域中的[In]的区域。

[0574] 具体而言，上述第一区域是以铟氧化物或铟锌氧化物等为主要成分的区域。此外，上述第二区域是以镓氧化物或镓锌氧化物等为主要成分的区域。换言之，可以将上述第一区域称为以In为主要成分的区域。此外，可以将上述第二区域称为以Ga为主要成分的区域。

[0575] 注意，有时观察不到上述第一区域和上述第二区域的明确的边界。

[0576] 例如，在In-Ga-Zn氧化物的CAC-OS中，根据通过能量分散型X射线分析法(EDX：Energy Dispersive X-ray spectroscopy)取得的EDX面分析(mapping)图像，可确认到具有以In为主要成分的区域(第一区域)及以Ga为主要成分的区域(第二区域)不均匀地分布

而混合的结构。

[0577] 在将CAC-OS用于晶体管的情况下，通过起因于第一区域的导电性和起因于第二区域的绝缘性的互补作用，可以使CAC-OS具有开关功能(控制开启/关闭的功能)。换言之，在CAC-OS的材料的一部分中具有导电性的功能且在另一部分中具有绝缘性的功能，在材料的整体中具有半导体的功能。通过使导电性的功能和绝缘性的功能分离，可以最大限度地提高各功能。因此，通过将CAC-OS用于晶体管，可以实现高通态电流(I_{on})、高场效应迁移率(μ)及良好的开关工作。

[0578] 氧化物半导体具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-likeOS、CAC-OS、nc-OS、CAAC-OS中的两种以上。

[0579] <包括氧化物半导体的晶体管>

接着，说明将上述氧化物半导体用于晶体管的情况。

[0580] 通过将上述氧化物半导体用于晶体管，可以实现场效应迁移率高的晶体管。此外，可以实现可靠性高的晶体管。

[0581] 此外，优选将载流子浓度低的氧化物半导体用于晶体管。例如，氧化物半导体中的载流子浓度优选为$1\times10^{17}cm^{-3}$以下，更优选为$1\times10^{15}cm^{-3}$以下，进一步优选为$1\times10^{13}cm^{-3}$以下，更进一步优选为$1\times10^{11}cm^{-3}$以下，还进一步优选低于$1\times10^{10}cm^{-3}$且为$1\times10^{-9}cm^{-3}$以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下，可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中，将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。此外，有时将载流子浓度低的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。

[0582] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度，所以有可能具有较低的陷阱态密度。

[0583] 此外，被氧化物半导体的陷阱能级俘获的电荷到消失需要较长的时间，有时像固定电荷那样动作。因此，有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0584] 因此，为了使晶体管的电特性稳定，降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度，优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0585] <杂质>

在此，说明氧化物半导体中的各杂质的影响。

[0586] 在氧化物半导体包含第14族元素之一的硅或碳时，在氧化物半导体中形成缺陷能级。因此，将氧化物半导体中的硅或碳的浓度、与氧化物半导体的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测得的浓度)设定为$2\times10^{18}atoms/cm^{3}$以下，优选为$2\times10^{17}atoms/cm^{3}$以下。

[0587] 此外，当氧化物半导体包含碱金属或碱土金属时，有时形成缺陷能级而形成载流子。因此，使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开启特性。由此，将利用SIMS测得的氧化物半导体中的碱金属或碱土金属的浓度设定为$1\times10^{18}atoms/cm^{3}$以下，优选为$2\times10^{16}atoms/cm^{3}$以下。

[0588] 另外，当氧化物半导体包含氮时，容易产生作为载流子的电子，使载流子浓度增高，而被n型化。其结果，将含有氮的氧化物半导体用于半导体的晶体管容易具有常开启特性。或者，在氧化物半导体包含氮时，有时形成陷阱能级。其结果，有时晶体管的电特性不稳定。因此，将利用SIMS测得的氧化物半导体中的氮浓度设定为低于5×10^{19}atoms/cm^3，优选为5×10^{18}atoms/cm^{3}以下，更优选为1×10^{18}atoms/cm^{3}以下，进一步优选为5×10^{17}atoms/cm^{3}以下。

[0589] 包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水，因此有时形成氧空位。当氢进入该氧空位时，有时产生作为载流子的电子。此外，有时由于氢的一部分与键合于金属原子的氧键合，产生作为载流子的电子。因此，具有含有氢的氧化物半导体的晶体管容易具有常开启特性。由此，优选尽可能减少氧化物半导体中的氢。具体而言，在氧化物半导体中，将利用SIMS测得的氢浓度设定为低于1×10^{20}atoms/cm^3，更优选低于1×10^{19}atoms/cm^3，进一步优选低于5×10^{18}atoms/cm^3，还进一步优选低于1×10^{18}atoms/cm^3。

[0590] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域，可以赋予稳定的电特性。

[0591] 注意，本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0592] (实施方式7)

本实施方式示出形成上述实施方式所示的半导体装置等的半导体晶片及组装有该半导体装置的电子构件的一个例子。

[0593] 〈半导体晶片〉

首先，使用图29A说明形成有半导体装置等的半导体晶片的例子。

[0594] 图29A所示的半导体晶片4800包括晶片4801及设置在晶片4801的顶面的多个电路部4802。在晶片4801的顶面上没设置有电路部4802的部分相当于空隙4803，其为用于切割的区域。

[0595] 半导体晶片4800可以通过在前工序中在晶片4801的表面上形成多个电路部4802来制造。此外，也可以之后对晶片4801的形成有多个电路部4802的面的背面进行抛光来减薄晶片4801。通过上述工序，可以减少晶片4801翘曲等而实现构件的小型化。

[0596] 下面进行切割工序。沿点划线所示的划分线SCL1及划分线SCL2(有时称为切割线或截断线)进行切割。为了容易进行切割工序，优选以多个划分线SCL1平行，多个划分线SCL2平行，且划分线SCL1与划分线SCL2垂直的方式设置空隙4803。

[0597] 通过进行切割工序，可以从半导体晶片4800切割出图29B所示的芯片4800a。芯片4800a包括晶片4801a、电路部4802以及空隙4803a。此外，空隙4803a优选尽可能小。在此情况下，相邻的电路部4802之间的空隙4803的宽度只要与划分线SCL1的划分用部及划分线SCL2的划分用部大致相等即可。

[0598] 此外，本发明的一个方式的元件衬底的形状不局限于图29A所示的半导体晶片4800的形状。例如，可以为矩形形状的半导体晶片。此外，可以根据元件的制造工序及制造用设备适当地改变元件衬底的形状。

[0599] 〈电子构件〉

图29C示出电子构件4700及安装有电子构件4700的衬底(安装衬底4704)的立体图。图29C所示的电子构件4700在模子4711中包括芯片4800a。如图29C所示，芯片4800a可以

具有层叠有电路部4802的结构。在图29C中，省略电子构件4700的一部分以表示其内部。电子构件4700在模子4711的外侧包括连接盘(land)4712。连接盘4712与电极焊盘4713电连接，电极焊盘4713通过引线4714与芯片4800a电连接。电子构件4700例如安装于印刷电路板4702。通过组合多个该电子构件并使其分别在印刷电路板4702上电连接，由此完成安装衬底4704。

[0600] 图29D示出电子构件4730的立体图。电子构件4730是SiP(System in package:系统封装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件4730中，封装衬底4732(印刷电路板)上设置有插板(interposer)4731，插板4731上设置有半导体装置4735及多个半导体装置4710。

[0601] 电子构件4730包括半导体装置4710。半导体装置4710例如可以使用在上述实施方式中说明的半导体装置、宽带存储器(HBM:High Bandwidth Memory)等。此外，半导体装置4735可以使用CPU、GPU、FPGA、存储装置等集成电路(半导体装置)。

[0602] 封装衬底4732可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底等。插板4731可以使用硅插板、树脂插板等。

[0603] 插板4731具有多个布线且具有使端子间距不同的多个集成电路电连接的功能。多个布线由单层或多层构成。此外，插板4731具有将设置于插板4731上的集成电路与设置于封装衬底4732上的电极电连接的功能。因此，有时也将插板称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外，有时通过在插板4731中设置贯通电极，通过该贯通电极使集成电路与封装衬底4732电连接。此外，在使用硅插板的情况下，也可以使用TSV(Through Silicon Via:硅通孔)作为贯通电极。

[0604] 作为插板4731优选使用硅插板。由于硅插板不需要设置有源元件，所以可以以比集成电路更低的成本制造。另一方面，硅插板的布线形成可以在半导体工序中进行，因此很容易形成在使用树脂插板时很难形成的微细布线。

[0605] 在HBM中，为了实现宽存储器带宽需要连接许多布线。为此，要求安装HBM的插板上能够高密度地形成微细的布线。因此，作为安装HBM的插板优选使用硅插板。

[0606] 此外，在使用硅插板的SiP或MCM等中，不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外，由于硅插板的表面平坦性高，所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装)，其中多个集成电路横着排放并配置于插板上。

[0607] 此外，也可以与电子构件4730重叠地设置散热器(散热板)。在设置散热器的情况下，优选设置于插板4731上的集成电路的高度一致。例如，在本实施方式所示的电子构件4730中，优选使半导体装置4710与半导体装置4735的高度一致。

[0608] 为了将电子构件4730安装在其他的衬底上，可以在封装衬底4732的底部设置电极4733。图29D示出用焊球形成电极4733的例子。通过在封装衬底4732的底部以矩阵状设置焊球，可以实现BGA(Ball Grid Array:球栅阵列)安装。此外，电极4733也可以使用导电针形成。通过在封装衬底4732的底部以矩阵状设置导电针，可以实现PGA(Pin Grid Array:针栅阵列)安装。

[0609] 电子构件4730可以通过各种安装方式安装在其他衬底上，而不局限于BGA及PGA。例如，可以采用SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:

地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)或QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)等安装方法。

[0610] 注意,本实施方式可以与本说明书所示的其他实施方式适当地组合。

[0611] (实施方式8)

在本实施方式中,说明包括上述实施方式所说明的半导体装置的电子设备的一个例子。图30示出具有该半导体装置的电子构件4700包括在各电子设备中的情况。

[0612] [移动电话机]

图30所示的信息终端5500是信息终端之一的移动电话机(智能手机)。信息终端5500包括框体5510及显示部5511,作为输入接口在显示部5511中包括触控面板,并且在框体5510上设置有按钮。

[0613] 通过将上述实施方式所说明的半导体装置应用于信息终端5500,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出识别会话来将该会话的内容显示在显示部5511上的应用程序、识别由使用者输入到显示部5511所包括的触控面板的文字或图形等来将该文字或该图形显示在显示部5511上的应用程序、执行指纹或声纹等的生物识别的应用程序等。

[0614] [可穿戴终端]

此外,图30示出可穿戴终端的一个例子的手表型信息终端5900。手表型信息终端5900包括框体5901、显示部5902、操作按钮5903、表把5904、表带5905等。

[0615] 与上述信息终端5500同样,通过将上述实施方式所说明的半导体装置应用于可穿戴终端,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如可以举出管理戴上可穿戴终端的人的健康状态的应用程序、通过输入目的地选择适当的路径而带路的导航系统等。

[0616] [信息终端]

另外,图30示出台式信息终端5300。台式信息终端5300包括信息终端主体5301、显示器5302及键盘5303。

[0617] 与上述信息终端5500同样,通过将上述实施方式所说明的半导体装置应用于台式信息终端5300,可以执行利用人工智能的应用程序。作为利用人工智能的应用程序,例如,可以举出设计支援软件、文章校对软件、菜单自动生成软件等。此外,通过使用台式信息终端5300,可以研发新颖的人工智能。

[0618] 注意,在上述例子中,图30示出智能手机、台式信息终端、可穿戴终端作为电子设备的例子,但是也可以应用智能手机、台式信息终端、可穿戴终端以外的信息终端。作为智能手机、台式信息终端、可穿戴终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、笔记本式信息终端、工作站等。

[0619] [电器产品]

此外,图30示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括框体5801、冷藏室门5802及冷冻室门5803等。

[0620] 通过将上述实施方式所说明的半导体装置应用于电冷藏冷冻箱5800,可以实现具备人工智能的电冷藏冷冻箱5800。通过利用人工智能,可以使电冷藏冷冻箱5800具有基于

储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等自动生成菜单的功能以及根据所储存的食品自动调整电冷藏冷冻箱5800的温度的功能等。

[0621] 在上述例子中，作为电器产品说明电冷藏冷冻箱，但是作为其他电器产品，例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH(Induction Heating，感应加热)炊具、饮水机、包括空气调节器的冷暖空調机、洗衣机、干衣机、视听设备等。

[0622] [游戏机]

此外，图30示出游戏机的一个例子的便携式游戏机5200。便携式游戏机5200包括框体5201、显示部5202、按钮5203等。

[0623] 此外，图30示出游戏机的一个例子的固定式游戏机7500。固定式游戏机7500包括主体7520及控制器7522。主体7520可以以无线方式或有线方式与控制器7522连接。此外，虽然在图30中未图示，但是控制器7522可以包括显示游戏的图像的显示部、作为按钮以外的输入接口的触控面板、控制杆、旋转式抓手及滑动式抓手等。此外，控制器7522不局限于图30所示的形状，也可以根据游戏的种类改变控制器7522的形状。例如，在FPS(First Person Shooter，第一人称射击类游戏)等射击游戏中，作为扳机使用按钮，可以使用模仿枪的形状的控制器。此外，例如，在音乐游戏等中，可以使用模仿乐器、音乐器件等的形状的控制器。再者，固定式游戏机也可以设置照相机、深度传感器、麦克风等，由游戏玩者的手势及/或声音等操作以代替使用控制器操作。

[0624] 此外，上述游戏机的影像可以由电视装置、个人计算机用显示器、游戏用显示器、头戴显示器等显示装置输出。

[0625] 通过将上述实施方式所说明的半导体装置用于便携式游戏机5200，可以实现低功耗的便携式游戏机5200。此外，借助于低功耗，可以降低来自电路的发热，由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0626] 并且，通过将上述实施方式所说明的半导体装置用于便携式游戏机5200，可以实现具有人工智能的便携式游戏机5200。

[0627] 游戏的进展、游戏中出现的生物的言行、游戏上发生的现象等的表现本来是由该游戏所具有的程序规定的，但是通过将人工智能应用于便携式游戏机5200，可以实现不局限于游戏的程序的表现。例如，可以实现游戏玩者提问的内容、游戏的进展情况、时间、游戏上出现的人物的言行变化等的表现。

[0628] 此外，当使用便携式游戏机5200玩需要多个人玩的游戏时，可以利用人工智能构成拟人的游戏玩者，由此可以将人工智能的游戏玩者当作对手，一个人也可以玩多个人玩的游戏。

[0629] 在图30中，作为游戏机的例子示出便携式游戏机，但是本发明的一个方式的电子设备不局限于此。作为本发明的一个方式的电子设备，例如可以举出家用固定式游戏机、设置在娱乐设施(游戏中心、游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0630] [移动体]

上述实施方式所说明的半导体装置可以应用于作为移动体的汽车及汽车的驾驶座位附近。

[0631] 图30示出作为移动体的一个例子的汽车5700。

[0632] 汽车5700的驾驶座位附近设置有能够表示速度表、转速计、行驶距离、加油量、排档状态及空调的设定等的仪表板。此外，驾驶座位附近也可以设置有表示上述信息的显示装置。

[0633] 尤其是，通过将由设置在汽车5700上的摄像装置(未图示)拍摄的影像显示在上述显示装置上，可以补充被支柱等遮挡的视野、驾驶座位的死角等，从而可以提高安全性。也就是说，通过显示由设置在汽车5700外侧的摄像装置拍摄的影像，可以补充死角，从而可以提高安全性。

[0634] 上述实施方式所说明的半导体装置可以应用于人工智能的构成要素，所以例如可以将该半导体装置应用于汽车5700的自动驾驶系统。此外，可以将该半导体装置应用于进行导航、危险预测等的系统。该显示装置可以表示导航、危险预测等的信息。

[0635] 虽然在上述例子中作为移动体的一个例子说明汽车，但是移动体不局限于汽车。例如，作为移动体，也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等，可以对这些移动体应用本发明的一个方式的半导体装置，以提供利用人工智能的系统。

[0636] [照相机]

上述实施方式所说明的半导体装置可以应用于照相机。

[0637] 图30示出摄像装置的一个例子的数码相机6240。数码相机6240包括框体6241、显示部6242、操作按钮6243、快门按钮6244等，并且安装有可装卸的透镜6246。在此，数码相机6240采用能够从框体6241拆卸下透镜6246的结构，但是透镜6246及框体6241也可以被形成为一体。此外，数码相机6240还可以包括另外安装的闪光灯装置及取景器等。

[0638] 通过将上述实施方式所说明的半导体装置用于数码相机6240，可以实现低功耗的数码相机6240。此外，借助于低功耗，可以降低来自电路的发热，由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0639] 再者，通过将上述实施方式所说明的半导体装置用于数码相机6240，可以实现具有人工智能的数码相机6240。通过利用人工智能，数码相机6240可以具有如下功能：自动识别脸、物体等拍摄对象的功能；根据该拍摄对象调节焦点、根据环境自动使用快闪的功能；对所拍摄的图像进行调色的功能；等。

[0640] [视频摄像机]

上述实施方式所说明的半导体装置可以应用于视频摄像机。

[0641] 图30示出摄像装置的一个例子的视频摄像机6300。视频摄像机6300包括第一框体6301、第二框体6302、显示部6303、操作键6304、透镜6305、连接部6306等。操作键6304及透镜6305设置在第一框体6301上，显示部6303设置在第二框体6302上。第一框体6301与第二框体6302由连接部6306连接，第一框体6301与第二框体6302间的角度可以由连接部6306改变。显示部6303的图像也可以根据连接部6306中的第一框体6301与第二框体6302间的角度切换。

[0642] 当记录由视频摄像机6300拍摄的图像时，需要进行根据数据记录方式的编码。通过利用人工智能，视频摄像机6300可以在进行编码时进行利用人工智能的类型识别。通过该类型识别，可以算出包括在连续的摄像图像数据中的人、动物、物体等差异数据而进行数据压缩。

[0643] [PC用扩展装置]

上述实施方式所说明的半导体装置可以应用于PC(Personal Computer:个人计算机)等计算机、信息终端用扩展装置。

[0644] 图31A示出该扩展装置的一个例子的可以携带且安装有能够执行运算处理的芯片的设置在PC的外部的扩展装置6100。扩展装置6100例如通过由USB(Universal Serial Bus;通用串行总线)等连接于PC,可以执行使用该芯片的运算处理。注意,虽然图31A示出可携带的扩展装置6100,但是根据本发明的一个方式的扩展装置不局限于此,例如也可以采用安装冷却风机等的较大结构的扩展装置。

[0645] 扩展装置6100包括框体6101、盖子6102、USB连接器6103及基板6104。基板6104被容纳在框体6101中。基板6104设置有驱动上述实施方式所说明的半导体装置等的电路。例如,基板6104安装有芯片6105(例如,上述实施方式所半导体装置、电子构件4700、存储器芯片等)、控制器芯片6106。USB连接器6103被用作连接于外部装置的接口。

[0646] 通过将扩展装置6100应用于PC等,可以提高该PC的运算处理能力。由此,例如没有充分的处理能力的PC也可以执行人工智能、动画处理等运算。

[0647] [广播电视系统]

上述实施方式所说明的半导体装置可以应用于广播电视系统。

[0648] 图31B示意性地示出广播电视系统中的数据传送。具体而言,图31B示出从广播电视台5680发送的电波(广播电视信号)到达每个家庭的电视接收机(TV)5600的路径。TV5600包括接收机(未图示),由此天线5650所接收的广播电视信号通过该接收机输入到TV5600。

[0649] 虽然在图31B中示出UHF(Ultra High Frequency:超高频率)天线作为天线5650,但是可以使用BS及110度CS天线、CS天线等作为天线5650。

[0650] 电波5675A及电波5675B为地面广播电视信号,电波塔5670放大所接收的电波5675A并发送电波5675B。各家庭通过用天线5650接收电波5675B,就可以用TV5600收看地面TV播放。此外,广播电视系统可以为利用人造卫星的卫星广播电视、利用光路线的数据广播电视等而不局限于图31B所示的地面广播电视。

[0651] 上述广播电视系统可以使用上述实施方式中所说明的半导体装置而利用人工智能。当从广播电视台5680向每个家庭的TV5600发送广播电视数据时,利用编码器进行广播电视数据的压缩;当天线5650接收该广播电视数据时,利用包括在TV5600中的接收机的解码器进行该广播电视数据的恢复。通过利用人工智能,例如可以在编码器的压缩方法之一的变动补偿预测中识别包含在显示图像中的显示模式。此外,也可以进行利用人工智能的帧内预测等。例如,当TV5600接收低分辨率的广播电视数据而进行高分辨率的显示时,可以在解码器所进行的广播电视数据的恢复中进行上转换等图像的补充处理。

[0652] 上述利用人工智能的广播电视系统适合用于广播电视数据量增大的超高清晰度电视(UHDTV:4K、8K)播放。

[0653] 此外,作为TV5600一侧的人工智能的应用,例如,可以在TV5600内设置具备人工智能的录像装置。通过采用这种结构,可以使该具备人工智能的录像装置学习使用者的爱好,而可以自动对符合使用者的爱好的电视节目录像。

[0654] [识别系统]

上述实施方式所说明的半导体装置可以应用于识别系统。

[0655] 图31C示出掌纹识别装置，包括框体6431、显示部6432、掌纹读取部6433以及布线6434。

[0656] 图31C示出掌纹识别装置取得手6435的掌纹的情况。对所取得的掌纹进行利用人工智能的类型识别的处理，可以判断该掌纹是不是个人的掌纹。由此，可以构成进行安全性高的识别的系统。此外，根据本发明的一个实施方式的识别系统不局限于掌纹识别装置，而也可以是取得指纹、静脉、脸、虹膜、声纹、基因或体格等生物信息以进行生物识别的装置。

[0657] 注意，本实施方式可以与本说明书所示的其他实施方式适当地组合。

[实施例1]

[0658] 在本实施例中，说明为了确认实施方式1中的电路MC是否作为乘法单元合适地进行工作而进行模拟的结果。

[0659] 作为该模拟，将图4所示的电路MC的结构输入到电路模拟器，作为流在晶体管M2的第一端子-第二端子间的电流I_W、流在晶体管M6的第一端子-第二端子间的电流I_X及流在晶体管M9的第一端子-第二端子间的电流I_B，计算出流在晶体管M10的第一端子-第二端子间(布线OL)的输出电流。

[0660] 注意，省略向该模拟输入的图5的电路MC所包括的电容CG，如图5所示由晶体管M1进行电源门控(进行高电源电位的供应或停止的工作)。

[0661] 晶体管M2的栅极所保持的电压例如为每隔0.01V从0.25V到0.32V的电压范围的电位。

[0662] 另外，向布线XDL输入的电位，即向晶体管M6的栅极输入的电位例如为每隔0.02V从0.2V到0.34V的电压范围的电位。

[0663] 另外，向布线BDL输入的电位，即向晶体管M9的栅极输入的电位例如一直为0.34V。

[0664] 在此，图32A是在上述电压的输入条件下通过模拟得到的输出电流的图表。图32A的横轴表示在理论上被期待的输出电流的大小，纵轴表示通过模拟计算出的输出电流的大小。根据图32A的图表的结果可以确认，通过模拟计算出的输出电流的大小大致与在理论上被期待的输出电流的大小一致。

[0665] 另外，图32B示出在上述模拟中使用的电路的运算效率。图32B的横轴表示通过模拟计算出的输出电流的大小，图32B的纵轴表示运算效率。由图32B可以确认：运算效率根据每个输出电流不同，但是所有输出电流的运算效率都为100TOPS/W以上。

[实施例2]

[0666] 接着，对设置有实施方式1所说明的电路HC2、电路HC5至电路HC10等的晶体管的阈值电压以及背栅极-源极间电压的关系进行说明。

[0667] 首先，说明在模拟中使用的电路结构。图33示出在该模拟中使用的电路结构，其包括晶体管MS、晶体管BTr及电容BC。调整阈值电压的晶体管为晶体管MS，晶体管MS例如相当于图3的电路MC中的晶体管M2、晶体管M5至晶体管M10。另外，晶体管BTr及电容BC包括在电路HC中，电路HC例如相当于图3的电路MC中的电路HC2、电路HC5、电路HC6、电路HC7、电路HC8、电路HC9、电路HC10。另外，晶体管MS的背栅极-源极(端子ST1)间的电压V_{bs}能够被电容BC保持。

[0668] 考虑如下情况：当晶体管MS的阈值电压V_{sh}大约在0.1V至0.45V的范围内时，在栅极(端子GT)-源极(端子ST1)间电压为0V的条件下使1.0×10^{-14}A的电流流在晶体管MS的第一

端子-第二端子间。由基于图33的电路结构及上述条件进行模拟的结果可知，通过将V_{bs}控制为0V至2.5V的电压范围，可以在栅极(端子GT)-源极(端子ST1)间电压为0V的条件下使大约为1.0×10^{-14}A的电流流在晶体管MS的第一端子-第二端子间。另外，晶体管MS的阈值电压V_{sh}与晶体管MS的背栅极-源极(端子ST1)间的电压V_{bs}的关系如图34所示。

[0669] 根据上述模拟结果可以确认，通过将图33所示的电路HC(相当于图3的电路HC2、电路HC5至电路HC10)电连接于控制阈值电压的晶体管MS(相当于图3的晶体管M2、晶体管M5至晶体管M10)的背栅极，可以适当地控制晶体管MS的阈值电压。

[符号说明]

[0670] SDV1:半导体装置、SDV1-1:半导体装置、SDV1-2:半导体装置、SDV2:半导体装置、SDV3:半导体装置、SDV4:半导体装置、SDV5:半导体装置、CA:单元阵列、MC:电路、MC[1,1]:电路、MC[1,n]:电路、MC[h,1]:电路、MC[h,n]:电路、MC[m-h+1,1]:电路、MC[m-h+1,n]:电路、MC[m,1]:电路、MC[m,n]:电路、MC[1]:电路、MC[h]:电路、MC[m-h+1]:电路、MC[m]:电路、WDC:电路、WDIC:电路、WDICa:电路、XDC:电路、BDC:电路、WWC:电路、XWC:电路、BGC:电路、ACTV:电路、ADR[1]:电路、ADR[n]:电路、ACF:电路、HC2:电路、HC5:电路、HC6:电路、HC7:电路、HC8:电路、HC9:电路、HC10:电路、HC:电路、ISC:电路、PE:电路、PE[1]:电路、PE[h]:电路、PE[m-h+1]:电路、PE[m]:电路、PEA:电路、PDA:电路、IMA:摄像区域、CS:电流源、INV1:反相电路、INV2:反相电路、INV3:反相电路、ND:NAND电路、LE:负载、CS1:电流源、CS2:电流源、CS3:电流源、CS4:电流源、M1:晶体管、M2:晶体管、M2a:晶体管、M2b:晶体管、M2A:晶体管、M2Aa:晶体管、M2Ab:晶体管、M3:晶体管、M3a:晶体管、M3b:晶体管、M3A:晶体管、M3Aa:晶体管、M3Ab:晶体管、M4:晶体管、M4a:晶体管、M4b:晶体管、M5:晶体管、M5a:晶体管、M5b:晶体管、M6:晶体管、M6a:晶体管、M6b:晶体管、M6A:晶体管、M6Aa:晶体管、M6Ab:晶体管、M7:晶体管、M7a:晶体管、M7b:晶体管、M8:晶体管、M8a:晶体管、M8b:晶体管、M9:晶体管、M9a:晶体管、M9b:晶体管、M10:晶体管、M10a:晶体管、M10b:晶体管、M11:晶体管、M11a:晶体管、M11b:晶体管、M12:晶体管、M12a:晶体管、M12b:晶体管、M13:晶体管、M14:晶体管、M15:晶体管、M16:晶体管、M17:晶体管、MS:晶体管、CT:晶体管、BTr:晶体管、Tr1:晶体管、Tr1[1]:晶体管、Tr1[2]:晶体管、Tr1[K]:晶体管、Tr2:晶体管、Tr2[1]:晶体管、Tr2[2]:晶体管、Tr2[K]:晶体管、Tr3:晶体管、SWW:开关、PD:光电二极管、PD[1]:光电二极管、PD[h]:光电二极管、PD[m-h+1]:光电二极管、PD[m]:光电二极管、C1:电容、C2:电容、C3:电容、C6:电容、CG:电容、BC:电容、WWL:布线、WWL[1]:布线、WWL[m]:布线、WWLB:布线、WWLB[1]:布线、WWLB[m]:布线、WDL:布线、WDL[1]:布线、WDL[n]:布线、WDIL:布线、WDIL[1]:布线、WDIL[n]:布线、XDL:布线、XDL[1]:布线、XDL[h]:布线、XDL[m-h+1]:布线、XDL[m]:布线、BDL:布线、BDL[1]:布线、BDL[m]:布线、BGL:布线、BGL[1]:布线、BGL[m]:布线、XWL[1]:布线、XWL[n]:布线、OL:布线、OL[1]:布线、OL[n]:布线、RSL:布线、TXL:布线、CVL:布线、VTL:布线、VWL:布线、VDE:布线、VDE2:布线、VDE3:布线、VGE:布线、VGE2:布线、VGE3:布线、VINIL1:布线、VDDL:布线、BWL2:布线、BWL5:布线、BWL6:布线、BWL7:布线、BWL8:布线、BWL9:布线、BWL10:布线、BGL2:布线、BGL5:布线、BGL6:布线、BGL7:布线、BGL8:布线、BGL9:布线、BGL10:布线、BGLA:布线、ZL:布线、ZL[1]:布线、ZL[n]:布线、BIL:布线、DW[1]:布线、DW[2]:布线、DW[K]:布线、IML:布线、PI:布线、VTHL:布线、IT:端子、OT:端子、T1:端子、T2:端子、GT:端子、ST:端子、BSE:衬底、SIL:结构体、OSL:结构体、OSL1:结构体、OSL2:结构体、PDL:结构体、SCL1:划分线、SCL2:划

分线、300:晶体管、310:衬底、310A:衬底、312:元件分离层、313:半导体区域、314a:低电阻区域、314b:低电阻区域、315:绝缘体、316:导电体、320:绝缘体、322:绝缘体、324:绝缘体、326:绝缘体、328:导电体、330:导电体、350:绝缘体、352:绝缘体、354:绝缘体、356:导电体、360:绝缘体、362:绝缘体、364:绝缘体、366:导电体、411:绝缘体、412:绝缘体、413:绝缘体、414:绝缘体、416:导电体、500:晶体管、503:导电体、503a:导电体、503b:导电体、510:绝缘体、512:绝缘体、514:绝缘体、516:绝缘体、518:导电体、522:绝缘体、524:绝缘体、530:氧化物、530a:氧化物、530b:氧化物、530ba:区域、530bb:区域、530bc:区域、540a:导电体、540b:导电体、541a:绝缘体、541b:绝缘体、542a:导电体、542b:导电体、543a:氧化物、543b:氧化物、544:绝缘体、546:导电体、550:绝缘体、550a:绝缘体、550b:绝缘体、552:绝缘体、554:绝缘体、560:导电体、560a:导电体、560b:导电体、571a:绝缘体、571b:绝缘体、574:绝缘体、576:绝缘体、580:绝缘体、581:绝缘体、582:绝缘体、586:绝缘体、600:电容元件、610:导电体、612:导电体、620:导电体、630:绝缘体、640:绝缘体、650:绝缘体、660:导电体、4700:电子构件、4702:印刷电路板、4704:安装衬底、4710:半导体装置、4711:模子、4712:连接盘、4713:电极焊盘、4714:引线、4730:电子构件、4731:插板、4732:封装衬底、4733:电极、4735:半导体装置、4800:半导体晶片、4800a:芯片、4801:晶片、4801a:晶片、4802:电路部、4803:空隙、4803a:空隙、5200:便携式游戏机、5201:框体、5202:显示部、5203:按钮、5300:台式信息终端、5301:主体、5302:显示器、5303:键盘、5500:信息终端、5510:框体、5511:显示部、5600:TV、5650:天线、5670:电波塔、5675A:电波、5675B:电波、5680:广播电视台、5700:汽车、5800:电冷藏冷冻箱、5801:框体、5802:冷藏室门、5803:冷冻室门、5900:信息终端、5901:框体、5902:显示部、5903:操作按钮、5904:表把、5905:表带、6100:扩展装置、6101:框体、6102:盖子、6103:USB连接器、6104:基板、6105:芯片、6106:控制器芯片、6240:数码相机、6241:框体、6242:显示部、6243:操作按钮、6244:快门按钮、6246:透镜、6300:视频摄像机、6301:第一框体、6302:第二框体、6303:显示部、6304:操作键、6305:透镜、6306:连接部、6431:框体、6432:显示部、6433:掌纹读取部、6434:布线、6435:手、7500:固定式游戏机、7520:主体、7522:控制器

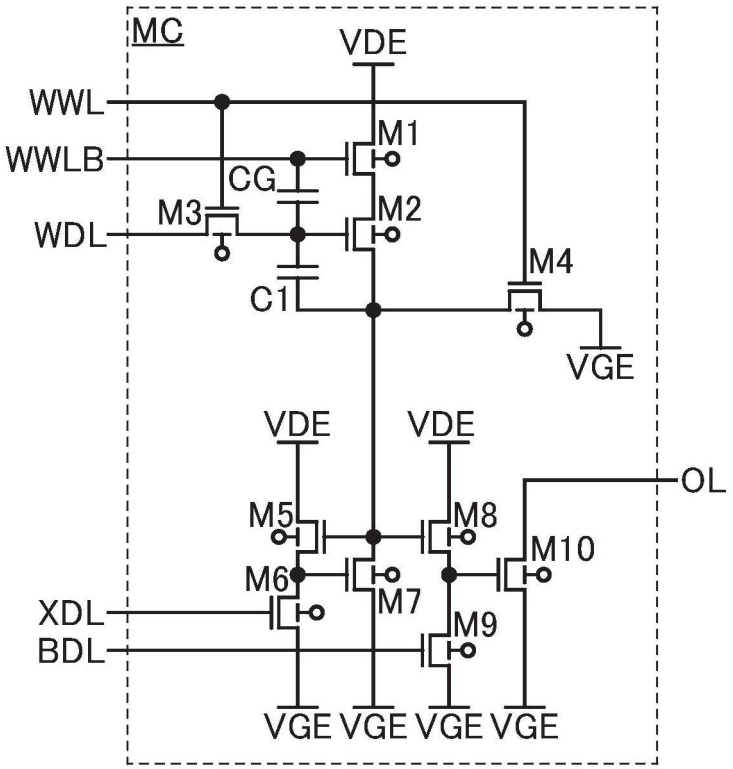

MC
VDE
WWL
WWLB
WDL
M1
M2
M3
M4
CG
C1
VGE
VDE
VDE
OL
M5
M8
M10
M6
M7
M9
XDL
BDL
VGE VGE VGE VGE

图1

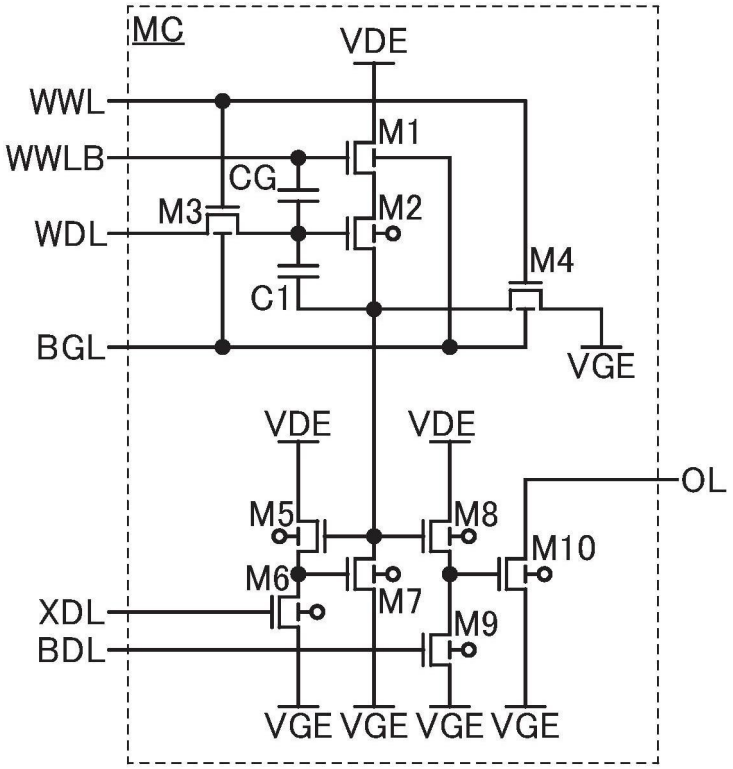

MC
VDE
WWL
WWLB
WDL
BGL
M1
M2
M3
M4
CG
C1
VGE
VDE
VDE
OL
M5
M8
M10
M6
M7
M9
XDL
BDL
VGE VGE VGE VGE

图2A

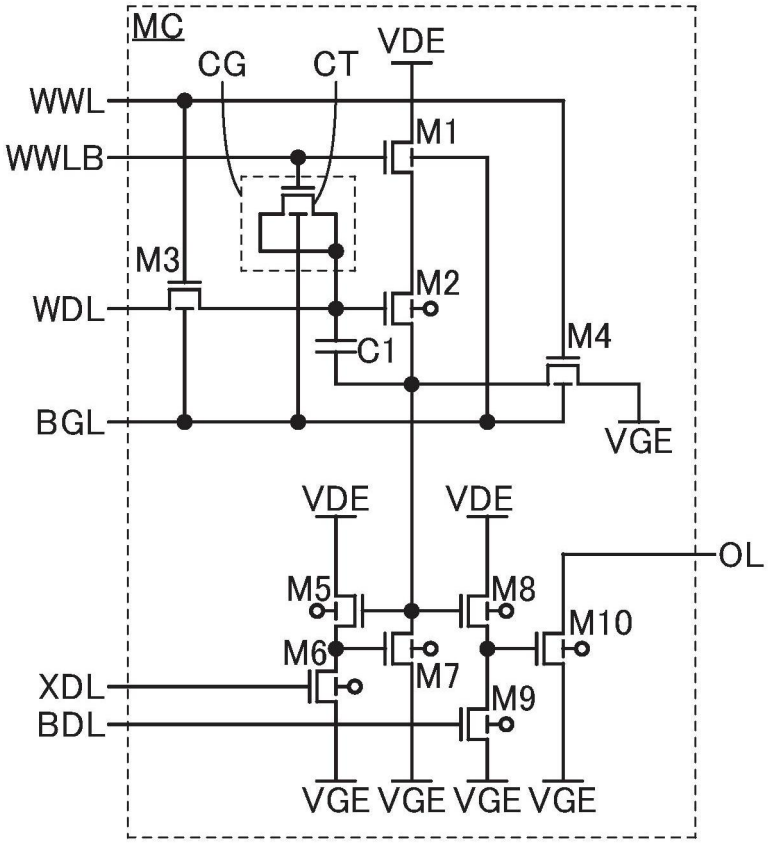

MC
CG
CT
VDE
WWL
WWLB
M1
M3
M2
WDL
C1
M4
BGL
VGE
VDE
VDE
OL
M5
M8
M10
M6
M7
XDL
M9
BDL
VGE VGE VGE VGE

图2B

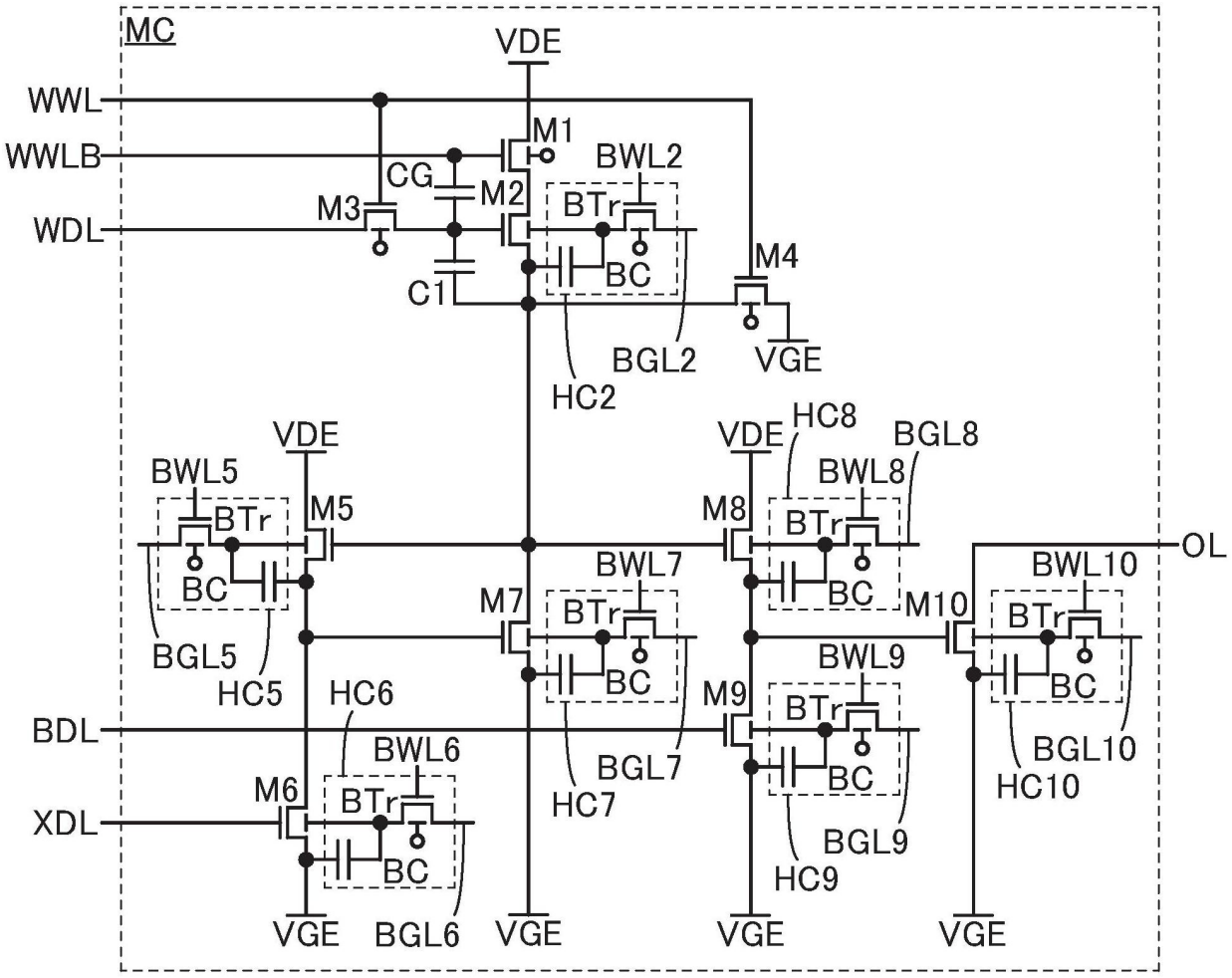

MC
VDE
WWL
WWLB
WDL
M1
BWL2
CG
M2
M3
BTr
BC
C1
M4
BGL2
VGE
HC2
VDE
HC8
BGL8
VDE
BWL5
BWL8
M5
M8
BTr
BC
OL
BWL7
BWL10
M7
M10
BGL5
HC5
HC6
M9
BWL9
BDL
BWL6
M6
HC7
BGL7
BGL10
HC10
XDL
BGL9
HC9
VGE
BGL6
VGE
VGE
VGE

图3

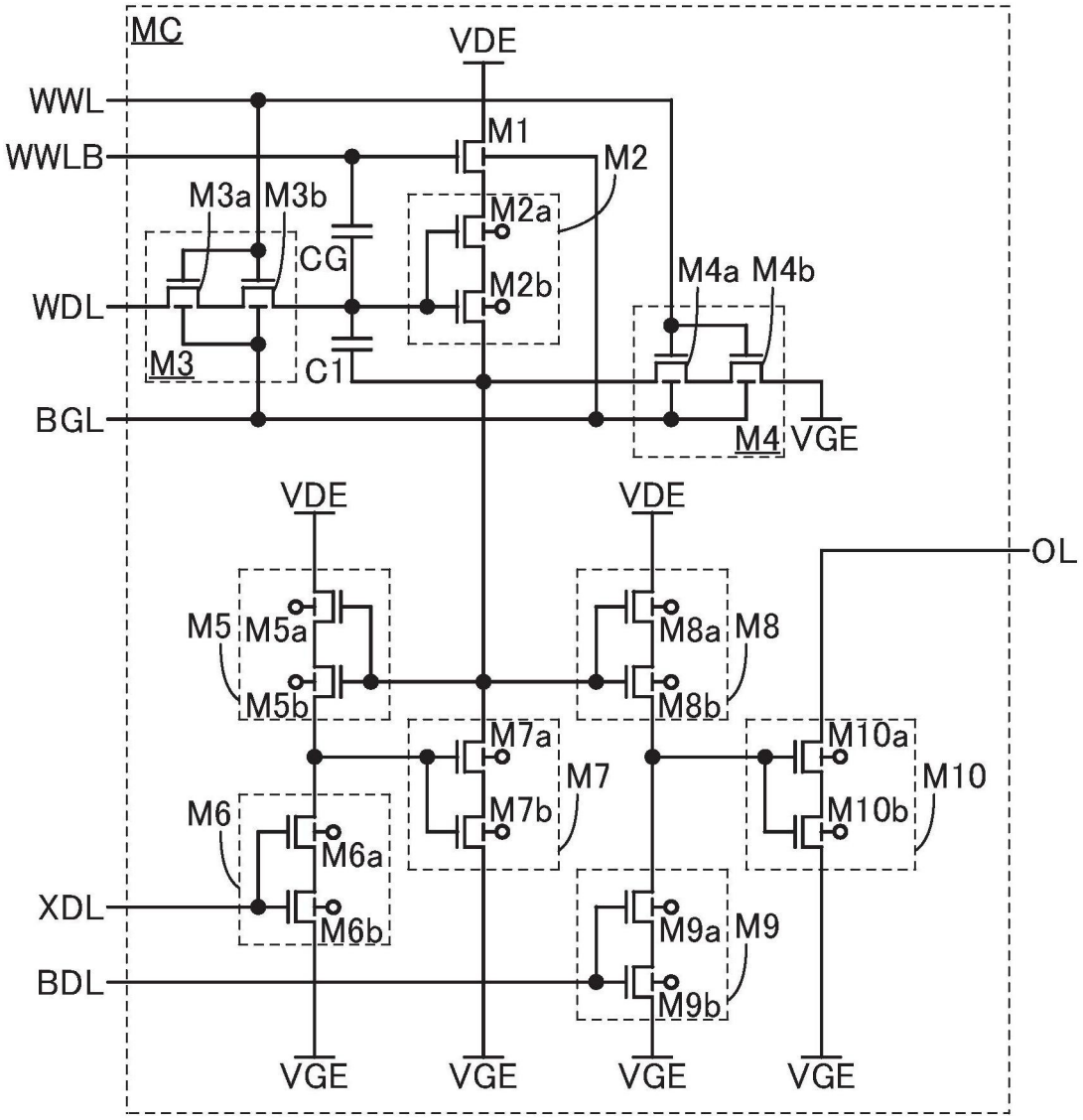

MC
VDE
WWL
WWLB
M1
M2
M3a
M3b
M2a
CG
M2b
M4a
M4b
WDL
M3
C1
BGL
M4
VGE
VDE
VDE
OL
M5
M5a
M8a
M8
M5b
M8b
M7a
M10a
M7
M10
M6
M7b
M10b
M6a
XDL
M6b
M9a
M9
BDL
M9b
VGE
VGE
VGE
VGE

图4

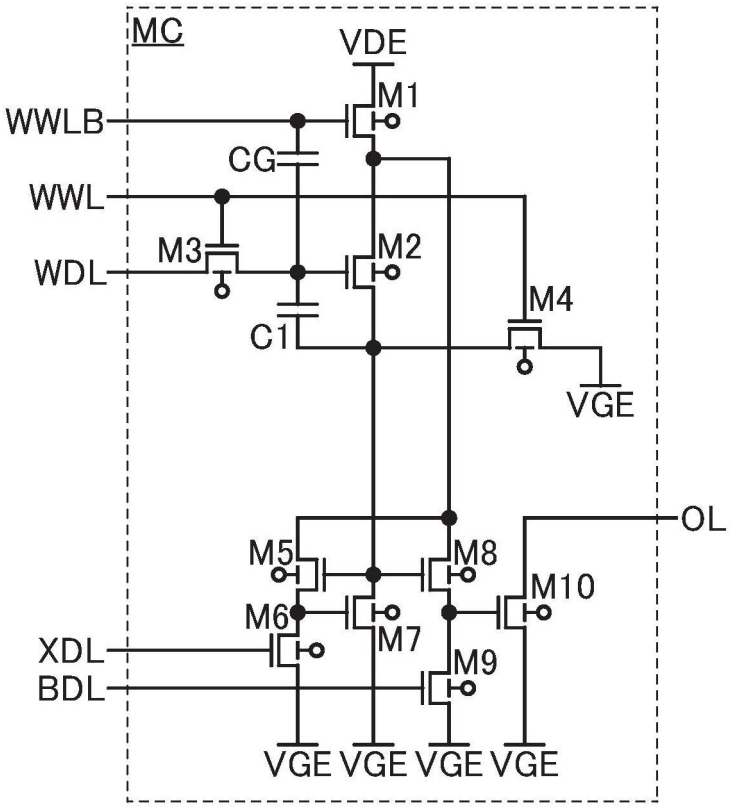

MC
VDE
M1
WWLB
CG
WWL
M3
M2
WDL
M4
C1
VGE
OL
M5
M8
M10
M6
M7
XDL
M9
BDL
VGE VGE VGE VGE

图5

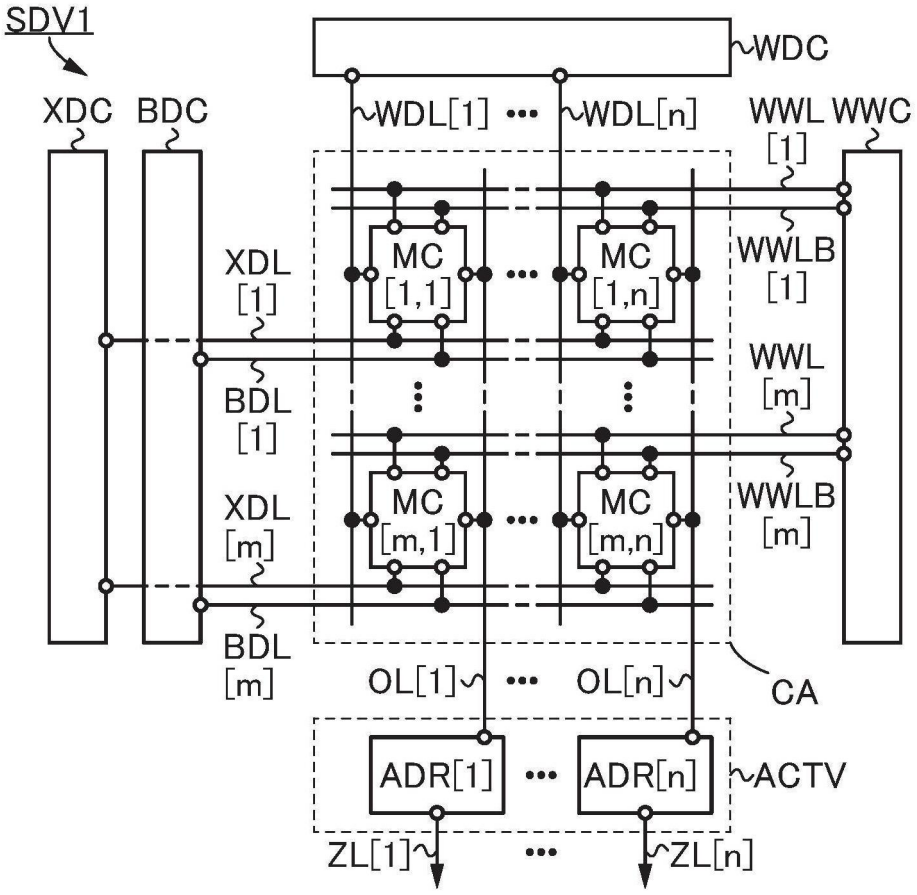

SDV1
XDC
BDC
WDC
WDL[1]
WDL[n]
WWL
[1]
WWC
XDL
[1]
MC
[1,1]
MC
[1,n]
WWLB
[1]
WWL
[m]
BDL
[1]
XDL
[m]
MC
[m,1]
MC
[m,n]
WWLB
[m]
BDL
[m]
OL[1]
OL[n]
CA
ADR[1]
ADR[n]
ACTV
ZL[1]
ZL[n]

图6A

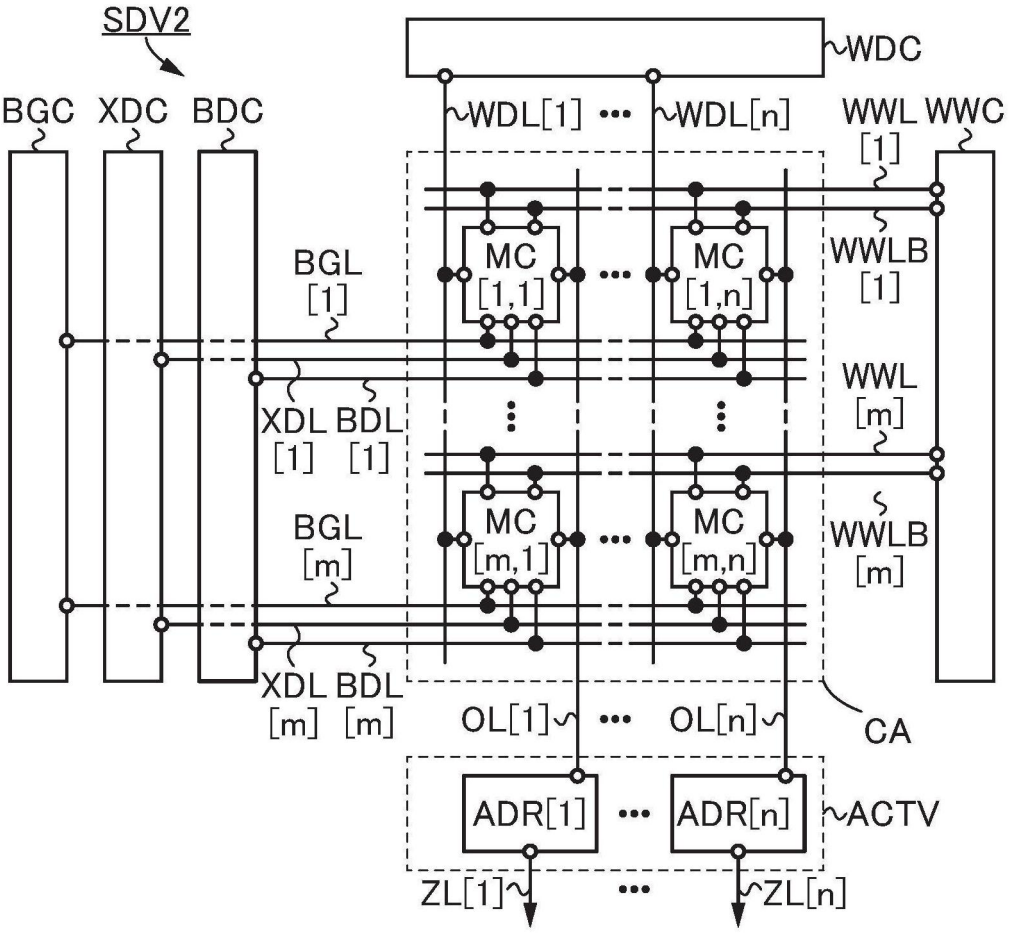

SDV2
WDC
BGC
XDC
BDC
WDL[1]
WDL[n]
WWL
[1]
WWC
WWLB
[1]
BGL
[1]
MC
[1,1]
MC
[1,n]
WWL
[m]
XDL
[1]
BDL
[1]
BGL
[m]
MC
[m,1]
MC
[m,n]
WWLB
[m]
XDL
[m]
BDL
[m]
OL[1]
OL[n]
CA
ADR[1]
ADR[n]
ACTV
ZL[1]
ZL[n]

图6B

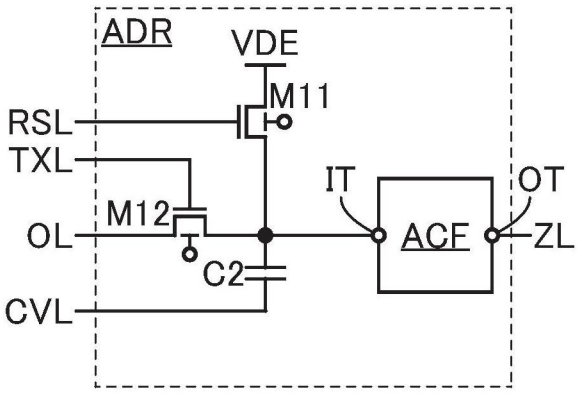

ADR
VDE
M11
RSL
TXL
IT
OT
M12
OL
ACF
ZL
C2
CVL

图7A

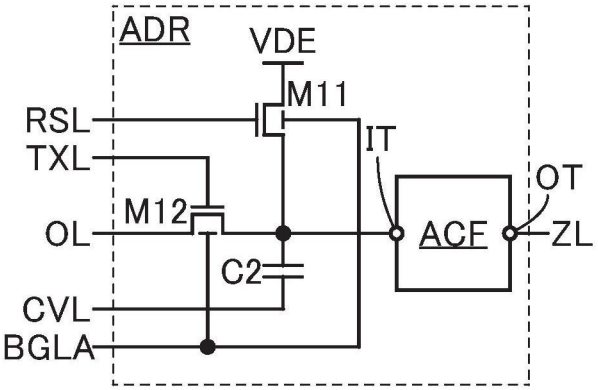

ADR
VDE
M11
RSL
TXL
IT
OT
M12
OL
ACF
ZL
C2
CVL
BGLA

图7B

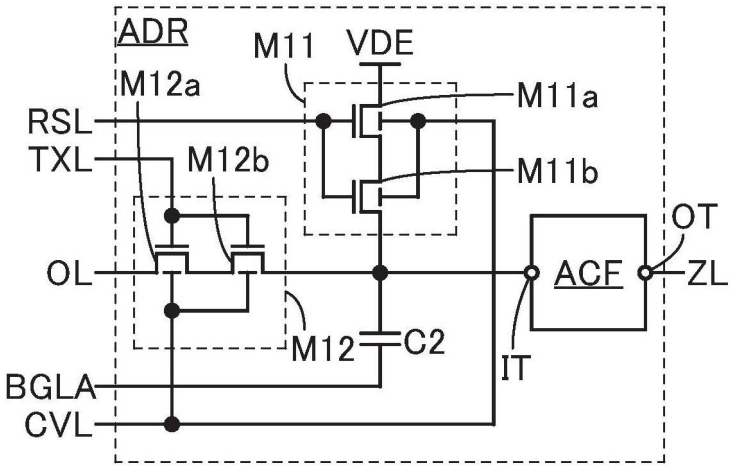

ADR
M11
VDE
M12a
M11a
RSL
TXL
M12b
M11b
OT
OL
ACF
ZL
M12
C2
IT
BGLA
CVL

图7C

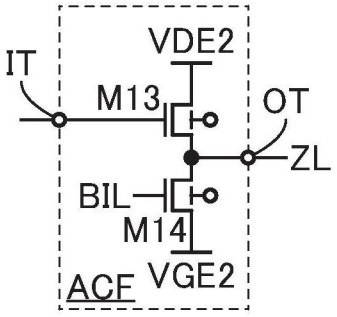

VDE2
IT
M13
OT
ZL
BIL
M14
ACF
VGE2

图8A

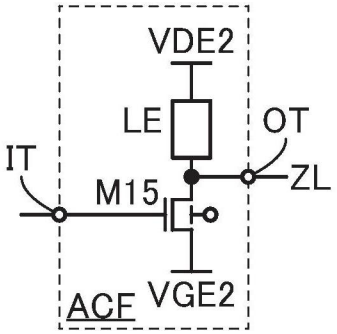


图8B

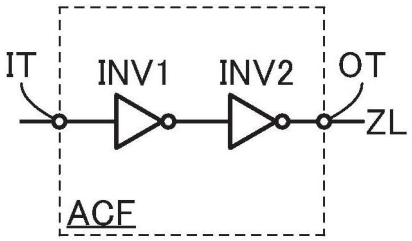


图8C

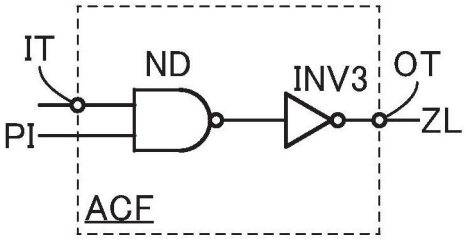


图8D



图9A

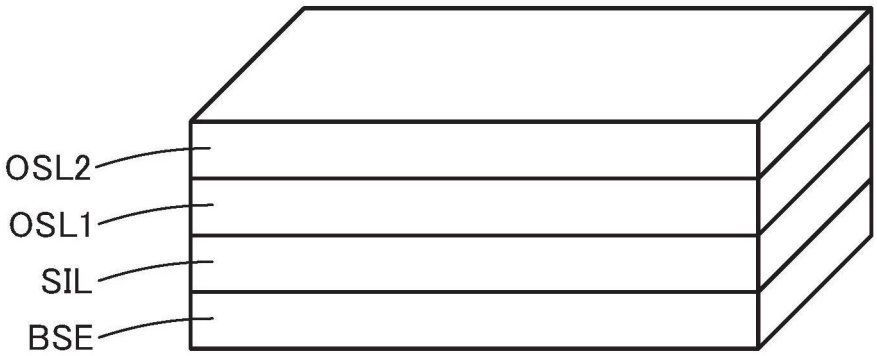


图9B

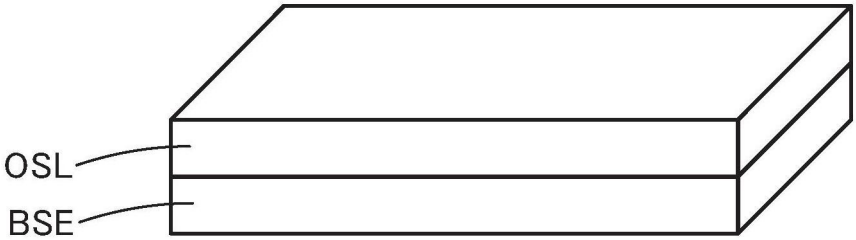


图9C

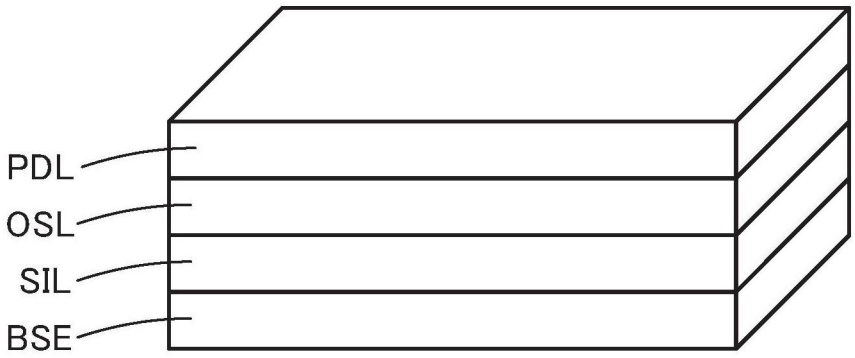


图9D

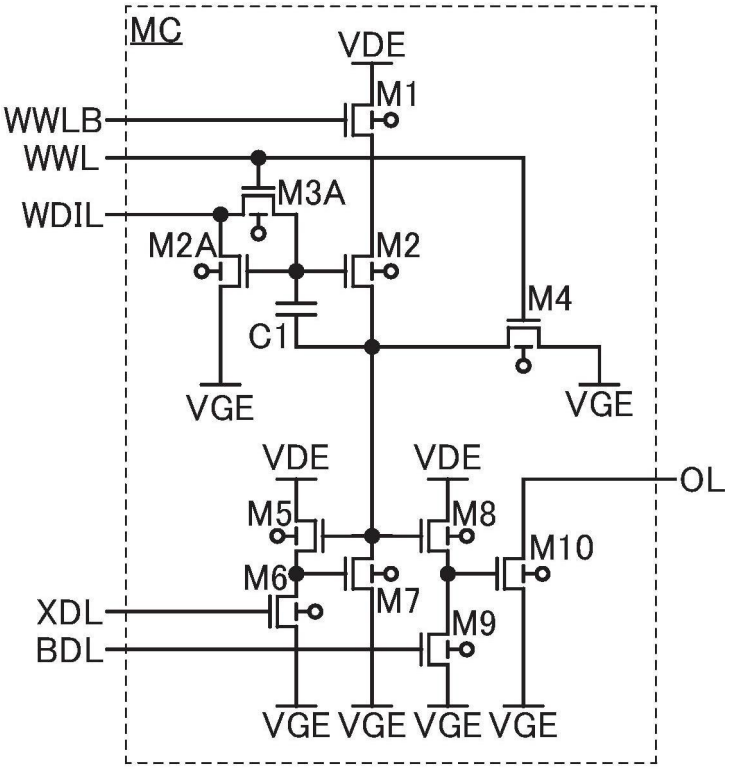

MC
VDE
M1
WWLB
WWL
M3A
WDIL
M2A
M2
M4
C1
VGE
VGE
VDE
VDE
OL
M5
M8
M10
M6
M7
XDL
M9
BDL
VGE VGE VGE VGE

图10

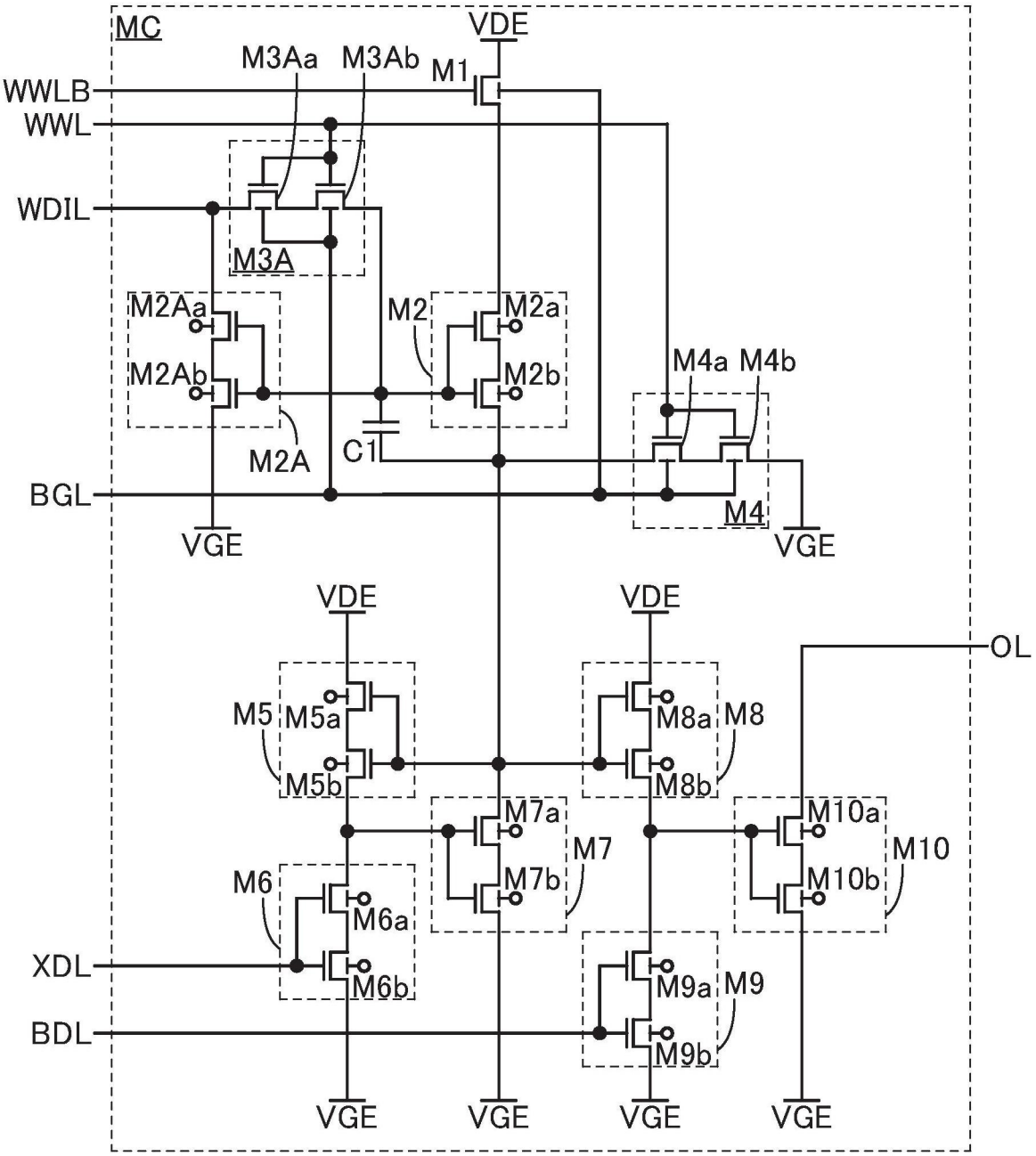

MC
VDE
M3Aa
M3Ab
M1
WWLB
WWL
WDIL
M3A
M2Aa
M2Ab
M2A
M2
M2a
M2b
C1
M4a
M4b
M4
BGL
VGE
VGE
VDE
VDE
OL
M5
M5a
M5b
M8a
M8
M8b
M7a
M7
M7b
M10a
M10
M10b
M6
M6a
M6b
XDL
BDL
M9a
M9
M9b
VGE
VGE
VGE
VGE

图11

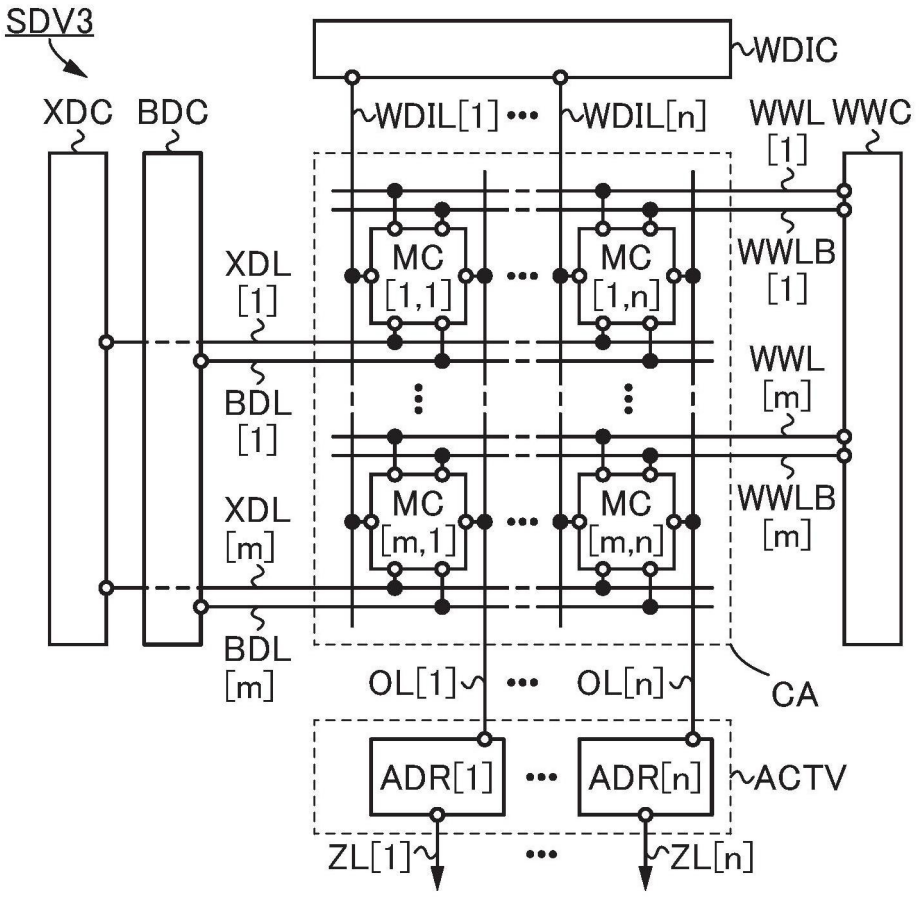

SDV3
XDC
BDC
WDIC
WDIL[1]
WDIL[n]
WWL
[1]
WWC
XDL
[1]
MC
[1,1]
MC
[1,n]
WWLB
[1]
WWL
[m]
BDL
[1]
XDL
[m]
MC
[m,1]
MC
[m,n]
WWLB
[m]
BDL
[m]
OL[1]
OL[n]
CA
ADR[1]
ADR[n]
ACTV
ZL[1]
ZL[n]

图12

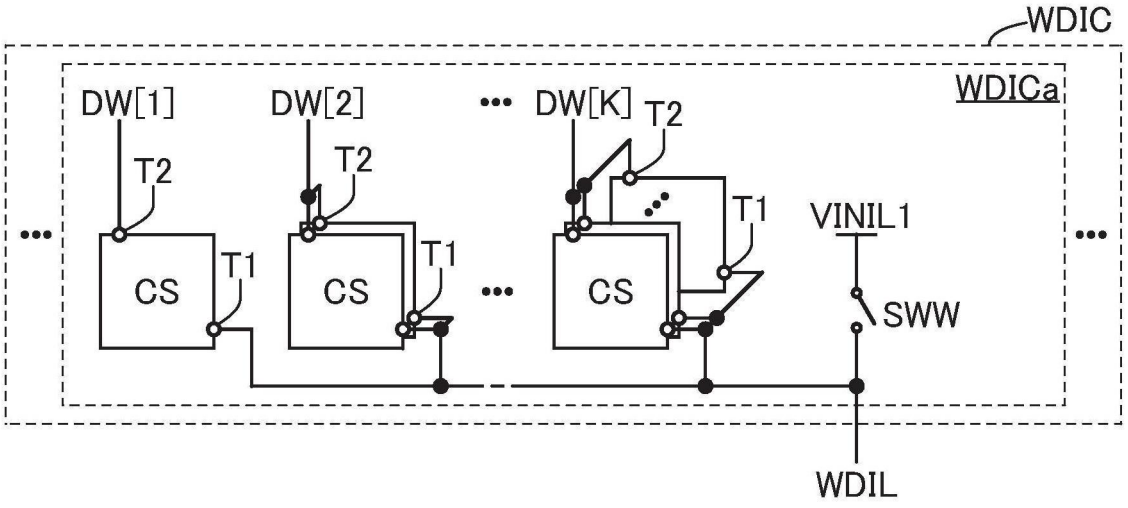

WDIC
WDICa
DW[1]
DW[2]
DW[K]
T2
T1
CS
VINIL1
SWW
WDIL

图13A

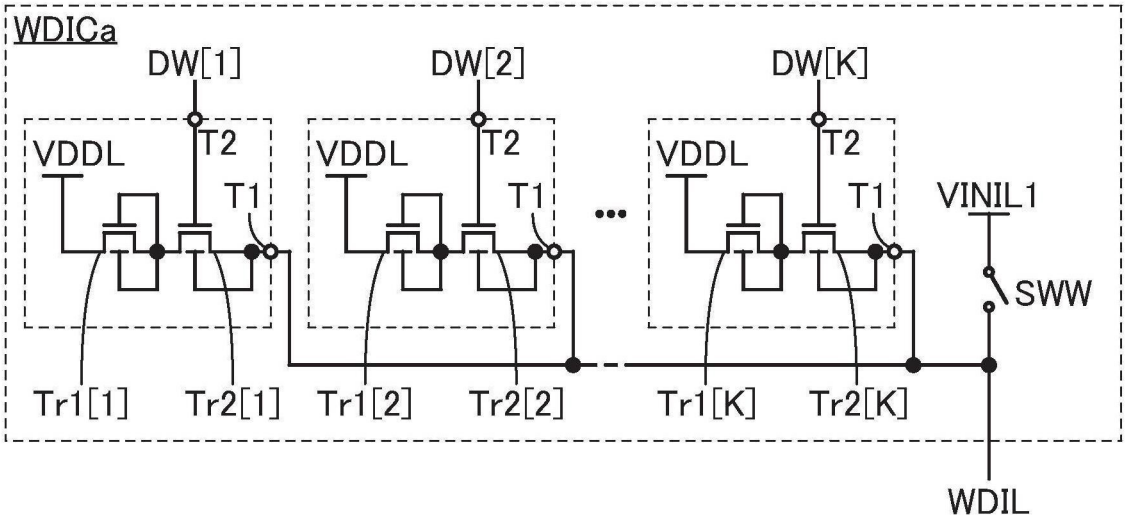


图13B

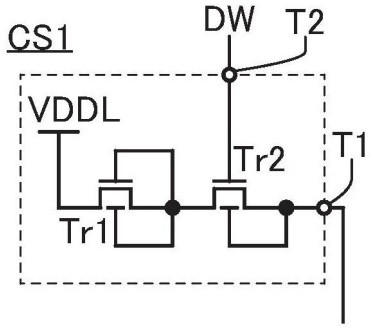


图14A

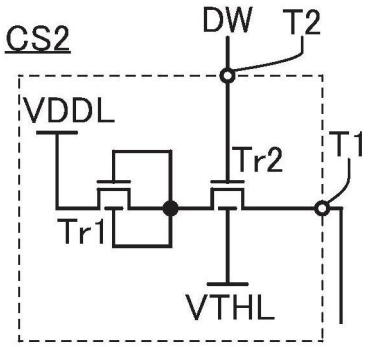


图14B

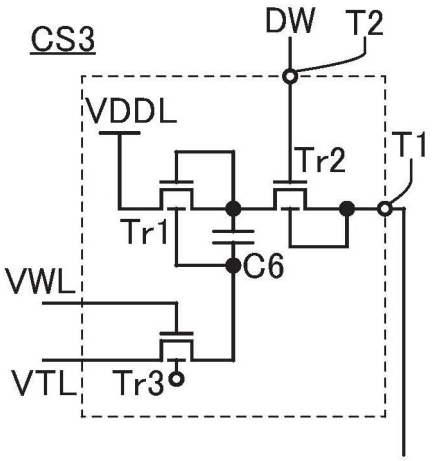

CS3
DW
T2
VDDL
Tr2
T1
Tr1
C6
VWL
VTL
Tr3

图14C

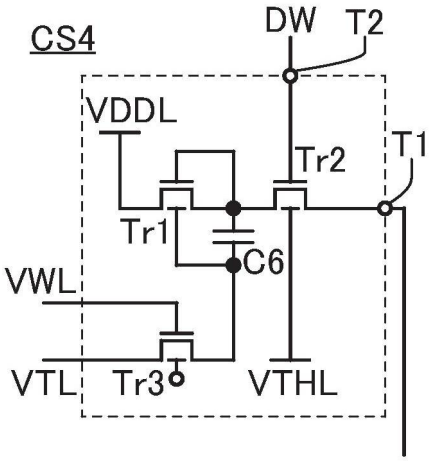

CS4
DW
T2
VDDL
Tr2
T1
Tr1
C6
VWL
VTL
Tr3
VTHL

图14D

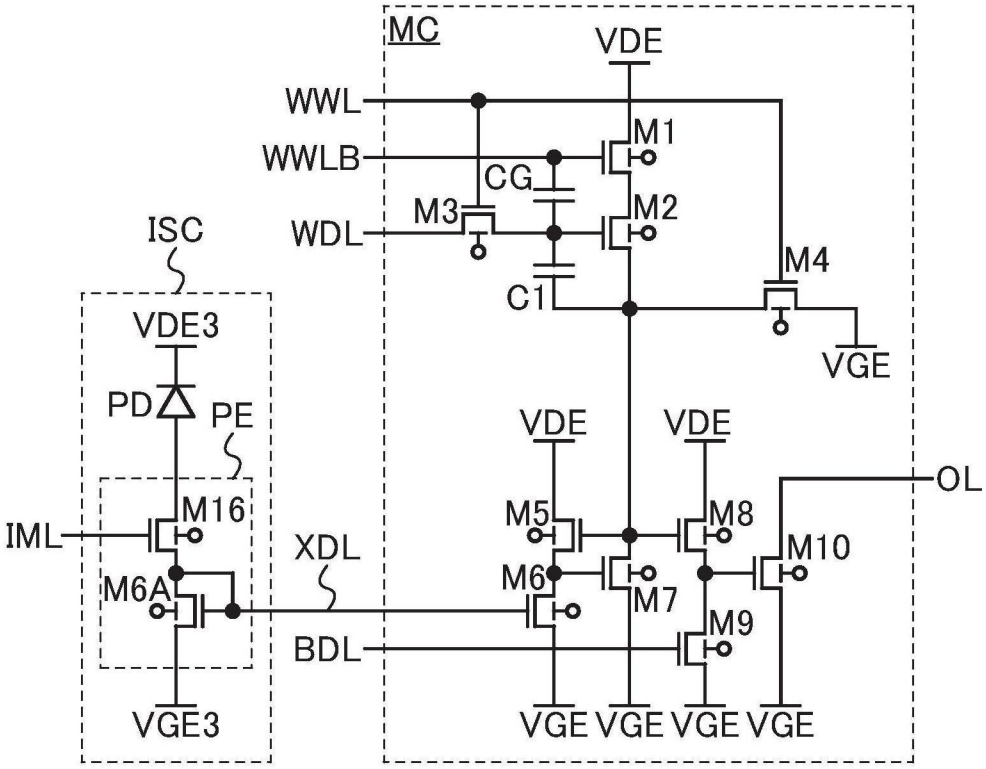

MC
VDE
WWL
WWLB
M1
CG
M3
M2
ISC
WDL
M4
C1
VDE3
VGE
PD
PE
VDE
VDE
OL
M16
M5
M8
IML
XDL
M10
M6
M6A
M7
M9
BDL
VGE3
VGE
VGE
VGE
VGE

图15A

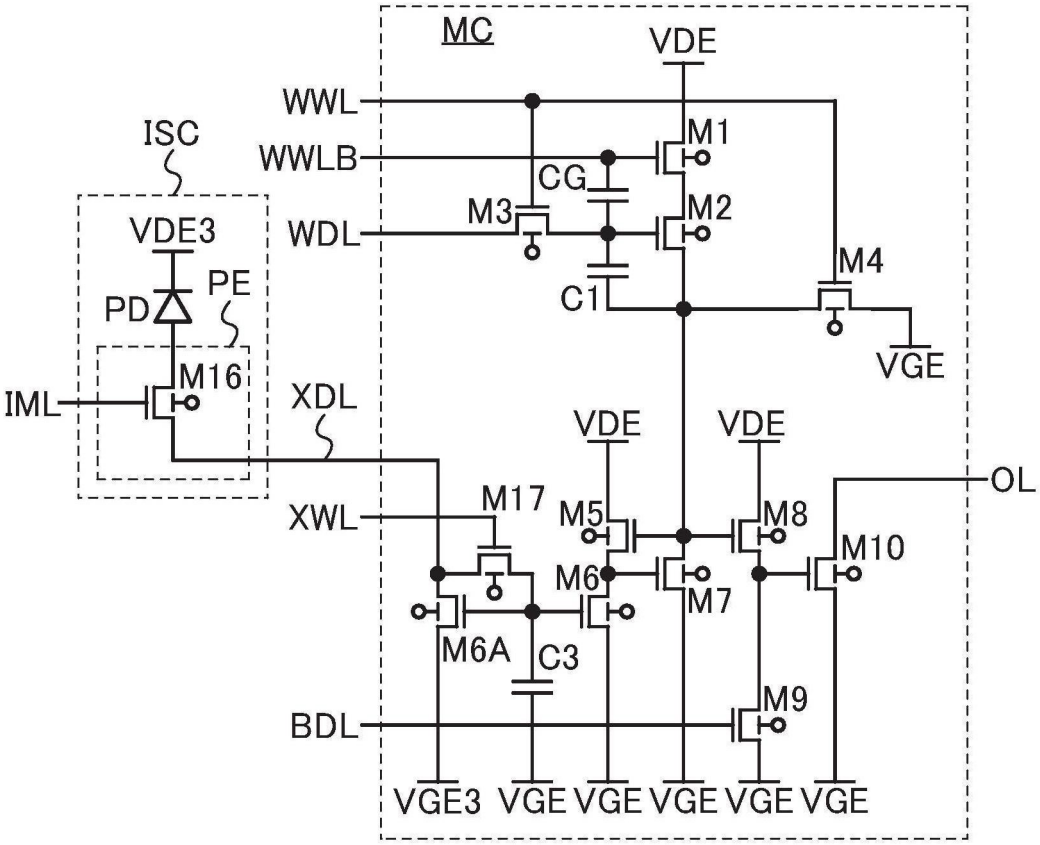

MC
VDE
WWL
ISC
WWLB
M1
CG
M3
M2
VDE3
WDL
M4
PD
PE
C1
VGE
M16
IML
XDL
VDE
VDE
OL
M17
XWL
M5
M8
M10
M6
M7
M6A
C3
M9
BDL
VGE3
VGE
VGE
VGE
VGE
VGE

图15B

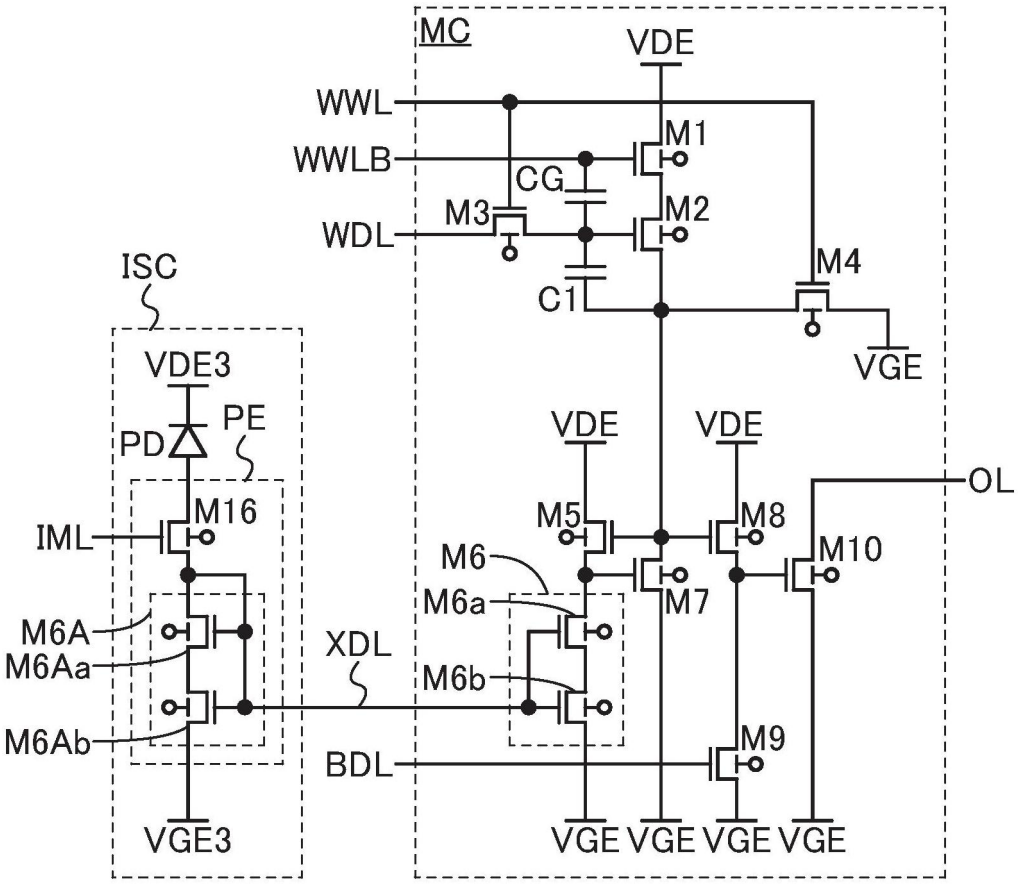

MC
VDE
WWL
WWLB
WDL
M1
CG
M3
M2
M4
C1
VGE
ISC
VDE3
PE
PD
M16
IML
M6A
M6Aa
M6Ab
XDL
VDE
VDE
OL
M5
M8
M10
M6
M6a
M6b
M7
M9
BDL
VGE3
VGE
VGE
VGE
VGE

图16

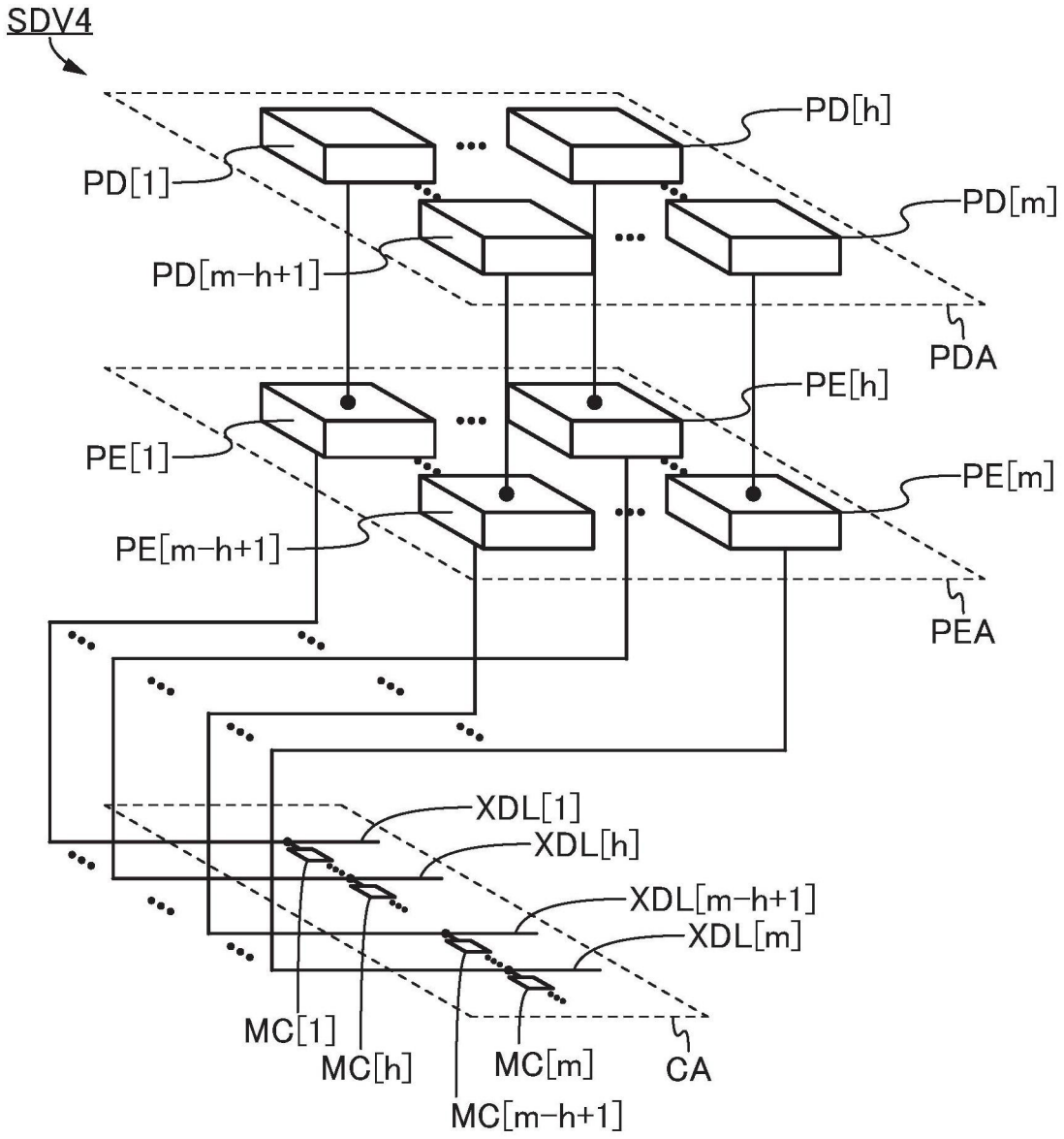

SDV4
PD[h]
PD[1]
PD[m]
PD[m-h+1]
PDA
PE[h]
PE[1]
PE[m]
PE[m-h+1]
PEA
XDL[1]
XDL[h]
XDL[m-h+1]
XDL[m]
MC[1]
MC[h]
MC[m]
MC[m-h+1]
CA

图17

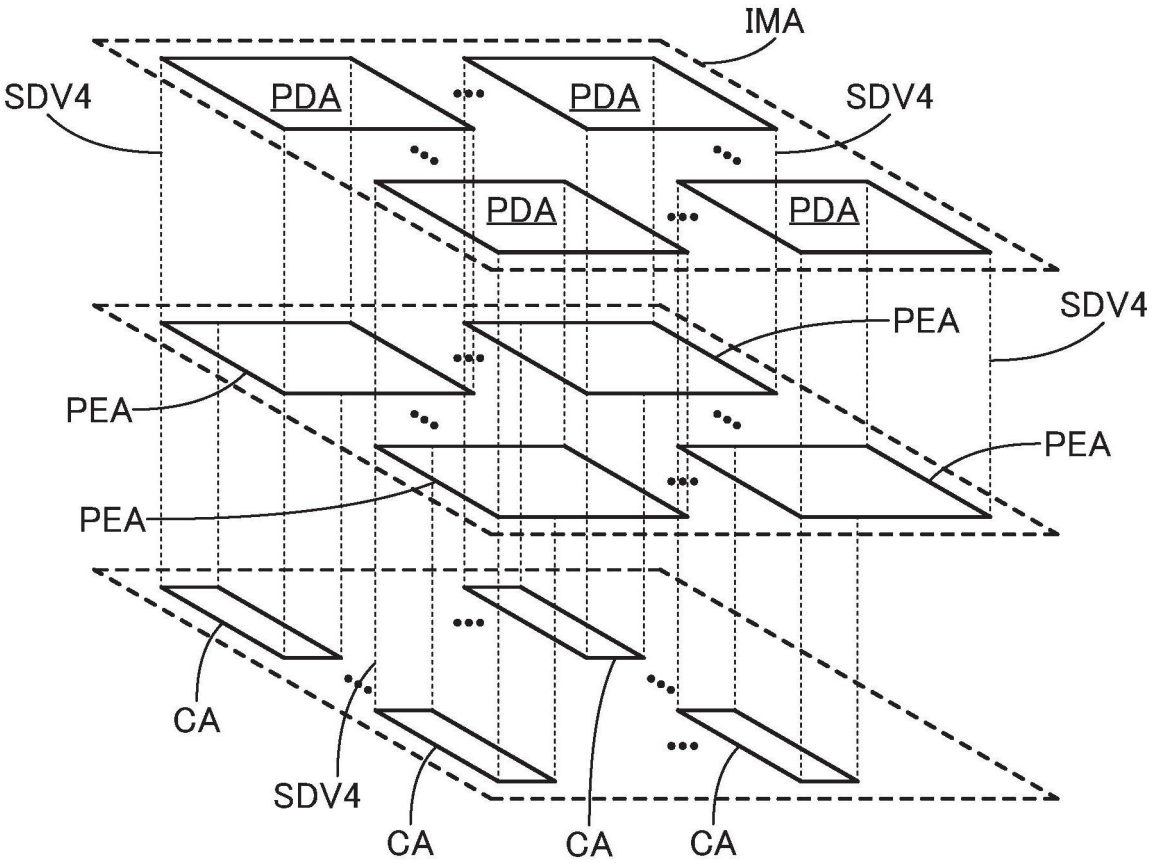

IMA
SDV4
PDA
PDA
SDV4
PDA
PDA
SDV4
PEA
PEA
PEA
PEA
CA
SDV4
CA
CA
CA

图18

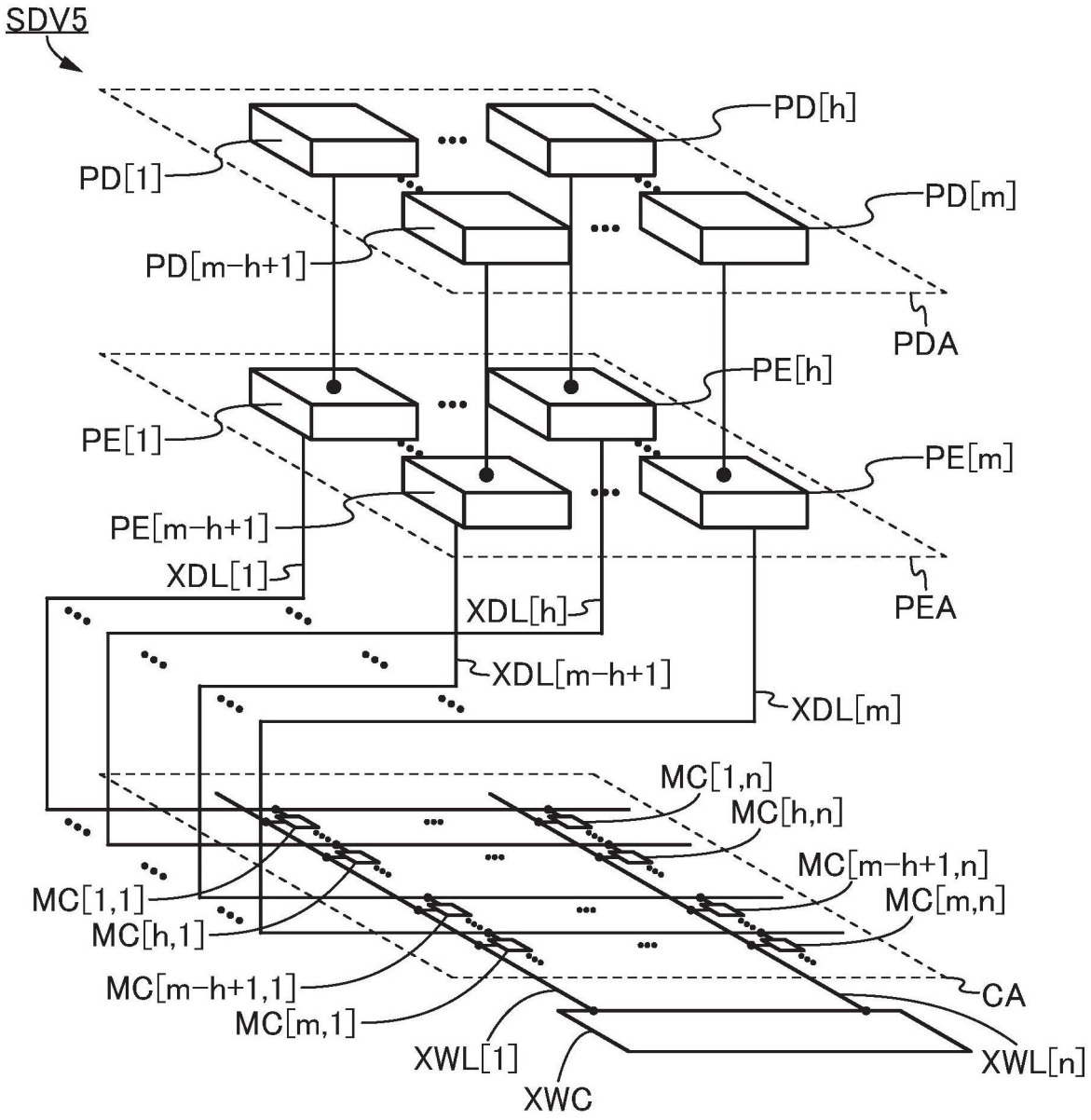

SDV5
PD[h]
PD[1]
PD[m]
PD[m-h+1]
PDA
PE[h]
PE[1]
PE[m]
PE[m-h+1]
XDL[1]
PEA
XDL[h]
XDL[m-h+1]
XDL[m]
MC[1,n]
MC[h,n]
MC[m-h+1,n]
MC[1,1]
MC[m,n]
MC[h,1]
CA
MC[m-h+1,1]
MC[m,1]
XWL[1]
XWL[n]
XWC

图19

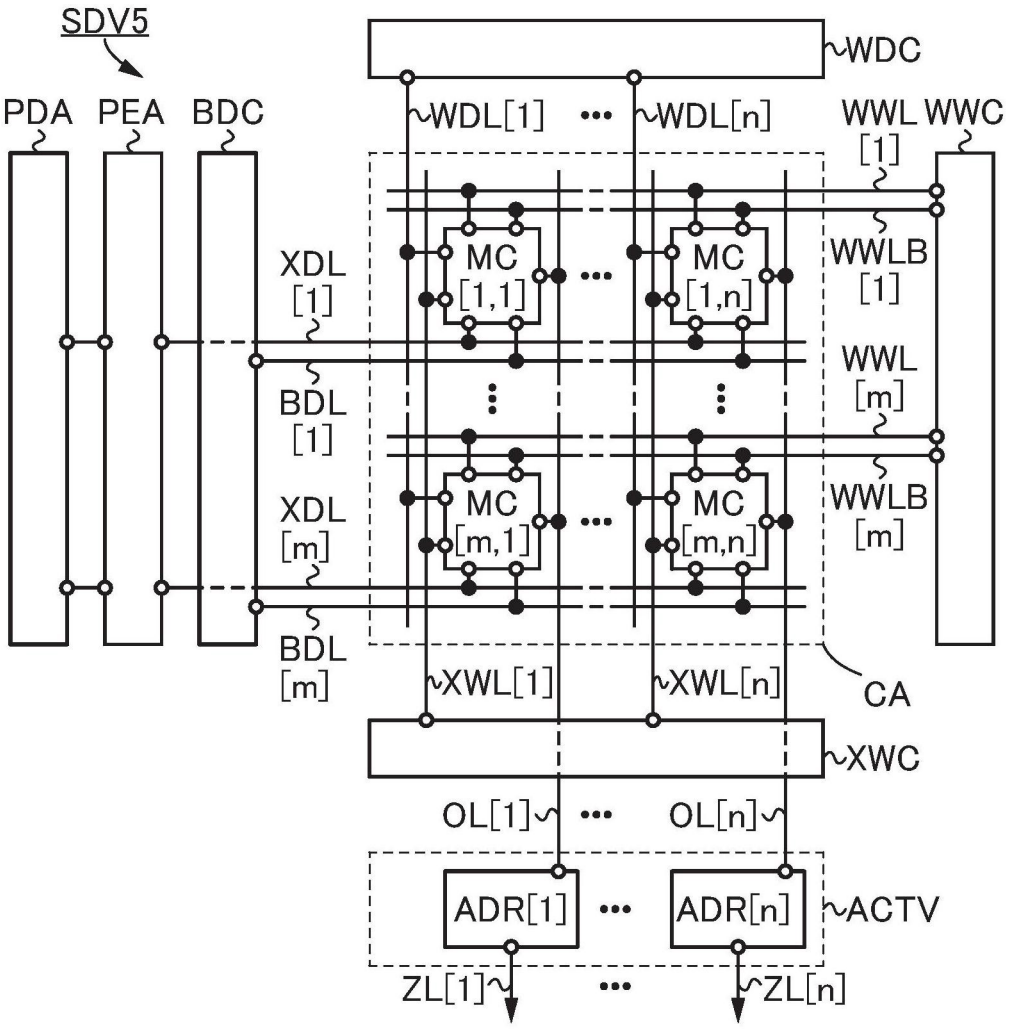

SDV5
PDA
PEA
BDC
WDC
WDL[1]
WDL[n]
WWL
[1]
WWC
XDL
[1]
MC
[1,1]
MC
[1,n]
WWLB
[1]
WWL
[m]
BDL
[1]
XDL
[m]
MC
[m,1]
MC
[m,n]
WWLB
[m]
BDL
[m]
XWL[1]
XWL[n]
CA
XWC
OL[1]
OL[n]
ADR[1]
ADR[n]
ACTV
ZL[1]
ZL[n]

图20

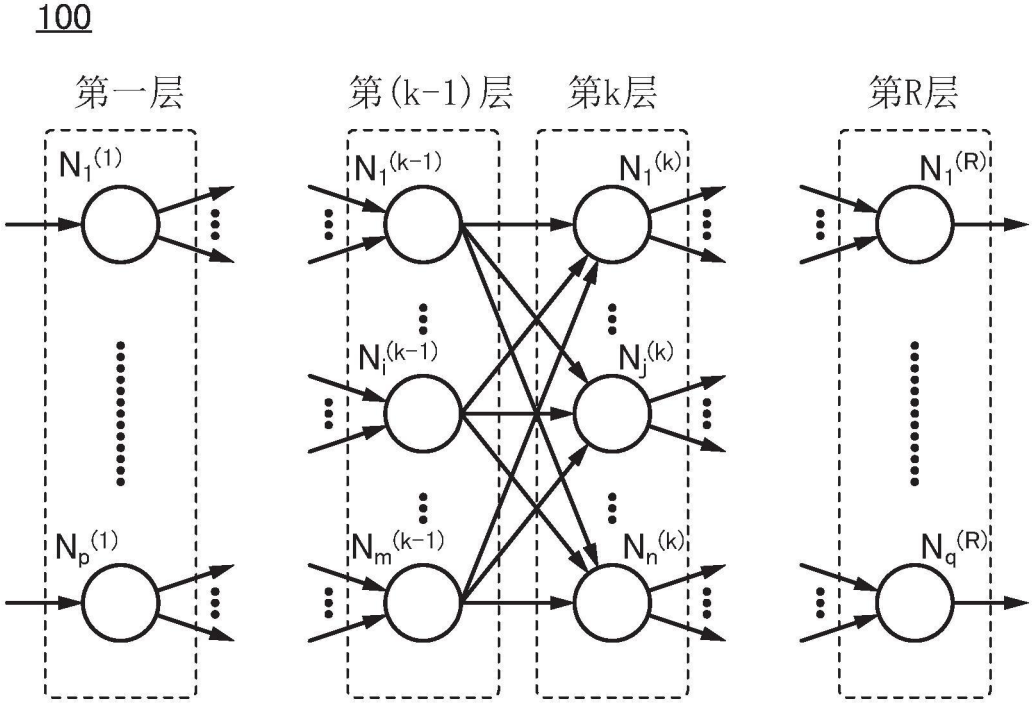

100
第一层
第(k-1)层
第k层
第R层
$N_1^{(1)}$
$N_p^{(1)}$
$N_1^{(k-1)}$
$N_i^{(k-1)}$
$N_m^{(k-1)}$
$N_1^{(k)}$
$N_j^{(k)}$
$N_n^{(k)}$
$N_1^{(R)}$
$N_q^{(R)}$

图21A

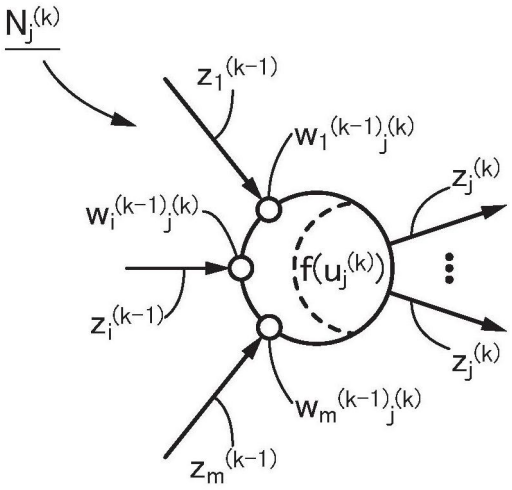

$N_j^{(k)}$
$z_1^{(k-1)}$
$w_1^{(k-1)}{}_j^{(k)}$
$w_i^{(k-1)}{}_j^{(k)}$
$z_i^{(k-1)}$
$f(u_j^{(k)})$
$z_j^{(k)}$
$z_j^{(k)}$
$w_m^{(k-1)}{}_j^{(k)}$
$z_m^{(k-1)}$

图21B

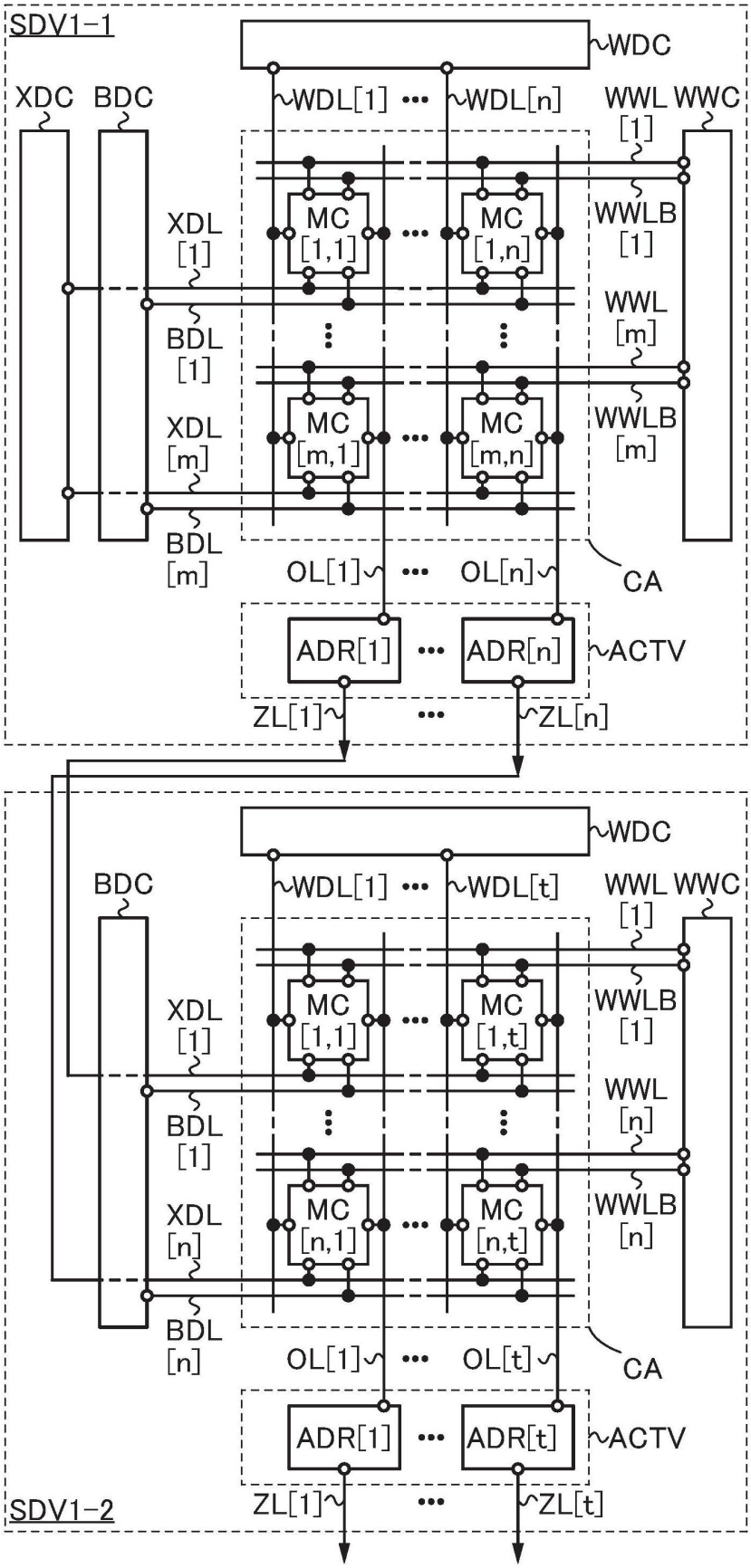

SDV1-1
WDC
XDC
BDC
WDL[1]
WDL[n]
WWL [1]
WWC
XDL [1]
MC [1,1]
MC [1,n]
WWLB [1]
WWL [m]
BDL [1]
XDL [m]
MC [m,1]
MC [m,n]
WWLB [m]
BDL [m]
OL[1]
OL[n]
CA
ADR[1]
ADR[n]
ACTV
ZL[1]
ZL[n]
WDC
BDC
WDL[1]
WDL[t]
WWL [1]
WWC
XDL [1]
MC [1,1]
MC [1,t]
WWLB [1]
WWL [n]
BDL [1]
XDL [n]
MC [n,1]
MC [n,t]
WWLB [n]
BDL [n]
OL[1]
OL[t]
CA
ADR[1]
ADR[t]
ACTV
ZL[1]
ZL[t]
SDV1-2

图22

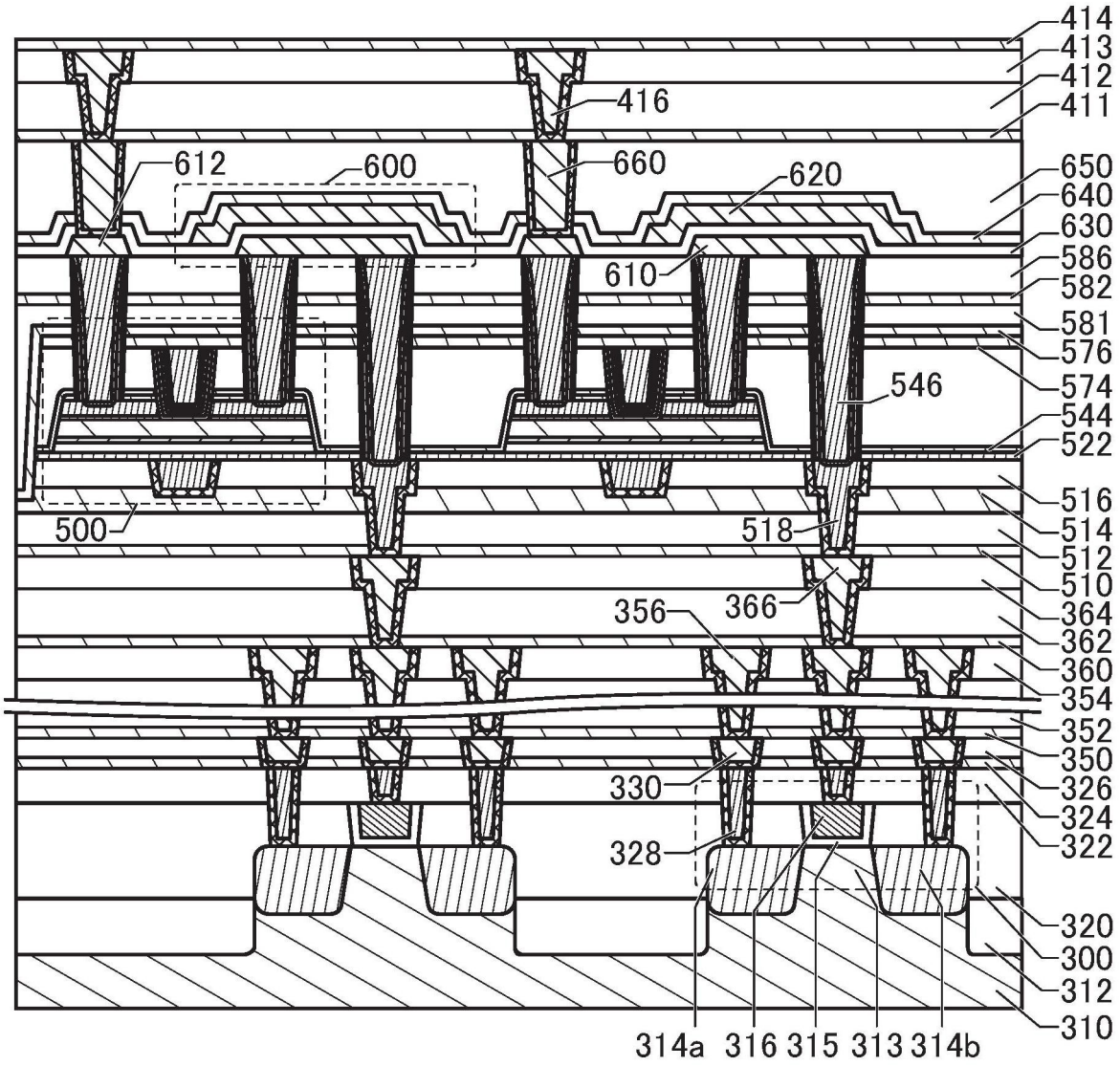

414
413
412
411
416
612
600
660
620
650
640
630
586
582
610
581
576
574
546
544
522
516
514
512
510
364
362
360
354
352
350
326
324
322
500
518
356
366
330
328
320
300
312
310
314a
316
315
313
314b

图23

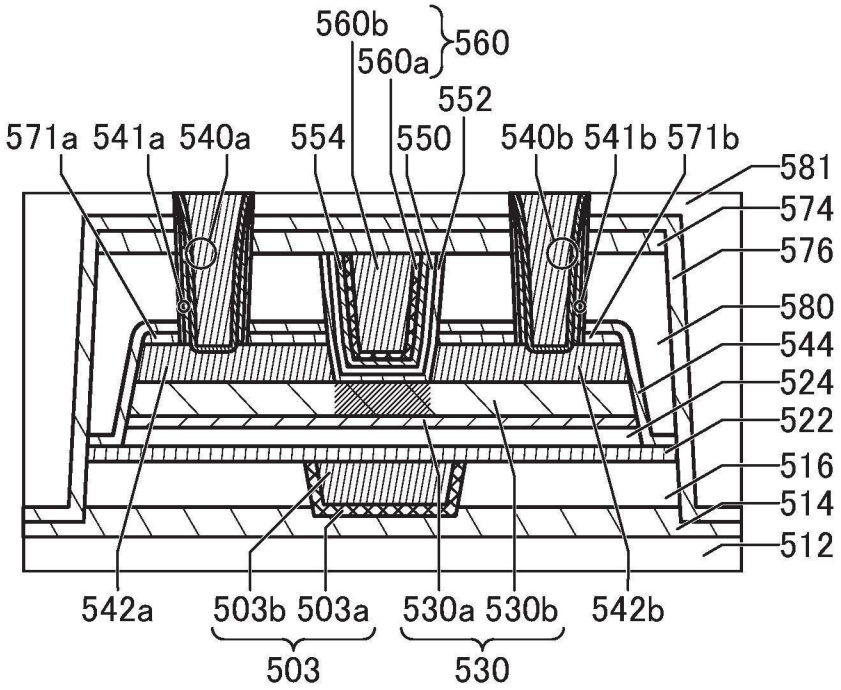

560b
560a
560
552
571a 541a 540a 554 550 540b 541b 571b
581
574
576
580
544
524
522
516
514
512
542a 503b 503a 530a 530b 542b
503
530

图24A

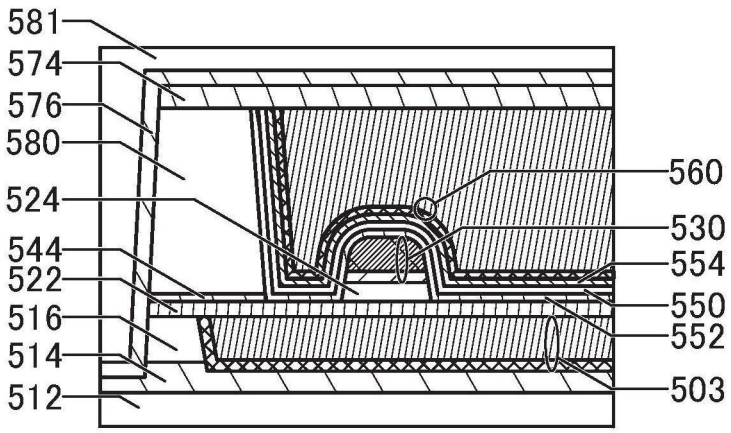

581
574
576
580
524
544
522
516
514
512
560
530
554
550
552
503

图24B

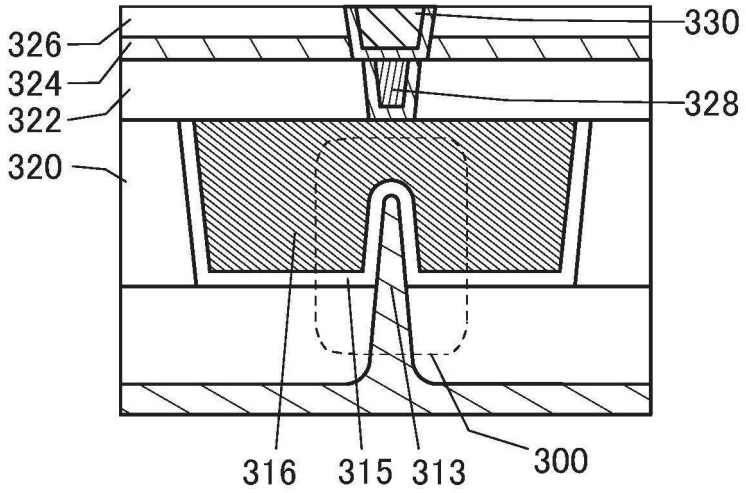

326
324
322
320
330
328
316
315
313
300

图24C

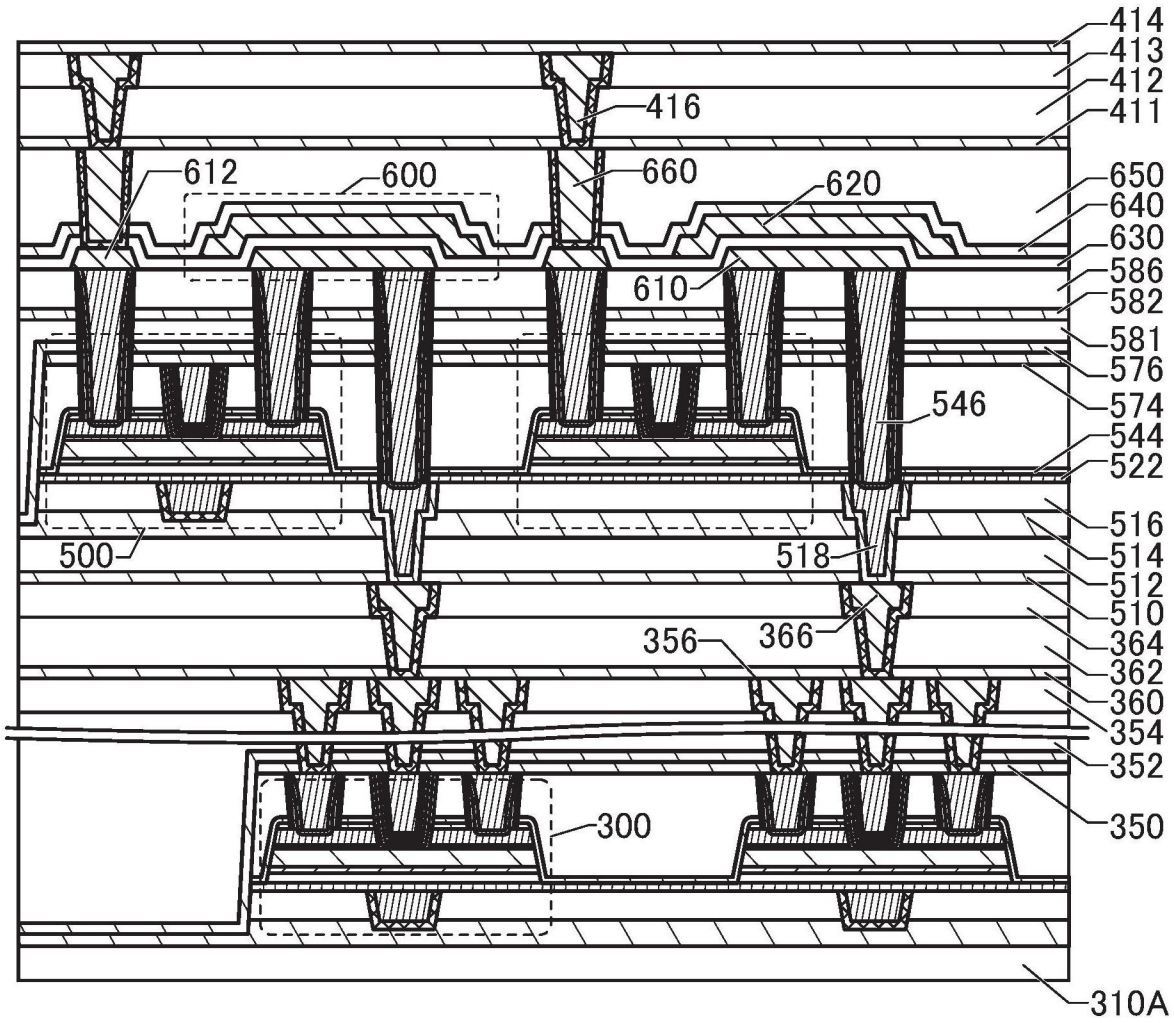

414
413
412
411
416
612
600
660
620
650
640
630
586
582
610
581
576
574
546
544
522
516
514
512
510
364
362
360
354
352
350
500
518
356
366
300
310A

图25

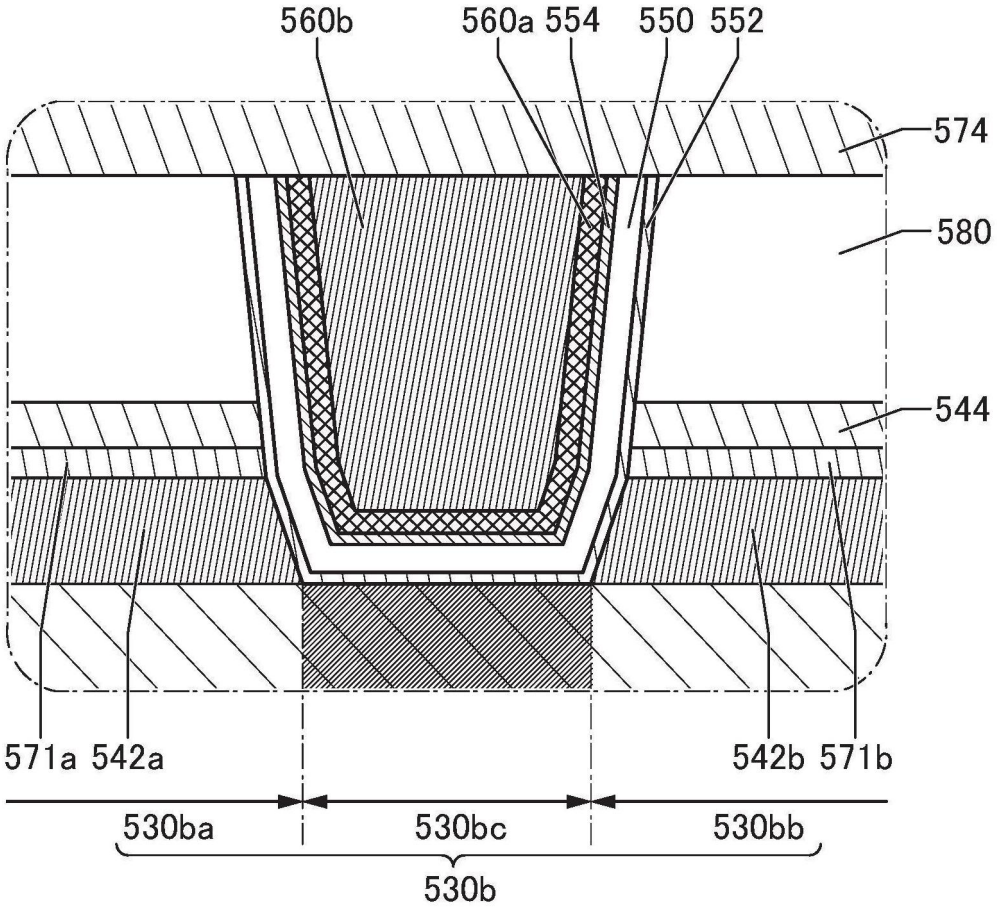

560b
560a 554
550 552
574
580
544
571a 542a
542b 571b
530ba
530bc
530bb
530b

图26A

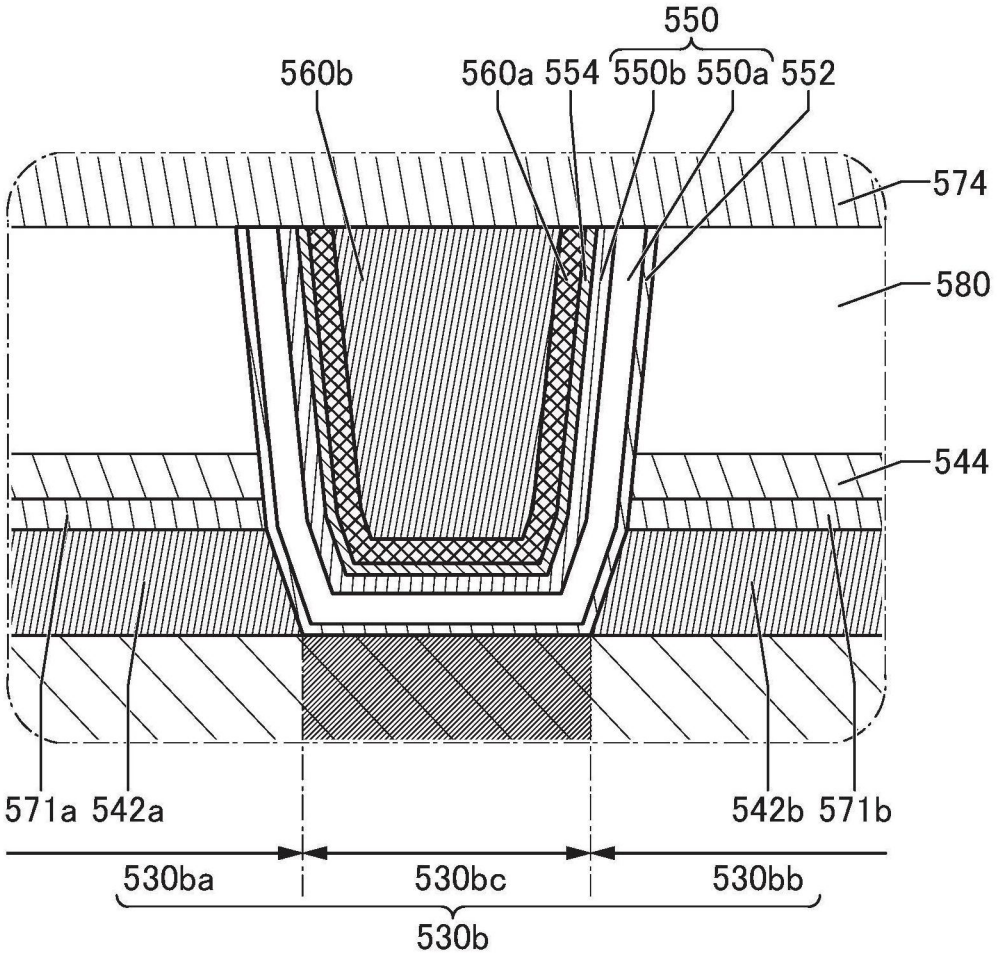

550
560b
560a
554
550b
550a
552
574
580
544
571a
542a
542b
571b
530ba
530bc
530bb
530b

图26B

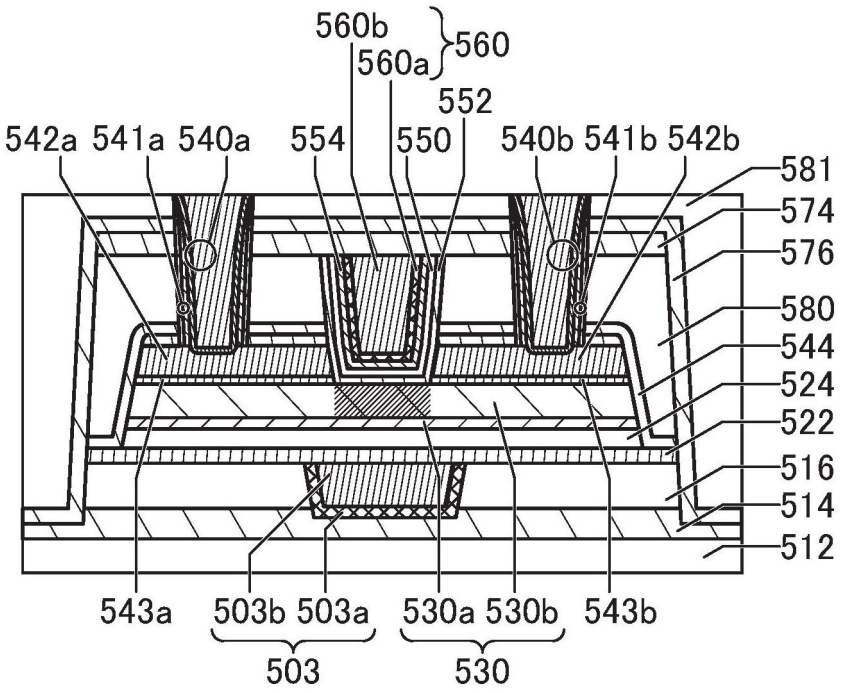


图27

中间状态
新的边界区域

Amorphous （无定形）	Crystalline （结晶性）	Crystal （结晶）
·completely amorphous	·CAAC ·nc ·CAC excluding single crystal and poly crystal	·single crystal ·poly crystal

图28A

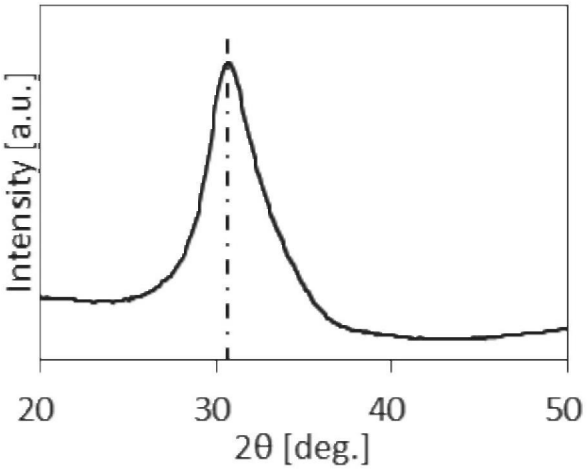


图28B

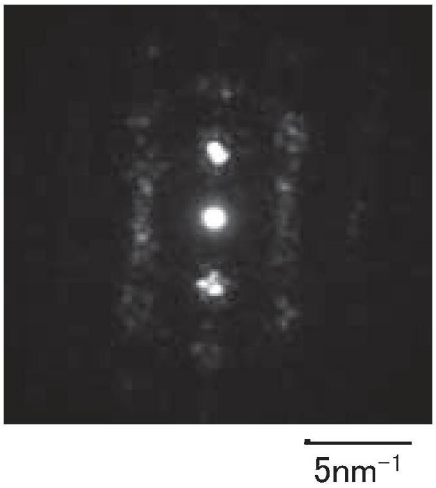


图28C

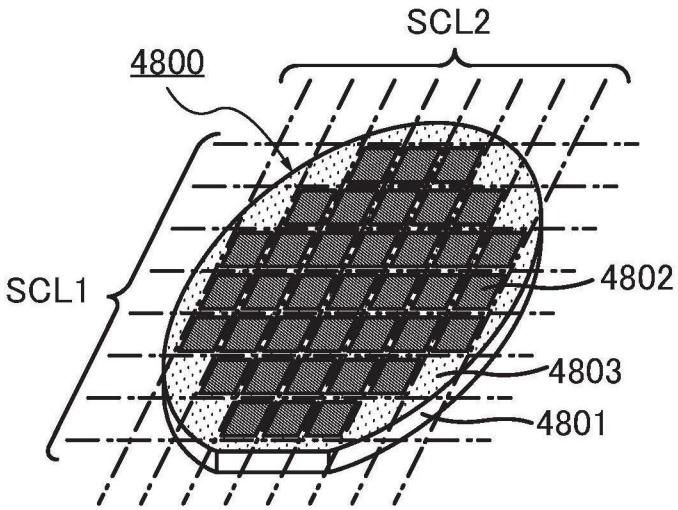


图29A

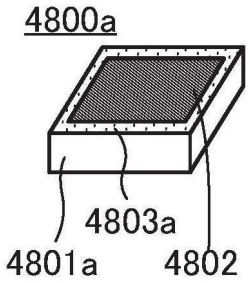


图29B

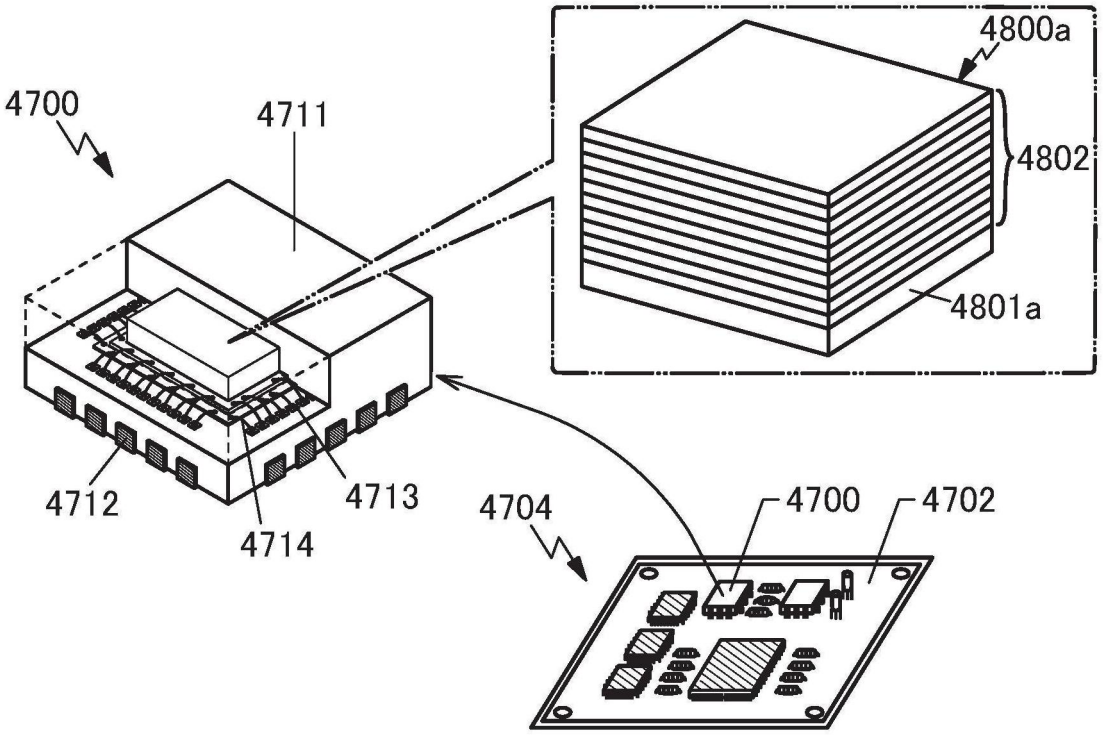

4800a
4700
4711
4802
4801a
4712
4713
4714
4704
4700
4702

图29C

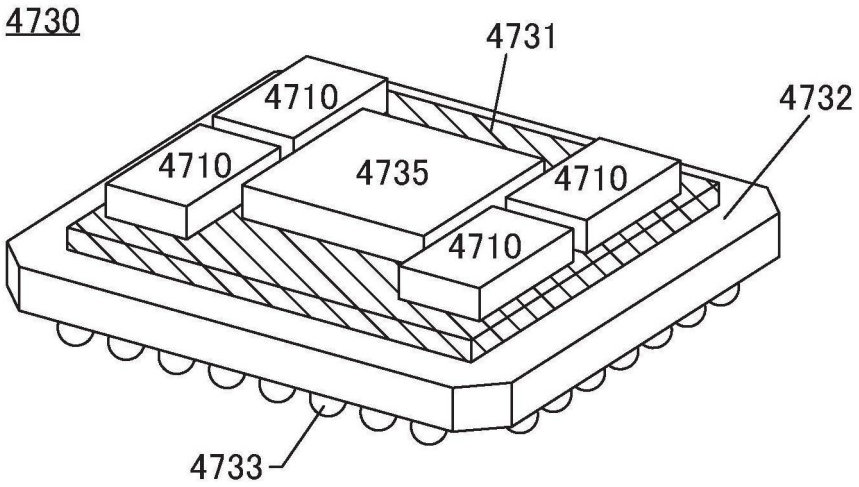

4730
4731
4710
4732
4710
4735
4710
4710
4733

图29D

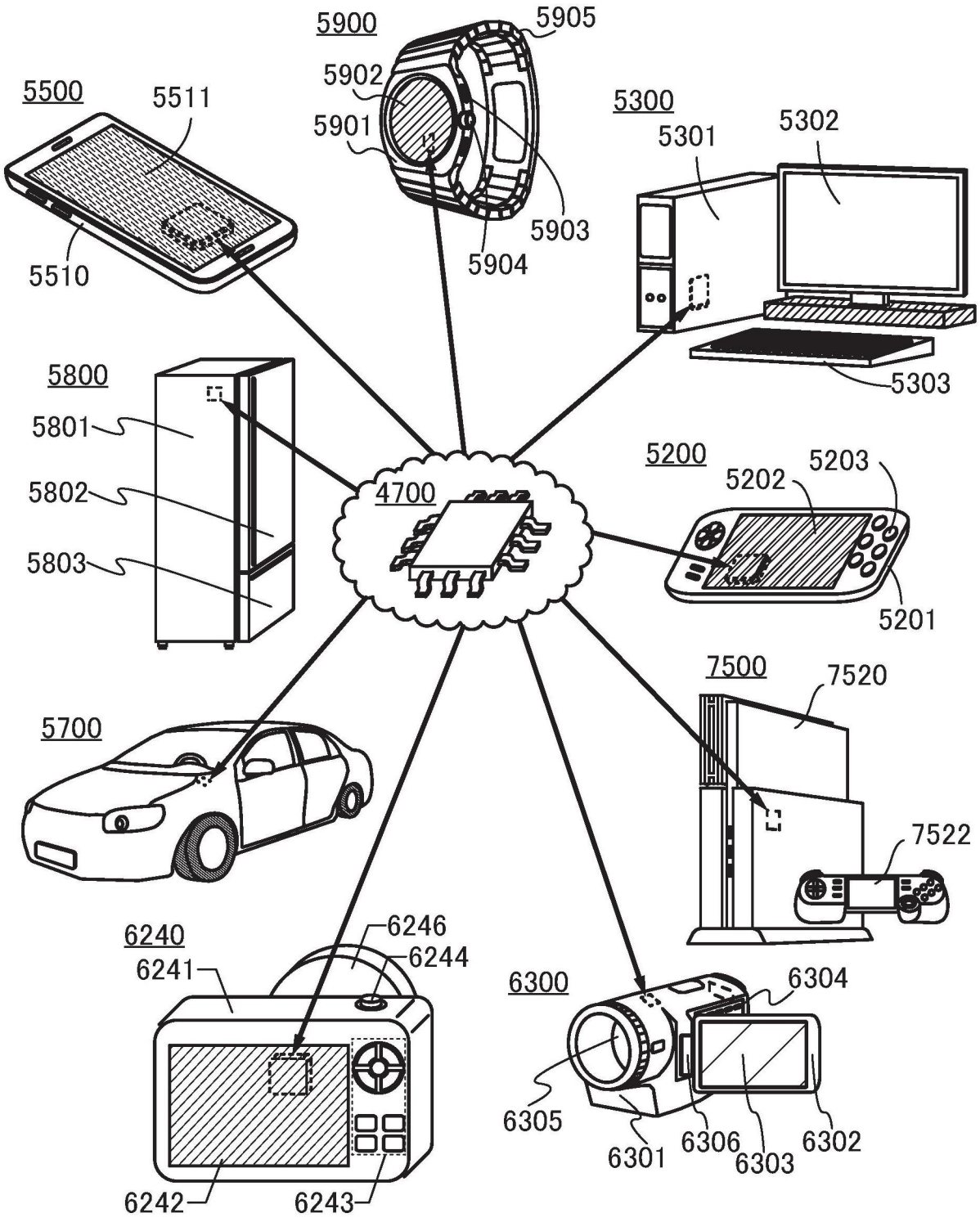

5900
5905
5902
5901
5903
5904
5500
5511
5510
5300
5301
5302
5303
5800
5801
5802
5803
4700
5200
5203
5202
5201
7500
7520
7522
5700
6240
6246
6244
6241
6242
6243
6300
6304
6305
6301
6306
6303
6302

图30

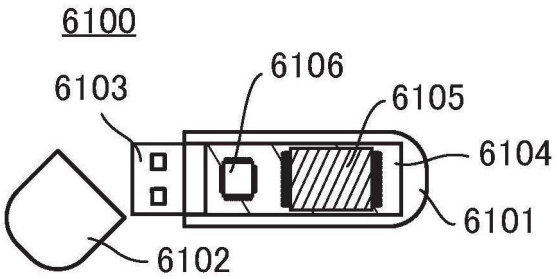


图31A

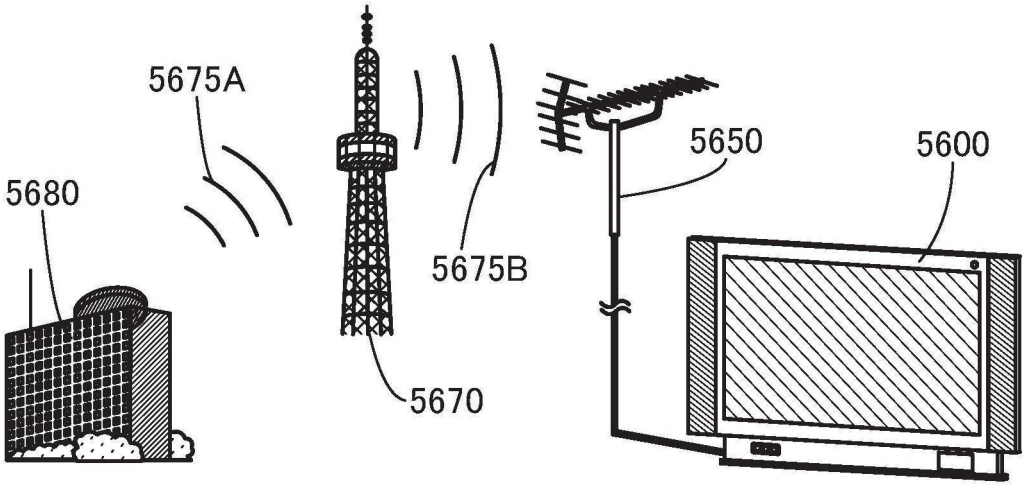


图31B

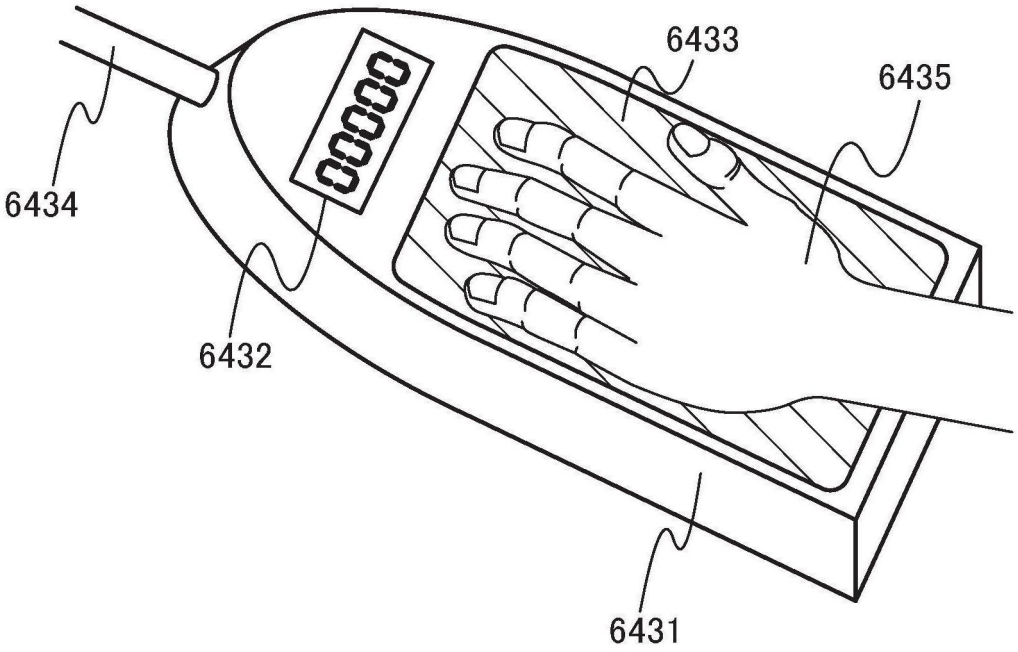


图31C

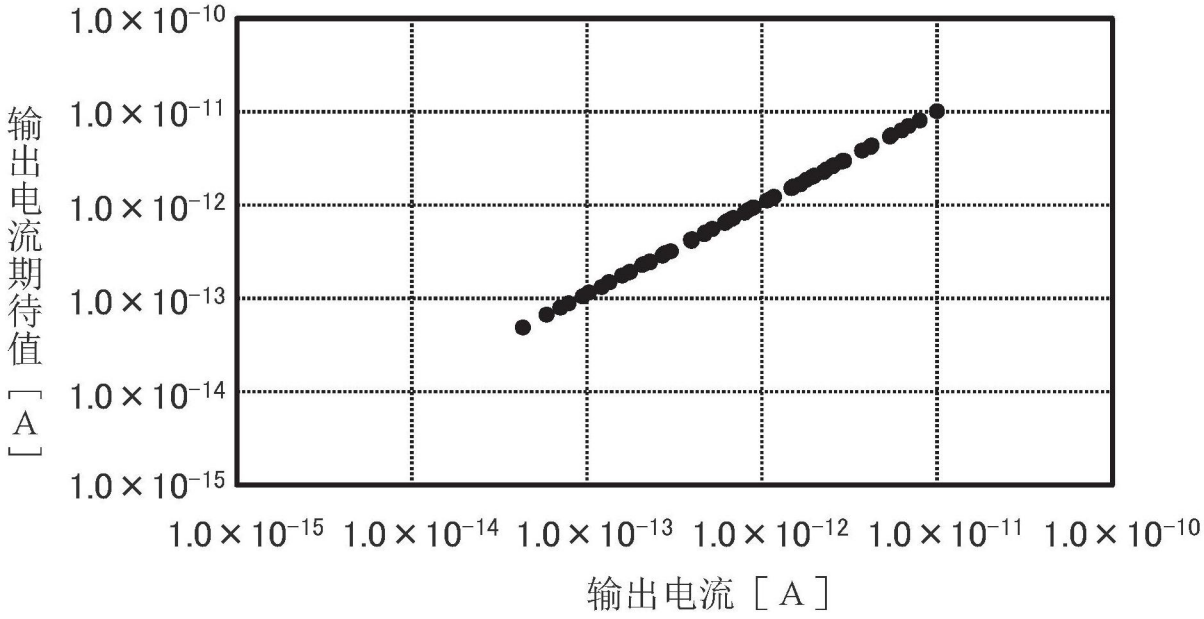

输出电流期待值［A］
1.0×10−10
1.0×10−11
1.0×10−12
1.0×10−13
1.0×10−14
1.0×10−15
1.0×10−15 1.0×10−14 1.0×10−13 1.0×10−12 1.0×10−11 1.0×10−10
输出电流［A］

图32A

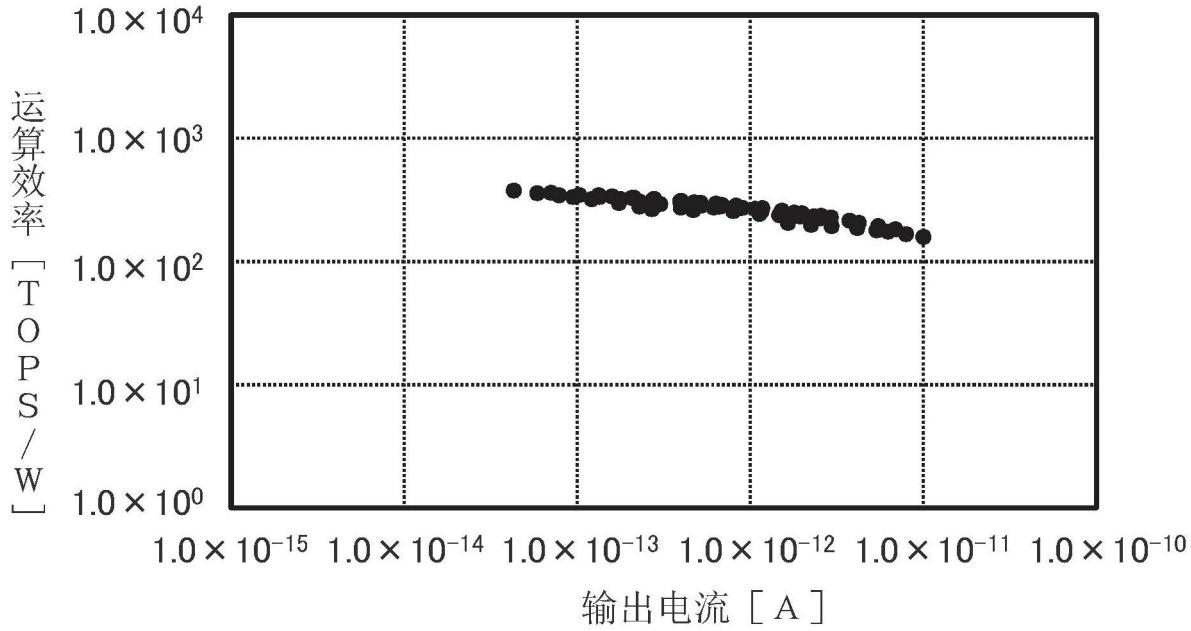

运算效率［TOPS/W］
1.0×104
1.0×103
1.0×102
1.0×101
1.0×100
1.0×10−15 1.0×10−14 1.0×10−13 1.0×10−12 1.0×10−11 1.0×10−10
输出电流［A］

图32B

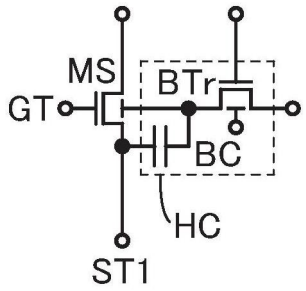


图33

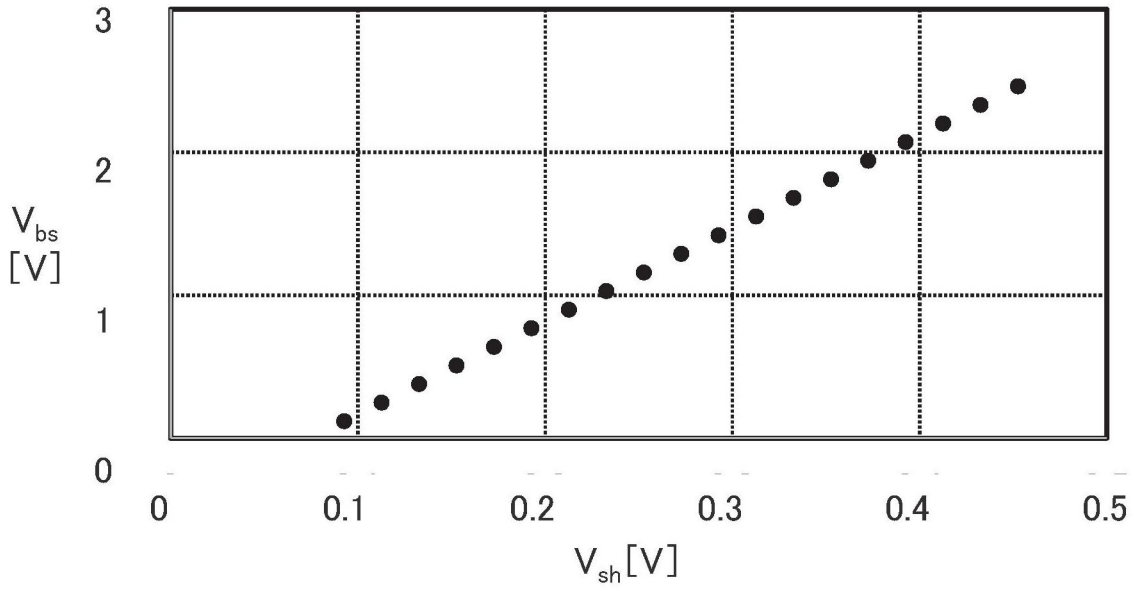


图34