



(12) 发明专利申请

(10) 申请公布号 CN 117581384 A

(43) 申请公布日 2024. 02. 20

(21) 申请号 202280043804.2

(22) 申请日 2022.11.23

(30) 优先权数据

17/561,715 2021.12.24 US

(85) PCT国际申请进入国家阶段日

2023.12.20

(86) PCT国际申请的申请数据

PCT/US2022/050877 2022.11.23

(87) PCT国际申请的公布数据

W02023/121819 EN 2023.06.29

(71) 申请人 英特尔公司

地址 美国加利福尼亚

(72) 发明人 L·P·古勒尔 M·哈桑

M·K·哈兰 M·J·科布林斯基

C·H·华莱士 T·加尼

(74) 专利代理机构 永新专利商标代理有限公司
72002

专利代理师 林金朝

(51) Int.Cl.

H01L 29/786 (2006.01)

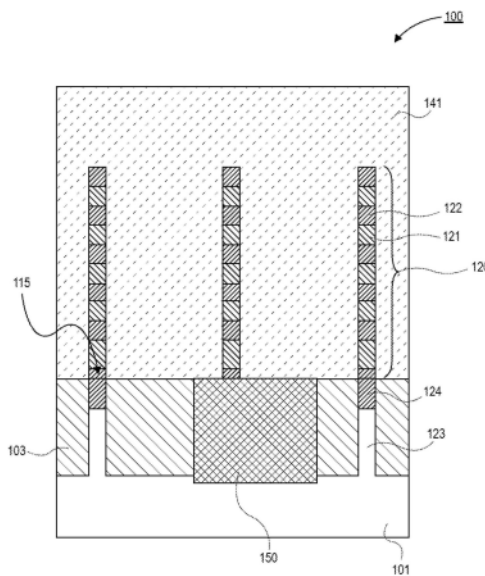
权利要求书2页 说明书9页 附图14页

(54) 发明名称

EPI阻挡对准的背侧接触部

(57) 摘要

本文中公开的实施例包括半导体装置以及形成这样的装置的方法。在实施例中，半导体装置包括：半导体沟道的竖直堆叠体；位于半导体沟道的竖直堆叠体的第一侧上的源极；以及位于半导体沟道的竖直堆叠体的第二侧上的漏极。在实施例中，金属部位于源极下方并且与源极直接接触，其中，金属部的中心线与源极的中心线基本上对准。



1. 一种半导体装置,包括:
半导体沟道的竖直堆叠体;
源极,所述源极位于所述半导体沟道的竖直堆叠体的第一侧上;
漏极,所述漏极位于所述半导体沟道的竖直堆叠体的第二侧上;以及
金属部,所述金属部位于所述源极下方并且与所述源极直接接触,其中,所述金属部的中心线与所述源极的中心线基本上对准。
2. 根据权利要求1所述的半导体装置,其中,所述半导体沟道是纳米线沟道或纳米带沟道。
3. 根据权利要求1或2所述的半导体装置,还包括:
栅极结构,所述栅极结构位于所述半导体沟道的竖直堆叠体之上和所述半导体沟道的竖直堆叠体周围。
4. 根据权利要求1或2所述的半导体装置,其中,所述金属部的宽度大于所述源极的宽度。
5. 根据权利要求1或2所述的半导体装置,其中,所述金属部的宽度基本上等于所述源极的宽度。
6. 根据权利要求1或2所述的半导体装置,还包括:
电介质部,所述电介质部位于所述源极和所述漏极之上;以及
氧化物部,所述氧化物部位于所述电介质部之上。
7. 根据权利要求6所述的半导体装置,其中,所述电介质部包括硅和氮;硅、碳和氮;或者硅、氧和氮。
8. 根据权利要求1或2所述的半导体装置,其中,所述金属部包括钨。
9. 根据权利要求1或2所述的半导体装置,其中,所述源极和所述漏极具有扇形侧壁。
10. 根据权利要求1或2所述的半导体装置,其中,所述源极和所述漏极包括外延生长的半导体材料。
11. 一种形成电子装置的方法,包括:
在衬底之上形成鳍状物,其中,所述鳍状物包括沟道材料和牺牲材料的交替层;
将栅极结构设置在所述鳍状物之上;
使所述栅极结构的外部的所述鳍状物凹陷;
在所述鳍状物的相对侧上形成外延阻挡层;
在所述外延阻挡层的底部处形成背侧接触部模板;
在所述外延阻挡层之间外延生长源极区域;以及
采用金属接触部来替换所述背侧接触部模板。
12. 根据权利要求11所述的方法,其中,所述背侧接触部模板包括多晶硅。
13. 根据权利要求11或12所述的方法,还包括:
将电介质层设置在所述源极区域之上。
14. 根据权利要求13所述的方法,其中,所述电介质层包括硅和氮;硅、碳和氮;或者硅、氧和氮。
15. 根据权利要求11或12所述的方法,其中,所述金属接触部的中心线与所述源极的中心线基本上对准。

16. 根据权利要求11或12所述的方法,其中,所述金属接触部的宽度大于所述源极的宽度。

17. 根据权利要求11或12所述的方法,其中,所述金属接触部的宽度基本上等于所述源极的宽度。

18. 根据权利要求11或12所述的方法,其中,所述栅极结构包括多晶硅。

19. 根据权利要求18所述的方法,其中,在形成所述源极之后,采用替换金属栅极结构来替换所述栅极结构。

20. 根据权利要求19所述的方法,其中,在形成所述替换金属栅极结构之前,去除所述牺牲材料。

21. 根据权利要求11或12所述的方法,其中,采用金属接触部替换所述背侧接触部模板,包括:

使所述衬底的背侧表面凹陷,以暴露所述背侧接触部模板;

去除所述背侧接触部模板,以在所述源极下方形成空腔;以及

采用所述金属接触部来填充所述空腔。

22. 根据权利要求11或12所述的方法,其中,所述金属接触部包括钨。

23. 一种电子系统,包括:

板;

封装衬底,所述封装衬底耦合到所述板;以及

管芯,所述管芯耦合到所述封装衬底,其中,所述管芯包括:

半导体沟道的竖直堆叠体;

源极,所述源极位于所述半导体沟道的竖直堆叠体的第一侧上;

漏极,所述漏极位于所述半导体沟道的竖直堆叠体的第二侧上;以及

金属部,所述金属部位于所述源极下方并且与所述源极直接接触,其中,所述金属部的中心线与所述源极的中心线基本上对准。

24. 根据权利要求23所述的电子系统,其中,所述金属部的宽度大于所述源极的宽度。

25. 根据权利要求23所述的电子系统,其中,所述金属部的宽度基本上等于所述源极的宽度。

EPI阻挡对准的背侧接触部

技术领域

[0001] 本公开的实施例属于半导体结构和加工的领域,并且具体地,是具有对准的背侧接触部的纳米带结构。

背景技术

[0002] 过去的几十年来,集成电路中特征的缩放已经成为持续增长的半导体工业背后的驱动力。缩放到越来越小的特征使得能够在半导体芯片的有限占用面积上增加功能单元的密度。例如,缩小晶体管尺寸允许在芯片上合并增加数量的存储器或逻辑装置,有助于制造具有增加的容量的产品。然而,对越来越大的容量的追求并非没有问题。对每个装置性能进行优化的必要性变得越来越重要。

[0003] 常规的和当前已知的制造工艺中的可变性可能限制了将其进一步扩展到10纳米节点或亚10纳米节点的范围的可能性。因此,制造未来技术节点所需要的功能部件可能要求在当前制造工艺中引入新方法或集成新技术或者代替当前制造工艺。

[0004] 在集成电路装置的制造中,随着装置尺寸继续缩小,多栅极晶体管(例如三栅极晶体管和全环绕栅极(GAA)晶体管)已经变得更加普及。三栅极晶体管和GAA晶体管一般制造在体硅衬底上或绝缘体上硅衬底上。在一些实例中,由于体硅衬底的较低的成本以及与现有的高产率体硅衬底基础设施的兼容性,因此优选体硅衬底。

[0005] 然而,对多栅极晶体管进行缩放并非没有后果。随着微电子电路的这些基本构建块的尺寸减小,并且随着在给定区域中制造的基本构建块的绝对数量增加,对制造这些构建块的半导体工艺的限制已经变得不可避免。

附图说明

[0006] 图1A是根据实施例的具有凹陷的源极区域和漏极区域以及形成在源极区域下方的背侧接触部模板的半导体装置的正视图图示。

[0007] 图1B是根据实施例的具有与背侧金属接触部接触的源极区域的半导体装置的正视图图示,其中,背侧金属接触部与源极区域错位。

[0008] 图2A是根据实施例的具有凹陷的源极区域和漏极区域的半导体装置的正视图图示。

[0009] 图2B是根据实施例的具有形成在源极区域周围的外延阻挡层的半导体装置的正视图图示。

[0010] 图2C是根据实施例的具有设置在外延阻挡层之间的背侧接触部模板的半导体装置的正视图图示。

[0011] 图2D是根据实施例的具有在源极区域中外延生长的源极的半导体装置的正视图图示。

[0012] 图2E是根据实施例的具有以源极为中心的背侧金属接触部的半导体装置的正视图图示。

[0013] 图3A是根据实施例的具有位于具有凹陷的源极区域和漏极区域的鳍状物之上的栅极结构的半导体装置的透视图图示。

[0014] 图3B是根据实施例的在外延阻挡层设置在源极区域的侧面之后的半导体装置的透视图图示。

[0015] 图3C是根据实施例的在背侧接触部模板设置在外延阻挡层之间之后的半导体装置的透视图图示。

[0016] 图3D是根据实施例的在背侧接触部模板之上生长外延源极之后的半导体装置的透视图图示。

[0017] 图3E是根据实施例的在采用金属接触部替换背侧接触部模板之后的半导体装置的透视图图示。

[0018] 图4示出了根据本公开的实施例的一个实施方式的控制装置。

[0019] 图5是实施本公开的一个或多个实施例的中介层。

具体实施方式

[0020] 本文中描述的实施例包括具有对准的背侧接触部的纳米带结构。在以下描述中，阐述了许多具体的细节，例如具体的集成和材料体系，以便提供对本公开的实施例的透彻理解。对本领域的技术人员将是显而易见的是，可以在没有这些具体细节的情况下实践本公开的实施例。在其他实例中，没有详细地描述公知特征（例如集成电路设计布局），以避免不必要地使本公开的实施例难以理解。此外，应当理解，附图中示出的各个实施例是说明性的表示，并且不一定按比例绘制。

[0021] 仅出于参考的目的，某些术语也可以用于以下描述中，并且因此不旨在进行限制。例如，诸如“上部”、“下部”、“上方”、“下方”、“底部”和“顶部”的术语是指所参考的附图中的方向。诸如“前”、“后”、“背”和“侧”的术语描述了部件的部分在一致但任意的参照系内的取向和/或位置，通过参考描述所讨论的部件的文字和关联的附图可以清楚地了解这些取向和/或位置。这样的术语可以包括上文具体提及的词语、其衍生词以及类似含义的词语。

[0022] 为了提供背景，示出了半导体结构在各个制造点处的一对前侧视图，以示出现有工艺流程的一些限制性方面。具体地，背侧接触部模板被形成为不具有任何自对准特征。这致使背侧金属接触部与源极或漏极区域错位。因为错位的背侧金属接触部可能潜在地短接到邻近的源极或漏极区域，所以这种错位限制了缩放量。如此，使用背侧金属接触部的现有工艺流程受限于鳍状物之间的间距可以减小的程度。

[0023] 现在参考图1A，示出了根据实施例的半导体结构100的正视图。在所示的视图中，栅极间隔体141和鳍状物120从子鳍状物123和底部牺牲层124后移（即，进入页面）。就是说，提供了位于底部牺牲层124之上的突出部115。另外，在鳍状物120的前面提供了隔离层103和背侧接触部模板150。这样的架构将在跨越鳍状物提供栅极结构之后通过对鳍状物120的源极/漏极区域进行图案化而产生。因此，鳍状物120可以仅存在于栅极结构内。

[0024] 鳍状物120可以包括沟道层121和牺牲层122的交替层。虽然图1A中示出了五个沟道层121，但是应当理解的是，可以使用任何数量的沟道层121。在实施例中，鳍状物120设置在子鳍状物123之上。子鳍状物123可以耦合到下层衬底101。隔离层103可以围绕子鳍状物123。在一些实例中，隔离层103可以被称为浅沟槽隔离（STI）层103。

[0025] 如图所示,提供了穿过隔离层103的背侧接触部模板150。背侧接触部模板150位于中心鳍状物120的前面。就是说,在源极/漏极区域之下提供背侧接触部模板150。可以采用图案化工艺来形成背侧接触部模板150。然而,图案化工艺不具有任何自对准特征。因此,背侧接触部模板150可以偏离中心鳍状物120的中心。

[0026] 现在参考图1B,示出了在形成源极/漏极130并且采用背侧金属部151替换背侧接触部模板150之后的半导体结构100的正视图图示。源极/漏极130可以具有电介质衬层131。绝缘层165可以围绕源极/漏极130。然而,如图1B中所描绘的,中心源极/漏极130的中心线171从背侧金属部151的中心线173偏移。因此,为了应对错位,并且减少短接到邻近的源极/漏极130的机会,需要增加源极/漏极130之间的间距。

[0027] 因此,本文中公开的实施例包括与上覆的源极/漏极区域自对准的背侧金属接触部。具体地,在此背景下的自对准结构可以指使用相同结构特征形成的两个或更多个结构。例如,如下文将更详细地公开的,在源极/漏极区域之上对外延阻挡层进行图案化。外延阻挡层被用作蚀刻掩模,以便形成背侧接触部模板被沉积到其中的开口。另外,外延阻挡层用于限制外延生长的源极/漏极的生长。由于外延阻挡层用于形成背侧接触部模板和源极/漏极两者,因此背侧接触部模板将与上覆的源极/漏极自对准。例如,源极/漏极的中心线可以与背侧接触部模板的中心线基本上重合。

[0028] 提供自对准特征使装置能够缩放。具体地,在本文中所公开的实施例中,可以减小鳍状物之间的间距。由于背侧金属接触部(其替换了背侧接触部模板)将不会显著延伸超过上覆的源极/漏极的边缘,所以间距减小可以成为可能。就是说,不存在背侧金属接触部短接到邻近的源极/漏极的可能性。

[0029] 现在参考图2A-图2E,示出了根据实施例的描绘用于制造半导体装置200的工艺的一系列正视图图示。在图2A-图2E所示的实施例中,示出了用于将背侧金属接触部形成到源极/漏极区域的自对准工艺。

[0030] 现在参考图2A,示出了根据实施例的半导体装置200的正视图图示。应当理解的是,图2A中的图示不是纯粹的横截面图示。相反,图2A中描绘了一对平面。隔离层203、底部牺牲层224和子鳍状物223位于第一平面中,并且鳍状物220和栅极间隔体241位于第一平面后面的第二平面中。例如,可以在鳍状物220的前表面与隔离层203的前表面之间提供突出部215。

[0031] 在实施例中,半导体装置200可以提供在下层衬底201之上。下层衬底201可以是半导体衬底。下层衬底201通常包括晶圆或者硅或另一半导体材料的其他晶片。适当的半导体衬底包括但不限于:单晶硅、多晶硅、绝缘体上硅(SOI)、以及由其他半导体材料形成的类似的衬底,例如包括锗、碳或III-V族材料的衬底。

[0032] 在实施例中,多个鳍状物220可以从衬底201向上延伸。鳍状物220可以通过底部牺牲层224和子鳍状物223耦合到衬底201。子鳍状物223可以包括与衬底201相同的材料。在实施例中,鳍状物220可以包括交替的半导体沟道层221和牺牲层222。在实施例中,牺牲层222可以是能够相对于半导体沟道层221被选择性地蚀刻的任何材料。半导体沟道层221和牺牲层222均可以是例如但不限于硅、锗、SiGe、GaAs、InSb、GaP、GaSb、InAlAs、InGaAs、GaSbP、GaAsSb和InP的材料。在特定的实施例中,半导体沟道层221是硅,并且牺牲层222是SiGe。在另一特定的实施例中,半导体沟道层221是锗,并且牺牲层222是SiGe。

[0033] 在实施例中,可以采用任何适当的工艺来制造鳍状物220。可以通过已知的方法形成鳍状物220,已知的方法例如在衬底201之上形成半导体沟道材料和牺牲材料的交替层,并且然后对层进行蚀刻以形成鳍状物类型的结构(例如,采用掩膜和等离子体蚀刻工艺)。在形成鳍状物220之后,隔离层203可以设置在衬底201之上并且在交替层221和222下方凹陷。隔离层203可以包括氧化物等。在一些实例中,隔离层203可以被称为STI。还可以在鳍状物220之上形成绝缘层225。然后可以跨越鳍状物220设置栅极结构。图2A中示出了栅极结构的栅极间隔体241。在形成栅极结构之后,使鳍状物220的位于栅极结构的外部的部分凹陷。例如,在鳍状物220的面与底部牺牲层224的面之间提供了突出部215。

[0034] 现在参考图2B,示出了根据实施例的半导体装置200的正视图图示。如图所示,可以形成外延阻挡层261。外延阻挡层261可以提供在鳍状物220之间。在实施例中,外延阻挡层261与鳍状物220基本上对准。就是说,鳍状物220可以位于一对外延阻挡层261之间的开口的中心线处。然而,应当理解的是,制造公差可能引起外延阻挡层261与鳍状物220有少许错位。然而,只要单一鳍状物220提供在位于邻近的外延阻挡层261之间的空间中,对准就将被认为是足够的。如图所示,外延阻挡层261可以向上延伸到栅极间隔体241的顶表面。外延阻挡层261可以是任何适当的材料成分。在特定的实施例中,外延阻挡层261包括氧化物、氮化物等。

[0035] 现在参考图2C,示出了根据实施例的在形成背侧接触部模板250之后的半导体装置200的正视图图示。如图所示,背侧接触部模板250提供在形成到隔离层203中的沟槽204中。在实施例中,沟槽204可以延伸到衬底201中。可以采用蚀刻工艺(例如等离子体蚀刻工艺)来形成沟槽204。掩模层(未示出)可以覆盖不需要沟槽204的开口。例如,蚀刻工艺可以是等离子体蚀刻工艺。如此,位于外延阻挡层261之间的开口的宽度 W_1 可以基本上等于背侧接触部模板250的宽度 W_2 。如这里所使用的,当两个值被称为基本上相等时,这些值在10%以内相等。例如,100nm基本上等于90nm-110nm的范围。然而,应当理解的是,蚀刻工艺可能引起宽度 W_2 略微大于开口的宽度 W_1 。尽管宽度 W_1 和宽度 W_2 中的潜在差异,背侧接触部模板250仍将在外延阻挡层261之间基本上保持居中。在实施例中,背侧接触部模板250可以是对隔离层203具有蚀刻选择性的任何适当的材料。在特定的实施例中,背侧接触部模板250可以包括多晶硅。

[0036] 现在参考图2D,示出了根据实施例的在形成源极/漏极230之后的半导体装置200的正视图图示。虽然被称为源极/漏极230,但是应当理解的是,源极/漏极230的每个实例可以是源极或漏极。在实施例中,可以采用外延生长工艺生长源极/漏极230。在一些实施方式中,硅合金可以是原位掺杂的硅锗、原位掺杂的碳化硅或原位掺杂的硅。在替代的实施方式中,可以使用其他硅合金。例如,可以使用的替代硅合金材料包括但不限于:硅化镍、硅化钛、硅化钴,并且可能可以掺杂有硼和/或铝中的一种或多种。然而,应当理解的是,可以使用本领域技术人员已知的任何适当的源极/漏极材料。

[0037] 在实施例中,源极/漏极230从鳍状物220生长。随着外延生长向外延伸,源极/漏极230进入到外延阻挡层261中。就是说,外延阻挡层261限制了源极/漏极230的生长。如此,源极/漏极230的中心线271将与背侧接触部模板250的中心线272基本上重合。如本文中所使用的,基本上重合可以包括处于完全重合的5nm以内的两条中心线。就是说,应当理解的是,尽管存在自对准特征,但是由于材料特性和公差,仍然可能存在一些细微的错位量。受限制

的生长可能致使源极/漏极230的侧壁呈扇形。

[0038] 在实施例中,在生长源极/漏极230之后,可以去除外延阻挡层261。然后可以在源极/漏极230的侧壁之上生长电介质231。例如,电介质231可以包括但不限于:硅和氮;硅、碳和氮;或者硅、氧和氮。在沉积电介质231之后,绝缘层265可以设置在源极/漏极230之上和源极/漏极230周围。

[0039] 现在参考图2E,示出了根据实施例的在采用背侧金属接触部251替换背侧接触部模板250之后的半导体装置200的横截面图示。在实施例中,可以采用抛光工艺去除衬底201。可以采用蚀刻工艺去除背侧接触部模板250。然后可以沉积背侧金属接触部251来代替背侧接触部模板250。在实施例中,背侧金属接触部251可以包括任何适当的导电材料。在特定的实施例中,背侧金属接触部251可以包括钨等。

[0040] 由于背侧金属接触部251替换了背侧接触部模板250,因此源极/漏极230的中心线271与背侧金属接触部251的中心线273基本上重合。如此,背侧金属接触部251不能够延伸到邻近的源极/漏极230之上。这防止短接到错误的源极/漏极,并且允许减小鳍状物之间的间距。

[0041] 现在参考图3A-图3E,示出了根据额外的实施例的描绘用于形成背侧金属接触部的工艺的一系列透视图图示。图3A-图3E更清楚地示出了该工艺的某些方面,例如栅极结构。

[0042] 现在参考图3A,示出了根据实施例的半导体装置300的透视图图示。在实施例中,半导体装置300包括衬底301(例如半导体衬底)。衬底301可以基本上类似于上文更详细地描述的衬底201。多个子鳍状物323可以从衬底301向上延伸。子鳍状物323可以由隔离层303围绕。最底部的牺牲层324可以被部分地蚀刻,以形成突出部315。鳍状物320可以从突出部315向上延伸。在实施例中,鳍状物320包括交替的牺牲层322和半导体沟道层321。牺牲层322和半导体沟道321可以基本上类似于上文更详细地描述的牺牲层222和半导体沟道层221。如图所示,可以在鳍状物320之上和鳍状物320周围提供栅极结构340。栅极结构340可以包括栅极间隔体341。可以在栅极间隔体341内提供牺牲栅极342和掩模层343。在一些实施例中,牺牲栅极342可以包括多晶硅。

[0043] 现在参考图3B,示出了根据实施例的在形成外延阻挡层361之后的半导体装置300的透视图图示。如图所示,外延阻挡层361从突出部315向上延伸到栅极结构340的顶部。在实施例中,可以提供外延阻挡层361,使得在其之间提供鳍状物320。在特定的实施例中,中心鳍状物与位于外延阻挡层361之间的开口基本上对准。在实施例中,外延阻挡层361可以是与隔离层303相同的材料。

[0044] 现在参考图3C,示出了根据实施例的在形成背侧接触部模板350之后的半导体装置300的透视图图示。在实施例中,可以通过蚀刻穿过位于外延阻挡层361之间的突出部315来形成背侧接触部模板350。如此,背侧接触部模板350的中心线可以与位于外延阻挡层361之间的开口的中心线基本上对准。

[0045] 现在参考图3D,示出了根据实施例的在形成源极/漏极330之后的半导体装置300的透视图图示。在实施例中,源极/漏极330可以从鳍状物320外延生长。源极/漏极330的生长可能受外延阻挡层361限制。如此,源极/漏极330的中心线371将与背侧接触部模板350的中心线372基本上重合。在生长源极/漏极330之后,可以去除外延阻挡层361,并且可以在源

极/漏极330之上提供电介质层331。然后可以在电介质层331之上形成绝缘层365。绝缘层365的顶表面可以与栅极结构340的顶表面基本上共面。

[0046] 现在参考图3E,示出了在采用背侧金属接触部373替换背侧接触部模板350之后的半导体装置300的透视图图示。在实施例中,在采用背侧金属接触部373替换背侧接触部模板350之前,可以替换栅极结构340。在其他实施例中,可以在替换栅极结构340之前替换背侧接触部模板350。在实施例中,替换金属栅极工艺可以用于替换栅极结构340。例如,可以去除牺牲栅极342。还可以从间隔体341内去除牺牲层322。在去除牺牲层322之后,可以沉积栅极电介质346。在沉积栅极电介质346之后,金属栅极345可以设置在间隔体341之间。金属栅极345可以包括功函数金属和填充金属。可以在金属栅极345之上提供绝缘帽盖344。

[0047] 例如,栅极电介质346可以是诸如二氧化硅或高k栅极电介质材料的任何适当的氧化物。例如,高k栅极电介质材料的示例包括氧化铪、氧化铪硅、氧化镧、氧化镧铝、氧化锆、氧化锆硅、氧化钽、氧化钛、氧化钡锆钛、氧化钡钛、氧化锆钛、氧化钇、氧化铝、氧化铅钪钽、以及铈酸铅。在一些实施例中,当使用高k材料时,可以对栅极电介质346执行退火工艺以改进其质量。

[0048] 当金属栅极345将充当N型功函数金属时,金属栅极345优选地具有介于约3.9eV与约4.2eV之间的功函数。可以用于形成金属栅极345的N型材料包括但不限于:铪、锆、钛、钽、铝以及包括这些元素的金属碳化物(即,碳化钛、碳化锆、碳化钽、碳化铪和碳化铝)。当金属栅极345将充当P型功函数金属时,金属栅极345优选地具有介于约4.9eV与约5.2eV之间的功函数。可以用于形成金属栅极345的P型材料包括但不限于:钪、钇、钼、钽、镍和导电金属氧化物(例如,氧化钪)。

[0049] 在形成栅极结构340之后,可以替换背侧接触部模板350。例如,可以使衬底301凹陷,以暴露背侧接触部模板350。然后可以蚀刻掉背侧接触部模板350,并且背侧金属接触部351可以设置在空腔中。例如,背侧金属接触部351可以包括钨等。由于空腔与源极/漏极330自对准,因此源极/漏极330的中心线371将与背侧金属接触部351的中心线373基本上重合。据此,因为不存在背侧金属接触部351短接到邻近的源极/漏极330的机会,所以可以减小鳍状物之间的间距。另外,实施例可以包括:将前侧接触部378形成到与具有背侧金属接触部351的源极/漏极330相邻的源极/漏极。

[0050] 图4示出了根据本公开的实施例的一个实施方式的计算装置400。计算装置400容纳板402。板402可以包括多个部件,包括但不限于处理器404和至少一个通信芯片406。处理器404物理耦合和电耦合到板402。在一些实施方式中,至少一个通信芯片406也物理耦合和电耦合到板402。在其他实施方式中,通信芯片406是处理器404的部分。

[0051] 取决于计算装置400的应用,计算装置400可以包括其他部件,该其他部件可以或可以不物理耦合且电耦合到板402。这些其他部件包括但不限于:易失性存储器(例如,DRAM)、非易失性存储器(例如,ROM)、闪存存储器、图形处理器、数字信号处理器、密码处理器、芯片组、天线、显示器、触摸屏显示器、触摸屏控制器、电池、音频编码解码器、视频编码解码器、功率放大器、全球定位系统(GPS)装置、罗盘、加速度计、陀螺仪、扬声器、相机和大容量存储装置(例如,硬盘驱动器、压缩光盘(CD)、数字多功能光盘(DVD)等)。

[0052] 通信芯片406能够实现用于向计算装置400传输数据和从计算装置400传输数据的无线通信。术语“无线”及其衍生词可以用于描述可以通过使用经调制的电磁辐射通过非固

态介质来传送数据的电路、装置、系统、方法、技术、通信信道等。该术语并不暗示相关联的装置不含有任何导线,尽管在一些实施例中,它们可能不含有导线。通信芯片406可以实施多种无线标准或协议中的任何无线标准或协议,其包括但不限于:Wi-Fi (IEEE 802.11系列)、WiMAX (IEEE 802.16系列)、IEEE802.20、长期演进 (LTE)、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM、GPRS、CDMA、TDMA、DECT、蓝牙、其衍生物,以及被指定为3G、4G、5G和更高版本的任何其他无线协议。计算装置400可以包括多个通信芯片406。例如,第一通信芯片406可以专用于较短程的无线通信,例如Wi-Fi和蓝牙,而第二通信芯片406可以专用于长程的无线通信,例如GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DO及其他。

[0053] 计算装置400的处理器404包括被封装在处理器404内的集成电路管芯。在实施例中,处理器的集成电路管芯可以包括如本文中所描述的具有源极的晶体管装置,该源极具有与背侧金属接触部的中心线基本上重合的中心线。术语“处理器”可以指对来自寄存器和/或存储器的电子数据进行处理以将该电子数据变换成可以被存储在寄存器和/或存储器中的其他电子数据的任何装置或装置的部分。

[0054] 通信芯片406还包括被封装在通信芯片406内的集成电路管芯。在实施例中,通信芯片的集成电路管芯可以包括如本文中所描述的具有源极的晶体管装置,该源极具有与背侧金属接触部的中心线基本上重合的中心线。

[0055] 在其他实施方式中,容纳在计算装置400内的另一部件可以包括如本文中所描述的具有源极的晶体管装置,该源极具有与背侧金属接触部的中心线基本上重合的中心线。

[0056] 在各个实施方式中,计算装置400可以是膝上型计算机、上网本、笔记本、超级本、智能电话、平板电脑、个人数字助理 (PDA)、超级移动PC、移动电话、台式计算机、服务器、打印机、扫描仪、监视器、机顶盒、娱乐控制单元、数码相机、便携式音乐播放器或数字视频录像机。在其他实施方式中,计算装置400可以是处理数据的任何其他电子装置。

[0057] 图5示出了包括本公开的一个或多个实施例的中介层500。中介层500是用于将第一衬底502桥接到第二衬底504的居间衬底。第一衬底502可以是例如集成电路管芯。第二衬底504可以是例如存储器模块、计算机主板或另一集成电路管芯。在实施例中,根据本文中所描述的实施例,第一衬底502和第二衬底504两者中的一者可以包括具有源极的晶体管装置,该源极具有与背侧金属接触部的中心线基本上重合的中心线。一般地,中介层500的目的是将连接扩展到更宽的间距或将连接重新布线到不同的连接。例如,中介层500可以将集成电路管芯耦合到球栅阵列 (BGA) 506,其可以随后耦合到第二衬底504。在一些实施例中,第一衬底502和第二衬底504附接到中介层500的相对侧。在其他实施例中,第一衬底502和第二衬底504附接到中介层500的同一侧。并且在其他实施例中,三个或更多个衬底通过中介层500互连。

[0058] 中介层500可以由环氧树脂、玻璃纤维增强环氧树脂、陶瓷材料或聚合物材料 (例如聚酰亚胺) 形成。在其他实施方式中,中介层500可以由替代的刚性或柔性材料形成,该刚性或柔性材料可以包括与上文描述的用于半导体衬底中的材料相同的材料,例如硅、锗和其他III-V族和IV族材料。

[0059] 中介层500可以包括金属互连508和过孔510,其包括但不限于贯穿硅过孔 (TSV) 512。中介层500还可以包括嵌入式装置514,其包括无源装置和有源装置两者。这样的装置包括但不限于:电容器、去耦电容器、电阻器、电感器、熔断器、二极管、变压器、传感器和静

电放电 (ESD) 装置。还可以在中介层500上形成更复杂的装置,例如射频 (RF) 装置、功率放大器、功率管理装置、天线、阵列、传感器和MEMS装置。根据本公开的实施例,本文中公开的设备或工艺可以用在中介层500的制造中。

[0060] 因此,本公开的实施例可以包括具有源极的晶体管装置,该源极具有与背侧金属接触部的中心线基本上重合的中心线。

[0061] 对本公开的实施例的所示实施方式的以上描述(包括摘要中描述的内容)并非旨在穷举或将本公开限制于所公开的精确形式。尽管本文中出于说明性目的描述了本公开的具体实施方式和示例,但是如相关领域的技术人员将理解的,在本公开的范围之内各种等同的修改是可能的。

[0062] 可以鉴于以上详细描述对本公开作出这些修改。在所附权利要求中使用的术语不应被解释成将本公开限制于说明书和权利要求书中公开的具体实施方式。相反,本公开的范围完全由所附权利要求确定,将根据权利要求解释的既定原则来解释所附权利要求。

[0063] 示例1:一种半导体装置,包括:半导体沟道的竖直堆叠体;源极,源极位于半导体沟道的竖直堆叠体的第一侧上;漏极,漏极位于半导体沟道的竖直堆叠体的第二侧上;以及金属部,金属部位于源极下方并且与源极直接接触,其中,金属部的中心线与源极的中心线基本上对准。

[0064] 示例2:根据示例1的半导体装置,其中,半导体沟道是纳米线沟道或纳米带沟道。

[0065] 示例3:根据示例1或示例2的半导体装置,还包括:栅极结构,所述栅极结构位于半导体沟道的竖直堆叠体之上和半导体沟道的竖直堆叠体周围。

[0066] 示例4:根据示例1-3的半导体装置,其中,金属部的宽度大于源极的宽度。

[0067] 示例5:根据示例1-3的半导体装置,其中,金属部的宽度基本上等于源极的宽度。

[0068] 示例6:根据示例1-5的半导体装置,还包括:位于源极和漏极之上的电介质部;以及位于电介质部之上的氧化物部。

[0069] 示例7:根据示例6的半导体装置,其中,电介质部包括硅和氮;硅、碳和氮;或者硅、氧和氮。

[0070] 示例8:根据示例1-7的半导体装置,其中,金属部包括钨。

[0071] 示例9:根据示例1-8的半导体装置,其中,源极和漏极具有扇形侧壁。

[0072] 示例10:根据示例1-9的半导体装置,其中,源极和漏极包括外延生长的半导体材料。

[0073] 示例11:一种形成电子装置的方法,包括:在衬底之上形成鳍状物,其中,鳍状物包括沟道材料和牺牲材料的交替层;将栅极结构设置在鳍状物之上;使栅极结构的外部的鳍状物凹陷;在鳍状物的相对侧上形成外延阻挡层;在外延阻挡层的底部处形成背侧接触部模板;在外延阻挡层之间外延生长源极区域;以及采用金属接触部替换背侧接触部模板。

[0074] 示例12:根据示例11的方法,其中,背侧接触部模板包括多晶硅。

[0075] 示例13:根据示例11或示例12的方法,还包括:将电介质层设置在源极区域之上。

[0076] 示例14:根据示例13的方法,其中,电介质层包括硅和氮;硅、碳和氮;或者硅、氧和氮。

[0077] 示例15:根据示例11-14的方法,其中,金属接触部的中心线与源极的中心线基本上对准。

- [0078] 示例16:根据示例11-15的方法,其中,金属接触部的宽度大于源极的宽度。
- [0079] 示例17:根据示例11-16的方法,其中,金属接触部的宽度基本上等于源极的宽度。
- [0080] 示例18:根据示例11-17的方法,其中,栅极结构包括多晶硅。
- [0081] 示例19:根据示例18的方法,其中,在形成源极之后,采用替换金属栅极结构来替换栅极结构。
- [0082] 示例20:根据示例19的方法,其中,在形成替换金属栅极结构之前,去除牺牲材料。
- [0083] 示例21:根据示例11-20的方法,其中,采用金属接触部替换背侧接触部模板,包括:使衬底的背侧表面凹陷,以暴露背侧接触部模板;去除背侧接触部模板,以在源极下方形成空腔;以及采用金属接触部来填充空腔。
- [0084] 示例22:根据示例11-21的方法,其中,金属接触部包括钨。
- [0085] 示例23:一种电子系统,包括:板;耦合到板的封装衬底;以及耦合到封装衬底的管芯,其中,管芯包括:半导体沟道的垂直堆叠体;源极,源极位于半导体沟道的垂直堆叠体的第一侧上;漏极,漏极位于半导体沟道的垂直堆叠体的第二侧上;以及金属部,金属部位于源极下方并且与源极直接接触,其中,金属部的中心线与源极的中心线基本上对准。
- [0086] 示例24:根据示例23的电子系统,其中,金属部的宽度大于源极的宽度。
- [0087] 示例25:根据示例23的电子系统,其中,金属部的宽度基本上等于源极的宽度。

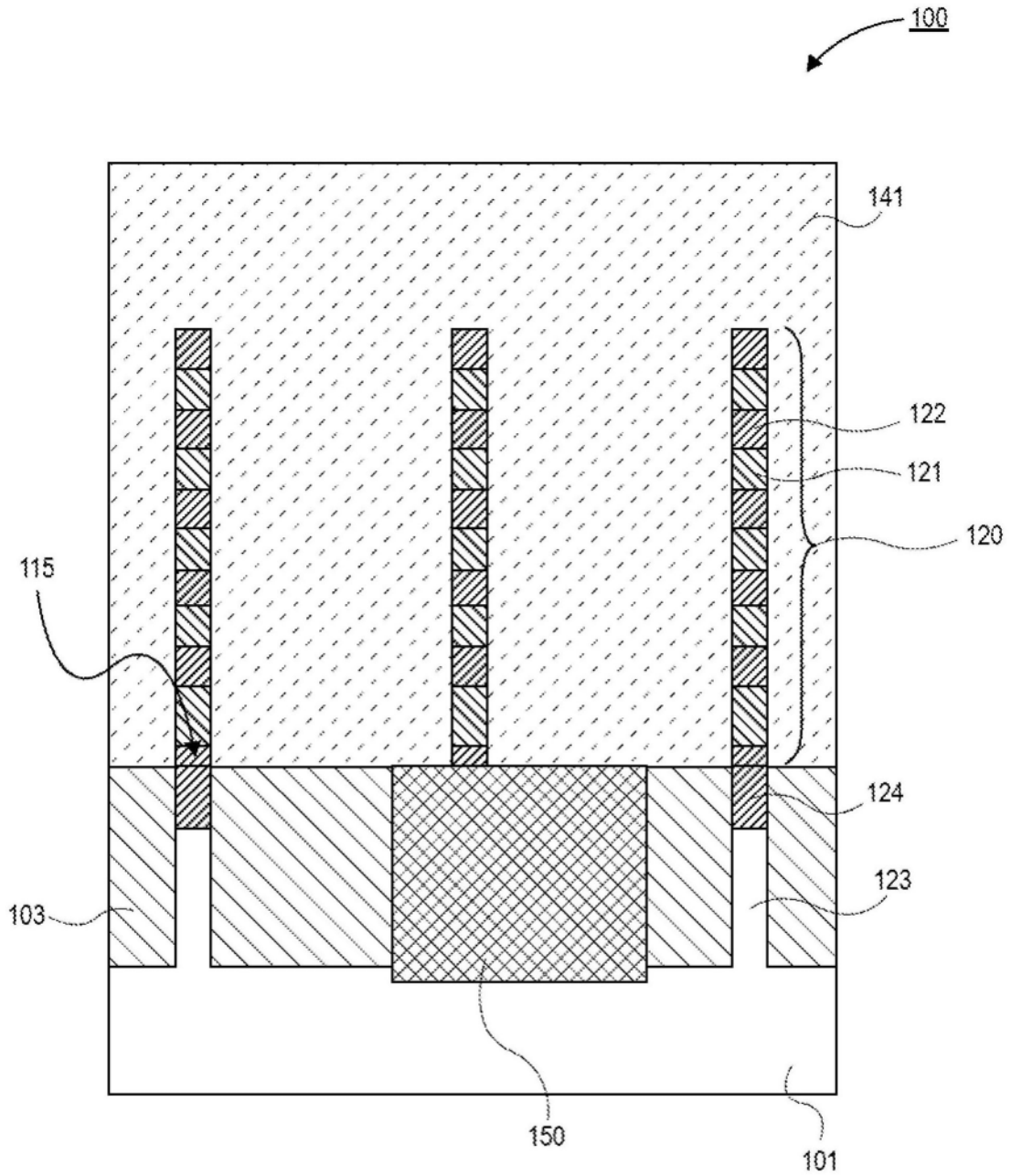


图1A

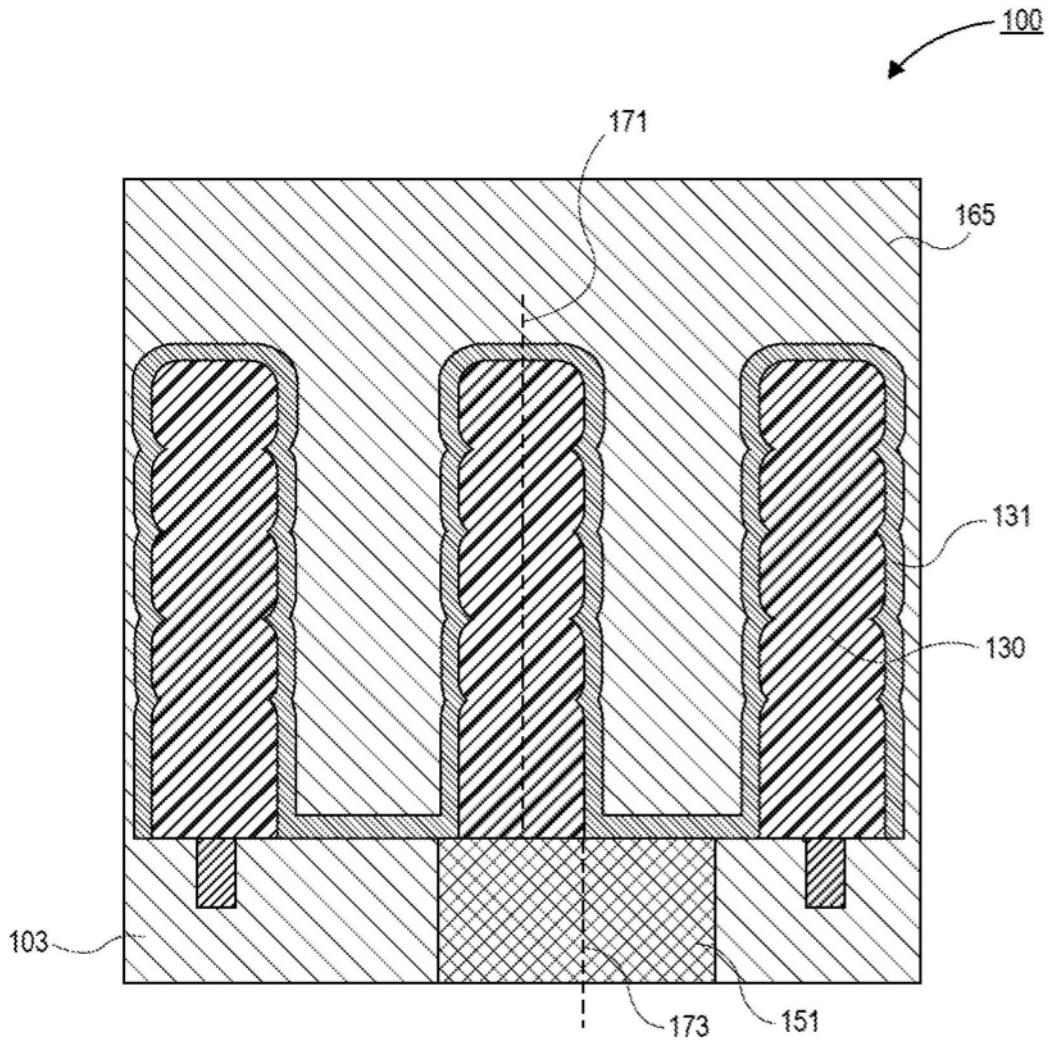


图1B

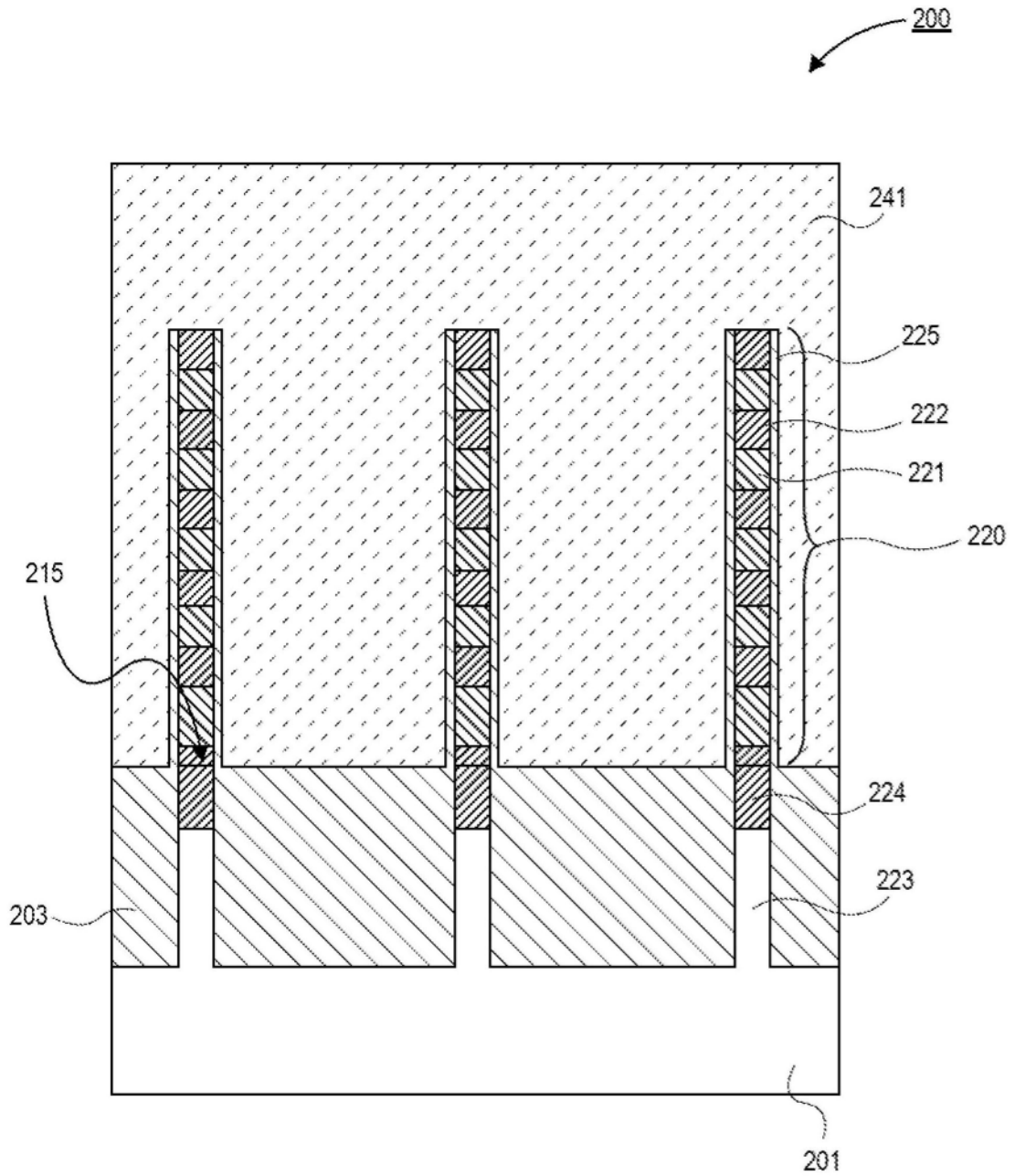


图2A

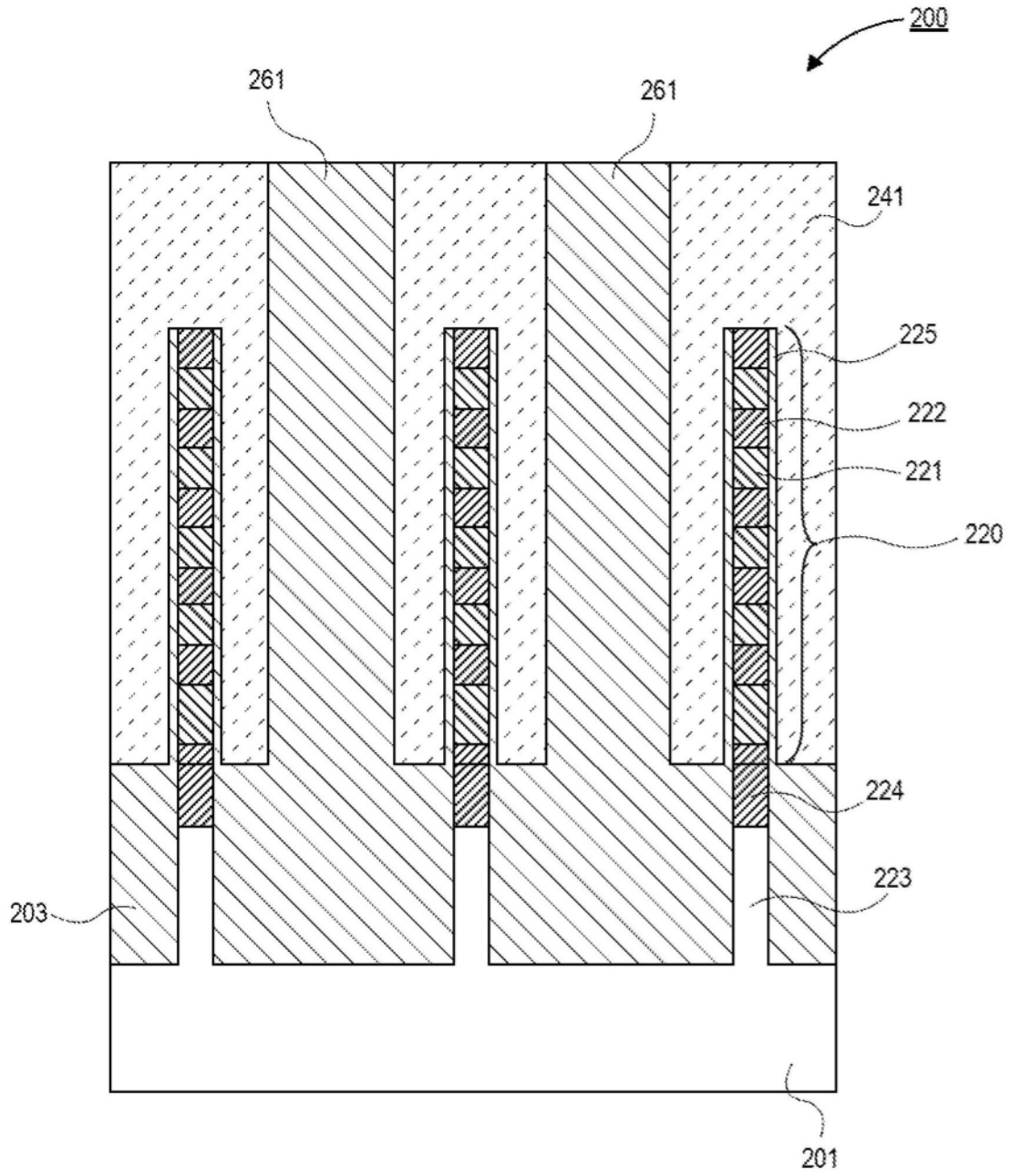


图2B

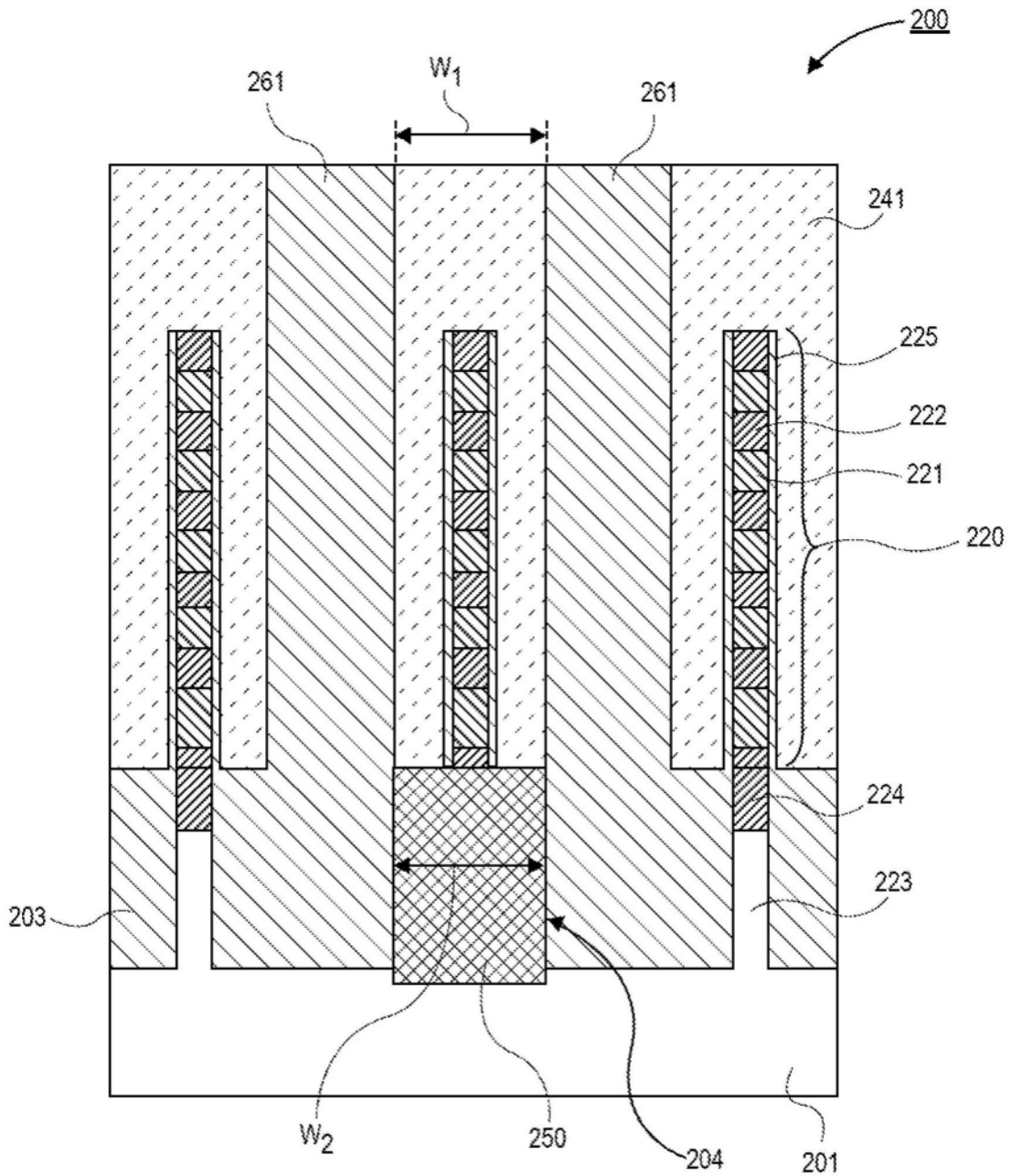


图2C

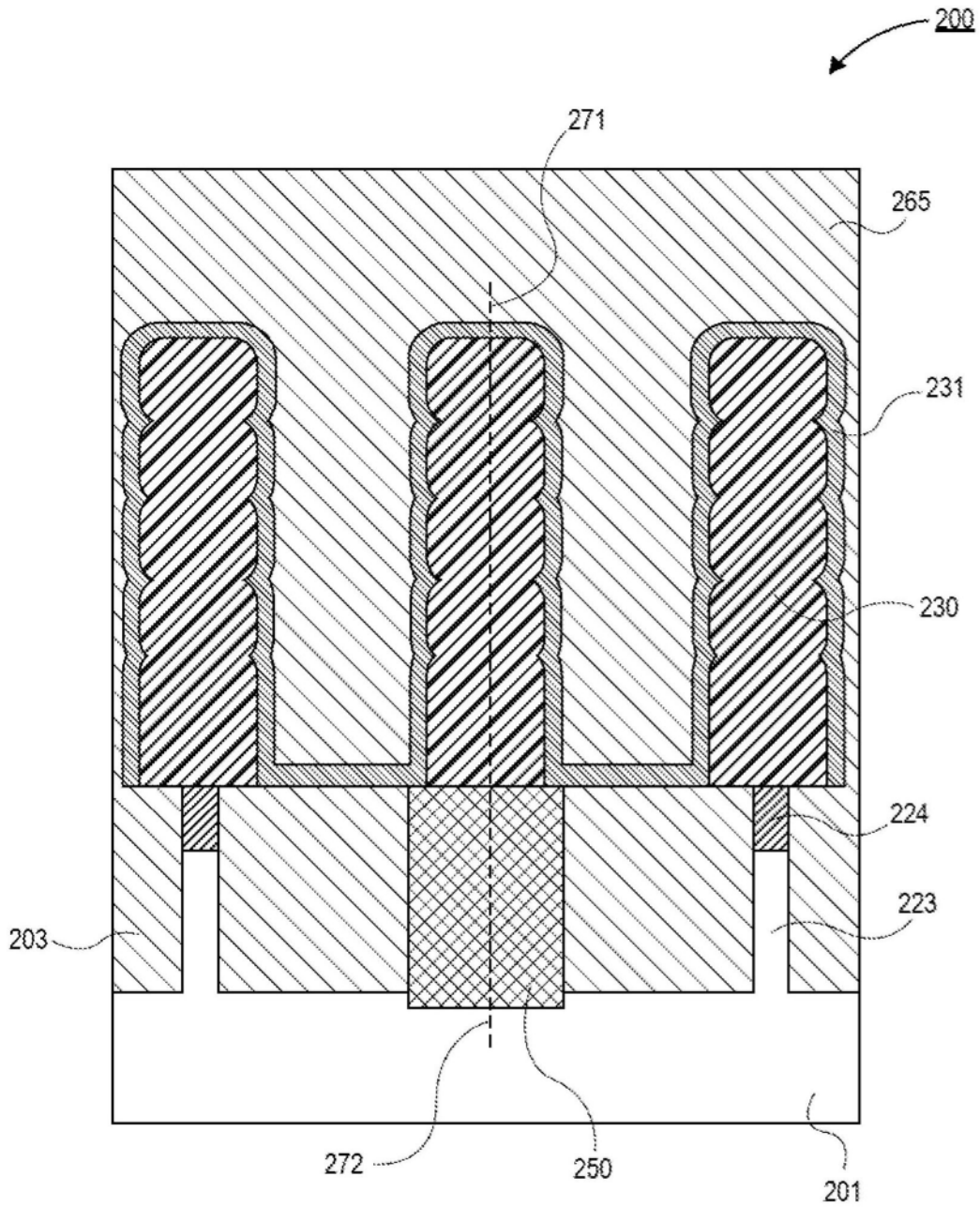


图2D

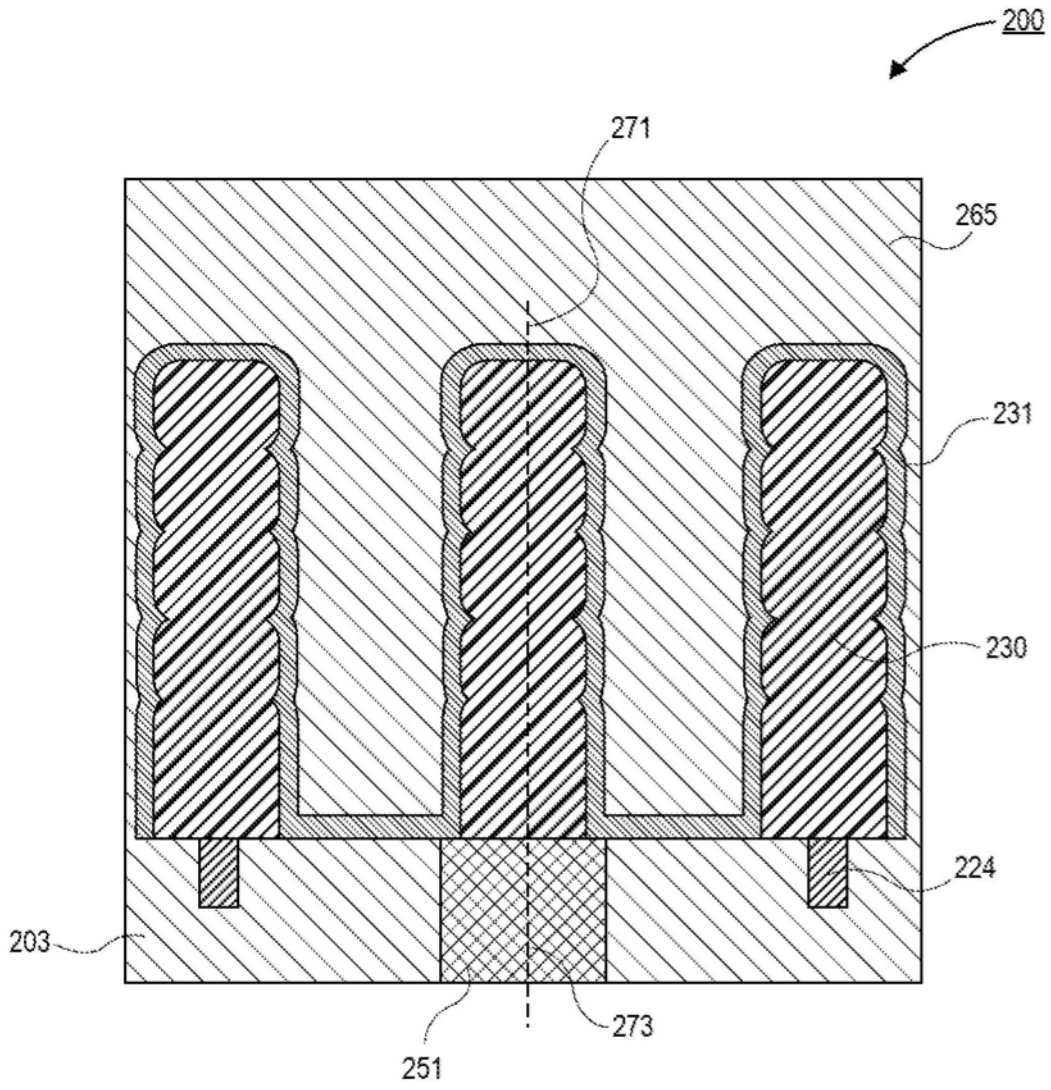


图2E

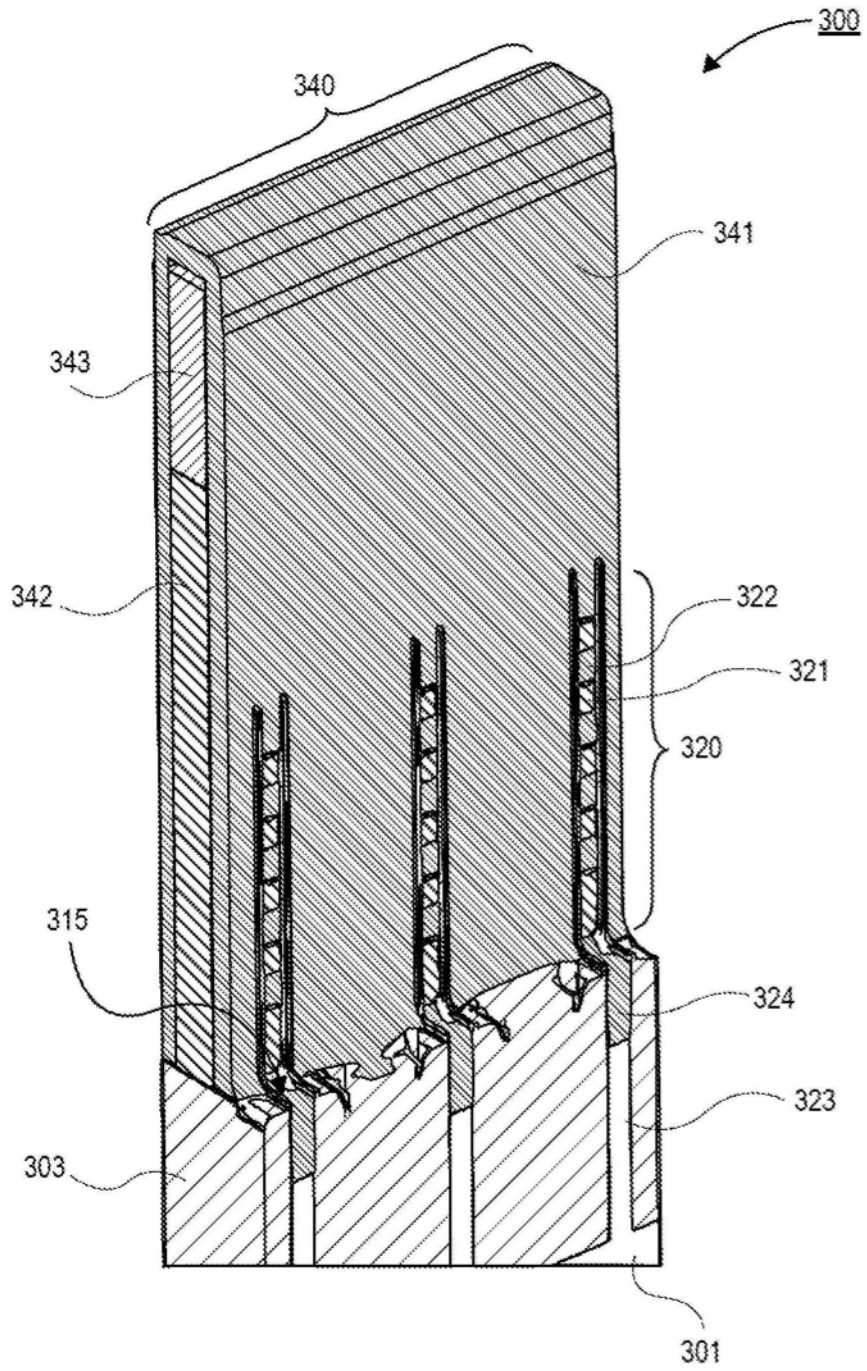


图3A

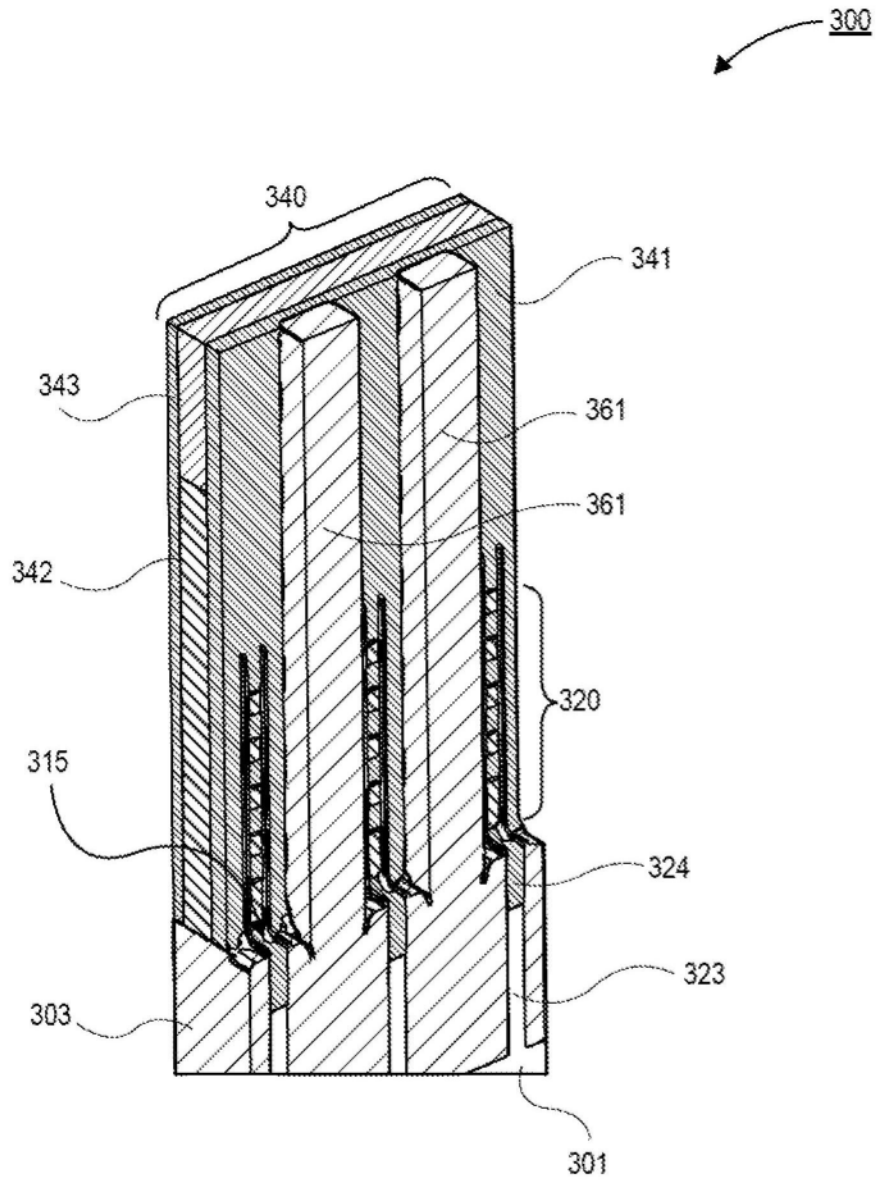


图3B

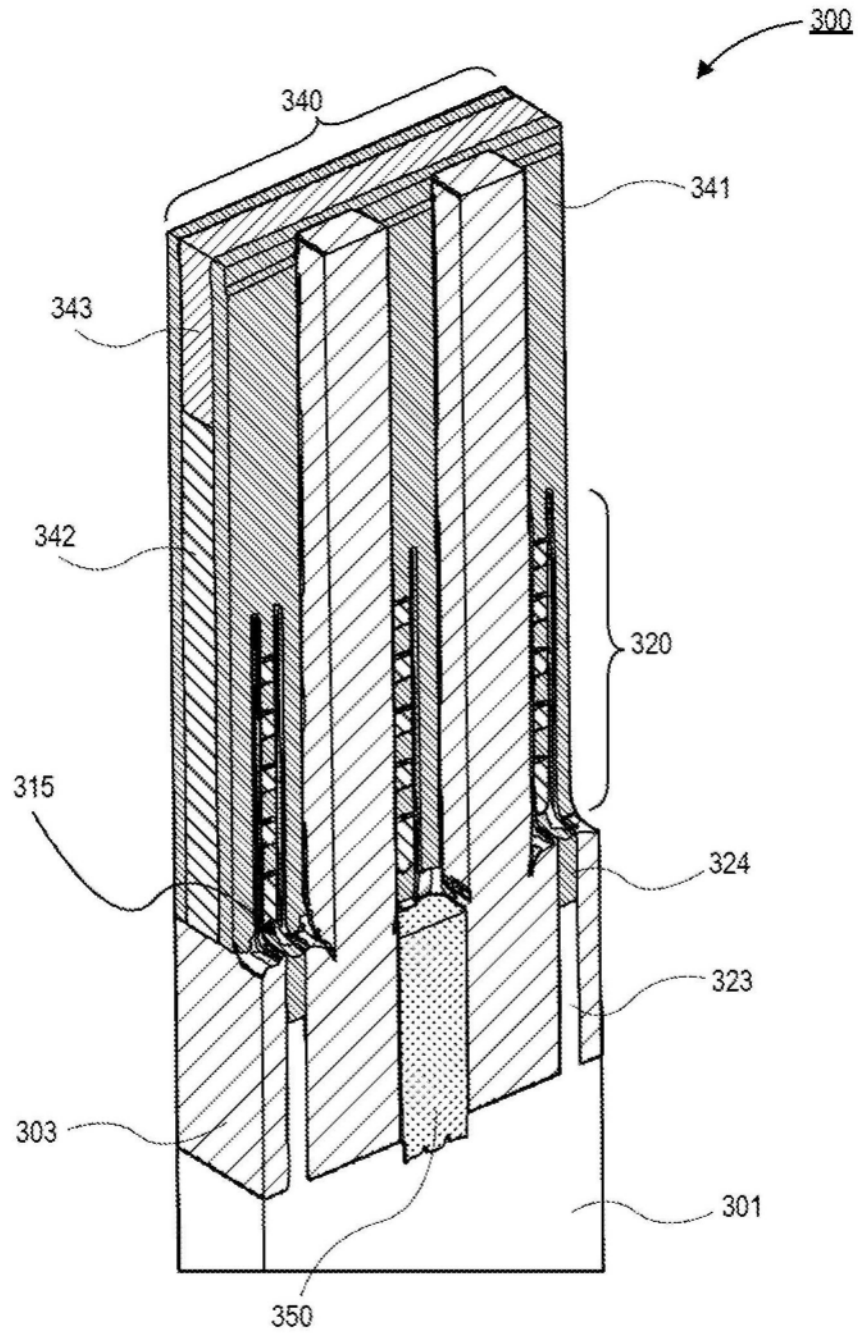


图3C

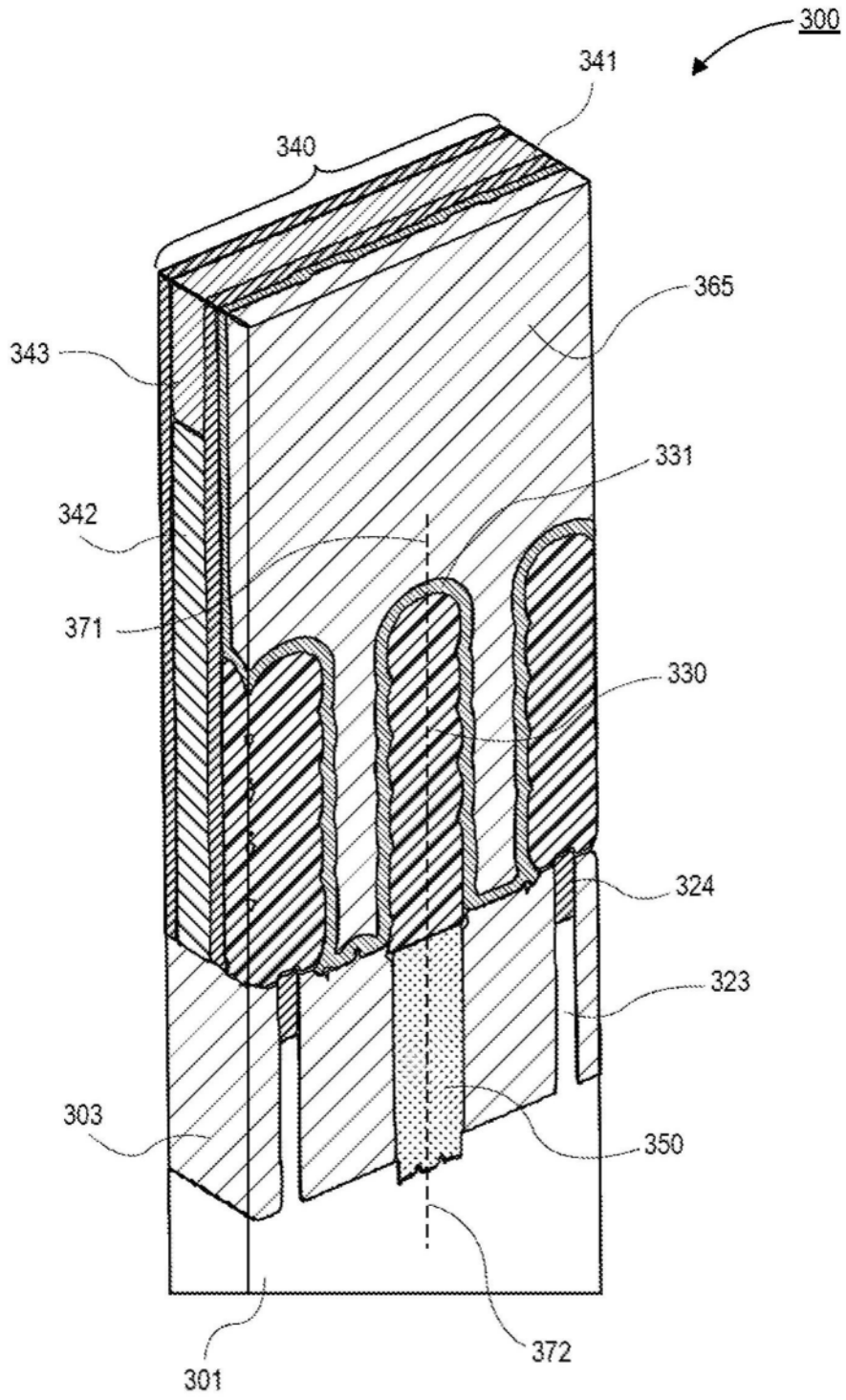


图3D

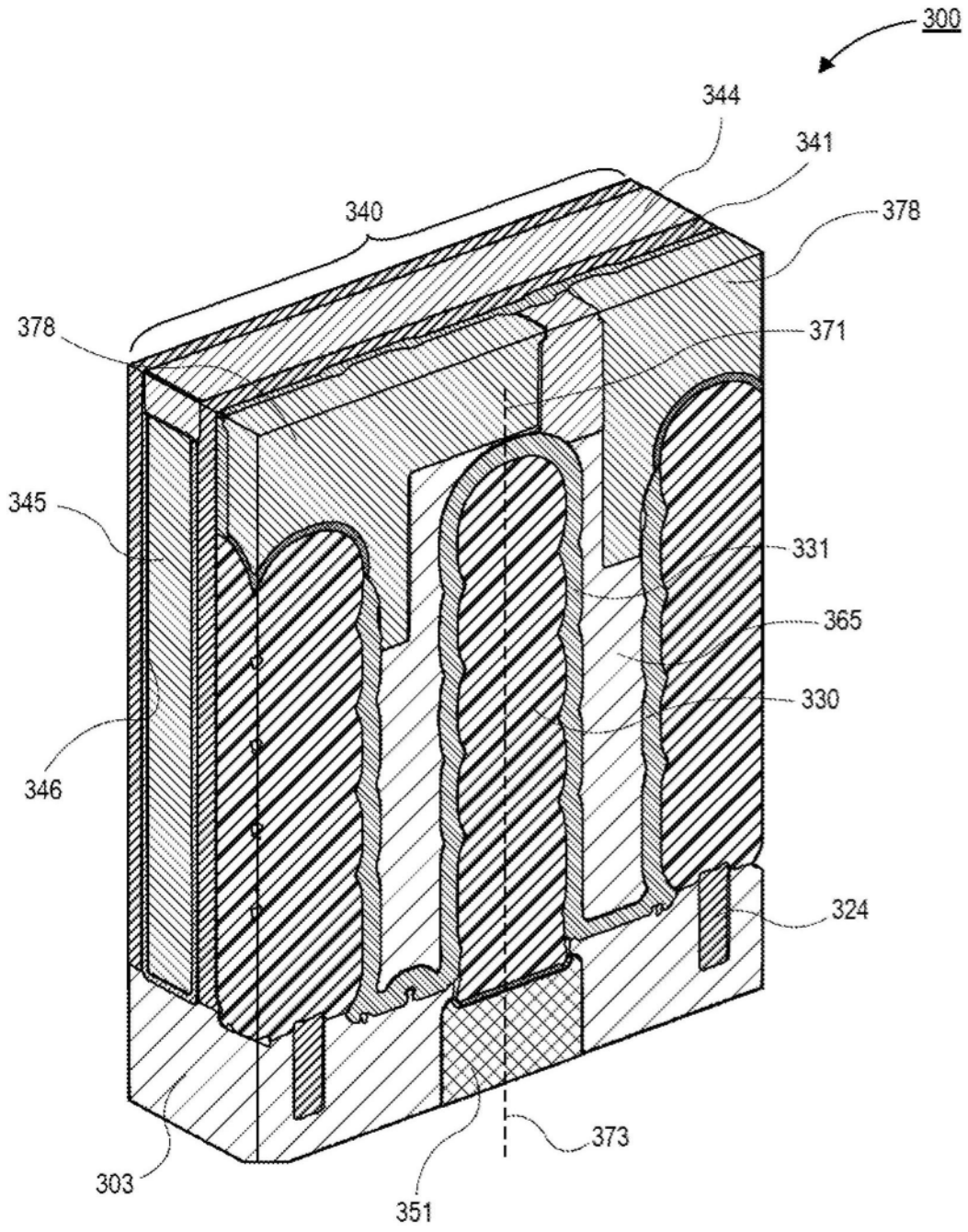


图3E

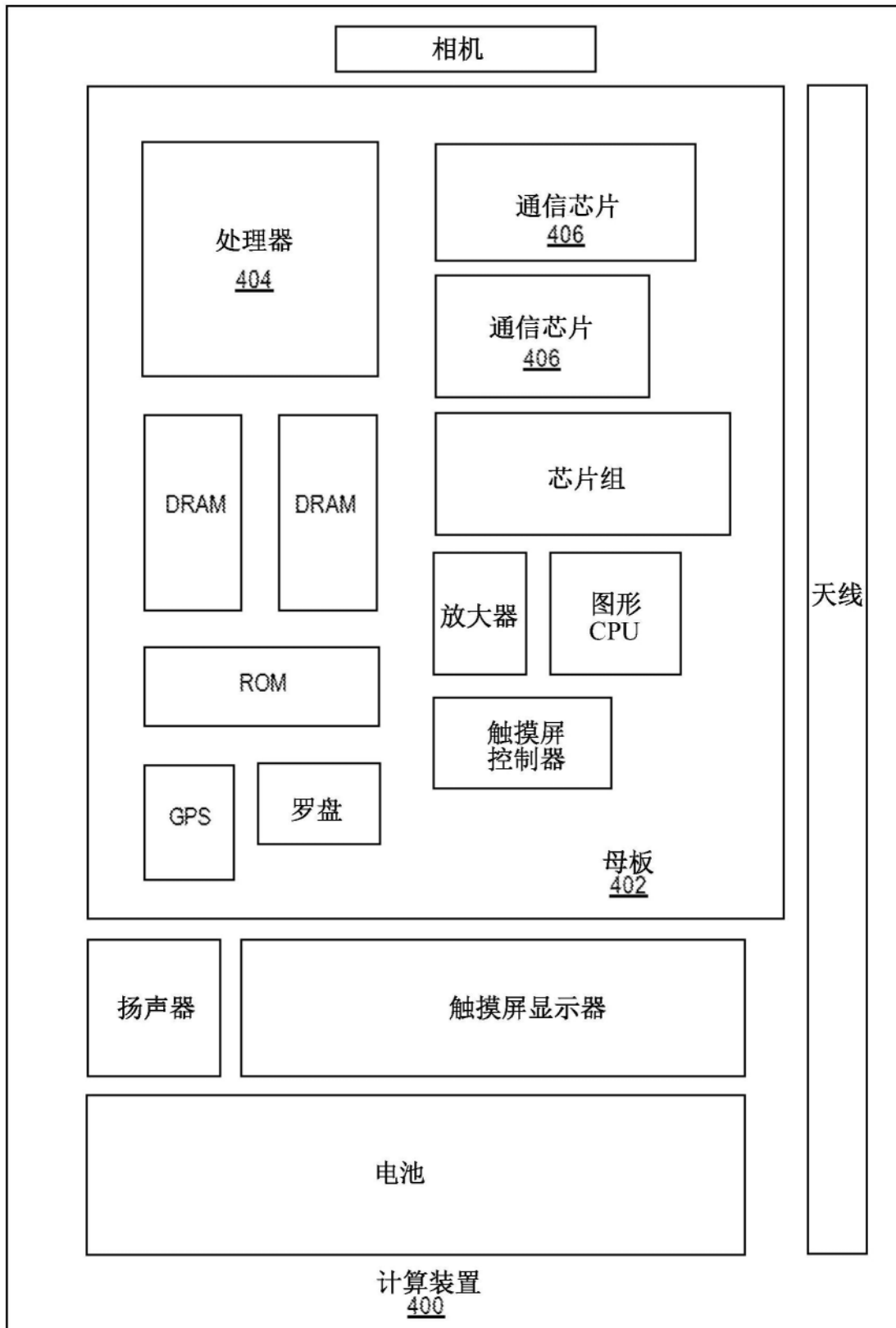


图4

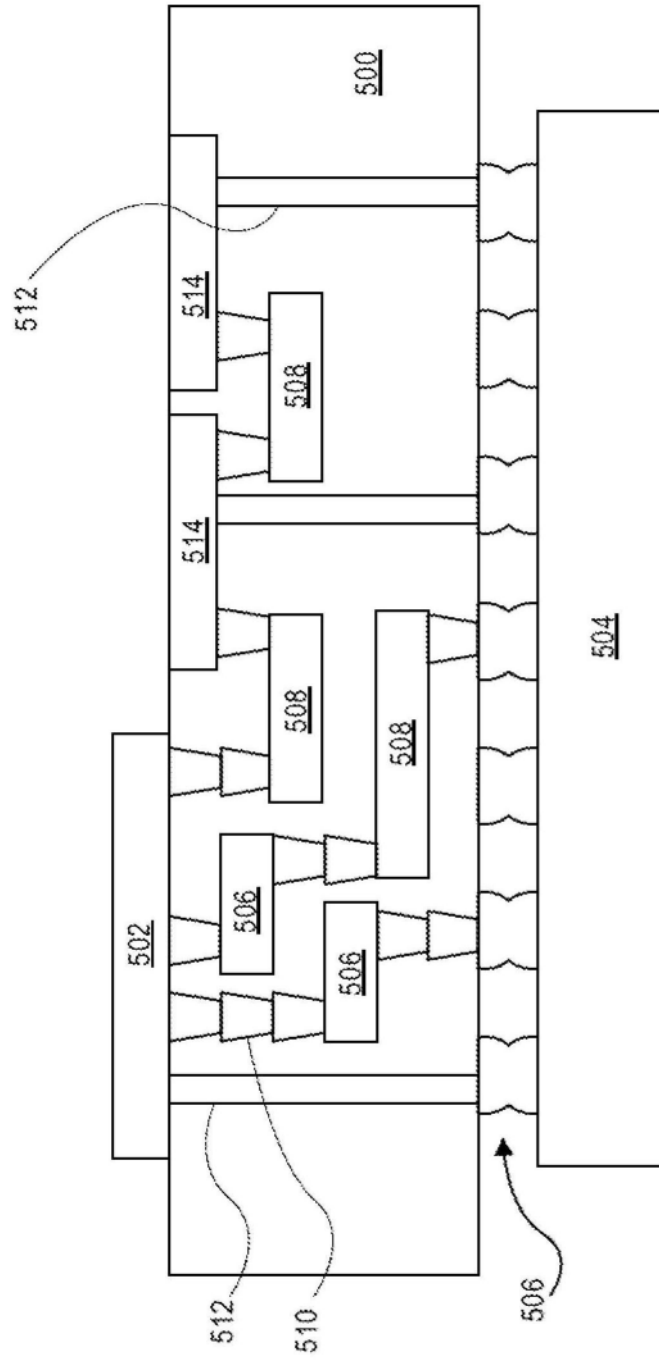


图5