(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 2 日(02.08.2012)

WIPO | PCT

(10) 国際公開番号
WO 2012/102236 A1

(51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/133 (2006.01)

(21) 国際出願番号: PCT/JP2012/051344

(22) 国際出願日: 2012 年 1 月 23 日(23.01.2012)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2011-015945 2011 年 1 月 28 日(28.01.2011) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): ▲くわ▼原信弘(KUWABARA, Nobuhiro).

(74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町１丁目１０番３号 萬盛庵ビル 島田特許事務所 Nara (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

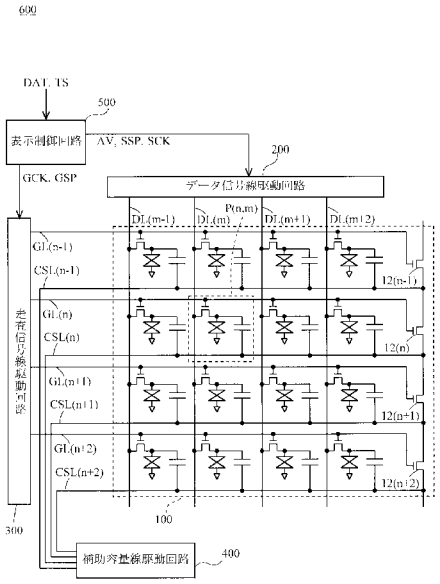
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: DISPLAY DEVICE

(54) 発明の名称 : 表示装置

[図1]



200 Data signal line drive circuit
300 Scanning signal line drive circuit
400 Auxiliary capacity line drive circuit
500 Display control circuit

(57) **Abstract**: Provided is a display device that is able to suppress lateral crosstalk by means of a simple configuration. A display panel (100) that a liquid crystal display device (600) is provided with contains an output-end-side TFT (12) provided to the output end side of a scan signal line (GL). Adjacent auxiliary capacity lines (CSL) are connected via the output-end-side TFT (12). When the scan signal line (GL) is in a selected state, an auxiliary capacity line (CSL) and the auxiliary capacity line (CSL) that is ahead of same are connected by means of the corresponding output-end-side TFT (12) entering a conductive state. At this time, the impedance seen from a position at which an electrical potential change arose at the auxiliary capacity line (CSL) is apparently reduced below conventional impedances. As a result, the time (Tret) for the electrical potential of the auxiliary capacity line (CSL) that has changed during data signal reading to return to the fundamental electrical potential is reduced compared to conventional times.

(57) 要約: 簡易な構成で横クロストークを抑制できる表示装置を提供する。 液晶表示装置（６００）の備える表示パネル（１００）は、走査信号線（ＧＬ）の出力端側に設けられた走出力端側ＴＦＴ（１２）を含んでいる。出力端側ＴＦＴ（１２）を介して、互いに隣接する補助容量線（ＣＳＬ）が接続されている。走査信号線（ＧＬ）が選択状態となると、対応する出力端側ＴＦＴ（１２）が導通状態となることにより補助容量線（ＣＳＬ）とその先行の補助容量線（ＣＳＬ）とが接続される。このとき、補助容量線（ＣＳＬ）で電位変動が生じた位置から見たインピーダンスが見かけ上従来よりも低減される。そのため、データ信号の書き込み時に変動した補助容量線（ＣＳＬ）の電位が本来の電位に復帰するまでの時間Ｔｒｅｔが従来よりも短くなる。

WO 2012/102236 A1

明　細　書

発明の名称 ： 表示装置

技術分野

[0001] 本発明は、表示装置に関し、特に、薄膜トランジスタ等のスイッチング素子を用いたアクティブマトリクス型の表示装置に関する。

背景技術

[0002] 近年、液晶表示装置および有機ＥＬ表示装置等のアクティブマトリクス型表示装置が広く普及している。特に、薄膜トランジスタ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ：ＴＦＴ）等のスイッチング素子が画素回路毎に設けられた液晶表示装置は、画素数が増大してもクロストークの少ない表示画像を得ることができるため、注目を集めている。

[0003] このようなアクティブマトリクス型の液晶表示装置に関して、従来から低消費電力化が求められている。この低消費電力化を図る方法の１つとして、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う方法が知られている。このような駆動方法によれば、小さなデータ信号振幅で液晶層に大きな電圧を加えることができるので、消費電力を低減することができる。このような駆動方法は、例えば、特許文献１～３に開示されている。

[0004] しかし、補助容量線の電位を変化させることにより極性反転駆動を行う液晶表示装置では画素電極と補助容量線とによって補助容量が形成されるので、データ信号を画素電極に書き込む際に生じる画素電極の電位変動が、補助容量を介して補助容量線に伝達されてしまう。これにより、補助容量線の電位が変動し、その結果、画素電位が本来保持されるべき電位と異なる値となってしまう。そのため、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う方法を用いた従来の液晶表示装置では、横方向のクロストーク（以下、「横クロストーク」という）が生じ、表示品位が低下するという問題があった。

[0005] このような横クロストークを解消する方法として、特許文献４には、補助容量線の両端側にそれぞれ補助容量線駆動回路が設けられ、上述のように各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う表示装置が開示されている。このように、補助容量線の両端側から電位を供給することにより、補助容量線の見かけ上のインピーダンスを下げることができる。これにより、補助容量線の電位が変動した場合でもその変動を抑制することができる。また、特許文献５には、各補助容量線に電圧安定化用の補助容量が設けられた表示装置が開示されている。この電圧安定化用の補助容量により、各補助容量に混入するノイズを吸収することができる。これにより、補助容量線の電位変動を抑制することができる。その他、本願発明に関連した表示品位の低下を抑制する手段などは、例えば特許文献６～８に開示されている。

先行技術文献

特許文献

[0006] 特許文献1：日本の特開２００６－２２０９４７号公報

特許文献2：日本の特開２００２－１９６３５８号公報

特許文献3：日本の特開２００７－４７２２０号公報

特許文献4：日本の特開２００５－６２３９５号公報

特許文献5：日本の特開２００３－２０２５９２号公報

特許文献6：日本の特開平８－２３４２３９号公報

特許文献7：日本の特開平１０－２８２５２４号公報

特許文献8：日本の特開２００８－２９２７８７号公報

発明の概要

発明が解決しようとする課題

[0007] しかし、上記特許文献４に記載の表示装置の構成では、補助容量線の両端側に補助容量線駆動回路が必要となるので回路規模が大きくなる。そのため、狭額縁化が困難であると共に、消費電力が増大してしまう。また、補助容

量線の両端側から電位を供給するので、補助容量電位の振幅が増大することにより消費電力が増大してしまうおそれがある。このため、補助容量線の両端側からの電位供給のタイミングを合わせる必要がある。

[0008] また、上記特許文献５に記載の表示装置の構成では、上述の効果を十分に得るためには大容量の電圧安定化用の補助容量が必要となる。そのため、電圧安定化用の補助容量を設けるための広い領域が必要となり、開口率が低下してしまう。なお、上記特許文献５には、共通補助容量線を利用して電圧安定化用の補助容量を形成する例が開示されているが、これによってもなお広い領域が必要となり、開口率が低下してしまう。

[0009] そこで、本発明は、簡易な構成で横クロストークを抑制できる表示装置を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第１の局面は、表示装置であって、

表示すべき画像を表す複数のデータ信号がそれぞれ印加される複数のデータ信号線と、

前記複数のデータ信号線と交差し、複数の走査信号がそれぞれ印加されることにより選択的に駆動される走査信号線と、

前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素回路と、

前記複数の走査信号線にそれぞれ沿って配置された複数の補助容量線と、

前記複数の補助容量線を互いに独立して駆動するための複数の補助容量信号を前記複数の補助容量線にそれぞれ印加する補助容量線駆動回路と、

各走査信号線の出力端側に設けられた出力端側スイッチング素子とを備え、

各画素回路は、

対応する交差点を通過する走査信号線が選択状態のときに導通状態、非選択状態のときに遮断状態となる画素スイッチング素子と、

対応する交差点を通過するデータ信号線に前記画素スイッチング素子を

介して接続された画素電極と、

前記複数の画素回路に共通的に設けられた共通電極と、

前記画素電極と前記対応する交差点を通過する走査信号線に沿って配置された補助容量線との間に形成される補助容量とを含み、

前記補助容量線駆動回路は、前記走査信号線が選択状態から非選択状態に切り替えられた後に、当該走査信号線に沿って配置された補助容量線に印加する補助容量信号の電位を変化させ、

各出力端側スイッチング素子を介して、当該出力端側スイッチング素子に対応する走査信号線に沿って配置された補助容量線と、当該走査信号線の、前記複数の走査信号線の走査方向における先行の走査信号線に沿って配置された補助容量線とが出力端側で互いに接続され、

各出力端側スイッチング素子は、所定の信号に応じて、当該出力端側スイッチング素子に対応する走査信号線が選択状態のときに導通状態、非選択状態のときに遮断状態となるように制御されることを特徴とする。

[0011] 本発明の第２の局面は、本発明の第１の局面において、

前記複数のデータ信号の極性は１水平期間毎に反転し、

各出力端側スイッチング素子を介して互いに接続された補助容量線は、当該出力端側スイッチング素子が導通状態のとき、それぞれに印加されている補助容量信号が同電位であることを特徴とする。

[0012] 本発明の第３の局面は、本発明の第２の局面において、

各出力端側スイッチング素子の制御端子は対応する走査信号線に接続され、

各出力端側スイッチング素子の導通端子の一方は、対応する走査信号線に沿って配置された補助容量線に接続され、

各出力端側スイッチング素子の導通端子の他方は、対応する走査信号線の、前記複数の走査信号線の走査方向における先行の走査信号線に沿って配置された補助容量線に接続されていることを特徴とする。

[0013] 本発明の第４の局面は、本発明の第２の局面において、

前記複数の走査信号線の走査方向は、第１方向と、前記第１方向と反対の方向である第２方向とで切替可能であることを特徴とする。

[0014] 本発明の第５の局面は、本発明の第４の局面において、

各出力端側スイッチング素子の制御端子は、対応する走査信号線、または当該対応する走査信号線の前記第１方向における先行の走査信号線のいずれかに選択的に接続され、

各出力端側スイッチング素子の導通端子の一方は、対応する走査信号線に沿っては配置された補助容量線に接続され、

各出力端側スイッチング素子の導通端子の他方は、対応する走査信号線の前記第１方向における先行の走査信号線に沿って配置された補助容量線に接続されていることを特徴とする。

[0015] 本発明の第６の局面は、本発明の第５の局面において、

各走査信号線に対応して設けられた切替スイッチをさらに備え、

各切替スイッチの切替端子の一方は、対応する走査信号線に接続され、

各切替スイッチの切替端子の他方は、対応する走査信号線の前記第１方向における先行の走査信号線に接続され、

各切替スイッチの共通端子は、対応する走査信号線の出力端側に設けられた出力端側スイッチング素子の制御端子に接続され、

各切替スイッチは、前記複数の走査信号線の走査方向が前記第１方向であれば前記切替端子の前記一方を選択し、前記第２方向であれば前記切替端子の前記他方を選択するように制御されることを特徴とする。

[0016] 本発明の第７の局面は、本発明の第２の局面において、

各走査信号線の入力端側に設けられた入力端側スイッチング素子をさらに備え、

各入力端側スイッチング素子を介して、当該入力端側スイッチング素子に対応する走査信号線に沿って配置された補助容量線と、当該走査信号線の、前記複数の走査信号線の走査方向における先行の走査信号線に沿って配置された補助容量線とが入力端側で互いに接続されていることを特徴とする。

発明の効果

[0017] 本発明の第１の局面によれば、走査信号線の選択時に、当該走査信号線に沿って配置された補助容量線と、当該走査信号線の走査方向における先行の走査信号線に沿って配置された補助容量線とが接続されるので、補助容量線の見かけ上のインピーダンスが従来よりも低減される。そのため、データ信号の書き込み時に変動した補助容量線の電位が本来の電位に復帰するまでの時間が従来よりも短くなる。これにより、補助容量線の電位変動に起因する画素電位の変動が生じない。また、本発明を実現するには、各走査信号線の出力端側に出力端側スイッチング素子を追加するだけでよい。したがって、簡易な構成で横クロストークを抑制することができる。

[0018] 本発明の第２の局面によれば、複数のデータ信号の極性を１水平期間毎に反転させて駆動を行う場合において、本発明の第１の局面と同様の効果を奏することができる。

[0019] 本発明の第３の局面によれば、出力端側スイッチング素子を制御するための信号を別途用いる必要がない。これにより、さらに簡易な構成で本発明の第２の局面と同様の効果を奏することができる。

[0020] 本発明の第４の局面によれば、走査信号線の走査方向が切替可能である場合に、本発明の第２の局面と同様の効果を奏することができる。

[0021] 本発明の第５の局面によれば、出力端側スイッチング素子を制御するための信号を別途用いる必要がない。これにより、さらに簡易な構成で本発明の第４の局面と同様の効果を奏することができる。

[0022] 本発明の第６の局面によれば、各走査信号線に対応して切替スイッチを設けることにより、本発明の第５の局面と同様の効果を奏することができる。

[0023] 本発明の第７の局面によれば、補助容量線の電位変動が生じる位置に関わらず、補助容量線の見かけ上のインピーダンスが従来よりも十分に低減される。そのため、補助容量線の電位変動が生じる位置に関わらず、データ信号の書き込み時に変動した補助容量線の電位が本来の電位に復帰するまでの時間が従来よりも十分短くなる。また、本実施形態を実現するには、各走査信

号線の入力端側に入力端側スイッチング素子を本発明の第２の局面において追加するだけでよい。これにより、簡易な構成で横クロストークをより確実に抑制することができる。

図面の簡単な説明

[0024] [図1]本発明の第１の実施形態に係る液晶表示装置の電気的構成を示す回路図である。

[図2]上記第１の実施形態における補助容量線駆動回路の電気的構成を示す回路図である。

[図3]（Ａ）～（Ｇ）は、上記第１の実施形態に係る液晶表示装置の動作を説明するための電圧波形図である。

[図4]（Ａ）は、図３（Ｇ）において破線で囲んだ部分ＲＢを拡大した画素電位の電圧波形図である。（Ｂ）は、図３（Ｅ）の破線で囲んだ部分ＲＡを拡大した従来の液晶表示装置における補助容量線の電位の電圧波形図である。（Ｃ）は、図３（Ｅ）の破線で囲んだ部分ＲＡを拡大した上記第１の実施形態における補助容量線の電位の電圧波形図である。

[図5]上記第１の実施形態における補助容量線の等価回路図である。

[図6]上記第１の実施形態における補助容量線の等価回路図である。

[図7]上記第１の実施形態において所定の表示パターンを表示した例を示す図である。

[図8]（Ａ）～（Ｄ）は、図７に示す表示画像のうち、走査信号線ＧＬ（ｎ）および補助容量線ＣＳＬ（ｎ）に対応する部分の電圧波形図である。

[図9]（Ａ）～（Ｄ）は、図７に示す表示画像のうち、走査信号線ＧＬ（ｐ）および補助容量線ＣＳＬ（ｐ）に対応する部分の電圧波形図である。

[図10]本発明の第２の実施形態に係る液晶表示装置の電気的構成を示す回路図である。

[図11]本発明の第３の実施形態に係る液晶表示装置の電気的構成を示す回路図である。

[図12]本発明の第４の実施形態に係る液晶表示装置の電気的構成を示す回路

図である。

[図13]上記第４の実施形態における補助容量線の等価回路図である。

[図14]本発明の基礎検討に係る液晶表示装置の電気的構成を示す回路図である。

[図15]上記基礎検討および上記第１の実施形態における画素回路の電気的構成を示す回路図である。

[図16]（Ａ）～（Ｅ）は、上記基礎検討に係る液晶表示装置の動作を説明するための電圧波形図である。

[図17]補助容量線の等価回路図である。

[図18]書き込み期間よりも復帰時間が短い場合の電圧波形図である。（Ａ）は、図１６（Ｃ）において破線で囲んだ部分ＲＡを拡大した補助容量線の電位の電圧波形図である。（Ｂ）は、図１６（Ｅ）において破線で囲んだ部分ＲＢを拡大した画素電位の電圧波形図である。

[図19]書き込み期間よりも復帰時間が長い場合の電圧波形図である。（Ａ）は、図１６（Ｃ）において破線で囲んだ部分ＲＡを拡大した補助容量線の電位の電圧波形図である。（Ｂ）は、図１６（Ｅ）において破線で囲んだ部分ＲＢを拡大した画素電位の電圧波形図である。

[図20]（Ａ）～（Ｄ）は、電位変動量ΔＶの大きさに応じた、上記基礎検討に係る液晶表示装置の動作を説明するための電圧波形図である。

[図21]上記基礎検討に係る液晶表示装置において所定の表示パターンを表示した例を示す図である。

[図22]（Ａ）～（Ｄ）は、図２１に示す表示画像のうち、走査信号線ＧＬ（ｎ）および補助容量線ＣＳＬ（ｎ）に対応する部分の電圧波形図である。

[図23]（Ａ）～（Ｄ）は、図２１に示す表示画像のうち、走査信号線ＧＬ（ｐ）および補助容量線ＣＳＬ（ｐ）に対応する部分の電圧波形図である。

発明を実施するための形態

[0025] ＜０．基礎検討＞

本発明の実施形態について説明する前に、上記課題を解決すべく本願発明

者によりなされた基礎検討について説明する。

[0026] ＜０．１　従来の液晶表示装置の構成＞

図１４は、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動が行われる従来の液晶表示装置の電気的構成を示す回路図である。図１４に示すように、従来の液晶表示装置６９０は、表示パネル１９０、データ信号線駆動回路２００、走査信号線駆動回路３００、補助容量線駆動回路４００、および表示制御回路５００を備えている。

[0027] 表示パネル１９０は、液晶層を挟持する１対の電極基板からなり、各電極基板の外表面には偏光板が貼り付けられている。上記１対の電極基板の一方はＴＦＴ（Ｔｈｉｎ　Ｆｉｌｍ　Ｔｒａｎｓｉｓｔｏｒ）基板と呼ばれるアクティブマトリクス型の基板である。このＴＦＴ基板では、ガラス基板等の絶縁性基板上に、複数のデータ信号線ＤＬ（１）～ＤＬ（Ｍ）（以下、これらを区別しない場合に「データ信号線ＤＬ」という）と複数の走査信号線ＧＬ（１）～ＧＬ（Ｎ）とが互いに交差するように格子状に形成され、さらに、複数の走査信号線ＧＬ（１）～ＧＬ（Ｎ）（以下、これらを区別しない場合に「走査信号線ＧＬ」という）に沿ってそれぞれ配置されると共に、互いに独立に駆動可能な複数の補助容量線ＣＳＬ（１）～ＣＳＬ（Ｎ）（以下、これらを区別しない場合に「補助容量線ＣＳＬ」という）が形成されている。また、複数のデータ信号線ＤＬ（１）～ＤＬ（Ｍ）と複数の走査信号線ＧＬ（１）～ＧＬ（Ｎ）との交差点にそれぞれ対応して複数の画素回路Ｐ（ｎ，ｍ）がマトリクス状に形成されている（ｎ＝１～Ｎ、ｍ＝１～Ｍ）。なお、図示の便宜上、図１４には１６個の画素回路のみを示しているが、実際には、Ｎ×Ｍ個の画素回路が表示パネル１９０に形成されている。上記１対の電極基板の他方は対向基板と呼ばれ、ガラス等の絶縁性基板上に、全面にわたって対向電極、配向膜が順次積層されている。複数のデータ信号線ＤＬ（１）～ＤＬ（Ｍ）、複数の走査信号線ＧＬ（１）～ＧＬ（Ｎ）、および複数の補助容量線ＣＳＬ（１）～ＣＳＬ（Ｎ）はそれぞれデータ信号線駆動回路

２００、走査信号線駆動回路３００、および補助容量線駆動回路４００によって駆動される。

[0028] 図１５は、画素回路Ｐ（ｎ，ｍ）の電気的構成を示す回路図である。各画素回路Ｐ（ｎ，ｍ）は、複数のデータ信号線ＤＬ（１）～ＤＬ（Ｍ）と複数の走査信号線ＧＬ（１）～ＧＬ（Ｎ）との交差点のいずれか１つに対応して設けられている。また、各画素回路Ｐ（ｎ，ｍ）は、対応交差点を通過するデータ信号線ＤＬ（ｍ）にソース電極が接続されると共に対応交差点を通過する走査信号線ＧＬ（ｎ）にゲート電極が接続された画素ＴＦＴ１０１と、画素ＴＦＴ１０１のドレイン電極に接続された画素電極とを含んでいる。画素電極と対向電極とによって液晶容量ＣｌｃＩが形成され、画素電極と補助容量線ＣＳＬ（ｎ）とによって補助容量ＣｃｓＣが形成されている。

[0029] 表示制御回路５００は、外部から表示データＤＡＴおよびタイミング制御信号ＴＳを受け取り、表示パネル１９０に表示データＤＡＴの表す画像を表示させるための信号として、アナログ画像信号ＡＶ、データスタートパルス信号ＳＳＰ、データクロック信号ＳＣＫ、ゲートスタートパルス信号ＧＳＰ、およびゲートクロック信号ＧＣＫを出力する。

[0030] データ信号線駆動回路２００は、表示制御回路５００から出力されたアナログ画像信号ＡＶ、データスタートパルス信号ＳＳＰおよびデータクロック信号ＳＣＫを受け取り、データスタートパルス信号ＳＳＰおよびデータクロック信号ＳＣＫに基づいて、アナログ画像信号ＡＶを各データ信号線ＤＬに順次に印加する。このように、このデータ信号線駆動回路２００では、いわゆる点順次駆動方式で駆動が行われる。なお、点順次駆動方式に限らず、データ信号線駆動回路２００では、複数のデータ信号線ＤＬを所定数のデータ信号線ＤＬからなる組にグループ化し、当該所定数のデータ信号線ＤＬに共通の出力バッファによって、各組に対応する所定数のデータ信号を時分割することにより当該各組を駆動する方式である、いわゆるＳＳＤ（Ｓｏｕｒｃｅ Ｓｈａｒｅｄ Ｄｒｉｖｉｎｇ）方式で駆動が行われていてもよい。この場合、データ信号線駆動回路２００は、アナログ画像信号ＡＶに代えてデ

ジタル画像信号ＤＶを受け取り、このデジタル画像信号ＤＶをシリアルーパラレル変換した後、デジタルーアナログ変換することによりデータ信号を生成する。

[0031] 走査信号線駆動回路３００は、表示パネル１９０に画像を表示するための各フレーム期間（各垂直走査期間）において、複数の走査信号線ＧＬ（１）～ＧＬ（Ｎ）を１水平走査期間ずつ順次選択し、選択した走査信号線にアクティブな走査信号（画素回路に含まれる画素ＴＦＴ１０１を導通状態にさせる電圧）を印加する。

[0032] 補助容量線駆動回路４００は、表示パネル１９０の液晶層に印加すべき電圧のバイアスとなる補助容量信号（所定の低電位ＶＬまたは所定の高電位ＶＨ）を複数の補助容量線ＣＳＬ（１）～ＣＳＬ（Ｎ）に独立に印加する。なお、補助容量線に印加する電位は低電位ＶＬおよび高電位ＶＨの２種類に限らない。すなわち、３種類以上の電位を用いてもよい。

[0033] 対向電極には、図示しない対向電極駆動回路により、表示パネル１９０の液晶層に印加すべき電圧の基準となる電位Ｖｃｏｍが与えられる。

[0034] 上述のように、複数のデータ信号線ＤＬ（１）～ＤＬ（Ｍ）には複数のデータ信号がそれぞれ印加され、複数の走査信号線ＧＬ（１）～ＧＬ（Ｎ）には複数の走査信号がそれぞれ印加されることにより、表示パネル１９０における各画素回路における画素電極には、対向電極電位Ｖｃｏｍを基準として、表示すべき画素の画素値に応じた電圧が画素ＴＦＴ１０１を介して与えられ、各画素回路内の液晶容量Ｃｌｃおよび補助容量Ｃｃｓからなる画素容量に保持される。これにより、液晶層には、各画素電極と対向電極との電位差に相当する電圧が印加される。表示パネル１９０は、この印加電圧によって液晶層の光透過率を制御することにより、表示データＤＡＴの表す画像を表示する。

[0035] ＜０．２　従来の液晶表示装置の動作＞

図１６（Ａ）～図１６（Ｅ）はそれぞれ、連続する２つのフレーム期間である第１フレーム期間ＴＦ１および第２フレーム期間ＴＦ２における、走査

信号線ＧＬ（ｎ）の電位、走査信号線ＧＬ（ｎ＋１）の電位、補助容量線ＣＳＬ（ｎ）の電位、補助容量線ＣＳＬ（ｎ＋１）の電位、および画素電極の電位（以下、「画素電位」という）Ｖｄ（ｎ，ｍ）の電圧波形を示す図である。ここでは、データ信号線ＤＬ（１）～ＤＬ（ｍ）に印加すべきデータ信号の対向電極電位Ｖｃｏｍを基準とする極性を１水平期間毎に反転させて駆動する１Ｈ反転駆動方式が採用され、かつ、ノーマリーブラックモードにより表示を行う場合を例に挙げて説明する。なお、Ｖｃｏｍ＝０とするが、これに限られない。

[0036] 第１フレーム期間ＴＦ１において、走査信号線ＧＬ（ｎ）が選択状態になると（図１６（Ａ））、走査信号線ＧＬ（ｎ）に接続された画素回路Ｐ（ｎ，１）～Ｐ（ｎ，Ｍ）内の画素ＴＦＴ１０１が導通状態になる。画素回路Ｐ（ｎ，ｍ）に対する書き込み期間において、データ信号線ＤＬ（ｍ）からデータ信号としての正電位ＶｄＡが画素電極に与えられ、画素容量が充電される。その結果、画素電位Ｖｄ（ｎ，ｍ）がＶｄＡに保持される（図１６（Ｅ））。次に、走査信号線ＧＬ（ｎ）が非選択状態になり、走査信号線ＧＬ（ｎ）に接続された画素ＴＦＴ１０１が遮断状態になると、画素容量に蓄積された電荷はそのまま保持される。この間、補助容量線ＣＳＬ（ｎ）の電位は所定の低電位ＶＬとなっている。その後、補助容量線ＣＳＬ（ｎ）の電位が所定の高電位ＶＨに変化する。その後、次フレームまでの期間、補助容量線ＣＳＬ（ｎ）には上記高電位ＶＨが与えられ、画素電位Ｖｄ（ｎ，ｍ）にバイアス電圧ΔＶｌｃＰが加わることとなる。その結果、液晶層のうち画素電極と対向電極とに挟持された部分には、図１６（Ｅ）に示す電圧ＶｌｃＰが印加され、画素ＴＦＴ１０１が再び導通状態になるまでの期間、電荷が保持される。次フレームである第２フレーム期間ＴＦ２では、第１フレーム期間ＴＦ１と同様の動作が行われる（ただし、極性が反転している）。このような動作により、小さなデータ信号振幅で液晶層に大きな電圧を加えることができるので、消費電力を低減することができる。

[0037] ＜０．３ 考察＞

しかし、上述のように画素電極と補助容量線ＣＳＬ（ｎ）とによって補助容量Ｃｃｓが形成されているので、データ信号を画素電極に書き込む際に生じる画素電位Ｖｄ（ｎ，ｍ）の電位変動が、補助容量Ｃｃｓを介して補助容量線ＣＳＬ（ｎ）に伝達されてしまう。このときに生じる補助容量線ＣＳＬ（ｎ）の電位変動量ΔＶ（以下、「電位変動ΔＶ」ともいう）は、近似的に下記の式（１）で表される。

ΔＶ＝Ｖｄｐｒｅ（ｎ，ｍ）－Ｖｄａｔ…（１）

ここで、Ｖｄｐｒｅ（ｎ，ｍ）は前フレームにおいて走査信号線ＧＬ（ｎ）の選択期間終了後に補助容量線ＣＳＬ（ｎ）の電位を変化させて確定された画素電位を表し、Ｖｄａｔは次フレームで書き込むデータ信号の電圧を表す。

[0038] 図１６（Ｃ）に示すように、補助容量線ＣＳＬ（ｎ）では、画素電位Ｖｄ（ｎ，ｍ）の極性が負から正に変化したときおよび正から負に変化したときに、電位変動ΔＶが生じている（図中では、直線で示している）。同様に、図１６（Ｄ）に示すように、補助容量線ＣＳＬ（ｎ＋１）でも、画素電位Ｖｄ（ｎ＋１，ｍ）の極性が変化したとき（図示しない）に、電位変動ΔＶが生じている（図中では、直線で示している）。なお、例えば補助容量線ＣＳＬ（ｎ）では、実際には画素電位Ｖｄ（ｎ，１）～Ｖｄ（ｎ，ｍ－１）およびＶｄ（ｎ，ｍ＋１）～Ｖｄ（ｎ，Ｍ）の電位変動の影響も受けるが、便宜上その図示および説明を省略する。また、走査信号線ＧＬ（ｎ）の選択状態となることにより画素ＴＦＴ１０１が導通状態となるときに、データ信号線ＤＬ（１）～（Ｍ）の寄生容量の影響によっても画素電位Ｖｄ（ｎ，ｍ）が変動するが、便宜上その図示および説明を省略する。

[0039] 図１７に示すように、補助容量線ＣＳＬ（ｎ）は配線抵抗Ｒｃｓおよび寄生容量Ｃｐからなる等価回路で表すことができる。電位変動ΔＶを生じた補助容量線ＣＳＬ（ｎ）は、寄生容量Ｃｐに保持された電荷を充放電することにより初期の電位に復帰しようとする。本明細書では、補助容量線ＣＳＬ（ｎ）で電位変動ΔＶが生じた時点から、電位変動ΔＶが生じた補助容量線Ｃ

ＳＬ（ｎ）の電位と上記初期の電位との電位差が所定の微少電位差Δε（≒０Ｖ）になる時点までの時間を、「復帰時間Ｔｒｅｔ」という。復帰時間Ｔｒｅｔは、配線抵抗Ｒｃｓの抵抗値、寄生容量Ｃｐの容量値、および電位変動量ΔＶに依存する。すなわち、電位変動量ΔＶを一定と考える場合、配線抵抗Ｒｃｓの抵抗値と寄生容量Ｃｐの容量値とによって定まる時定数が大きいほど、復帰時間Ｔｒｅｔは長くなる。上述のように、補助容量線ＣＳＬ（ｎ）の電位を低電位ＶＬと高電位ＶＨとで切り替えるためには、補助容量線駆動回路４００に選択スイッチが必要であるため、補助容量線駆動回路４００から見た補助容量線ＣＳＬ（ｎ）のインピーダンスがさらに上昇する。そのため、各走査信号線の選択期間終了後に対応する補助容量線の電位を変化させることにより極性反転駆動を行う方法では特に時定数が大きくなり、復帰時間Ｔｒｅｔが長くなる。

[0040] 図１８（Ａ）および図１８（Ｂ）はそれぞれ、Ｔｗｒｔ＞Ｔｒｅｔである場合の、図１６（Ｃ）において破線で囲んだ部分ＲＡを拡大した補助容量線ＣＳＬ（ｎ）の電位および図１６（Ｅ）において破線で囲んだ部分ＲＢを拡大した画素電位Ｖｄ（ｎ，ｍ）の電圧波形図である。ここで、Ｔｗｒｔは画素電位Ｖｄ（ｎ，ｍ）の書き込み期間を表す。図１８（Ａ）および図１８（Ｂ）に示す波形は、画素電位Ｖｄ（ｎ，ｍ）の書き込み期間Ｔｗｒｔ内に補助容量線ＣＳＬ（ｎ）の電位が復帰する。この場合、画素電位Ｖｄ（ｎ，ｍ）は補助容量線ＣＳＬ（ｎ）の電位変動の影響を受けない。

[0041] 図１９（Ａ）および図１９（Ｂ）はそれぞれ、Ｔｗｒｔ＜Ｔｒｅｔである場合の、図１６（Ｃ）において破線で囲んだ部分ＲＡを拡大した補助容量線ＣＳＬ（ｎ）の電位および図１６（Ｅ）において破線で囲んだ部分ＲＢを拡大した画素電位Ｖｄ（ｎ，ｍ）の電圧波形図である。画素電位図１９（Ａ）および図１９（Ｂ）に示す波形は、画素電位Ｖｄ（ｎ，ｍ）の書き込み期間Ｔｗｒｔ内に補助容量線ＣＳＬ（ｎ）の電位が復帰しない。この場合、書き込み期間Ｔｗｒｔ終了時点の補助容量線ＣＳＬ（ｎ）の電位と本来の補助容量線ＣＳＬ（ｎ）の電位との差である残存電圧ΔＶｃｓに比例した変動量Δ

Ｖｄ（ΔＶｄ＜ΔＶｃｓ）だけ、画素電位Ｖｄ（ｎ，ｍ）が変動する。すなわち、画素電位Ｖｄ（ｎ，ｍ）はＶｄＡ－ΔＶｄとなり、本来保持されるべき電位ＶｄＡとは異なる値となる。これが、横クロストークの原因となる。

[0042] また、配線抵抗Ｒｃｓの抵抗値および寄生容量Ｃｐの容量値を一定と考える場合、画素電位Ｖｄ（ｎ，ｍ）が影響を受けるか否かは補助容量線ＣＳＬ（ｎ）の電位変動量ΔＶの大きさによって決まる。図２０（Ａ）および図２０（Ｃ）はそれぞれ、図１６において破線で囲んだ部分ＲＡおよびＲＢを拡大した電圧波形図（電位変動量ΔＶが大きい場合）である。一方、図２０（Ｂ）および図２０（Ｄ）はそれぞれ、図１２において破線で囲んだ部分ＲＡおよびＲＢ拡大した電圧波形図（電圧変動量ΔＶが小さい場合）である。電位変動量ΔＶが小さい場合にはＴｗｒｔ＞Ｔｒｅｔとなるので、画素電位Ｖｄ（ｎ，ｍ）が電位変動量ΔＶの影響をほとんど受けない（図２０（Ｂ）、図２０（Ｄ））。一方、電位変動量ΔＶが大きい場合にはＴｗｒｔ＜Ｔｒｅｔとなるので、残存電圧ΔＶｃｓが生じることにより画素電位Ｖｄ（ｎ，ｍ）が本来保持されるべき電位ＶｄＡとは異なる値となる。これは、上述のように横クロストークの原因となる。

[0043] 以上に示した、画素電位Ｖｄ（ｎ，ｍ）が受ける残存電圧ΔＶｃｓによる影響は、特に、図２１に示すような、灰色の背景部分および白色の中央部分からなる表示パターンにおいて顕著となる。なお、図２１では、灰色の背景部分を細線のハッチングで表し、後述の黒っぽくなる部分を太線のハッチングで表している。また、図２１では、説明の便宜上各画素の大きさを不均一としている。さらに、図２１中の下向きの矢印および右向きの矢印は、それぞれ画像表示における垂直走査方向および水平走査方向を表している。走査信号線ＧＬ（ｎ）および補助容量線ＣＳＬ（ｎ）に対応する画素は、全て灰色であり、表示ムラを生じていない。一方、走査信号線ＧＬ（ｐ）および補助容量線ＣＳＬ（ｐ）に対応する画素は灰色または白色であり、データ信号線ＤＬ（ｍ＋２）対応する画素が灰色となるべきところ、横クロストークが発生することにより黒っぽくなっている。ここで、図２１、図２２（Ａ）～

図２２（Ｄ）、および図２３（Ａ）～図２３（Ｄ）を参照しつつ、横クロストークについてさらに説明する。

[0044] 図２２（Ａ）～図２２（Ｄ）はそれぞれ、図２１における画素電位Ｖｄ（ｎ，ｍ）～Ｖｄ（ｎ，ｍ＋２）、および補助容量線ＣＳＬ（ｎ）の電位の電圧波形図である。なお、図２２（Ａ）～図２２（Ｃ）にそれぞれ示す画素電位Ｖｄ（ｎ，ｍ）～Ｖｄ（ｎ，ｍ＋２）では、それぞれの書き込み期間Ｔｗｒｔ以前の補助容量線ＣＳＬ（ｎ）の電位変動ΔＶによる影響を、便宜上省略している（後述の図８（Ａ）～図８（Ｃ）でも同様）。また、図２２（Ｄ）に示す補助容量線ＣＳＬ（ｎ）の電位では、画素電位Ｖｄ（ｎ，１）～Ｖｄ（ｎ，ｍ－１）およびＶｄ（ｎ，ｍ＋３）～Ｖｄ（ｎ，ｍ）による影響を、便宜上省略している（後述の図８（Ｄ）でも同様）。画素電位Ｖｄ（ｎ，ｍ）～Ｖｄ（ｎ，ｍ＋２）に対応する画素はすべて灰色であるため、画素電位Ｖｄ（ｎ，ｍ）～Ｖｄ（ｎ，ｍ＋２）の書き込み電位は同一のＶｄＡとなる。そのため、各画素電位の書き込み時に生じる補助容量線ＣＳＬ（ｎ）における電位変動量ΔＶは均一である。そのため、走査信号線ＧＬ（ｎ）および補助容量線ＣＳＬ（ｎ）に対応する画素では、横クロストークが生じない。

[0045] 図２３（Ａ）～図２３（Ｄ）はそれぞれ、図２１における画素電位Ｖｄ（ｐ，ｍ）～Ｖｄ（ｐ，ｍ＋２）、および補助容量線ＣＳＬ（ｐ）の電位の電圧波形図である。なお、図２３（Ａ）～図２３（Ｃ）にそれぞれ示す画素電位Ｖｄ（ｐ，ｍ）～Ｖｄ（ｐ，ｍ＋２）では、それぞれの書き込み期間Ｔｗｒｔ以前の補助容量線ＣＳＬ（ｎ）の電位変動ΔＶによる影響を、便宜上省略している（後述の図９（Ａ）～図９（Ｃ）でも同様）。また、図２３（Ｄ）に示す補助容量線ＣＳＬ（ｐ）の電位では、画素電位Ｖｄ（ｐ，１）～Ｖｄ（ｐ，ｍ－１）およびＶｄ（ｐ，ｍ＋３）～Ｖｄ（ｐ，ｍ）による影響を、便宜上省略している（後述の図９（Ｄ）でも同様）。画素電位Ｖｄ（ｐ，ｍ）およびＶｄ（ｐ，ｍ＋２）に対応する画素は灰色であり、画素電位Ｖｄ（ｐ，ｍ＋１）に対応する画素は白色である。Ｖｄ（ｐ，ｍ）およびＶｄ（

ｐ，ｍ＋２）の書き込み電位はＶｄＡであり、画素電位Ｖｄ（ｐ，ｍ＋１）の書き込み電位はＶｄＢ（＞ＶｄＡ）である。そのため、画素電位Ｖｄ（ｐ，ｍ）およびＶｄ（ｐ，ｍ＋２）の書き込み時に生じる補助容量線ＣＳＬ（ｐ）における電位変動量ΔＶは小さく、画素電位Ｖｄ（ｐ，ｍ＋１）の書き込み時に生じる補助容量線ＣＳＬ（ｐ）における電位変動量ΔＶは大きい。画素電位Ｖｄ（ｐ，ｍ＋１）の書き込み時に生じた大きく変動した補助容量電位ＣＳＬ（ｐ）の電位が画素電位Ｖｄ（ｐ，ｍ＋２）の書き込み完了前に本来の電位に復帰しない場合、画素電位Ｖｄ（ｐ，ｍ＋２）の書き込み開始時における補助容量線ＣＳＬ（ｐ）の電位にずれが生じる（図中の実線がずれを生じた電位、破線が理想の電位を示す）。このような補助容量線ＣＳＬ（ｐ）の電位のずれの影響により、画素電位Ｖｄ（ｐ，ｍ＋２）の書き込み期間内に補助容量ＣＳＬ（ｐ）の電位が本来の電位に復帰せずに残存電圧ΔＶｃｓが生じる。その結果、画素電位Ｖｄ（ｐ，ｍ＋２）はＶｄＡ－ΔＶｄとなり、本来保持されるべき電位ＶｄＡとは異なる値となり、対応する画素が本来表示すべき灰色より黒っぽくなってしまう。なお、白表示に対応する画素電位Ｖｄ（ｐ，ｍ＋１）についても、本来保持されるべき電位ＶｄＢと異なる値となり、本来より黒っぽくなる。

[0046] 以上説明した横クロストークを解消するために上記特許文献４に記載の表示装置の構成を採用した場合、上述のように、補助容量線の両端側に補助容量線駆動回路が必要となるので回路規模が大きくなる。そのため、狭額縁化が困難であると共に、消費電力が増大してしまう。また、補助容量線の両端側から電位を供給するので、補助容量電位の振幅が増大することにより消費電力が増大してしまうおそれがある。このため、補助容量線の両端側からの電位供給のタイミングを合わせる必要がある。

[0047] また、上記特許文献５に記載の表示装置の構成を採用した場合、上述のように、補助容量線の電位変動を抑制する効果を十分に得るためには大容量の電圧安定化用の補助容量が必要となる。そのため、電圧安定化用の補助容量を設けるための広い領域が必要となり、開口率が低下してしまう。なお、上

記特許文献５には、共通補助容量線を利用して電圧安定化用の補助容量を形成する例が開示されているが、これによってもなお広い領域が必要となり、開口率が低下してしまう。

[0048] 以上の基礎検討に基づき本願発明者によりなされた本発明の実施形態について、以下、添付図面を参照しながら説明する。

＜１．第１の実施形態＞

＜１．１　液晶表示装置の構成＞

図１は、本発明の第１の実施形態に係る液晶表示装置の電気的構成を示す回路図である。なお、本実施形態の構成要素のうち上記従来の液晶表示装置６９０と同一の要素については、同一の参照符号を付して説明を省略する。図１に示すように、本実施形態に係る液晶表示装置６００は、表示パネル１００、データ信号線駆動回路２００、走査信号線駆動回路３００、補助容量線駆動回路４００、および表示制御回路５００を備えている。データ信号線駆動回路２００、走査信号線駆動回路３００、補助容量線駆動回路４００、および表示制御回路５００のいずれかまたは全部は、例えば、表示パネル１００のＴＦＴ基板上にＩＣ（Ｉｎｔｅｇｒａｔｅｄ　Ｃｉｒｃｕｉｔ）として実装されている。また、データ信号線駆動回路２００、走査信号線駆動回路３００、および補助容量線駆動回路４００のいずれかまたは全部が表示パネル１００と一体的に形成されていてもよい。

[0049] 走査信号線駆動回路３００は、表示制御回路５００からゲートスタートパルスＧＳＰおよびゲートクロック信号ＧＣＫを受け取り、表示パネル１００に表示画像を表示するための各フレーム期間（各垂直走査期間）において、複数の走査信号線ＧＬ（１）～ＧＬ（Ｎ）を１水平走査期間ずつ順次選択し、選択した走査信号線にアクティブな走査信号（画素回路に含まれる画素ＴＦＴ１０１を導通状態にさせる電圧）を印加する。本実施形態では、走査信号線ＧＬの番号の昇順に走査が行われる。すなわち、走査信号線がＧＬ（１）→ＧＬ（２）→…→ＧＬ（Ｎ）の順に選択される。本明細書では、このような走査方向を「第１方向」という。

[0050] 補助容量線駆動回路４００は、表示パネル１００の液晶層に印加すべき電圧のバイアスとなる補助容量信号（所定の低電位ＶＬまたは所定の高電位ＶＨ）を複数の補助容量線ＣＳＬ（１）～ＣＳＬ（Ｎ）に独立に印加する。詳細には、補助容量線駆動回路４００は、図２に示すように、補助容量線ＣＳＬ（１）～ＣＳＬ（Ｎ）に印加すべき電位を、低電位ＶＬと高電位ＶＨとで切り替える電位切替スイッチ４０２（１）～４０２（Ｎ）を含んでいる。

[0051] ＜１．２ 表示パネルの構成＞

表示パネル１００は、上記従来の液晶表示装置６９０が備える表示パネル１９０に、走査信号線ＧＬ（１）～ＧＬ（Ｎ）の出力端側にそれぞれ設けられた出力端側スイッチング素子としての出力端側ＴＦＴ１２（１）～１２（Ｎ）（以下、これらを区別しない場合に「出力端側ＴＦＴ１２」という）を追加したものである。この出力端側ＴＦＴ１２を介して、互いに隣接する補助容量線ＣＳＬが出力端側で互いに接続されている。例えば、出力端側ＴＦＴ１２（ｎ）を介して、補助容量線ＣＳＬ（ｎ－１）とＣＳＬ（ｎ）とが出力端側で互いに接続されている。

[0052] 各出力端側ＴＦＴ１２の制御端子としてのゲート電極は対応する走査信号線ＧＬに接続され、各出力端側ＴＦＴ１２の導通端子の一方としてのソース電極は対応する走査信号線ＧＬに沿って配置された補助容量線ＣＳＬに接続され、各出力端側ＴＦＴ１２の導通端子の他方としてのドレイン電極は、対応する走査信号線ＧＬの第１方向における先行の走査信号線に沿って配置された補助容量線ＣＳＬに接続されている。例えば、出力端側ＴＦＴ１２（ｎ）のゲート電極は走査信号線ＧＬ（ｎ）に接続され、ソース電極は走査信号線ＧＬ（ｎ）に沿って配置された補助容量線ＣＳＬ（ｎ）に接続され、ドレイン電極は走査信号線ＧＬ（ｎ）の第１方向における先行の走査信号線ＧＬ（ｎ－１）に沿って配置された補助容量線ＣＳＬ（ｎ－１）に接続されている。なお、各補助容量線ＣＳＬの電位によって対応する出力端側ＴＦＴ１２のソース電極とドレイン電極とが入れ替わるが、以下の説明では、出力端側ＴＦＴ１２のゲート電極が接続された走査信号線ＧＬに沿って配置された補

助容量線ＣＳＬに接続されている側の端子をソース電極、当該走査信号線ＧＬの走査方向における先行の走査信号線ＧＬに沿って配置された補助容量線ＣＳＬに接続されている側の端子をドレイン電極とする。

[0053] 各出力端側ＴＦＴ１２は、ゲート電極に接続された走査信号線ＧＬが選択状態であれば導通状態、非選択状態であれば遮断状態となるように制御される。例えば、出力端側ＴＦＴ１２（ｎ）は、ゲート電極に接続された走査信号線ＧＬ（ｎ）が選択状態であれば導通状態、非選択状態であれば遮断状態となるように制御される。

[0054] ＜１．３　動作＞

図３（Ａ）～図３（Ｇ）、図４（Ａ）～図４（Ｃ）、図５、および図６を参照しつつ、本実施形態に係る液晶表示装置６００の動作を説明する。

[0055] 図３（Ａ）～図３（Ｇ）はそれぞれ、連続する２つのフレーム期間である第１フレーム期間ＴＦ１および第２フレーム期間ＴＦ２における、走査信号線ＧＬ（ｎ－１）の電位、走査信号線ＧＬ（ｎ）の電位、走査信号線ＧＬ（ｎ＋１）の電位、補助容量線ＣＳＬ（ｎ－１）の電位、補助容量線ＣＳＬ（ｎ）の電位、補助容量線ＣＳＬ（ｎ＋１）の電位、および画素電位Ｖｄ（ｎ，ｍ）の電圧波形図である。ここで、本実施形態については、上記従来の液晶表示装置と同様に、データ信号線ＤＬ（１）～ＤＬ（ｍ）に印加すべきデータ信号の対向電極電位Ｖｃｏｍを基準とする極性を１水平期間毎に反転させて駆動する１Ｈ反転駆動方式が採用され、かつ、ノーマリーブラックモードにより表示を行う場合を例に挙げて説明する。なお、Ｖｃｏｍ＝０とするが、これに限られない。

[0056] 図４（Ａ）～図４（Ｃ）は、図３（Ｇ）において破線で囲んだ部分ＲＢを拡大した画素電位Ｖｄ（ｎ，ｍ）、図３（Ｅ）の破線で囲んだ部分ＲＡを拡大した従来の液晶表示装置における補助容量線ＣＳＬ’（ｎ）の電位、および、図３（Ｅ）の破線で囲んだ部分ＲＡを拡大した本実施形態における補助容量線ＣＳＬ（ｎ）の電位の電圧波形図である。

[0057] 第１フレーム期間ＴＦ１において、走査信号線ＧＬ（ｎ）が選択状態とな

ると（図３（Ｂ））、走査信号線ＧＬ（ｎ）に接続された画素回路Ｐ（ｎ，１）～Ｐ（ｎ，Ｍ）内の画素ＴＦＴ１０１が導通状態になる。このとき、出力端側ＴＦＴ１２（ｎ）が導通状態となる。出力端側ＴＦＴ１２（ｎ）が導通状態となることにより、選択状態の走査信号線ＧＬ（ｎ）に沿って配置された補助容量線ＣＳＬ（ｎ）と、走査信号線ＧＬ（ｎ）の第１方向における先行の走査信号線ＧＬ（ｎ－１）に沿って配置された補助容量線ＣＳＬ（ｎ－１）とが接続される。このときの補助容量線ＣＳＬ（ｎ－１）～ＣＳＬ（ｎ＋１）は、図５に示す、配線抵抗Ｒｃｓおよび寄生容量Ｃｐからなる等価回路で表される。このとき、補助容量線ＣＳＬ（ｎ－１）および補助容量線ＣＳＬ（ｎ）に与えられている電位は共に低電位ＶＬであり、補助容量線ＣＳＬ（ｎ＋１）に与えられている電位は高電位ＶＨである。補助容量線ＣＳＬ（ｎ－１）とＣＳＬ（ｎ）とは、導通状態となった出力端側ＴＦＴ１２（ｎ）（オン抵抗ＲＡｏｎ）を介して互いに接続されている。

[0058] 画素回路Ｐ（ｎ，ｍ）に対する書き込み期間において、データ信号線ＤＬ（ｍ）からデータ信号としての正電位ＶｄＡが画素電極に与えられ、画素容量が充電される。上記基礎検討でも述べたとおり、データ信号を画素電極に書き込む際に生じる画素電位Ｖｄ（ｎ，ｍ）の電位変動が寄生容量Ｃｄｃを介して補助容量線ＣＳＬ（ｎ）に伝達されてしまうので、補助容量線ＣＳＬ（ｎ）に電位変動ΔＶが生じる（図３（Ｅ）において破線で囲んだ部分ＲＡ）。なお、図３（Ｄ）～図３（Ｆ）にそれぞれ示すように、補助容量線ＣＳＬ（ｎ－１）～ＣＳＬ（ｎ＋１）では、画素電位Ｖｄ（ｎ，ｍ）の極性変化時に電位変動ΔＶが生じている（図中では、直線で示している）。なお、例えば補助容量線ＣＳＬ（ｎ）では、実際には画素電位Ｖｄ（ｎ，１）～Ｖｄ（ｎ，ｍ－１）およびＶｄ（ｎ，ｍ＋１）～Ｖｄ（ｎ，Ｍ）の電位変動の影響も受けるが、便宜上その図示および説明を省略する。また、走査信号線ＧＬ（ｎ）の選択状態となることにより画素ＴＦＴ１０１が導通状態となるときに、データ信号線ＤＬ（１）～（Ｍ）の寄生容量の影響によっても画素電位Ｖｄ（ｎ，ｍ）が変動するが、便宜上その図示および説明を省略する。

[0059] ここで、図５においてＰＡで示した出力端寄りの部分（以下、単に「ＰＡ」という）に注目する。ＰＡで電位変動ΔＶが生じると、ＰＡの周囲の寄生容量Ｃｐ間で充放電が起こる。従来の液晶表示装置では、ＰＡで生じた電位変動ΔＶが収束するための最終的な充放電先は、電位切替スイッチ４０２（ｎ）が接続されている方向にしかなかった。しかし、本実施形態では、補助容量線ＣＳＬ（ｎ）とＣＳＬ（ｎ－１）とが出力端側ＴＦＴ１２（ｎ）を介して接続されている。そのため、ＰＡで生じた電位変動ΔＶが収束するための最終的な充放電先が、電位切替スイッチ４０２（ｎ）が接続されている方向および電位切替スイッチ４０２（ｎ－１）が接続されている方向の２つとなる。すなわち、ＰＡから見たインピーダンスが、見かけ上従来の約半分に低減される（時定数が約半分となる）。なお、ＰＡから電位切替スイッチ４０２（ｎ）が接続されている方向に離れるにつれて、見かけ上のインピーダンスの低減率は低くなる。ここで、「インピーダンスの低減率」とは、従来の液晶表示装置におけるインピーダンスに対して、本実施形態におけるインピーダンスが低減された割合を意味する。

[0060] データ信号の書き込み時に電位変動ΔＶが生じた場合、従来の液晶表示装置ではデータ信号の書き込み期間Ｔｗｒｔ以内に補助容量線ＣＳＬ’（ｎ）の電位が復帰しないのに対し（図４（Ｂ））、本実施形態では時定数が約半分となることにより復帰時間Ｔｒｅｔが約半分となるので、同じ大きさの電位変動ΔＶが生じたとしても、書き込み期間Ｔｗｒｔ以内に補助容量線ＣＳＬ（ｎ）の電位が復帰する（図４（Ｃ））。したがって、書き込み期間Ｔｗｒｔ終了時点の補助容量線ＣＳＬ（ｎ）の電位と本来の補助容量線ＣＳＬ（ｎ）の電位との差である残存電圧ΔＶｃｓが生じないので、画素電位Ｖｄ（ｎ，ｍ）には本来保持されるべき電位ＶｄＡが保持される（図３（Ｇ）、図４（Ａ））。

[0061] 次に、走査信号線ＧＬ（ｎ）が非選択状態になり、走査信号線ＧＬ（ｎ）に接続された画素ＴＦＴ１０１が遮断状態になると、画素容量に蓄積された電荷はそのまま保持される。この間、補助容量線ＣＳＬ（ｎ）の電位は低電

位ＶＬとなっている。その後、補助容量線ＣＳＬ（ｎ）の電位が高電位ＶＨに変化する。その後、次フレームまでの期間、補助容量線ＣＳＬ（ｎ）には高電位ＶＨが与えられ、画素電位Ｖｄ（ｎ，ｍ）にバイアス電圧ΔＶｌｃＰが加わることとなる。その結果、液晶層のうち画素電極と対向電極とに挟持された部分には、図３（Ｇ）に示す電圧ＶｌｃＰが印加され、画素ＴＦＴ１０１が再び導通状態になるまでの期間、電荷が保持される。このような動作により、小さなデータ信号振幅で液晶層に大きな電圧を加えることができるので、消費電力を低減することができる。

[0062] 同様に、走査信号線ＧＬ（ｎ＋１）が選択状態となると（図３（Ｃ））、走査信号線ＧＬ（ｎ＋１）に接続された画素回路Ｐ（ｎ＋１，１）～Ｐ（ｎ＋１，Ｍ）内の画素ＴＦＴ１０１が導通状態になる。このとき、出力端側ＴＦＴ１２（ｎ＋１）が導通状態となる。出力端側ＴＦＴ１２（ｎ＋１）が導通状態となることにより、選択状態の走査信号線ＧＬ（ｎ＋１）に沿って配置された補助容量線ＣＳＬ（ｎ＋１）と、走査信号線ＧＬ（ｎ＋１）の第１方向における先行の走査信号線ＧＬ（ｎ）に沿って位配置された補助容量線ＣＳＬ（ｎ）とが接続される。このときの補助容量線ＣＳＬ（ｎ－１）～ＣＳＬ（ｎ＋１）は、図６に示す、配線抵抗Ｒｃｓおよび寄生容量Ｃｐからなる等価回路で表される。このとき、補助容量線ＣＳＬ（ｎ－１）に与えられている電位は低電位ＶＬであり、補助容量線ＣＳＬ（ｎ）およびＣＳＬ（ｎ＋１）に与えられている電位は共に高電位ＶＨである。補助容量線ＣＳＬ（ｎ）とＣＳＬ（ｎ＋１）とは、導通状態となった出力端側ＴＦＴ１２（ｎ＋１）（オン抵抗Ｒｏｎ）を介して接続されている。図６においてＰＢで示した出力端寄りの部分についても、上述のＰＡと同様に、ＰＢから見たインピーダンスが、見かけ上従来の約半分となる。その後の動作は上述の説明と同様であるので、その説明を省略する。

[0063] ここで、図７～図９を参照しつつ、本実施形態において横クロストークが抑制される様子を説明する。図７は、本実施形態において、図２１に示す灰色の背景部分および白色の中央部分からなる表示パターンと同様の表示パタ

ーンを表示した様子を示す図である。なお、図７では、灰色の背景部分をハッチングで表している。また、図７では、説明の便宜上各画素の大きさを不均一としている。さらに、図７中の下向きの矢印および右向きの矢印は、それぞれ画像表示における垂直走査方向および水平走査方向を表している。

[0064] 図８（Ａ）～図８（Ｄ）はそれぞれ、図７における画素電位Ｖｄ（ｎ，ｍ）～Ｖｄ（ｎ，ｍ＋２）、および補助容量線ＣＳＬ（ｎ）の電位の電圧波形図である。画素電位Ｖｄ（ｎ，ｍ）～Ｖｄ（ｎ，ｍ＋２）に対応する画素はすべて灰色であるため、画素電位Ｖｄ（ｎ，ｍ）～Ｖｄ（ｎ，ｍ＋２）の書き込み電位は同一のＶｄＡとなる。そのため、各画素電位の書き込み時に生じる補助容量線ＣＳＬ（ｎ）における電位変動量は均一である。そのため、走査信号線ＧＬ（ｎ）および補助容量線ＣＳＬ（ｎ）に対応する画素では、横クロストークが生じない。このように、同一色（灰色）の画素が連続する場合は、従来の液晶表示装置と同様の表示となる。

[0065] 図９（Ａ）～図９（Ｄ）はそれぞれ、図７における画素電位Ｖｄ（ｐ，ｍ）～Ｖｄ（ｐ，ｍ＋２）、および補助容量線ＣＳＬ（ｐ）の電位の電圧波形図である。画素電位Ｖｄ（ｐ，ｍ）およびＶｄ（ｐ，ｍ＋２）に対応する画素は灰色であり、画素電位Ｖｄ（ｐ，ｍ＋１）に対応する画素は白色である。Ｖｄ（ｐ，ｍ）およびＶｄ（ｐ，ｍ＋２）の書き込み電位はＶｄＡであり、画素電位Ｖｄ（ｐ，ｍ＋１）の書き込み電位はＶｄＢ（＞ＶｄＡ）である。そのため、画素電位Ｖｄ（ｐ，ｍ）およびＶｄ（ｐ，ｍ＋２）の書き込み時に生じる補助容量線ＣＳＬ（ｐ）における電位変動量ΔＶは小さく、画素電位Ｖｄ（ｐ，ｍ＋１）の書き込み時に生じる補助容量線ＣＳＬ（ｐ）における電位変動量ΔＶは大きい。しかし、本実施形態では、上述のように補助容量線ＣＳＬの見かけ上のインピーダンスが低減される。そのため、従来の液晶表示装置６９０とは異なり、電位Ｖｄ（ｐ，ｍ＋１）の書き込み時に補助容量ＣＳＬ（ｐ）の電位が大きく変動しても、画素電位Ｖｄ（ｐ，ｍ＋２）の書き込み前にその変動した電位が本来の電位に復帰し、画素電位Ｖｄ（ｐ，ｍ＋２）の書き込み開始時における補助容量線ＣＳＬ（ｐ）の電位にず

れが生じない。したがって、画素電位Ｖｄ（ｐ，ｍ＋２）の書き込み時に生じる補助容量線ＣＳＬ（ｐ）の電位変動も書き込み期間に解消されるので、残存電圧ΔＶｃｓが生じない。その結果、画素電位Ｖｄ（ｐ，ｍ＋２）は本来の書き込み電位であるＶｄＡに保持されるので、画素電位Ｖｄ（ｐ，ｍ＋２）に対応する画素は、本来表示すべき色と同じ灰色となり、黒っぽくならない。このように、本実施形態に係る液晶表示装置６００で表示した表示パターンでは、従来の液晶表示装置で表示した表示パターンと異なり横クロストークが生じない。

[0066] ＜１．４　効果＞

本実施形態によれば、走査信号線ＧＬの走査方向が走査信号線ＧＬの番号の昇順である場合に、走査信号線ＧＬ（ｎ）の選択時に、当該走査信号線ＧＬ（ｎ）に沿って配置された補助容量線ＣＳＬ（ｎ）と、当該走査信号線ＧＬ（ｎ）の走査方向における先行の走査信号線ＧＬ（ｎ－１）に沿って配置されたＣＳＬ（ｎ－１）とが接続され、補助容量線ＣＳＬ（ｎ）の見かけ上のインピーダンスが従来よりも低減される。そのため、データ信号の書き込み時に変動した補助容量線ＣＳＬ（ｎ）の電位が本来の電位に復帰するまでの時間Ｔｒｅｔが従来よりも短くなる。これにより、補助容量線ＣＳＬ（ｎ）の電位変動に起因する画素電位Ｖｄ（ｎ，ｍ）の変動が生じない。また、本実施形態を実現するには各走査信号線ＧＬの出力端側に出力端側ＴＦＴ１２を追加するだけでよい。さらに、出力端側ＴＦＴ１２を制御するための信号を別途用いる必要がない。したがって、簡易な構成で横クロストークを抑制することができる。

[0067] なお、補助容量線ＣＳＬ（１）での電位変動を十分に抑制するために、補助容量線ＣＳＬ（１）の前段にダミーの補助容量線ＣＳＬ（０）を設けてもよい。この場合、補助容量線ＣＳＬ（０）には、出力端側ＴＦＴ１２（１）のドレイン電極が接続される。

[0068] ＜２．第２の実施形態＞

＜２．１　液晶表示装置の構成＞

図１０は、本発明の第２の実施形態に係る液晶表示装置６１０の電気的構成を示す回路図である。本実施形態に係る液晶表示装置６１０は、表示パネル１００に代えて表示パネル１１０を備えること、および走査信号線ＧＬの走査方向を除き、第１の実施形態に係る液晶表示装置６００と同様の構成である。本実施形態の構成要素のうち第１の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。

[0069] 第１の実施形態では走査信号線ＧＬの番号の昇順に走査が行われたが、本実施形態では、走査信号線ＧＬの番号の降順に走査が行われる。すなわち、走査信号線ＧＬがＧＬ（Ｎ）→ＧＬ（Ｎ－１）→…→ＧＬ（１）の順に選択される。本明細書では、このような第１方向と反対の走査方向を「第２方向」という。

[0070] ＜２．２　表示パネルの構成＞

本実施形態における表示パネル１１０は、各出力端側ＴＦＴ１２の接続方法が第１の実施形態における表示パネル１００と異なる。すなわち、各出力端側ＴＦＴ１２の制御端子としてのゲート電極は対応する走査信号線ＧＬに接続され、各出力端側ＴＦＴ１２の導通端子の一方としてのソース電極は対応する走査信号線ＧＬに沿って配置された補助容量線ＣＳＬに接続され、各出力端側ＴＦＴ１２の導通端子の他方としてのドレイン電極は、対応する走査信号線の第２方向における先行の走査信号線に沿って配置された補助容量線ＣＳＬに接続されている。例えば、出力端側ＴＦＴ１２（ｎ）のゲート電極は走査信号線ＧＬ（ｎ）に接続され、ソース電極は走査信号線ＧＬ（ｎ）に沿って配置された補助容量線ＣＳＬ（ｎ）に接続され、ドレイン電極は走査信号線ＧＬ（ｎ）の第２方向における先行の走査信号線ＧＬ（ｎ＋１）に接続されている。なお、本実施形態において出力端側ＴＦＴ１２（ｎ）を流れる電流の向きは第１の実施形態におけるものと逆になるので、本実施形態と第１の実施形態とではソース電極およびドレイン電極が逆になっている。

[0071] 各出力端側ＴＦＴ１２は、第１の実施形態と同様に、ゲート電極に接続された走査信号線ＧＬが選択状態であれば導通状態、非選択状態であれば遮断

状態となるように制御される。例えば、出力端側ＴＦＴ１２（ｎ）は、ゲート電極に接続された走査信号線ＧＬ（ｎ）が選択状態であれば導通状態、非選択状態であれば遮断状態となるように制御される。

[0072] なお、本実施形態に係る液晶表示装置６１０の動作は、走査方向が第２方向であること以外第１の実施形態と同様であるので説明を省略する。

[0073] ＜２．３　効果＞

本実施形態によれば、走査信号線ＧＬの走査方向が走査信号線ＧＬの番号の降順である場合に、第１の実施形態と同様の効果を奏することができる。

[0074] なお、補助容量線ＣＳＬ（Ｎ）での電位変動を十分に抑制するために、補助容量線ＣＳＬ（Ｎ）の後段にダミーの補助容量線ＣＳＬ（Ｎ＋１）を設けてもよい。この場合、補助容量線ＣＳＬ（Ｎ＋１）には、出力端側ＴＦＴ（Ｎ）のドレイン電極が接続される。

[0075] ＜３．第３の実施形態＞

＜３．１　液晶表示装置の構成＞

図１１は、本発明の第３の実施形態に係る液晶表示装置６２０の電気的構成を示す回路図である。本実施形態に係る液晶表示装置６２０は、走査信号線駆動回路３００に代えて双方向の走査が可能な走査信号線駆動回路３１０を備えること、補助容量線駆動回路４００に代えて補助容量線駆動回路４１０を備えること、および表示パネル１００に代えて表示パネル１２０を備えることを除き、第１の実施形態に係る液晶表示装置６００と同様の構成である。本実施形態の構成要素のうち第１の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。

[0076] 本実施形態における走査信号線駆動回路３１０は、走査信号線ＧＬの走査方向を第１方向と第２方向とで切替可能に構成されている。この切替は、外部から与えられる走査方向制御信号ＵＤに基づいて行われる。例えば、走査方向制御信号ＵＤとして所定の高電位ＵＤＨが与えられる場合走査方向が第１方向となり、走査方向制御信号ＵＤとして所定の低電位ＵＤＬが与えられる場合走査方向が第２方向となる。なお、図１１は、走査方向制御信号ＵＤ

として高電位ＵＤＨが与えられている場合（走査方向が第１方向の場合）の例を示している。

[0077] 本実施形態における補助容量線駆動回路４１０は、走査信号線ＧＬの走査方向（第１方または第２方向）に応じて、補助容量線ＣＳＬ（１）～ＣＳＬ（Ｎ）にそれぞれ与える補助容量信号の電位を変化させる順序を切替可能に構成されている。この切替は、走査信号線駆動回路３１０における走査方向の切替と同様に、外部から与えられる走査方向制御信号ＵＤに基づいて行われる。

[0078] ＜３．２　表示パネルの構成＞

本実施形態における表示パネル１２０は、第１の実施形態における表示パネル１００の含む構成要素に加えて、走査信号線ＧＬ（１）～ＧＬ（Ｎ）にそれぞれ対応して設けられた走査信号線切替スイッチ２２（１）～２２（Ｎ）（以下、これらを区別しない場合に「走査信号線切替スイッチ２２」という）をさらに含んでいる。各走査信号線切替スイッチ２２の切替端子の一方としての切替端子ＮＡは対応する走査信号線ＧＬに接続され、切替端子の他方としての切替端子ＮＢは、対応する走査信号線ＧＬの第１方向における先行の走査信号線ＧＬに接続され、共通端子ＮＣは各出力端側ＴＦＴ１２の制御端子としてのゲート電極に接続されている。例えば、走査信号線切替スイッチ２２（ｎ）の切替端子ＮＡは対応する走査信号線ＧＬ（ｎ）に接続され、切替端子ＮＢは走査信号線ＧＬ（ｎ）の第１方向における先行の走査信号線ＧＬ（ｎ－１）に接続され、共通端子ＮＣは出力端側ＴＦＴ１２（ｎ）のゲート電極に接続されている。各走査信号線切替スイッチ２２は、走査方向制御信号ＵＤにより制御される。

[0079] 走査方向制御信号ＵＤとして高電位ＵＤＨが与えられる場合、各走査信号線切替スイッチ２２は切替端子ＮＡを選択するように制御される。この場合、走査信号線切替スイッチ２２（ｎ）が切替端子ＮＡを選択することにより、出力端側ＴＦＴ１２（ｎ）のゲート電極は対応する走査信号線ＧＬ（ｎ）に接続され、また、出力端側ＴＦＴ１２（ｎ）の入出力端子のうち、補助容

量線ＣＳＬ（ｎ）に接続されている側がソース電極、補助容量線ＣＳＬ（ｎ－１）に接続されている側がドレイン電極となる。このように、走査方向制御信号ＵＤとして高電位ＵＤＨが与えられる場合、各出力端側ＴＦＴ１２の接続が第１の実施形態におけるものと同様となる。

[0080] 一方走査方向制御信号ＵＤとして低電位ＵＤＬが与えられる場合、各走査信号線切替スイッチ２２は切替端子ＮＢを選択するように制御される。この場合、各走査信号線切替スイッチ２２が切替端子ＮＢを選択することにより、出力端側ＴＦＴ１２（ｎ）のゲート電極は対応する走査信号線ＧＬ（ｎ－１）に接続され、また、出力端側ＴＦＴ１２（ｎ）の入出力端子のうち、補助容量線ＣＳＬ（ｎ）に接続されている側がドレイン電極、補助容量線ＣＳＬ（ｎ－１）に接続されている側がソース電極となる。走査信号線ＧＬ（ｎ）に対応する出力端側ＴＦＴ１２（ｎ－１）は、第２の実施形態における出力端側ＴＦＴ１２（ｎ）に相当する。このように、走査方向制御信号ＵＤとして低電位ＵＤＬが与えられる場合、各出力端側ＴＦＴ１２の接続が第２の実施形態におけるものと同様となる。

[0081] ＜３．３　動作＞

本実施形態に係る液晶表示装置６２０の動作は、走査方向制御信号ＵＤとして高電位ＵＤＨが与えられる場合には第１の実施形態に係る液晶表示装置６００の動作と同様となり、走査方向制御信号ＵＤとして低電位ＵＤＬが与えられる場合には第２の実施形態に係る液晶表示装置６１０の動作と同様となる。

[0082] ＜３．４　効果＞

本実施形態によれば、走査信号線ＧＬの走査方向が切替可能である場合に、第１の実施形態と同様の効果を奏することができる。

[0083] なお、走査方向制御信号ＵＤとして高電位ＵＤＨが与えられている場合（走査方向が第１方向である場合）の補助容量線ＣＳＬ（１）での電位変動を十分に抑制するために、補助容量線ＣＳＬ（１）の前段にダミーの補助容量線ＣＳＬ（０）を設けてもよい。この場合、補助容量線ＣＳＬ（０）には、

出力端側ＴＦＴ１２（１）のドレイン電極が接続される。

[0084] ＜４．第４の実施形態＞

＜４．１　液晶表示装置の構成＞

図１２は、本発明の第４の実施形態に係る液晶表示装置６３０の電気的構成を示す回路図である。本実施形態に係る液晶表示装置６３０は、表示パネル１００に代えて表示パネル１３０を備えることを除き、第１の実施形態に係る液晶表示装置６００と同様の構成である。本実施形態の構成要素のうち第１の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。

[0085] ＜４．２　表示パネルの構成＞

本実施形態における表示パネル１３０は、第１の実施形態における表示パネル１００に、走査信号線ＧＬ（１）～ＧＬ（Ｎ）にそれぞれ対応して設けられた入力端側スイッチング素子としての入力端側ＴＦＴ１４（１）～１４（Ｎ）（以下、これらを区別しない場合に「入力端側ＴＦＴ１４」という）を追加したものである。この入力端側ＴＦＴ１４を介して、互いに隣接する補助容量線ＣＳＬが入力端側で互いに接続されている。例えば、入力端側ＴＦＴ１４（ｎ）を介して、補助容量線ＣＳＬ（ｎ－１）とＣＳＬ（ｎ）とが入力端側で接続されている。このように、本実施形態では、出力端側ＴＦＴ１２だけでなく入力端側ＴＦＴ１４をも介して、互いに隣接する補助容量線ＣＳＬが互いに接続されている。

[0086] 各入力端側ＴＦＴ１４の制御端子としてのゲート電極は対応する走査信号線ＧＬに接続され、各入力端側ＴＦＴ１４の導通端子の一方としてのソース電極は対応する走査信号線ＧＬに沿って配置された補助容量線ＣＳＬに接続され、各入力端側ＴＦＴ１４の他端としてのドレイン電極は、対応する走査信号線ＧＬの第１方向における先行の走査信号線に沿って配置された補助容量線ＣＳＬに接続されている。例えば、入力端側ＴＦＴ１４（ｎ）のゲート電極は走査信号線ＧＬ（ｎ）に接続され、ソース電極は走査信号線ＧＬ（ｎ）に沿って配置された補助容量線ＣＳＬ（ｎ）に接続され、ドレイン電極は

走査信号線ＧＬ（ｎ）の第１方向における先行の走査信号線ＧＬ（ｎ－１）に沿って配置された補助容量線ＣＳＬ（ｎ－１）に接続されている。

[0087] 各入力端側ＴＦＴ１４は、ゲート電極に接続された走査信号線ＧＬが選択状態であれば導通状態、非選択状態であれば遮断状態となるように制御される。例えば、入力端側ＴＦＴ１４（ｎ）は、ゲート電極に接続された走査信号線ＧＬ（ｎ）が選択状態であれば導通状態、非選択状態であれば遮断状態となるように制御される。

[0088] ＜４．３　動作＞

走査信号線ＧＬ（ｎ）が選択状態となり、走査信号線ＧＬ（ｎ）に接続された画素ＴＦＴ１０１が導通状態になると、データ信号線ＤＬ（ｍ）からデータ信号としての正電位ＶｄＡが画素電極に与えられると共に、出力端側ＴＦＴ１２（ｎ）および入力端側ＴＦＴ１４（ｎ）が導通状態となる。出力端側ＴＦＴ１２（ｎ）および入力端側ＴＦＴ１４（ｎ）が導通状態となることにより、選択状態の走査信号線ＧＬ（ｎ）に沿って配置された補助容量線ＣＳＬ（ｎ）と、走査信号線ＧＬ（ｎ）の第１方向における先行の走査信号線ＧＬ（ｎ－１）に沿って配置された補助容量線ＣＳＬ（ｎ－１）とが接続される。このときの補助容量線ＣＳＬ（ｎ－１）～ＣＳＬ（ｎ＋１）は、図１３に示す、配線抵抗Ｒｃｓおよび寄生容量Ｃｐからなる等価回路で表される。補助容量線ＣＳＬ（ｎ－１）とＣＳＬ（ｎ）とは、導通状態となった出力端側ＴＦＴ１２（ｎ）（オン抵抗ＲＡｏｎ）および入力端側ＴＦＴ１４（ｎ）（オン抵抗ＲＢｏｎ）を介して互いに接続されている。

[0089] 第１の実施形態では、ＰＡで生じた電位変動ΔＶが収束するための最終的な充放電先を２方向となることにより、ＰＡから見たインピーダンスが、見かけ上従来の約半分となる。しかし、上述のように、ＰＡから電位切替スイッチ４０２（ｎ）が接続されている方向に離れるにつれて、見かけ上のインピーダンスの低減率は低くなる。図１３においてＰＣで示した入力端寄りの部分（以下、単に「ＰＣ」という）では、見かけ上のインピーダンスの低減率が特に低くなる。一方、本実施形態では、補助容量線ＣＳＬ（ｎ－１）と

ＣＳＬ（ｎ）とが入力端側ＴＦＴ１４（ｎ）（オン抵抗ＲＢｏｎ）を介して接続されることにより、ＰＡから見たインピーダンスのみならず、ＰＣから見たインピーダンスについても見かけ上従来の約半分となる（時定数が約半分となる）。さらに、ＰＣからＰＡまでの間での見かけ上のインピーダンスも、第１の実施形態より低減される。

[0090] ＜４．４　効果＞

本実施形態によれば、補助容量線ＣＳＬ（ｎ）の電位変動ΔＶが生じる位置に関わらず、補助容量線ＣＳＬ（ｎ）の見かけ上のインピーダンスが従来よりも十分に低減される。そのため、補助容量線ＣＳＬ（ｎ）の電位変動ΔＶが生じる位置に関わらず、データ信号の書き込み時に変動した補助容量線ＣＳＬ（ｎ）の電位が本来の電位に復帰するまでの時間Ｔｒｅｔが従来よりも十分短くなる。また、本実施形態を実現するには、各走査信号線ＧＬの入力端側にＴＦＴを第１の実施形態に追加するだけでよい。さらに、入力端側ＴＦＴ１４を制御するための信号を別途用いる必要がない。これにより、簡易な構成で横クロストークをより確実に抑制することができる。

[0091] なお、補助容量線ＣＳＬ（１）での電位変動を十分に抑制するために、補助容量線ＣＳＬ（１）の前段にダミーの補助容量線ＣＳＬ（０）を設けてもよい。この場合、補助容量線ＣＳＬ（０）には、出力端側ＴＦＴ１２（１）のドレイン電極および入力端側ＴＦＴ１４（１）のドレイン電極が接続される。

[0092] ＜５．その他＞

各出力端側ＴＦＴ１２および各入力端側ＴＦＴ１４は、表示パネル１００のＴＦＴ基板上に一体的に形成されていることが望ましい。また、上記各実施形態では、各出力端側ＴＦＴ１２および各入力端側ＴＦＴ１４を対応する走査信号線ＧＬの電位により制御しているが、これに限らず、他の信号により制御されるようにしてもよい。

[0093] 第２の実施形態または第３の実施形態に係る液晶表示装置に入力端側ＴＦＴ１４（１）～１４（Ｎ）を追加してもよい。これにより、横クロストーク

をより確実に抑制することができる。

[0094] 上記各実施形態においては、補助容量線に印加する電位として低電位ＶＨおよび高電位ＶＨの２種類を用いているが、３種類以上を用いてもよい。この場合、走査信号線ＧＬが選択状態のときに、導通状態の出力端側ＴＦＴ１２または入力端側ＴＦＴ１４を介して接続される２つの補助容量線ＣＳＬの電位が互いに同電位であることが望ましい。

[0095] 上述の説明では、ノーマリーブラックモードにより表示を行う例に挙げているが、ノーマリーホワイトモードにより表示を行う場合でも上記各実施形態と同様の効果が得られる。

[0096] その他、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

[0097] 以上より、本発明によれば、簡易な構成で横クロストークを抑制できる表示装置を提供することができる。

産業上の利用可能性

[0098] 本発明は、薄膜トランジスタ等のスイッチング素子を用いたアクティブマトリクス型の表示装置に適用することができる。

符号の説明

[0099] １２（１）～１２（Ｎ）…出力端側ＴＦＴ（出力端側スイッチング素子）

１４（１）～１４（Ｎ）…入力端側ＴＦＴ（入力端側スイッチング素子）

２２（１）～２２（Ｎ）…走査信号線切替スイッチ

１００、１１０、１２０、１３０、１９０…表示パネル

１０１…画素ＴＦＴ（画素スイッチング素子）

２００…データ信号線駆動回路

３００、３１０…走査信号線駆動回路

４００、４１０…補助容量線駆動回路

５００…表示制御回路

６００、６１０、６２０、６３０、６９０…液晶表示装置

ＣＳＬ（１）～ＣＳＬ（Ｎ）…補助容量線

ＤＬ（１）～ＤＬ（Ｍ）…データ信号線

ＧＬ（１）～ＧＬ（Ｎ）…走査信号線

請求の範囲

［請求項1］ 表示すべき画像を表す複数のデータ信号がそれぞれ印加される複数のデータ信号線と、

前記複数のデータ信号線と交差し、複数の走査信号がそれぞれ印加されることにより選択的に駆動される走査信号線と、

前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素回路と、

前記複数の走査信号線にそれぞれ沿って配置された複数の補助容量線と、

前記複数の補助容量線を互いに独立して駆動するための複数の補助容量信号を前記複数の補助容量線にそれぞれ印加する補助容量線駆動回路と、

各走査信号線の出力端側に設けられた出力端側スイッチング素子とを備え、

各画素回路は、

対応する交差点を通過する走査信号線が選択状態のときに導通状態、非選択状態のときに遮断状態となる画素スイッチング素子と、

対応する交差点を通過するデータ信号線に前記画素スイッチング素子を介して接続された画素電極と、

前記複数の画素回路に共通的に設けられた共通電極と、

前記画素電極と前記対応する交差点を通過する走査信号線に沿って配置された補助容量線との間に形成される補助容量とを含み、

前記補助容量線駆動回路は、前記走査信号線が選択状態から非選択状態に切り替えられた後に、当該走査信号線に沿って配置された補助容量線に印加する補助容量信号の電位を変化させ、

各出力端側スイッチング素子を介して、当該出力端側スイッチング素子に対応する走査信号線に沿って配置された補助容量線と、当該走査信号線の、前記複数の走査信号線の走査方向における先行の走査信

号線に沿って配置された補助容量線とが出力端側で互いに接続され、

各出力端側スイッチング素子は、所定の信号に応じて、当該出力端側スイッチング素子に対応する走査信号線が選択状態のときに導通状態、非選択状態のときに遮断状態となるように制御されることを特徴とする、表示装置。

[請求項2] 前記複数のデータ信号の極性は１水平期間毎に反転し、

各出力端側スイッチング素子を介して互いに接続された補助容量線は、当該出力端側スイッチング素子が導通状態のとき、それぞれに印加されている補助容量信号が同電位であることを特徴とする、請求項１に記載の表示装置。

[請求項3] 各出力端側スイッチング素子の制御端子は対応する走査信号線に接続され、

各出力端側スイッチング素子の導通端子の一方は、対応する走査信号線に沿って配置された補助容量線に接続され、

各出力端側スイッチング素子の導通端子の他方は、対応する走査信号線の、前記複数の走査信号線の走査方向における先行の走査信号線に沿って配置された補助容量線に接続されていることを特徴とする、請求項２に記載の表示装置。

[請求項4] 前記複数の走査信号線の走査方向は、第１方向と、前記第１方向と反対の方向である第２方向とで切替可能であることを特徴とする、請求項２に記載の表示装置。

[請求項5] 各出力端側スイッチング素子の制御端子は、対応する走査信号線、または当該対応する走査信号線の前記第１方向における先行の走査信号線のいずれかに選択的に接続され、

各出力端側スイッチング素子の導通端子の一方は、対応する走査信号線に沿っては配置された補助容量線に接続され、

各出力端側スイッチング素子の導通端子の他方は、対応する走査信号線の前記第１方向における先行の走査信号線に沿って配置された補

助容量線に接続されていることを特徴とする、請求項４に記載の表示装置。

［請求項6］ 各走査信号線に対応して設けられた切替スイッチをさらに備え、

各切替スイッチの切替端子の一方は、対応する走査信号線に接続され、

各切替スイッチの切替端子の他方は、対応する走査信号線の前記第１方向における先行の走査信号線に接続され、

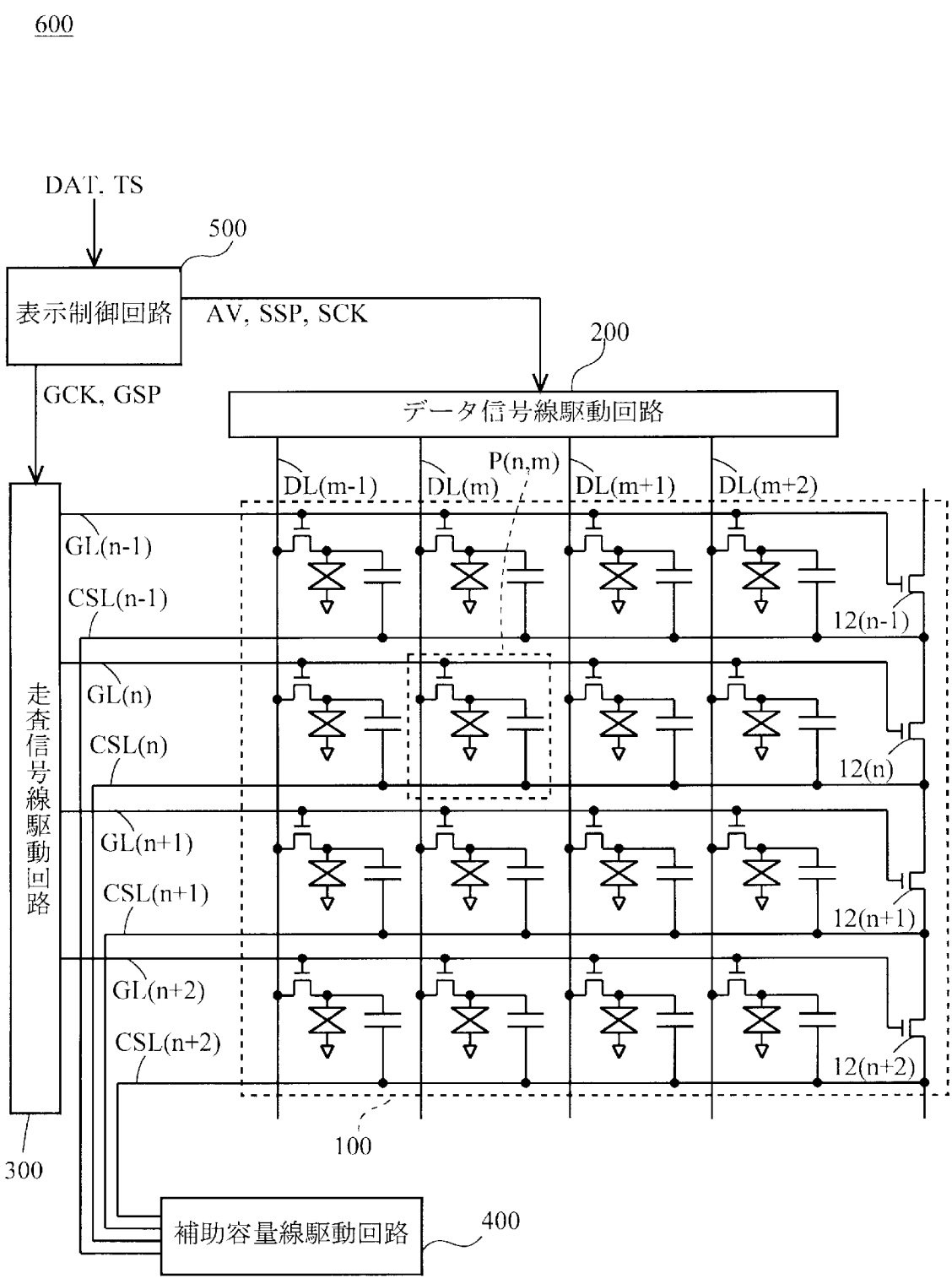
各切替スイッチの共通端子は、対応する走査信号線の出力端側に設けられた出力端側スイッチング素子の制御端子に接続され、

各切替スイッチは、前記複数の走査信号線の走査方向が前記第１方向であれば前記切替端子の前記一方を選択し、前記第２方向であれば前記切替端子の前記他方を選択するように制御されることを特徴とする、請求項５に記載の表示装置。

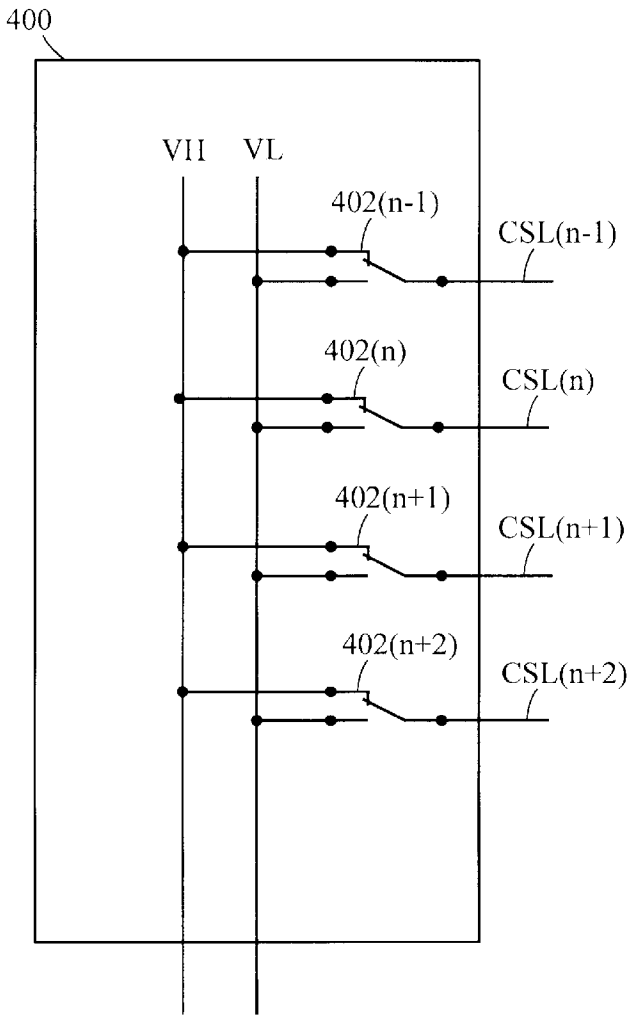
［請求項7］ 各走査信号線の入力端側に設けられた入力端側スイッチング素子をさらに備え、

各入力端側スイッチング素子を介して、当該入力端側スイッチング素子に対応する走査信号線に沿って配置された補助容量線と、当該走査信号線の、前記複数の走査信号線の走査方向における先行の走査信号線に沿って配置された補助容量線とが入力端側で互いに接続されていることを特徴とする、請求項２に記載の表示装置。

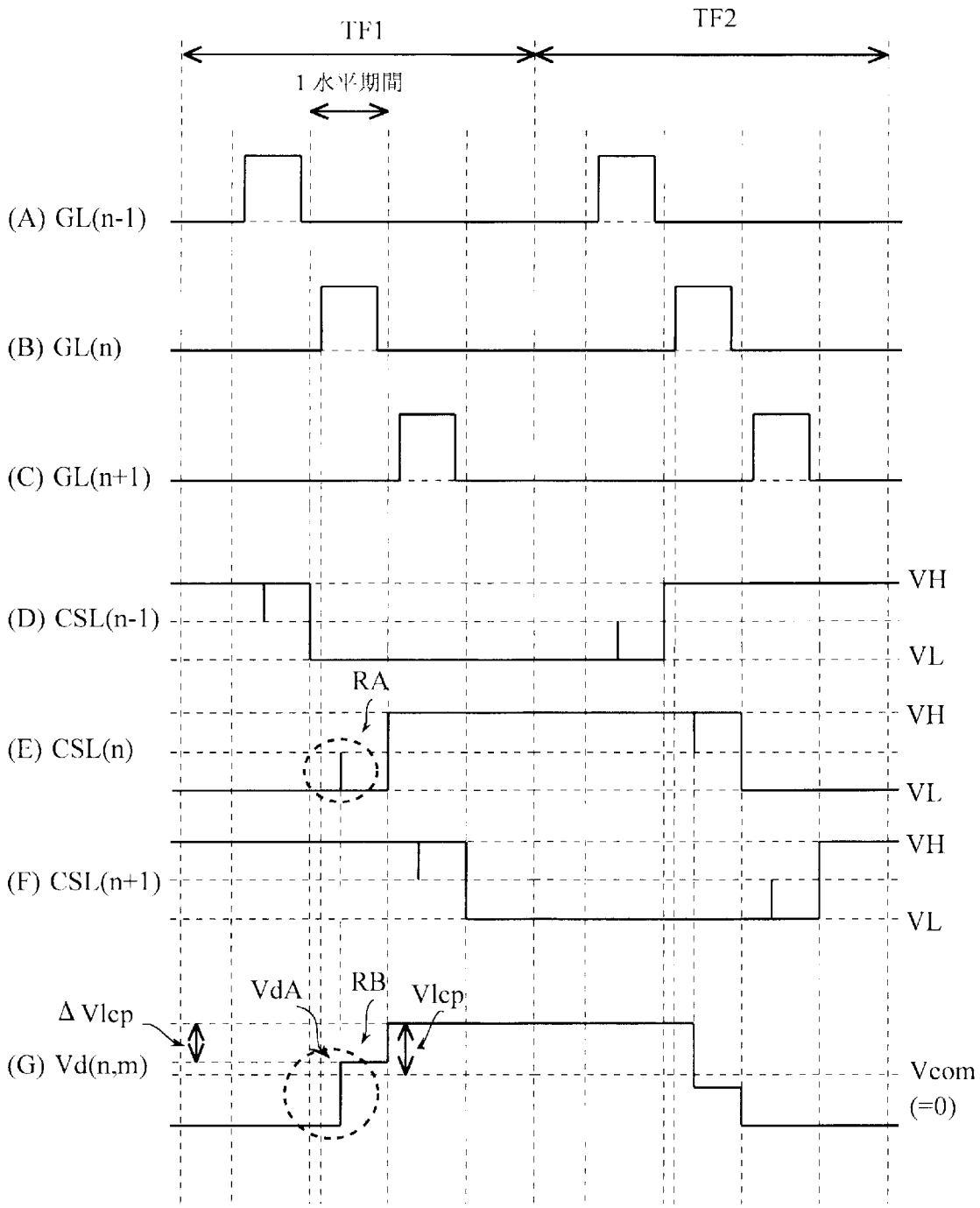
[図1]


600
DAT, TS
500
表示制御回路
AV, SSP, SCK
200
GCK, GSP
データ信号線駆動回路
P(n,m)
DL(m-1)
DL(m)
DL(m+1)
DL(m+2)
GL(n-1)
CSL(n-1)
12(n-1)
GL(n)
CSL(n)
12(n)
GL(n+1)
CSL(n+1)
12(n+1)
GL(n+2)
CSL(n+2)
12(n+2)
走査信号線駆動回路
100
300
補助容量線駆動回路
400

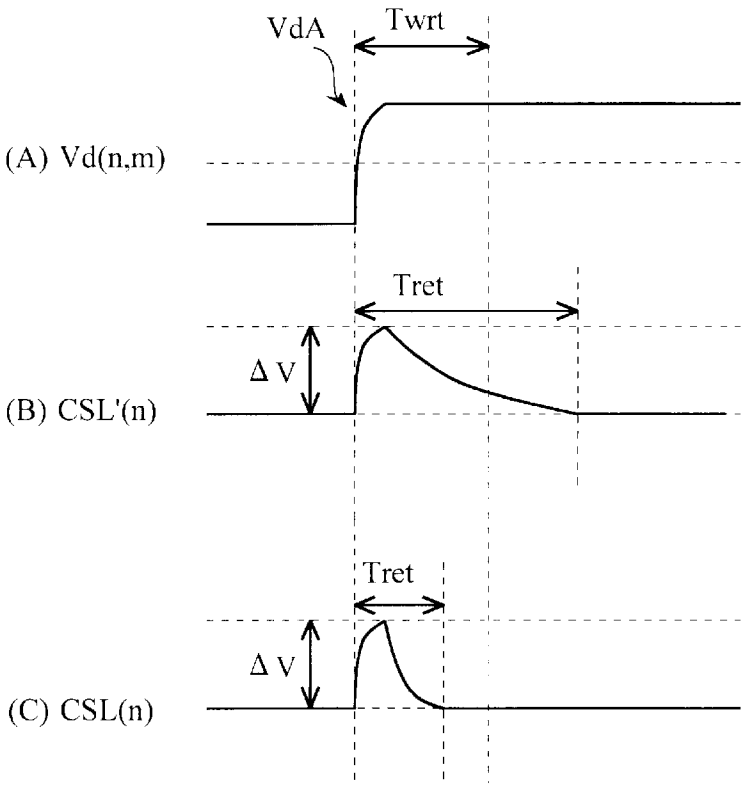
[図2]



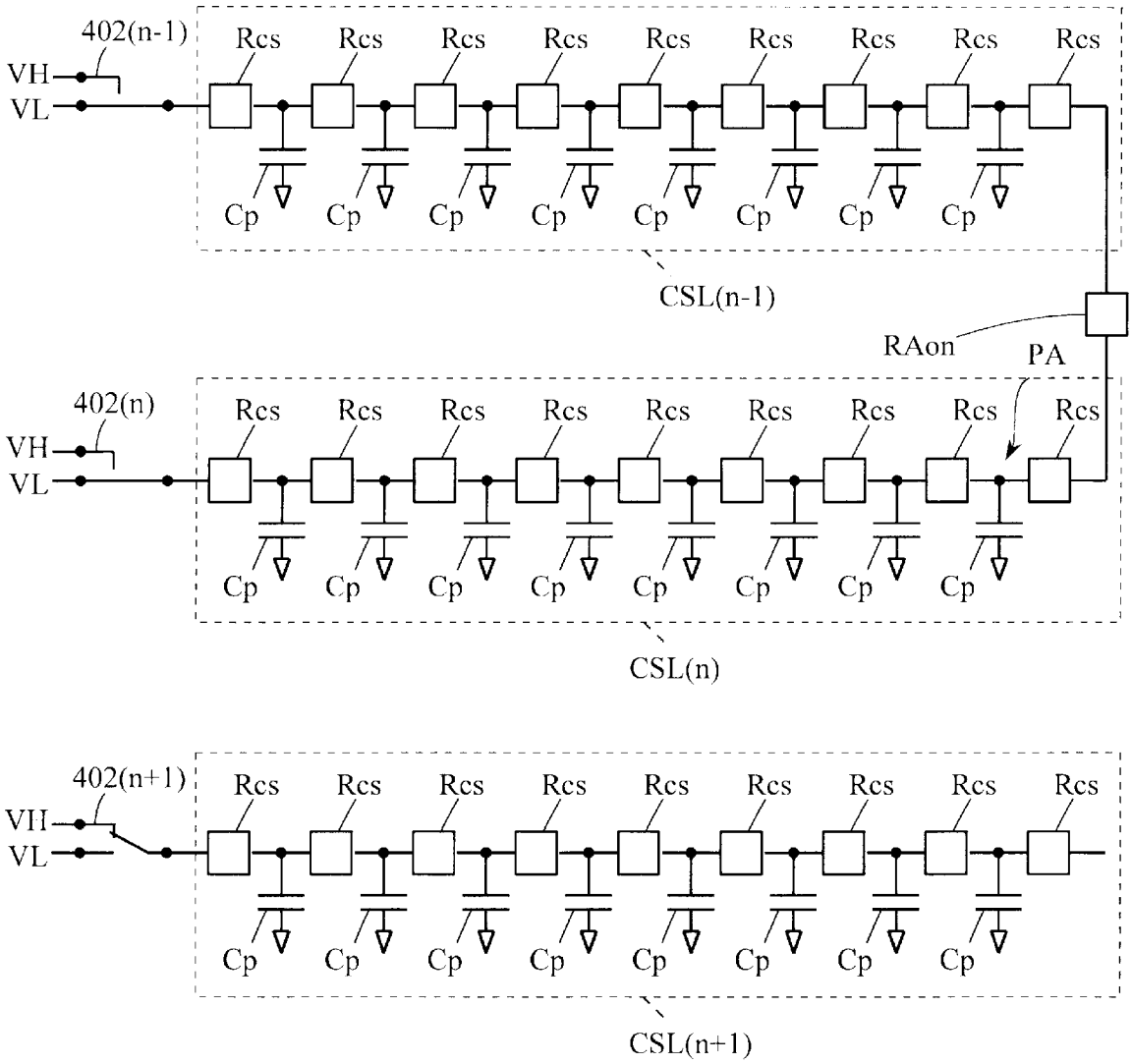
[図3]


TF1
TF2
1水平期間
(A) GL(n-1)
(B) GL(n)
(C) GL(n+1)
(D) CSL(n-1)
VH
VL
RA
(E) CSL(n)
VH
VL
(F) CSL(n+1)
VH
VL
VdA
RB
Vlcp
Δ Vlcp
(G) Vd(n,m)
Vcom
(=0)

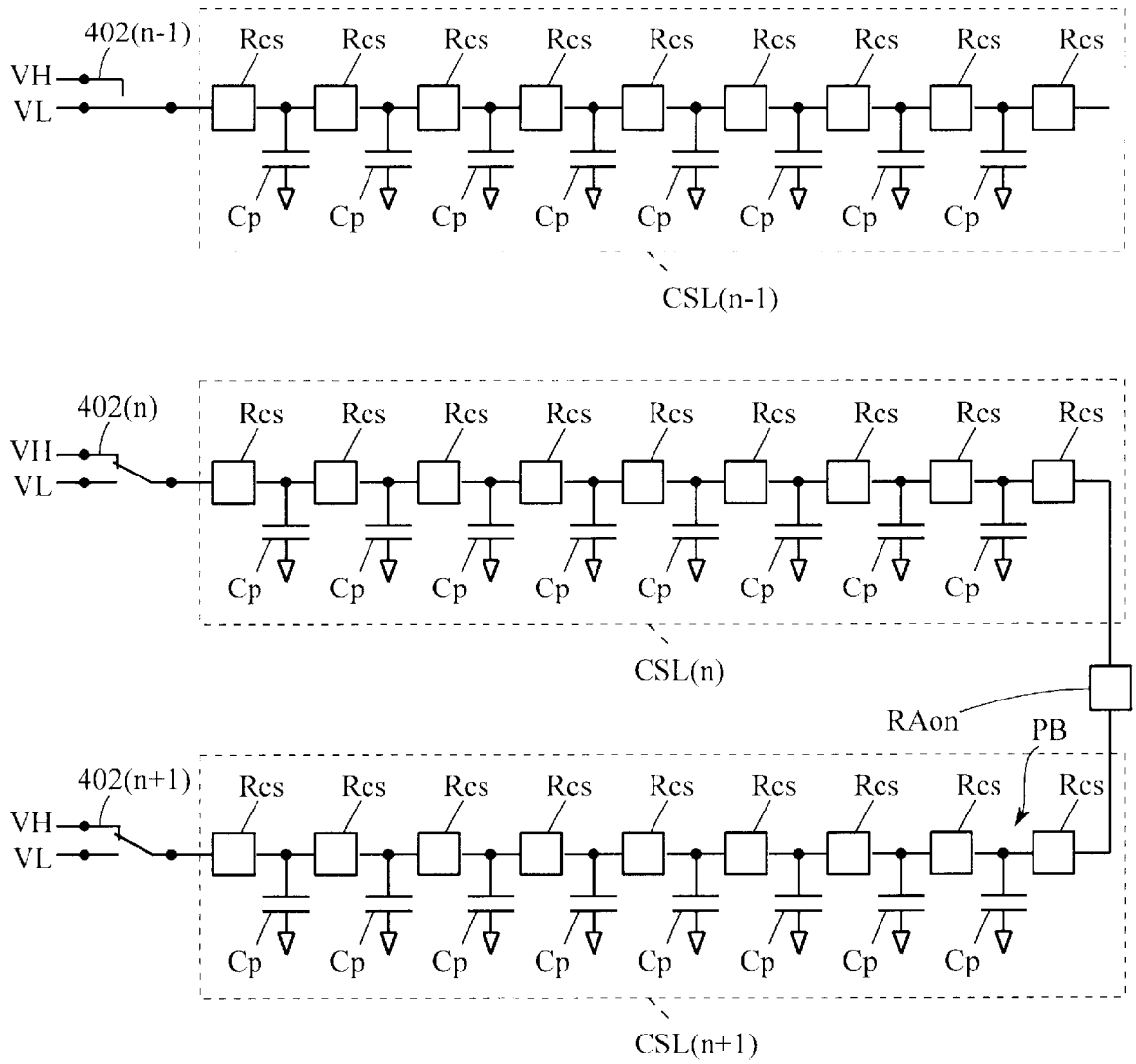
[図4]



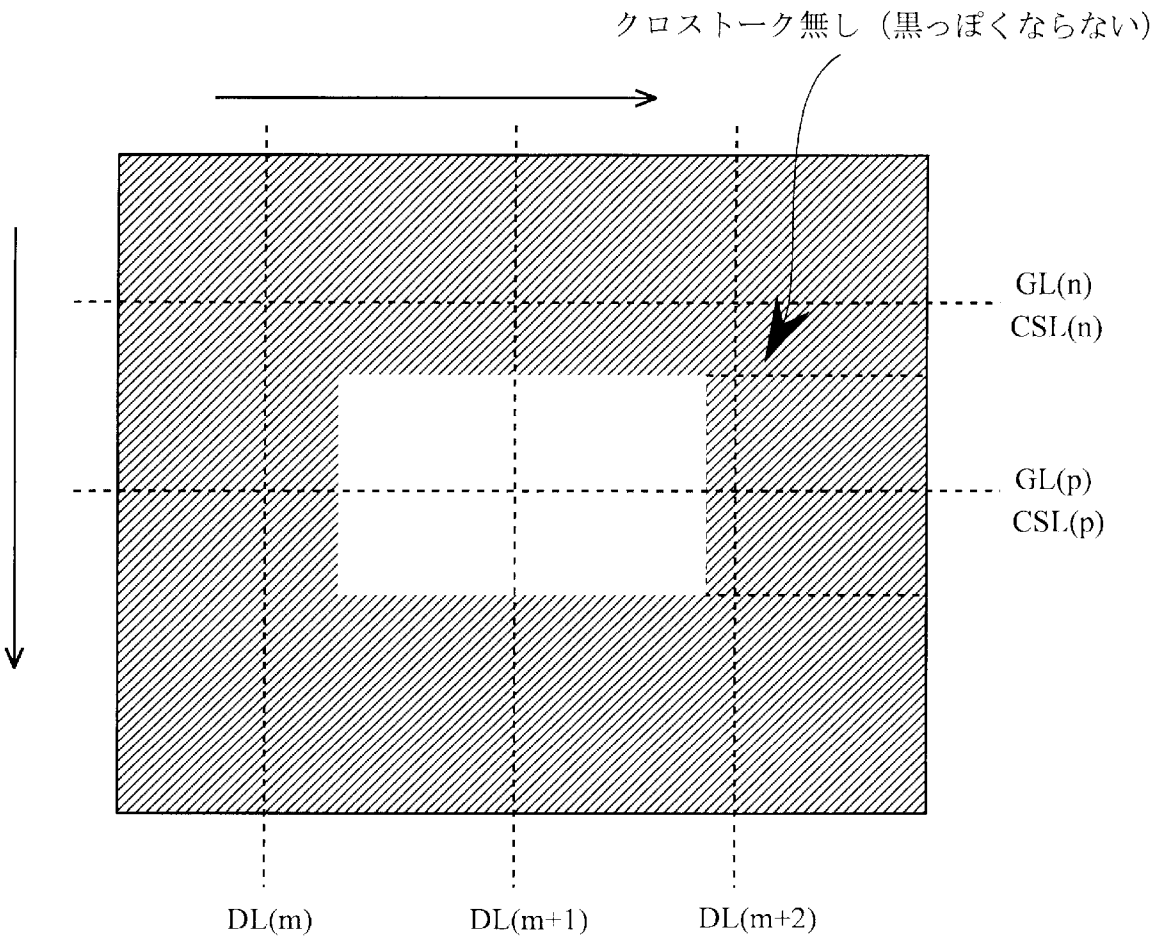
[図5]



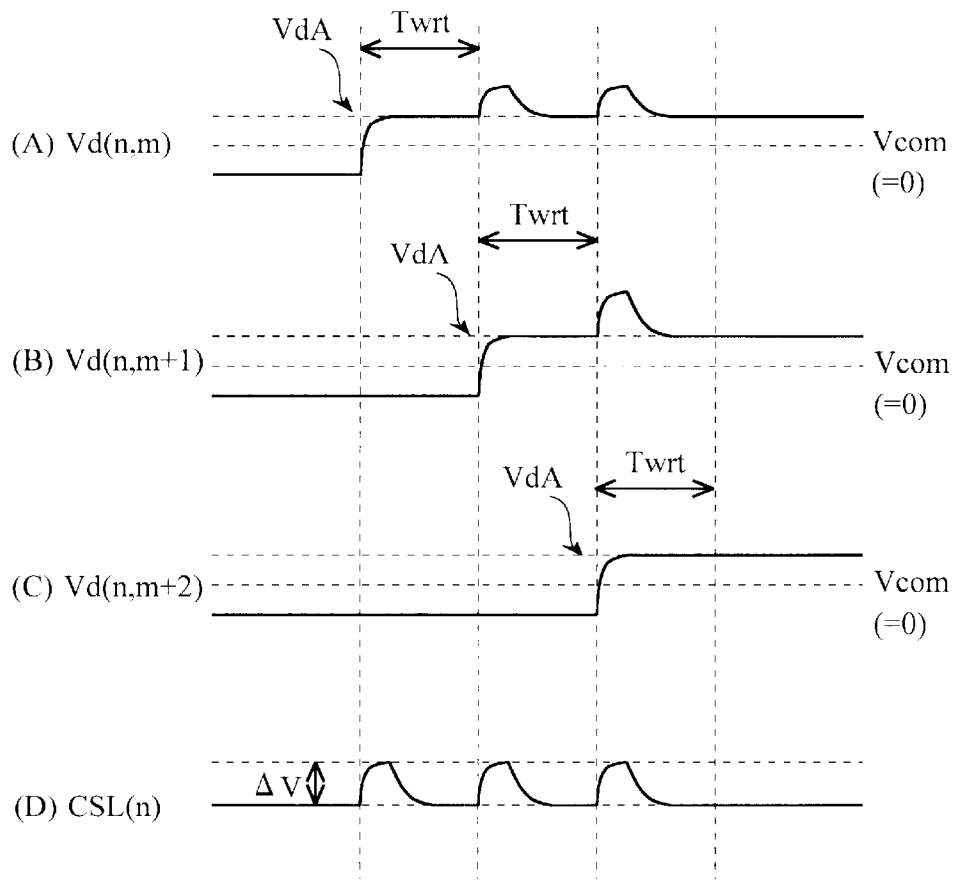
[図6]



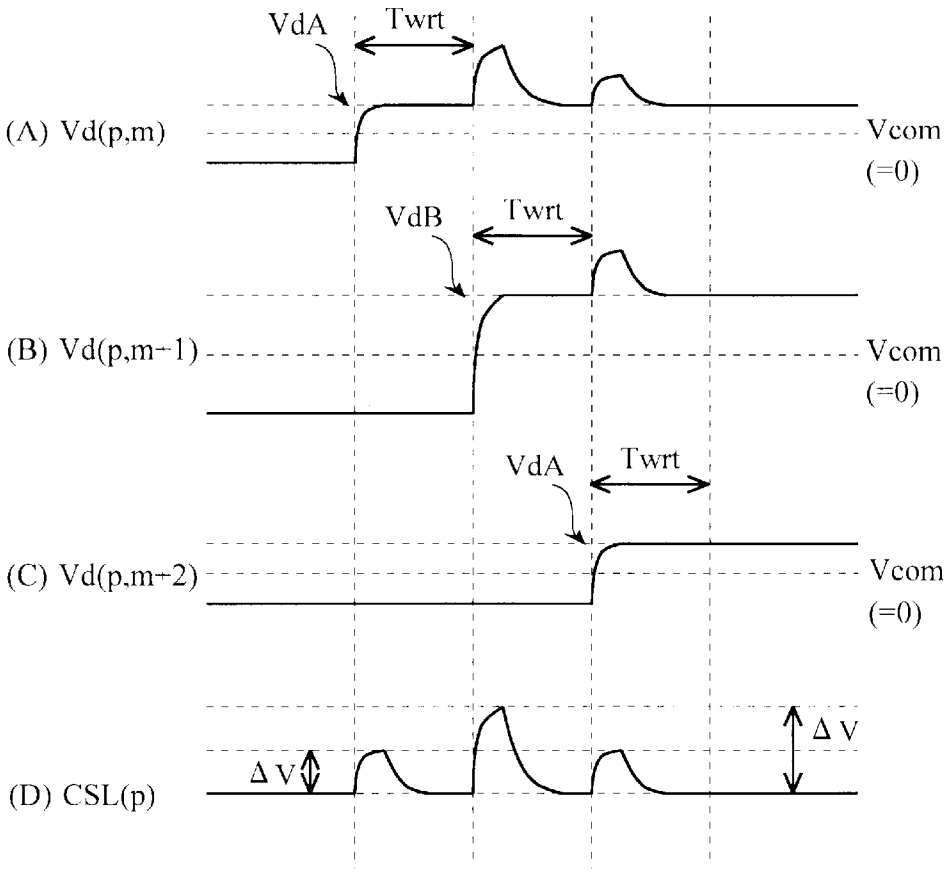
[図7]



[図8]

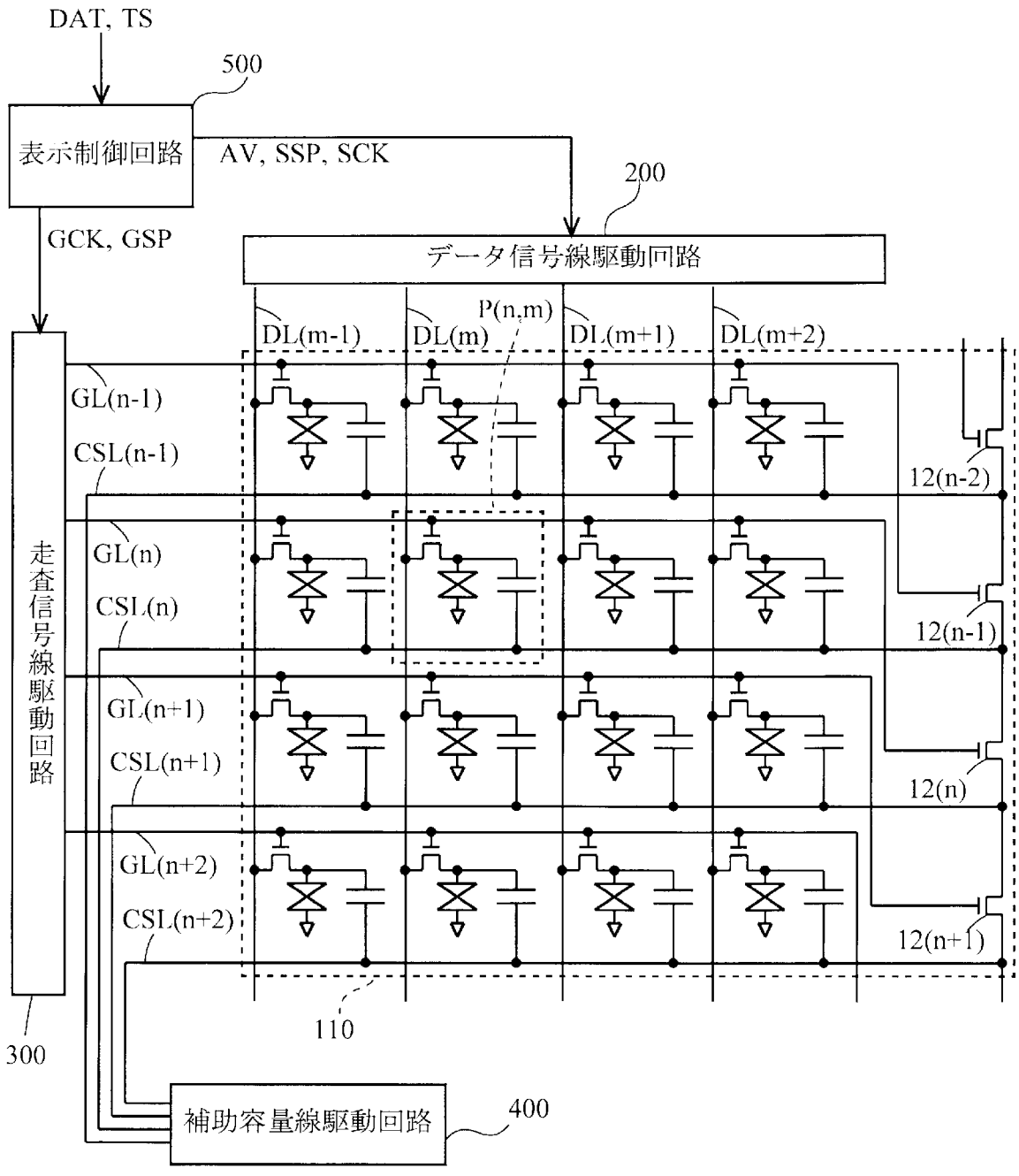

VdA
Twrt
(A) Vd(n,m)
Vcom
(=0)
Twrt
VdA
(B) Vd(n,m+1)
Vcom
(=0)
VdA
Twrt
(C) Vd(n,m+2)
Vcom
(=0)
ΔV
(D) CSL(n)

[図9]


VdA
Twrt
(A) Vd(p,m)
Vcom
(=0)
VdB
Twrt
(B) Vd(p,m-1)
Vcom
(=0)
VdA
Twrt
(C) Vd(p,m-2)
Vcom
(=0)
ΔV
ΔV
(D) CSL(p)

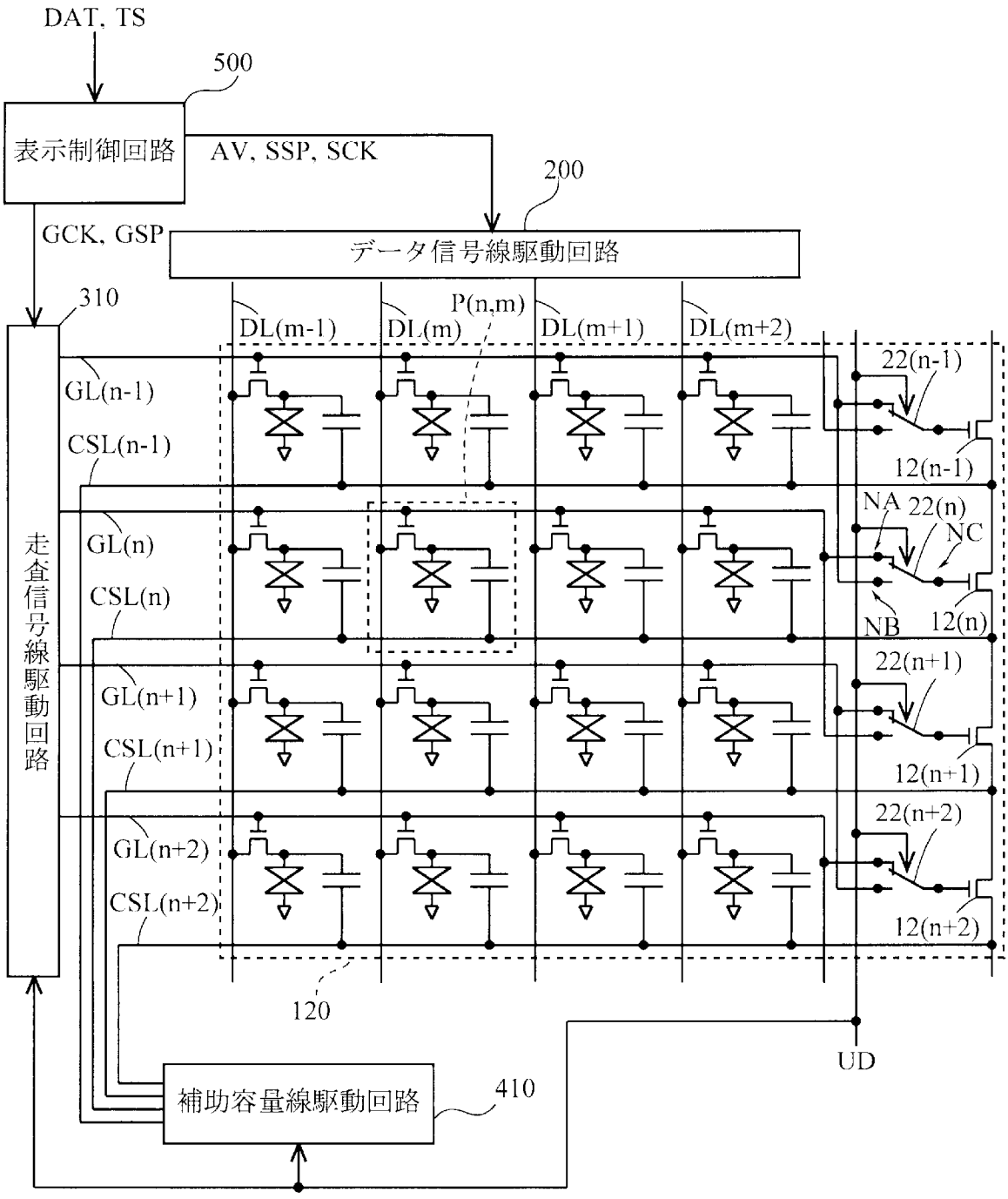
[図10]

610


DAT, TS
500
表示制御回路
AV, SSP, SCK
200
GCK, GSP
データ信号線駆動回路
P(n,m)
DL(m-1)
DL(m)
DL(m+1)
DL(m+2)
GL(n-1)
CSL(n-1)
GL(n)
CSL(n)
GL(n+1)
CSL(n+1)
GL(n+2)
CSL(n+2)
走査信号線駆動回路
12(n-2)
12(n-1)
12(n)
12(n+1)
110
300
補助容量線駆動回路
400

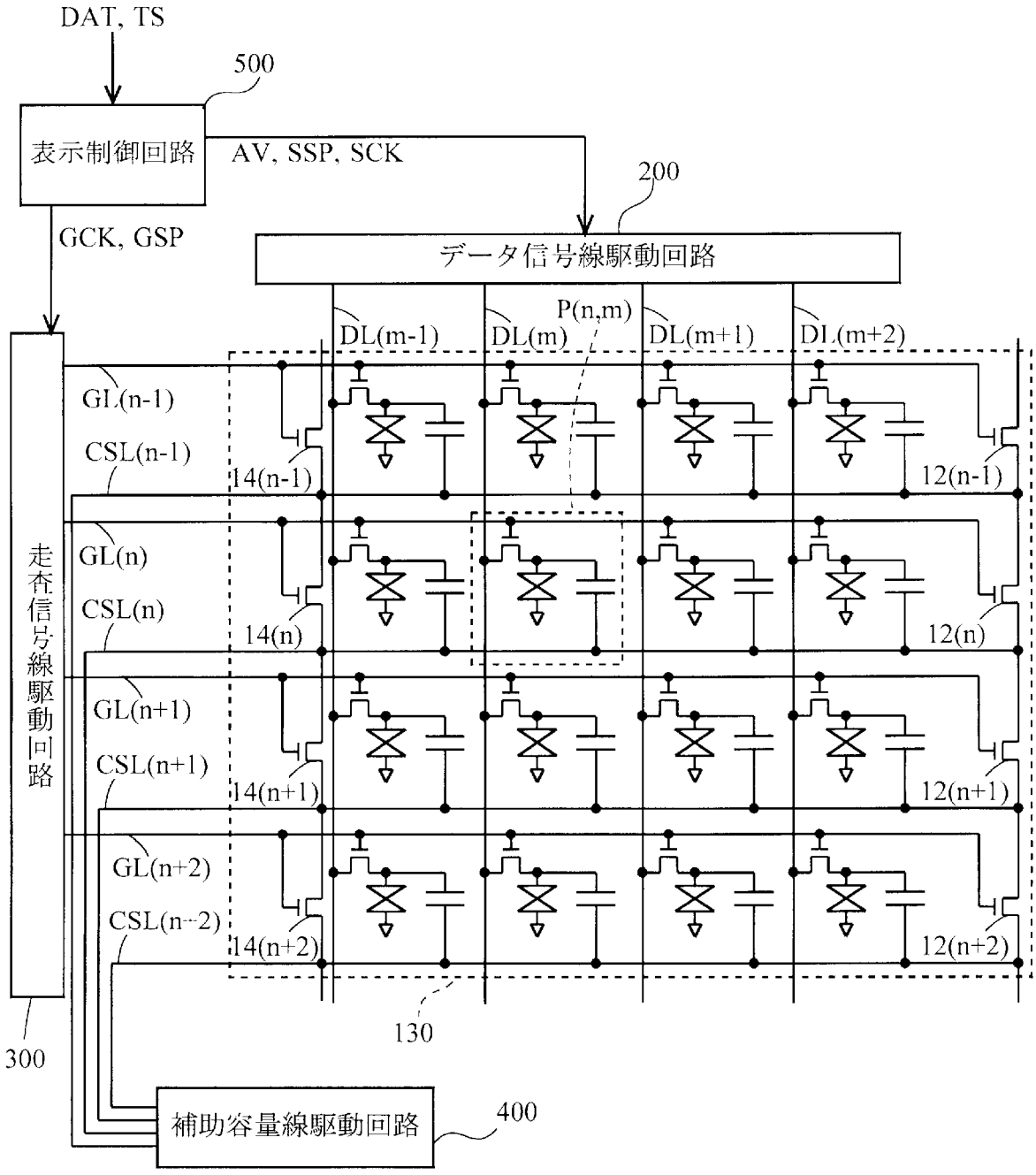
[図11]

620

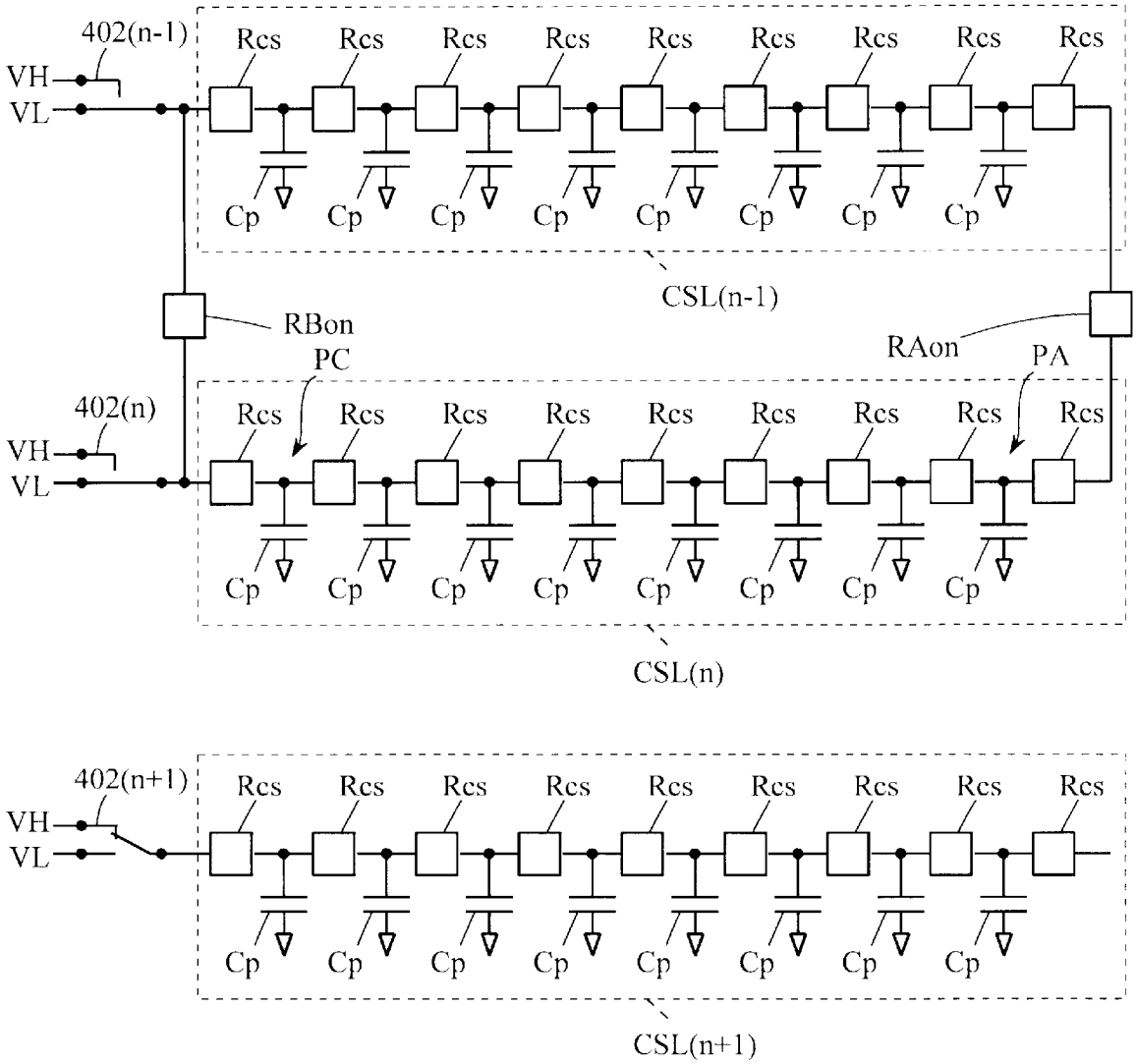

DAT, TS
500
表示制御回路
AV, SSP, SCK
200
GCK, GSP
データ信号線駆動回路
310
走査信号線駆動回路
DL(m-1)
DL(m)
P(n,m)
DL(m+1)
DL(m+2)
GL(n-1)
CSL(n-1)
GL(n)
CSL(n)
GL(n+1)
CSL(n+1)
GL(n+2)
CSL(n+2)
22(n-1)
12(n-1)
NA
22(n)
NC
NB
12(n)
22(n+1)
12(n+1)
22(n+2)
12(n+2)
120
UD
補助容量線駆動回路
410

[図12]

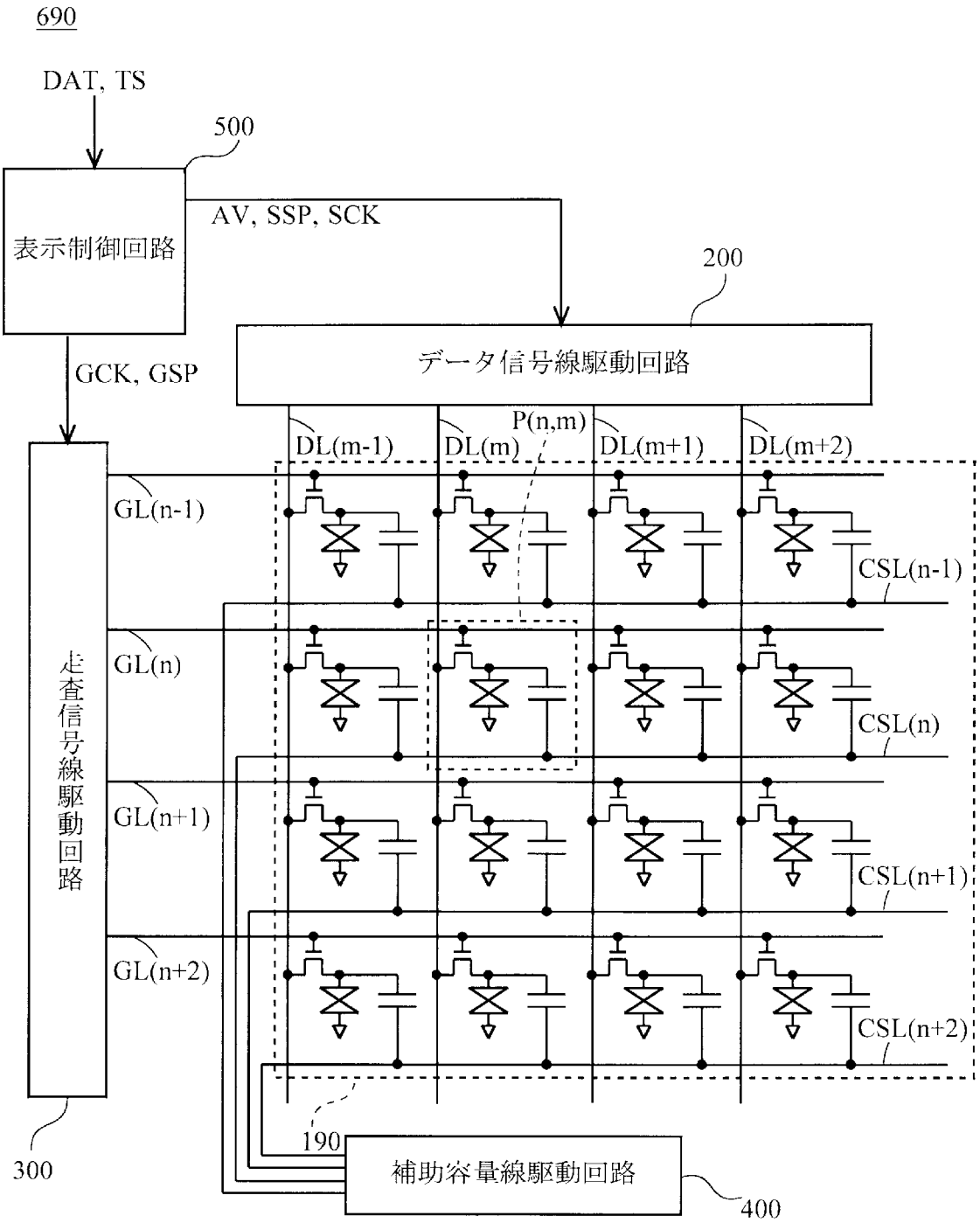
630


DAT, TS
500
表示制御回路
AV, SSP, SCK
200
GCK, GSP
データ信号線駆動回路
P(n,m)
DL(m-1)
DL(m)
DL(m+1)
DL(m+2)
GL(n-1)
CSL(n-1)
14(n-1)
12(n-1)
GL(n)
CSL(n)
14(n)
12(n)
GL(n+1)
CSL(n+1)
14(n+1)
12(n+1)
GL(n+2)
CSL(n-2)
14(n+2)
12(n+2)
走査信号線駆動回路
130
300
補助容量線駆動回路
400

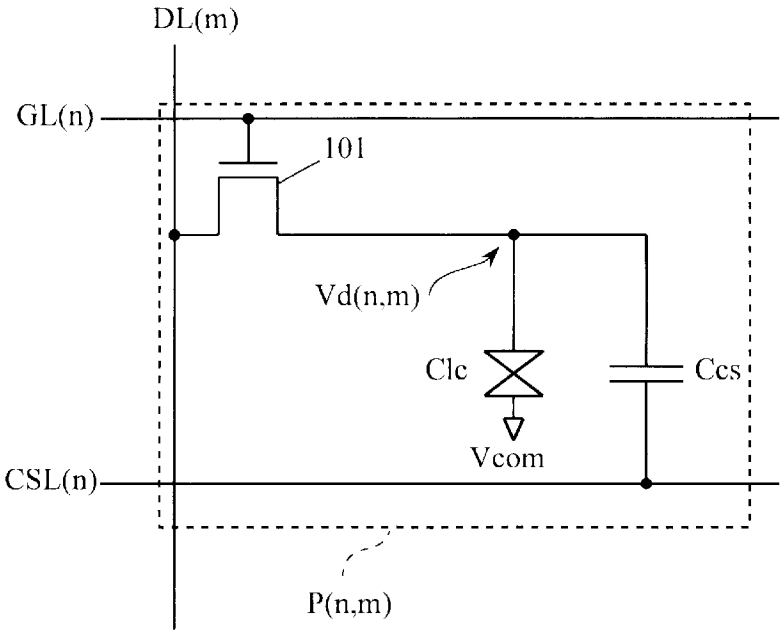
[図13]



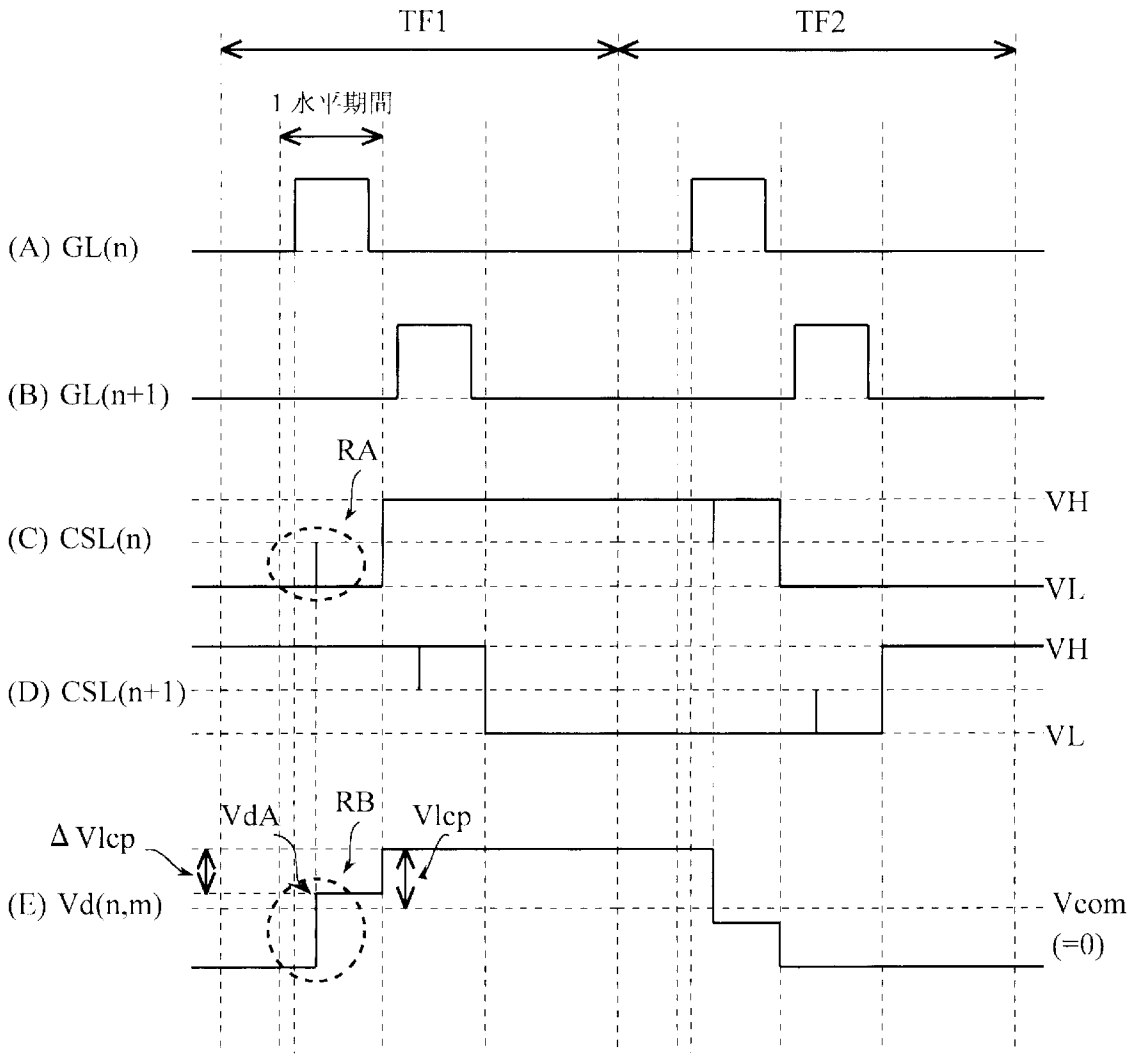
[図14]


690
DAT, TS
500
表示制御回路
AV, SSP, SCK
200
データ信号線駆動回路
GCK, GSP
P(n,m)
DL(m-1)
DL(m)
DL(m+1)
DL(m+2)
GL(n-1)
GL(n)
GL(n+1)
GL(n+2)
CSL(n-1)
CSL(n)
CSL(n+1)
CSL(n+2)
走査信号線駆動回路
190
補助容量線駆動回路
300
400

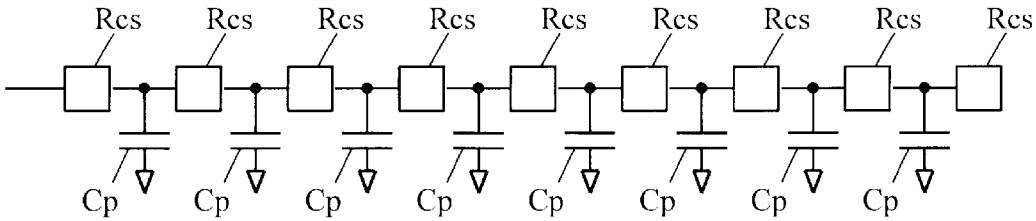
[図15]



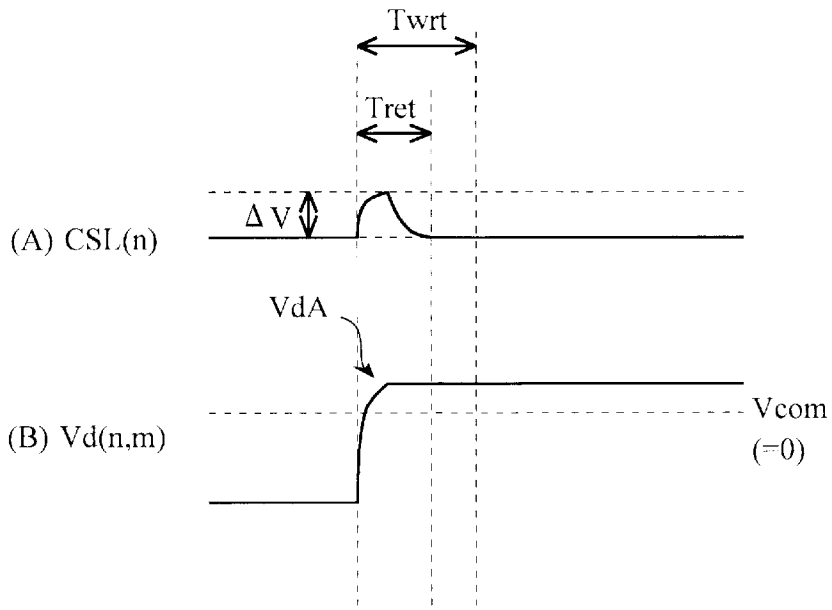
[図16]


TF1
TF2
1水平期間
(A) GL(n)
(B) GL(n+1)
RA
(C) CSL(n)
VH
VL
(D) CSL(n+1)
VH
VL
VdA
RB
Vlcp
ΔVlcp
(E) Vd(n,m)
Vcom
(=0)

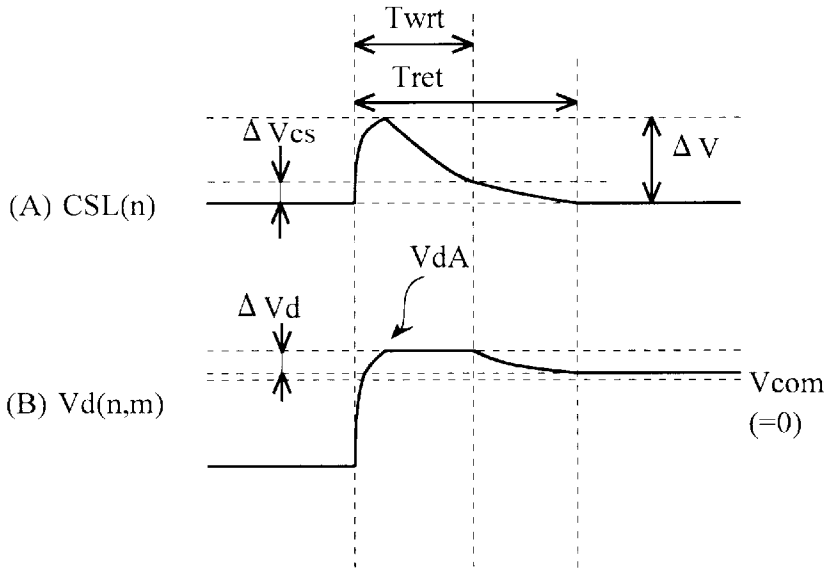
[図17]


Rcs
Rcs
Rcs
Rcs
Rcs
Rcs
Rcs
Rcs
Rcs
Cp
Cp
Cp
Cp
Cp
Cp
Cp
Cp

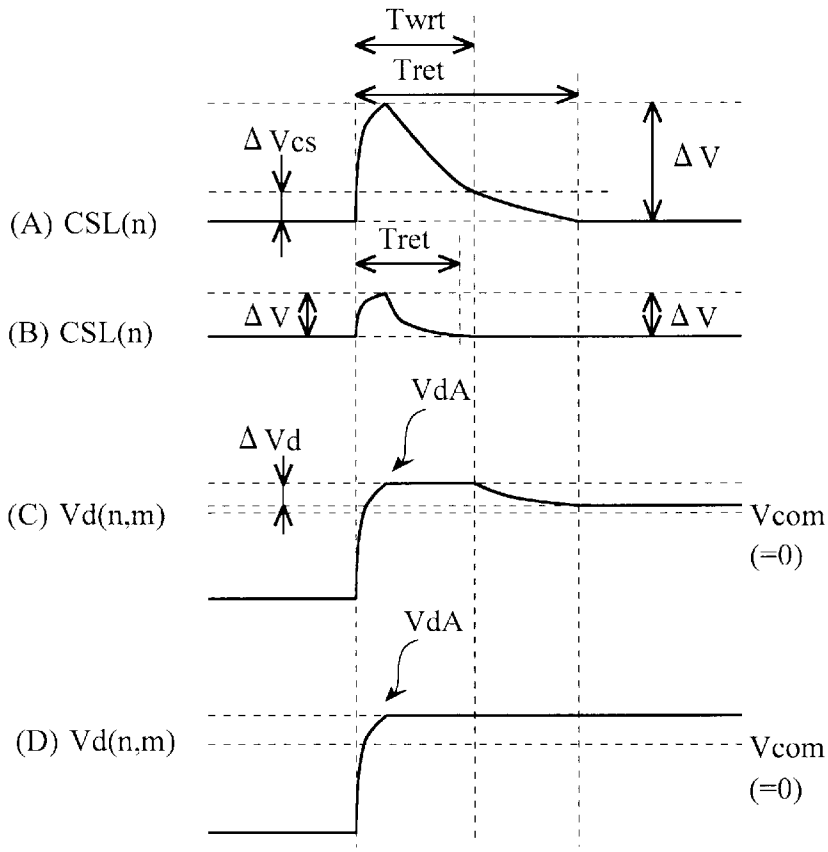
[図18]


Twrt
Tret
ΔV
(A) CSL(n)
VdA
(B) Vd(n,m)
Vcom
(=0)

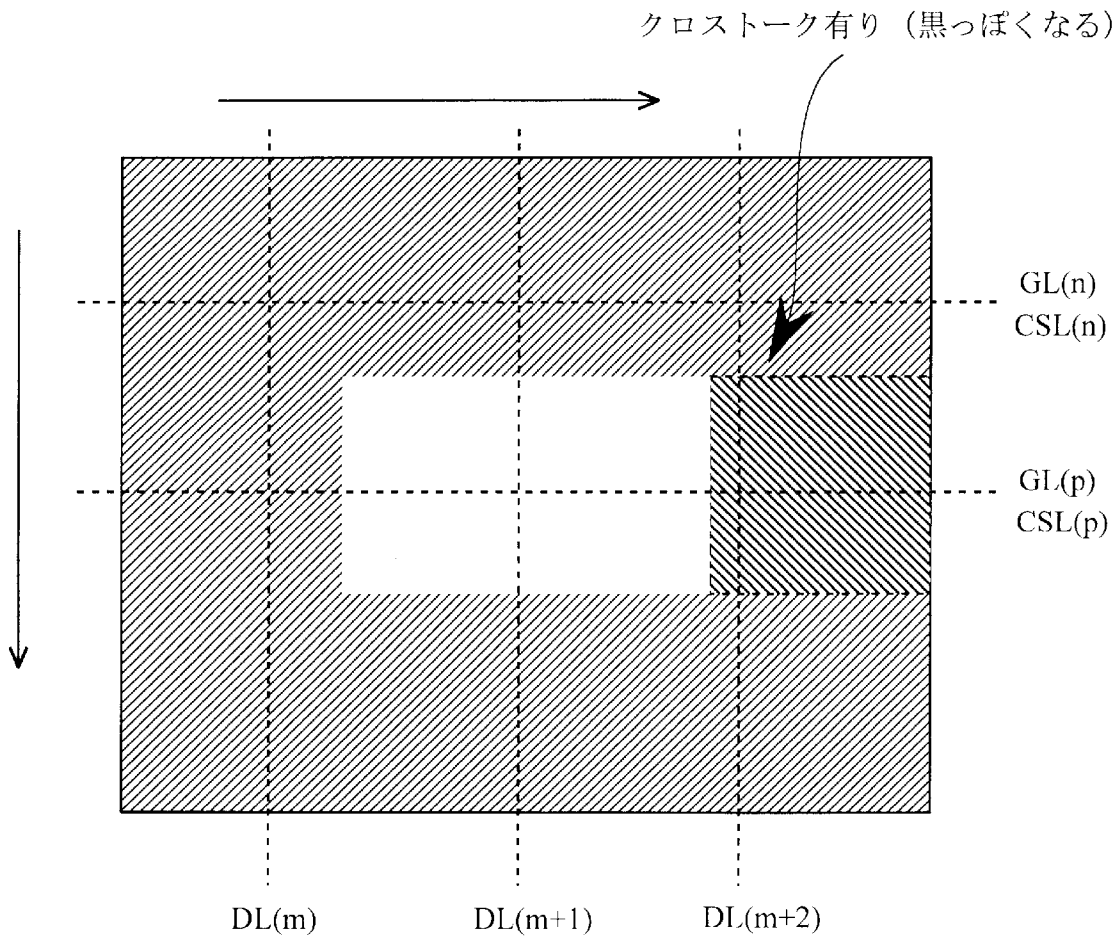
[図19]


Twrt
Tret
ΔVcs
ΔV
(A) CSL(n)
VdA
ΔVd
(B) Vd(n,m)
Vcom
(=0)

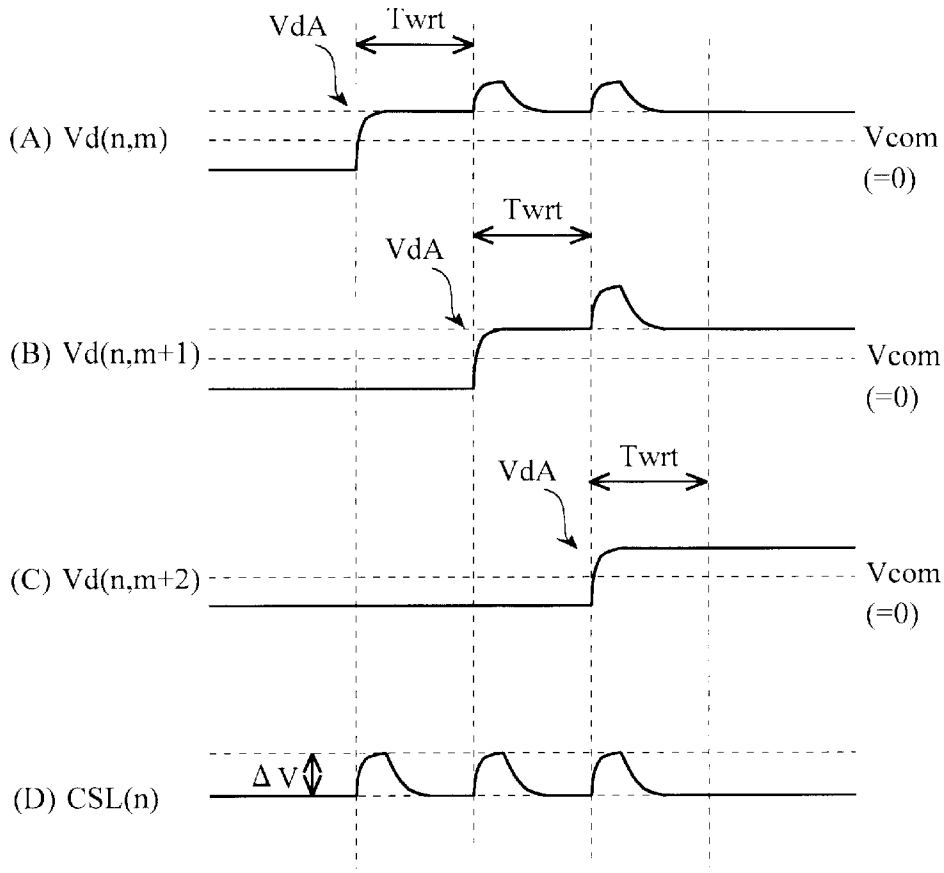
[図20]


Twrt
Tret
ΔVcs
ΔV
(A) CSL(n)
Tret
ΔV
ΔV
(B) CSL(n)
VdA
ΔVd
(C) Vd(n,m)
Vcom
(=0)
VdA
(D) Vd(n,m)
Vcom
(=0)

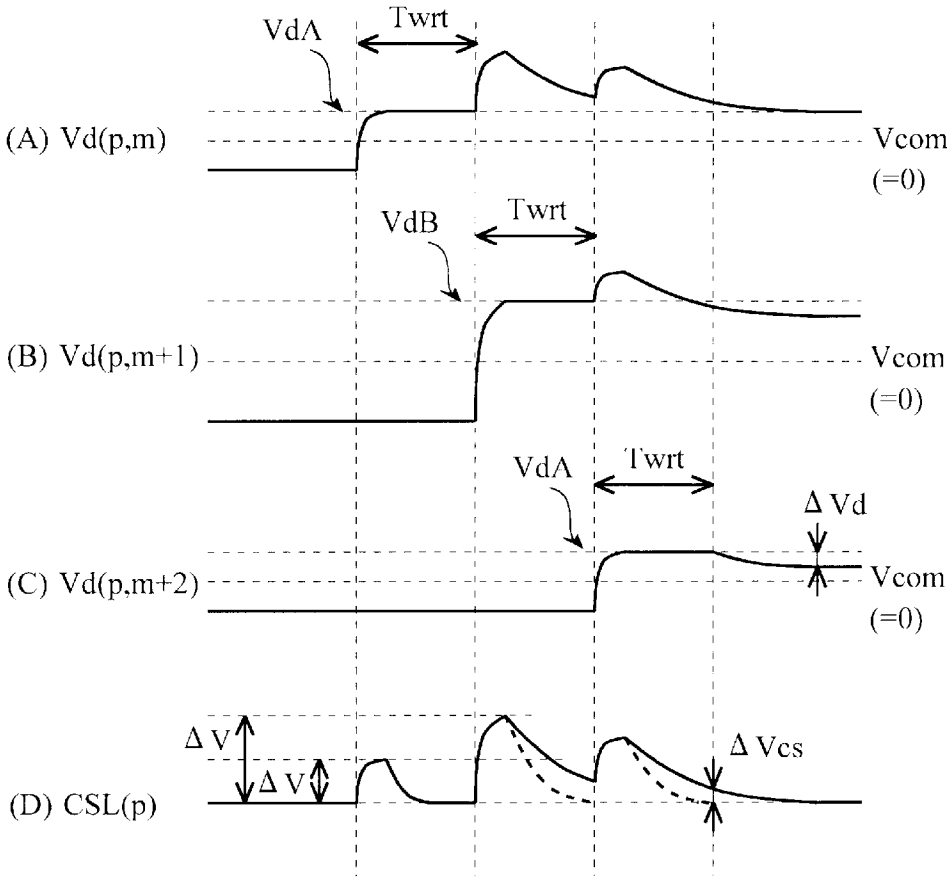
[図21]



[図22]


VdA
Twrt
(A) Vd(n,m)
Vcom
(=0)
Twrt
VdA
(B) Vd(n,m+1)
Vcom
(=0)
VdA
Twrt
(C) Vd(n,m+2)
Vcom
(=0)
ΔV
(D) CSL(n)

[図23]


VdA
Twrt
(A) Vd(p,m)
Vcom
(=0)
VdB
Twrt
(B) Vd(p,m+1)
Vcom
(=0)
VdA
Twrt
Δ Vd
(C) Vd(p,m+2)
Vcom
(=0)
Δ V
Δ V
Δ Vcs
(D) CSL(p)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/051344

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/36(2006.01)i, *G02F1/133*(2006.01)i, *G09G3/20*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-104050 A (Toshiba Matsushita Display Technology Co., Ltd.), 14 May 2009 (14.05.2009), entire text; all drawings (Family: none)	1-7
A	JP 2009-145639 A (Epson Imaging Devices Corp.), 02 July 2009 (02.07.2009), entire text; all drawings & US 2009/0153544 A1 & CN 101471023 A & KR 10-2009-0064335 A	1-7
A	JP 2009-134063 A (Epson Imaging Devices Corp.), 18 June 2009 (18.06.2009), entire text; all drawings (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 February, 2012 (24.02.12)	06 March, 2012 (06.03.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2012/051344

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-062395 A (Sony Corp.), 10 March 2005 (10.03.2005), entire text; all drawings & US 2005/0035938 A1 & TW 258616 B & KR 10-2005-0018749 A & CN 1581257 A	1-7
A	JP 2010-091706 A (Epson Imaging Devices Corp.), 22 April 2010 (22.04.2010), entire text; all drawings (Family: none)	1-7
A	JP 2009-175278 A (Epson Imaging Devices Corp.), 08 August 2009 (08.08.2009), entire text; all drawings (Family: none)	1-7
A	JP 05-204331 A (Hitachi, Ltd.), 13 August 1993 (13.08.1993), paragraph [0057]; fig. 25 to 26 & US 5784042 A & KR 10-0253058 B	1-7
A	JP 2004-271971 A (Hitachi Displays, Ltd.), 30 September 2004 (30.09.2004), entire text; all drawings (Family: none)	1-7

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１２／０５１３４４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2009-104050 A (東芝松下ディスプレイテクノロジー株式会社) 2009.05.14, 全文, 全図 (ファミリーなし)	１－７
A	JP 2009-145639 A (エプソンイメージングデバイス株式会社) 2009.07.02, 全文, 全図 & US 2009/0153544 A1 & CN 101471023 A & KR 10-2009-0064335 A	１－７
A	JP 2009-134063 A (エプソンイメージングデバイス株式会社) 2009.06.18, 全文, 全図 (ファミリーなし)	１－７

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２４．０２．２０１２	国際調査報告の発送日 ０６．０３．２０１２
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｇ　４００２ 安藤　達哉 電話番号　０３－３５８１－１１０１　内線　３２２６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ａ	JP 2005-062395 A（ソニー株式会社）2005.03.10，全文，全図 & US 2005/0035938 A1 & TW 258616 B & KR 10-2005-0018749 A & CN 1581257 A	１－７
Ａ	JP 2010-091706 A（エプソンイメージングデバイス株式会社）2010.04.22，全文，全図（ファミリーなし）	１－７
Ａ	JP 2009-175278 A（エプソンイメージングデバイス株式会社）2009.08.08，全文，全図（ファミリーなし）	１－７
Ａ	JP 05-204331 A（株式会社日立製作所）1993.08.13，段落【００５７】，図２５－２６ & US 5784042 A & KR 10-0253058 B	１－７
Ａ	JP 2004-271971 A（株式会社　日立ディスプレイズ）2004.09.30，全文，全図（ファミリーなし）	１－７