

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5438894号
(P5438894)

(45) 発行日 平成26年3月12日 (2014. 3. 12)

(24) 登録日 平成25年12月20日 (2013. 12. 20)

(51) Int. Cl.	F I	
H03K 3/03 (2006.01)	H03K 3/03	
G06K 19/07 (2006.01)	G06K 19/00	H
H03B 5/12 (2006.01)	G06K 19/00	N
H03B 5/32 (2006.01)	H03B 5/12	B
H03K 3/354 (2006.01)	H03B 5/32	E

請求項の数 3 (全 44 頁) 最終頁に続く

(21) 出願番号 特願2007-305609 (P2007-305609)
 (22) 出願日 平成19年11月27日 (2007. 11. 27)
 (65) 公開番号 特開2008-160817 (P2008-160817A)
 (43) 公開日 平成20年7月10日 (2008. 7. 10)
 審査請求日 平成22年11月17日 (2010. 11. 17)
 審判番号 不服2013-7537 (P2013-7537/J1)
 審判請求日 平成25年4月24日 (2013. 4. 24)
 (31) 優先権主張番号 特願2006-323948 (P2006-323948)
 (32) 優先日 平成18年11月30日 (2006. 11. 30)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 遠藤 正己
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 合議体
 審判長 竹井 文雄
 審判官 山本 章裕
 審判官 山中 実

最終頁に続く

(54) 【発明の名称】 半導体装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1乃至第5の回路を有し、

前記第1の回路は、前記第3の回路と電氣的に接続され、

前記第1の回路は、バッテリーから出力される電圧を検出することができる機能を有し

、
前記第2の回路は、前記第4の回路と電氣的に接続され、

前記第2の回路は、前記バッテリーから出力される電圧に応じた基準クロック信号を前記第4の回路に出力することができる機能を有し、

前記第3の回路は、前記第4の回路と電氣的に接続され、

前記第3の回路は、前記第1の回路から出力される、前記バッテリーから出力される電圧に関する信号に基づいて分周数を判定することができる機能と、前記第4の回路におけるカウンタをリセットするカウンタ値を前記判定した分周数に基づいて設定することができる機能と、を有し、

前記第4の回路は、前記第5の回路と電氣的に接続され、

前記第4の回路は、前記基準クロック信号の波の数をカウントすることができる機能と、前記カウントした波の数が前記カウンタ値に達した際に前記第5の回路に信号を出力することができる機能と、を有し、

前記第5の回路は、前記第4の回路から出力される信号をもとに前記基準クロック信号を分周した信号を論理回路に出力することができる機能を有することを特徴とする半導体

装置。

【請求項 2】

請求項 1 において、

前記第 2 の回路は、レギュレータ回路を介することなく前記バッテリーと電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 に記載の半導体装置と、表示部と、を有することを特徴とする電子機器。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、クロック生成回路に関する。特に、バッテリーからの出力電圧に応じてクロック信号の生成を行うクロック生成回路において、当該バッテリーの放電特性に起因して出力電圧の変動があっても所望の周波数のクロック信号を一定に生成することのできるクロック生成回路及び当該クロック生成回路を備えた半導体装置に関する。

【背景技術】

【0002】

様々な電子機器の普及が進み、多種多様な製品が市場に出荷されている。特に、携帯型の電子機器の普及は顕著である。一例として、携帯電話、デジタルビデオカメラ等は、表示部の高精細化並びに電池の耐久性及び低消費電力化が向上し、利便性に富んだものとなってきている。携帯型の電子機器を駆動するための電源としては、蓄電手段であるバッテリーを内蔵した構造を有し、バッテリーより電源を確保している。バッテリーとしてリチウムイオン電池等の電池（以下、バッテリーという）が用いられている。

20

【0003】

携帯型の電子機器の一例として、RFID (Radio Frequency Identification) タグ（以下、RF タグという）は、実用化に向けた研究開発も活発に行われている。RF タグは、アクティブタイプ（能動タイプ）のRF タグと、パッシブタイプ（受動タイプ）のRF タグとの二つのタイプに分けることができる。アクティブタイプは、バッテリーを内蔵し、RF タグの情報を含んだ電磁波を送信することができる。またアクティブタイプのRF タグとは別に、RF タグを駆動するための電源を確保するためにバッテリーを具備し、当該バッテリーに対し、携帯電話等の電磁波を用いてバッテリーを充電する技術の開発も進んでいる（特許文献 1 を参照）。

30

【0004】

なおRF タグは、IC (Integrated Circuit) タグ、IC チップ、RF チップ、無線タグ、電子タグとも呼ばれる。

【0005】

一方でバッテリーの放電特性は経時的に劣化するため、バッテリーの出力電圧が低下した際にバッテリーの残量を検出し、電子機器を駆動する駆動周波数を変更する複数のモードを有することでバッテリーの残量を有効に活用する技術の開発も進んでいる（特許文献 2 を参照）。

40

【特許文献 1】特開 2003 - 6592 号公報

【特許文献 2】特開 2003 - 69891 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

バッテリーは図 23 (A) に示す放電特性のように、放電時間に依存して出力電圧が低下する。図 23 (A) ではバッテリーの放電期間 t_{a1} において、充電完了直後の出力電圧を V_1 とすると、期間 t_1 後に出力電圧が V_2 になる。期間 t_1 の後、期間 t_2 では一定の出力電圧 V_2 が保持され、更に期間 t_3 後に出力電圧は V_3 になる。期間 t_3 の後

50

は、バッテリーの放電特性がなくなる。

【0007】

バッテリーを備えた携帯型の電子機器における内部回路のクロック生成回路においては、図23(A)で示したバッテリーの経時的な出力電圧の V_1 から V_3 への低下により、クロック信号の周波数の低下を招いていた。図23(B)にクロック生成回路に入力される出力電圧の V_1 から V_3 への変化に伴う、発振周波数の変化について示す。図23(B)に示すように、クロック生成回路における発振周波数は、入力される電圧 V_1 から V_3 に応じて F_1 から F_3 までばらつきを生じる。

【0008】

発振周波数のばらつきの問題を解消するために、バッテリーの残量が一定となる図23(A)の期間 t_2 の出力電圧 V_2 をバッテリーの出力電圧として用いることで対応することができる。しかしながら、図23(A)のバッテリーの放電期間 t_{a11} は、期間 t_2 に比べて長くバッテリーの放電期間にはまだ期間 t_1 、期間 t_3 と余剰があった。

【0009】

なおバッテリーの寿命を延ばすためには、特許文献2に記載の電子機器のようにクロック生成回路の発振周波数に基づいて、電子機器を駆動するモードを変更することによりバッテリーの蓄電残量を有効利用することも考えられる。しかし電子機器を駆動するモードにより駆動周波数を変動させることは、電子機器の品質の低下に繋がるといった課題も残る。

【0010】

また携帯型の電子機器を駆動するためのクロック生成回路は、リングオシレータ等で構成される。リングオシレータは、上述のように、バッテリーより出力される電圧に応じて発振周波数が変わるため、リングオシレータの入力部において、レギュレータ等の定電圧回路を設ける必要があった。そのためクロック生成回路は、バッテリーの蓄電残量を有効に活用できていないといった課題があった。

【0011】

そこで本発明は上記問題を鑑み、バッテリーの放電特性の変化に伴う出力電圧の変化によるクロック生成回路からの発振周波数の変動を抑制し、かつバッテリーの蓄電残量を有効利用することのできるクロック生成回路を提供することを課題とする。

【課題を解決するための手段】

【0012】

上記目的を達成するために、本発明のクロック生成回路においては、バッテリーの出力電圧を検出するための出力電圧検出回路と、出力電圧検出回路で検出された出力電圧の値により分周数を判定する分周数判定回路と、出力電圧に応じた基準クロック信号を出力する発振回路と、基準クロック信号の波の数をカウントするカウンター回路と、基準クロック信号を分周する分周回路を有し、カウンター回路は、一旦分周回路に分周するための信号を出力した後、カウントした波の数が分周数に応じた波の数に達したら、分周回路に分周数判定回路で判定された分周数で分周するための信号を出力する構成とする。

【0013】

本発明のクロック生成回路の一は、バッテリーの出力電圧を検出するための出力電圧検出回路と、出力電圧検出回路で検出された出力電圧の値により分周数を判定する分周数判定回路と、出力電圧に応じた基準クロック信号を出力する発振回路と、基準クロック信号の波の数をカウントするカウンター回路と、基準クロック信号を分周する分周回路を有し、カウンター回路は、一旦分周回路に分周するための信号を出力した後、カウントした波の数が分周数に応じた波の数に達したら、分周回路に分周数判定回路で判定された分周数で分周するための信号を出力することを特徴とする。

【0014】

別の本発明のクロック生成回路の一は、バッテリーの出力電圧を検出するための出力電圧検出回路と、出力電圧検出回路で検出された出力電圧の値により分周数を判定する分周数判定回路と、出力電圧に応じた基準クロック信号を出力する発振回路と、基準クロック

10

20

30

40

50

信号の波の数をカウントするカウンター回路と、基準クロック信号を分周して得た信号をクロック信号として論理回路に出力する分周回路を有し、カウンター回路は、一旦分周回路に分周するための信号を出力した後、カウントした波の数が分周数に応じた波の数に達したら、分周回路に分周数判定回路で判定された分周数で分周するための信号を出力することを特徴とする。

【0015】

なお本発明のクロック生成回路におけるバッテリーは1次電池または2次電池であってもよい。

【0016】

なお本発明のクロック生成回路における発振回路は、リングオシレータ又は水晶発振器であつてもよい。

10

【0017】

また本発明の半導体装置の一は、アンテナを備え、リーダ/ライタと無線通信により信号の送受信を行う半導体装置であつて、クロック生成回路と、論理回路と、バッテリーと、を有し、クロック生成回路は、バッテリーの出力電圧を検出するための出力電圧検出回路と、出力電圧検出回路で検出された出力電圧の値により分周数を判定する分周数判定回路と、出力電圧に応じて基準クロック信号を出力する発振回路と、基準クロック信号の波の数をカウントするカウンター回路と、基準クロック信号を分周する分周回路を有し、カウンター回路は、一旦分周回路に分周するための信号を出力した後、カウントした波の数が分周数に応じた波の数に達したら、分周回路に分周数判定回路で判定された分周数で分周するための信号を出力することを特徴とする。

20

【0018】

また別の本発明の半導体装置の一は、アンテナを備え、リーダ/ライタと無線通信により信号の送受信を行う半導体装置であつて、クロック生成回路と、論理回路と、バッテリーと、を有し、クロック生成回路は、バッテリーの出力電圧を検出するための出力電圧検出回路と、出力電圧検出回路で検出された出力電圧の値により分周数を判定する分周数判定回路と、出力電圧に応じた基準クロック信号を出力する発振回路と、基準クロック信号の波の数をカウントするカウンター回路と、基準クロック信号を分周して得た信号をクロック信号として論理回路に出力する分周回路を有し、カウンター回路は、一旦分周回路に分周するための信号を出力した後、カウントした波の数が分周数に応じた波の数に達したら、分周回路に分周数判定回路で判定された分周数で分周するための信号を出力することを特徴とする。

30

【0019】

また本発明の半導体装置におけるバッテリーは、1次電池または2次電池であってもよい。

【0020】

また本発明の半導体装置における発振回路は、リングオシレータ又は水晶発振器であつてもよい。

【発明の効果】

【0021】

本発明により、バッテリーの放電特性に伴う出力電圧の変化によるクロック生成回路からの発振周波数の変動を抑制し、かつバッテリーの蓄電残量を有効利用することができる。そのため、クロック信号のばらつきに起因した電子機器の品質の低下を引き起こすことなく、バッテリーの長寿命化を図ることができる。

40

【0022】

また本発明のクロック生成回路は、クロック生成回路の入力部にレギュレータ回路等の定電圧回路を設けることなく、ばらつきの小さいクロック信号を生成することができる。そのため、本発明のクロック生成回路を具備する電子機器等においては、低消費電力化及び電子機器の小型化をすることができる。

50

【発明を実施するための最良の形態】

【0023】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる場合がある。

(実施の形態1)

【0024】

本実施の形態では、本発明のクロック生成回路に関して図面を参照して説明する。

10

【0025】

図1に示す本発明のクロック生成回路100は、バッテリー111の出力電圧を検出するための出力電圧検出回路101と、バッテリー111の出力電圧に応じて基準クロック信号を出力する発振回路102と、出力電圧検出回路101で検出された出力電圧の値により分周数を判定する分周数判定回路103と、発振回路102より出力される基準クロック信号の波の数をカウントするカウンター回路104と、カウンター回路104に入力された波の数と分周数判定回路103より出力される分周数に応じて、基準クロック信号を分周することにより得られた信号をクロック信号として論理回路121に出力する分周回路105を有している。

【0026】

20

本発明は、バッテリーの放電特性により経時的な劣化に伴い出力電圧が低下した際においても、クロック信号の周波数の変動を抑制することができるといった効果を有する。当該効果は、出力電圧検出回路で検出するバッテリーの出力電圧の値に基づく分周数、及び発振回路から出力され、カウンター回路でカウントされた基準クロック信号の波の数に基づき、分周回路に入力される基準クロック信号を分周して出力することで実現することができる。以下、具体的な構成等について説明する。

【0027】

図1に示した本発明のクロック生成回路100におけるバッテリー111からの出力電圧を検出するための出力電圧検出回路101に関して具体的な構成を図2に示す。図1に示した出力電圧検出回路101としては、一例として図2に示すように、反転比較回路を用いることができる。比較器201の反転入力端子にはバッテリー111からの出力電圧が入力され、比較器201の非反転入力端子には V_{ref} の電位が入力されている。バッテリー111からの出力電圧が V_{ref} の電位よりも低いときには比較器201の出力からHレベルの信号が出力される。一方バッテリー111からの出力電圧が V_{ref} の電位よりも高いときには比較器201の出力からLレベルの信号が出力される。バッテリー111からの出力電圧が複数段階に変化するのであれば図2に例示した反転比較回路を複数設け、論理回路により出力電圧に関する信号を分周数判定回路103に出力すればよい。こうして反転比較回路によりバッテリー111からの出力電圧の検出を行うことができる。

30

【0028】

40

なお、本実施の形態では、一例として、バッテリー111からの出力電圧を V_1 、 V_2 、 V_3 の3段階を経るものとして説明し、 $V_1 > V_2 > V_3$ であるとする。そのため、出力電圧検出回路101は、バッテリー111の出力電圧が V_1 、 V_2 、または V_3 かの情報について分周数判定回路103に出力するものとする。勿論本発明の出力電圧検出回路101は、検出される出力電圧が V_1 、 V_2 、 V_3 に限定されるものではなく、バッテリー111の出力電圧を検出し、バッテリー111の出力電圧に対応した信号を分周数判定回路103に出力するものであればよい。

【0029】

また図1に示した本発明のクロック生成回路100におけるバッテリー111からの出力電圧により基準クロック信号を出力する発振回路102に関して具体的な構成を図3(

50

A) に示す。図 1 に示した発振回路 102 としては、一例として図 3 (A) に示すように、N チャンネル型トランジスタ 301 と P チャンネル型トランジスタ 302 が直列に接続され、この 2 つのトランジスタのゲートが接続されているインバータ構成を含み、このインバータを一単位としてこれを複数含んだ構成である。図 3 (A) に示す構成は所謂リングオシレータである。図 3 (A) において発振回路 102 は、5 段構成であるが、これに限定されるものでない。複数のインバータは入力端子と出力端子が接続され、最終段の出力端子が初段のインバータの入力端子に接続されたループ構造している。このループ内のインバータの数について、発振回路 102 から信号を発振するためには、奇数個のインバータで構成される必要がある。

【0030】

なお、本発明においては図 3 (A) に示したリングオシレータを発振回路とするものに限定されるものではなく、水晶発振器であってもよい。すなわち、本発明の構成における発振回路は入力されるバッテリーの出力電圧に応じて発振する信号の周波数が異なるものであればよい。なおリングオシレータを構成するトランジスタを薄膜トランジスタで構成することにより、発振回路 102 の小型化を行うことができる。

【0031】

なお本明細書においては、発振回路 102 から出力される信号を基準クロック信号という。また、クロック生成回路 100 より出力され、論理回路等を駆動する信号をクロック信号という。

【0032】

また、発振回路 102 に入力されるバッテリー 111 の出力電圧 V_1 、 V_2 、または V_3 に対する発振周波数の特性を図 3 (B) に示す。発振回路 102 はバッテリー 111 の出力電圧 V_1 、 V_2 、または V_3 に対応した周波数 F_1 、 F_2 、または F_3 の基準クロック信号を出力する。なお、図示したように発振回路 102 における周波数は $F_1 > F_2 > F_3$ の関係を有する。入力されるバッテリー 111 の出力電圧が高ければ、発振回路 102 は高い周波数の信号を出力し、入力されるバッテリー 111 の出力電圧が低ければ、発振回路 102 は低い周波数の信号を出力する。

【0033】

また図 1 に示した本発明のクロック生成回路 100 における分周数判定回路 103 は、出力電圧検出回路 101 から出力される、バッテリー 111 の出力電圧に関する信号に基づき、分周数を判定する回路である。分周数判定回路 103 は、出力電圧検出回路 101 から出力されるバッテリー 111 の出力電圧に関する信号に基づいて、分周数を判定し、当該分周数をカウンタ回路 104 に出力することにより、カウンタ回路 104 におけるカウンタをリセットするカウンタ値を設定する。

【0034】

また図 1 に示した本発明のクロック生成回路 100 におけるカウンタ回路 104 は、発振回路 102 から出力される基準クロック信号の波の数をカウントする回路である。カウンタ回路 104 は、分周数判定回路 103 によって判定されたカウンタをリセットするカウンタ値まで基準クロック信号の波の数をカウントする。カウンタ回路 104 は、フリップフロップ回路等の論理回路を組み合わせ構成し、発振回路からの基準クロック信号が入力され、カウントが行われる。カウンタ回路 104 は、カウントした波の数が分周数判定回路 103 によって判定されたカウンタをリセットするカウンタ値に達した際に、分周回路 105 に信号を出力する。またカウンタ回路 104 では、分周回路 105 への信号の出力と共に、カウンタ値のリセットが行なわれる。

【0035】

また図 1 に示した本発明のクロック生成回路 100 における分周回路 105 は、カウンタ回路 104 でカウントした波の数がカウンタをリセットするカウンタ値に達した際に分周回路 105 に出力される信号をもとに、発振回路 102 から出力される基準クロック信号を分周する回路である。分周回路 105 は発振回路 102 が出力する基準クロック信号を、分周数判定回路 103 からのカウンタ値が N (N は自然数) であれば N 分周す

10

20

30

40

50

る回路である。

【0036】

なお本発明におけるバッテリーとは、放電または充電により、経時的に出力電圧が変化する電池のことをいう。そのため本実施の形態で用いられるバッテリー111としては、一次電池や二次電池が相当する。

【0037】

次に図1に示したブロック図の具体的な動作についてタイミングチャート及びフローチャートを用いて説明をおこなう。

【0038】

図4においては、本実施の形態の構成について図1で示したブロック図におけるクロック生成回路100の動作の一例についてフローチャートを用いて説明する。図4のフローチャートにおいて、バッテリー111の出力電圧は V_1 以下かつ V_2 よりも大きい範囲、 V_2 以下かつ V_3 よりも大きい範囲、または V_3 のいずれかに含まれる例について説明する。またカウンタ回路104におけるカウンタ値を X とする。また出力電圧検出回路101から分周数判定回路103に出力される信号が、バッテリー111の出力電圧が V_1 以下かつ V_2 よりも大きい範囲に含まれる際に示す信号であるとき、分周数判定回路103はカウンタ回路104のカウンタ数を $X=3$ でリセットするものとして説明する。同様に、出力電圧検出回路101から分周数判定回路103に出力される信号が、バッテリー111の出力電圧が V_2 以下かつ V_3 よりも大きい範囲に含まれる際に示す信号であるとき、分周数判定回路103はカウンタ回路104のカウンタ数を $X=2$ でリセットするものとして説明する。また同様に出力電圧検出回路101から分周数判定回路103に出力される信号が、バッテリー111の出力電圧が V_3 の際に示す信号であるとき、分周数判定回路103はカウンタ回路104のカウンタ数を $X=1$ でリセットするものとして説明する。

【0039】

まず、カウンタ回路104は、発振回路102から出力される基準クロック信号の波の数をカウントする前にカウンタ値をリセットする(図4のステップS401)。カウンタ値をリセットすることにより、カウンタ値 X は0($X=0$)となる。カウンタ値のリセットは、カウンタ回路104に入力される分周数判定回路103からの信号に基づいて決定されたカウンタ値に達した際にリセットされるものである。

【0040】

次にカウンタ回路104は、発振回路102からの基準クロック信号のカウントを開始する(ステップS402)。カウンタ値はリセット後にカウンタ回路に入力された基準クロック信号の波の数であるため、1波長毎にカウンタ値に1を加算していく。すなわちカウンタ回路104には、基準クロック信号の1波長分が入力されるごとにカウンタ値に1が加算されていき、波の数のカウントが行われることになる。

【0041】

カウンタ回路104において、カウントを開始すると共に、カウンタ回路104に入力される分周数判定回路103からの信号を決める出力電圧検出回路101で検出されたバッテリー111の出力電圧が V_1 以下かつ V_2 よりも大きい範囲内にあるかどうかの判定が行われる(ステップS403)。カウンタ回路104に入力される分周数判定回路103からの信号を決める出力電圧検出回路101で検出されたバッテリー111の出力電圧が V_1 以下かつ V_2 よりも大きい範囲内であれば、カウンタ値が3($X=3$)であるか否かの判断が行われる(ステップS404)。ステップS404において、カウンタ値が $X=3$ でなければ、再度ステップS402に戻り、カウンタ値の加算が行われる。ステップS404において、カウンタ値が $X=3$ であれば、信号を分周回路105に出力し(ステップS405)、カウンタ回路104のカウンタ値をリセットするステップS401に戻る。

【0042】

ステップS403で、カウンタ回路104に入力される分周数判定回路103からの信

10

20

30

40

50

号を決める出力電圧検出回路101で検出されたバッテリー111の出力電圧が V_1 以下かつ V_2 よりも大きい範囲内になれば、バッテリー111の出力電圧が V_2 以下かつ V_3 よりも大きい範囲内にあるかどうかの判定が行われる(ステップS406)。カウンタ回路104に入力される分周数判定回路103からの信号を決める出力電圧検出回路101で検出されたバッテリー111の出力電圧が V_2 であれば、カウンタ値が2($X=2$)であるかの判断が行われる(ステップS407)。ステップS407において、カウンタ値が $X=2$ でなければ、再度ステップS402に戻り、カウンタ値の加算が行われる。ステップS407において、カウンタ値が $X=2$ であれば、ステップS405に移行し、カウンタ回路のカウンタ値をリセットするステップS401に戻る。

【0043】

ステップS406で、カウンタ回路104に入力される分周数判定回路103からの信号を決める出力電圧検出回路101でのバッテリー111の出力電圧が V_2 以下かつ V_3 よりも大きい範囲内になれば、バッテリー111の出力電圧が V_3 であるかどうかの判定が行われる(ステップS408)。カウンタ回路104に入力される分周数判定回路103からの信号を決める出力電圧検出回路101でのバッテリー111の出力電圧が V_3 であれば、カウンタ値が1($X=1$)になった際に(ステップS409)、ステップS405に移行し、カウンタ回路104のカウンタ値をリセットするステップS401に戻る。

【0044】

ステップS408で、カウンタ回路104に入力される分周数判定回路103からの信号を決める出力電圧検出回路101でのバッテリー111の出力電圧が V_3 でなければ、クロック生成回路100は、この時バッテリー111はクロック信号を発振する十分な蓄電残量を有さず、クロック信号の発振が停止される(ステップS410)。

【0045】

次に、上述した図4のフローチャートで説明した図1の構成に関する動作のタイミングチャートについて図5を参照して説明する。

【0046】

図5には、バッテリー111の出力電圧が V_1 、 V_2 、または V_3 であるときの発振回路102から出力される基準クロック信号、カウンタ回路104におけるカウンタ値、及びクロック生成回路100から出力されるクロック信号のタイミングチャートを示している。

【0047】

バッテリー111の出力電圧は V_1 、 V_2 、 V_3 と経時的に変化する。そのため、基準クロック信号の周波数は図3(B)に示したように、 V_1 、 V_2 、 V_3 の変化に依存して下がる。そのため、図5に示す基準クロック信号の周波数も V_1 、 V_2 、 V_3 の変化に依存して下がる。また図5において、上述したようにカウンタ値は出力電圧 V_1 のとき $X=3$ でリセットし、出力電圧 V_2 のとき $X=2$ でリセットし、出力電圧 V_3 のとき $X=1$ でリセットするものとして図示している。

【0048】

図5に示すタイミングチャートを図4で説明したフローチャートに沿って説明する。図4のステップS401においてカウンタ値がリセットされる。ステップS401の後に、図4のステップS402において、バッテリーの出力電圧が V_1 、 V_2 、または V_3 であるときの基準クロック信号の波の数に依存してバッテリー111の出力電圧が V_1 、 V_2 、または V_3 であるときのカウンタ値が1ずつ加算されている。バッテリーの出力電圧が V_1 のとき(図4のステップS403)、カウンタ回路104は、カウンタ値が3(図4のステップS404)で分周回路105に、分周するための信号を出力する(図4のステップS405)。分周回路105は、カウンタ回路104より出力された分周するための信号に基づき、基準クロック信号に分周を行う。

【0049】

同様にバッテリー111の出力電圧が V_2 のとき(図4のステップS406)、カウンタ

10

20

30

40

50

ー回路104は、カウンター値が2(図4のステップS407)で分周回路105に信号を出力する(図4のステップS405)。分周回路105は、カウンター回路104より出力された信号に基づき、基準クロック信号に分周を行う。

【0050】

同様にバッテリー111の出力電圧が V_3 のとき(図4のステップS408)、カウンター回路104は、カウンター値が1(図4のステップS409)で分周回路105に信号を出力する(図4のステップS405)。分周回路105は、カウンター回路104より出力された信号に基づき、基準クロック信号に分周を行う。

【0051】

本実施の形態においては、バッテリー111の出力電圧が V_1 のときにカウンター回路104より信号が出力されると、分周回路105は基準クロック信号を3分周するものとして説明している。また本実施の形態においては、バッテリー111の出力電圧が V_2 のときにカウンター回路104よりカウンター値が出力されると、分周回路105は基準クロック信号を2分周するものとして説明している。また、本実施の形態においては、バッテリー111の出力電圧が V_3 のときにカウンター回路104よりカウンター値が出力されると、分周回路105は基準クロック信号を1分周するものとして説明している。

【0052】

本発明においては基準クロック信号の波の数をカウンター回路でカウントし、バッテリーの出力電圧に応じた分周数で分周するための信号を分周回路に出力することによって、分周回路にて当該カウンター値に応じた分周を行うことができる。そのためクロック生成回路において、図5に示すとおり、出力するクロック信号の周波数が、バッテリーの出力電圧 V_1 、 V_2 、 V_3 に依存して大きく変化することなく、出力することが可能になる。そのためクロック信号のばらつきに起因した電子機器の品質の低下を引き起こすことなく、バッテリーの蓄電残量を有効利用することができる。

【0053】

従来は、バッテリーと発振回路の間にレギュレータ回路等の定電圧回路を設けることで、クロック生成回路からのクロック信号の周波数のばらつきを低減させていた。本発明においては、定電圧回路を設けることなく、周波数の変動の少ないクロック信号を出力することが可能になる。そのため、本発明においては定電圧回路を用いる場合に比べて電子機器の小型化が可能になり、回路の設計面積が限られた場合の電子機器等においては特に有用である。

【0054】

なお、本発明においては、カウンター値に対応する分周数の値は限定されるものではなく、適宜クロック信号の周波数に基づいて分周数を決定すればよい。

【0055】

以上のように、本発明はバッテリーの放電特性に伴う出力電圧の変化による、クロック生成回路から出力されるクロック信号の発振周波数の変化を抑制し、かつバッテリーの蓄電残量を有効利用することのできるクロック生成回路を提供することができる。そのため、クロック信号のばらつきに起因した電子機器の品質の低下を引き起こすことなく、バッテリーの長寿命化を図ることができる。

【0056】

また本発明のクロック生成回路は、クロック生成回路の入力部にレギュレータ回路等の定電圧回路を設けることなく、周波数のばらつきの小さいクロック信号を生成することができる。そのため、本発明のクロック生成回路を具備する電子機器等においては、低消費電力化及び電子機器の小型化をすることができる。

【0057】

なお、本実施の形態は、本明細書の他の実施の形態の技術的要素と組み合わせて行うことができる。

(実施の形態2)

【0058】

10

20

30

40

50

本実施の形態では、上記実施の形態で示したクロック生成回路を有し、且つ無線で情報の送受信が可能な半導体装置に関して図面を参照して説明する。

【0059】

近年、超小型ICチップと、無線通信用のアンテナを組み合わせたRFタグ等の半導体装置が脚光を浴びている。RFタグは、無線通信装置(リーダ/ライタともいう)を使った通信信号(動作磁界)の授受により、データを書き込んだり、データを読み出すことができる。

【0060】

RFタグ等の無線で情報の送受信が可能な半導体装置の応用分野として、例えば、流通業界における商品管理が挙げられる。現在では、バーコードなどを利用した商品管理が主流であるが、バーコードは光学的に読み取るため、遮蔽物があるとデータを読み取れない。一方、RFタグでは、無線でデータを読み取るため、遮蔽物があっても読み取れる。従って、商品管理の効率化、低コスト化などが実現可能である。その他、乗車券、航空旅客券、料金の自動精算など、広範な応用が実現可能である。

【0061】

本実施の形態では、本発明における半導体装置の一例として、図6を用いて説明する。図6は、RFタグのブロック図である。

【0062】

図6のRFタグ600では、アンテナ601によって受信された通信信号が信号処理回路604における復調回路605に入力される。通常、通信信号は13.56MHz、915MHzなどのキャリアがASK(振幅偏移; Amplitude shift keying)変調、FSK(周波数偏移; Frequency shift keying)変調などの処理を受けた上で送られてくる。図6において、信号処理回路604が信号を処理するためには基準となるクロック信号が必要であり、クロック生成回路603に入力されるバッテリー602からの出力電圧により得られ、クロック生成回路603から出力されるクロック信号を用いている。また図6においては、信号処理回路604を駆動するための電力もバッテリー602より供給されている。ASK変調やPSK変調された通信信号は復調回路605で復調される。復調後の信号は、論理回路606に送られ解析される。論理回路606で解析された信号はメモリコントロール回路607に送られ、それに基づき、メモリコントロール回路607はメモリ回路608を制御し、メモリ回路608に記憶されたデータを取り出し論理回路609に送られる。論理回路609でエンコード処理されたのち、変調回路610はキャリアに変調をかける。

【0063】

次に、図7を用いて、図6で示したRFタグ600の模式図について説明する。なお、図7において、図6に相当する部分には、同一の番号を付し、説明を省略する。なお図6で示したクロック生成回路は、図7では信号処理回路と同じ基板上に形成されるものとして以下説明を行う。

【0064】

図7(a)に示すRFタグ600は、基板701上に、アンテナ601、バッテリー602、クロック生成回路603、及び信号処理回路604を有している。アンテナ601は接続端子720及び接続端子721を備えている。アンテナ601においては、接続端子720及び接続端子721のそれぞれが信号処理回路604と接続されている。

【0065】

信号処理回路604に含まれるトランジスタは、様々な形態のトランジスタを適用させることができる。よって、適用可能なトランジスタの種類に限定はない。したがって、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、ZnO、a-InGaZnOなどの化合物半導体を用いたトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。なお、非単結晶半導体膜には

10

20

30

40

50

水素またはハロゲンが含まれていてもよい。

【0066】

基板701の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板などを用いることが出来る。また、ある基板に信号処理回路604を形成し、その後、別の基板に信号処理回路604を移動させて、別の基板上に配置するようにしてもよい。

【0067】

アンテナ601の形状については、特に限定されない。たとえば図8(A)のように基板801上の信号処理回路802を囲むように一面のアンテナ803を配置しても良い。また、図8(B)のように基板801上の信号処理回路802の周りに細かいアンテナ803を配置しても良い。また、図8(C)のように高周波の電磁波を受信するための形状をとってもよい。また、図8(D)のように180度無指向性の形状をとってもよい。また、図8(E)のように棒状に長く伸ばした形状をとってもよい。また、例えば、いわゆる、ダイポールアンテナ、ループアンテナ、八木アンテナ、パッチアンテナ又は微小アンテナなどの形状をとってもよい。

【0068】

なお、図8においては、説明を簡単にするため、バッテリーに相当するものは記載されていないが本発明のクロック生成回路を具備する半導体装置には、バッテリーが設けられる。

【0069】

図7(a)に示すアンテナ601は、信号処理回路604が形成された基板上に形成されていてもよいし、信号処理回路604の形成された基板とは別の基板上に形成してもよい。そして、アンテナ601を形成する基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板などに形成することが出来る。そして、アンテナ601を信号処理回路604の形成された基板と同じ基板に形成する場合には、スパッタリング法や、CVD法、スピニング法などにより導電膜を形成し、導電膜をパターンニングしてアンテナ601を形成してもよいし、インクジェット法に代表される液滴吐出法又はスクリーン印刷法などによりアンテナ601を形成してもよい。アンテナ601を信号処理回路604の形成された基板と別の基板に形成する場合にも上述した方法によりアンテナ601を形成することができるが、好ましくは、特にスクリーン印刷法によりアンテナ601を形成するとよい。

【0070】

なお、信号処理回路604の形成された基板とアンテナ601との接続は公知の方法で行うことができる。例えばアンテナと信号処理回路とをワイヤボンディング接続やパンプ接続を用いて接続する、あるいはチップ化した信号処理回路の形成された基板一面を電極にしてアンテナに貼り付けるという方法を取ってもよい。この方式ではACF(anisotropic conductive film;異方性導電性フィルム)を用いて貼り付けることができる。

【0071】

また、アンテナに必要な長さは受信に用いる周波数によって適正な長さが異なる。そのため、一般には波長の整数分の1の長さにし、例えば周波数が2.45GHzの場合は約60mm(1/2波長)、約30mm(1/4波長)とすれば良い。

【0072】

また、図7(a)において、アンテナ601は信号処理回路604と共に同じ基板上に積層して設ける構成としているが、外付けのアンテナとして設けられるものであってもよい。なお、図7(a)に示すようにアンテナ601を信号処理回路604と共に同じ基板701上に積層して設ける場合には、好ましくは、アンテナ形状を微小ループアンテナや、微小ダイポールアンテナなどの形状のアンテナとするとよい。

【0073】

バッテリー602には、1次電池または2次電池であれば適用可能である。また、本発明のクロック生成回路は、経時的に放電特性が変化することにより、出力電圧が変化するバッテリーを具備する半導体装置であれば適用可能である。

【0074】

なお、本発明のクロック生成回路を具備する半導体装置の構成としては、図7(a)に示すものに限られない。たとえば、図7(b)には、アンテナ601とバッテリー602との間に信号処理回路604が配置されている構成を示しているが、アンテナ601と信号処理回路604との間にバッテリー602が配置されていてもよいし、バッテリー602と信号処理回路604との間にアンテナ601が配置されていてもよい。また、アンテナ601とバッテリー602と信号処理回路604との面積比もこれに限られるものではない。つまり、本発明のクロック生成回路を具備する半導体装置は、断面から層別に見たときに、アンテナ601とバッテリー602と信号処理回路604との位置関係は限定されない。また、アンテナ601と信号処理回路604とがそれぞれ別の基板に形成されていてもよいし、アンテナ601と信号処理回路604とバッテリー602とが同じ基板上に形成されていてもよい。

10

【0075】

なお、本実施の形態は、本明細書の他の実施の形態の技術的要素と組み合わせて実施することができる。すなわち本実施の形態は、バッテリーの放電特性に伴う出力電圧の変化によるクロック生成回路から出力されるクロック信号の発振周波数の変化を抑制し、かつバッテリーの蓄電残量を有効利用することのできるクロック生成回路を具備する半導体装置を提供することができる。そのため、クロック信号のばらつきに起因した電子機器の品質の低下を引き起こすことなく、バッテリーの長寿命化を図ることができる。

20

【0076】

また本発明のクロック生成回路を具備する半導体装置は、クロック生成回路の入力部にレギュレータ回路等の定電圧回路を設けることなく、周波数のばらつきの小さいクロック信号を生成することができる。そのため、本発明のクロック生成回路を具備する半導体装置においては、低消費電力化及び半導体装置の小型化をすることができる。

(実施の形態3)

【0077】

本実施の形態では、上記実施の形態で示した半導体装置において、電磁波により充電可能なバッテリーを設けた半導体装置の一例に関して図面を参照して説明する。

30

【0078】

本実施の形態で示す半導体装置に関して図9に示すRFタグを例にして説明する。

【0079】

図9に示すRFタグ600は、アンテナ601、バッテリー602、クロック生成回路603、信号処理回路604、充放電回路900を有している。

【0080】

充放電回路900は、整流回路901、充電制御回路902、放電制御回路903を有している。また、信号処理回路604は、復調回路605、論理回路606、メモリコントロール回路607、メモリ回路608、論理回路609、変調回路610によって構成される。なお、上記実施の形態2における図6の構成との違いは、RFタグ600に充放電回路900が設けられた点にある。

40

【0081】

信号処理回路604は、リーダ/ライタ951より送信されアンテナ601により受信された通信信号が、信号処理回路604における復調回路605に入力される。通常、通信信号は13.56MHz、915MHzなどのキャリアをASK変調、PSK変調などの処理を受けた後送られてくる。例えば、通信信号を13.56MHzとする場合は、バッテリー602を充電するためのリーダ/ライタからの電磁波の周波数も同じであることが望ましい。なお充電のための信号と、通信のための信号とを同一の周波数帯にすることでアンテナ601を共有にすることができる。アンテナ601を共有化することにより、

50

半導体装置の小型化を達成することができる。

【0082】

図9において、信号処理回路604が信号を処理するためには基準となるクロック信号が必要であり、バッテリー602からの出力電圧が放電制御回路903を介してクロック生成回路603に入力され、クロック生成回路603から出力されるクロック信号を用いている。また図9においては、信号処理回路604を駆動するための電源もバッテリー602より放電制御回路903を介して供給されている。ASK変調やPSK変調された通信信号は復調回路605で復調される。復調後の信号は、論理回路606に送られ解析される。論理回路606で解析された信号はメモリコントロール回路607に送られ、それに基づき、メモリコントロール回路607はメモリ回路608を制御し、メモリ回路608に記憶されたデータを取り出し論理回路609に送られる。論理回路609でエンコード処理されたのち、変調回路610はキャリアに変調をかける。

10

【0083】

また図9において、アンテナ601がリーダ/ライタ951からバッテリー602を充電するための電磁波を受信した場合の動作の一例について説明する。なお本実施の形態においては、充電制御回路902に第1のスイッチが設けられ、放電制御回路903に第2のスイッチが設けられている例を示す。

【0084】

まず、リーダ/ライタ951から電磁波が送信されると、アンテナ601がリーダ/ライタ951から送信された電磁波の受信を開始する。そして、バッテリー602の電力を他の回路へ供給しないように放電制御回路903に設けられた第2のスイッチをオフにする。

20

【0085】

次に、充電制御回路902に設けられた第1のスイッチがオンして、整流回路901を介して整流化及び平滑化された信号により、バッテリー602の充電が開始される。そして、バッテリー602の電圧が所定の電圧値以上になった場合に、充電制御回路902に設けられた第1のスイッチをオフし、充電を停止する。

【0086】

次に、第1のスイッチのオフと同時又はその後第2のスイッチをオンして、放電制御回路903を介して信号処理回路604及びクロック生成回路603に電力を供給し、RFタグ600は、通信を開始する信号が含まれた電磁波(以下、単に「信号」と記す場合がある)をリーダ/ライタ951に送信する。

30

【0087】

なお、図9に示した構成では、充放電回路900と信号処理回路604にアンテナ601を共有させて設けた場合を示したが、充放電回路900と信号処理回路604にそれぞれアンテナを設けた構成としてもよい。例えば充放電回路900に第1のアンテナ回路を設け、信号処理回路604に第2のアンテナ回路をそれぞれ設けた構成でもよい。なお、充放電回路900に第1のアンテナ回路を設け、信号処理回路604に第2のアンテナ回路をそれぞれ設けることで、第1のアンテナ回路には外部に無作為に生じている電磁波を受信させ、第2のアンテナ回路にはリーダ/ライタ951から発振された特定の波長を有する電磁波を受信させることができる。

40

【0088】

以上のように、無線で充電可能なバッテリーを設けることによって、半導体装置に設けられたバッテリーの充電を容易に行うことが可能となる。また、一定の時間をかけて電磁波を受信してバッテリーの充電を行い、蓄電された電力をパルス的に放電することによって、バッテリーの充電に利用する電磁波が微弱な場合であっても、バッテリーから負荷部に大きい電力を供給することができる。

【0089】

なお、本実施の形態は、本明細書の他の実施の形態の技術的要素と組み合わせることができる。すなわち本実施の形態は、バッテリーの放電特性に伴う出力電圧の変化によ

50

るクロック生成回路からの発振周波数の変化を抑制し、かつバッテリーの蓄電残量を有効利用することのできるクロック生成回路を具備する半導体装置を提供することができる。そのため、クロック信号のばらつきに起因した電子機器の品質の低下を引き起こすことなく、バッテリーの長寿命化を図ることができる。

【0090】

また本発明のクロック生成回路を具備する半導体装置は、クロック生成回路の入力部にレギュレータ回路等の定電圧回路を設けることなく、ばらつきの小さいクロック信号を生成することができる。そのため、本発明のクロック生成回路を具備する半導体装置においては、低消費電力化及び半導体装置の小型化をすることができる。

【実施例1】

【0091】

本実施例では、上記実施の形態で示した半導体装置の作製方法の一例に関して、図面を参照して説明する。本実施例においては、半導体装置におけるアンテナ、バッテリー、信号処理回路を同一基板上に薄膜トランジスタを用いて設ける構成について説明する。なお、基板上に一度にアンテナ、バッテリー、信号処理回路を形成することで、小型化を図ることができるため好適である。また、バッテリーとしては薄膜の二次電池を用いた例について説明する。

【0092】

まず、基板1301の一表面に絶縁膜1302を介して剥離層1303を形成し、続けて下地膜として機能する絶縁膜1304と半導体膜1305（例えば、非晶質珪素を含む膜）を積層して形成する（図10（A）参照）。なお、絶縁膜1302、剥離層1303、絶縁膜1304および半導体膜1305は、連続して形成することができる。

【0093】

基板1301は、ガラス基板、石英基板、金属基板（例えばセラミック基板またはステンレス基板など）、Si基板等の半導体基板などから選択されるものである。他にもプラスチック基板として、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）、アクリルなどの基板を選択することもできる。なお、本工程では、剥離層1303は、絶縁膜1302を介して基板1301の全面に設けているが、必要に応じて、基板1301の全面に剥離層を設けた後に、フォトリソグラフィ法により選択的に設けてもよい。

【0094】

絶縁膜1302、絶縁膜1304は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン（ SiO_xN_y ）（ $x > y > 0$ ）、窒化酸化シリコン（ SiN_xO_y ）（ $x > y > 0$ ）等の絶縁材料を用いて形成する。例えば、絶縁膜1302、1304を2層構造とする場合、第1層目の絶縁膜として窒化酸化シリコン膜を形成し、第2層目の絶縁膜として酸化窒化シリコン膜を形成するとよい。また、第1層目の絶縁膜として窒化シリコン膜を形成し、第2層目の絶縁膜として酸化シリコン膜を形成してもよい。絶縁膜1302は、基板1301から剥離層1303又はその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能し、絶縁膜1304は基板1301、剥離層1303からその上に形成される素子に不純物元素が混入するのを防ぐブロッキング層として機能する。このように、ブロッキング層として機能する絶縁膜1302、1304を形成することによって、基板1301からNaなどのアルカリ金属やアルカリ土類金属が、剥離層1303から剥離層に含まれる不純物元素がこの上に形成する素子に悪影響を与えることを防ぐことができる。なお、基板1301として石英を用いるような場合には絶縁膜1302、1304を省略してもよい。

【0095】

剥離層1303は、金属膜や金属膜と金属酸化膜の積層構造等を用いることができる。金属膜としては、タングステン（W）、モリブデン（Mo）、チタン（Ti）、タンタル（Ta）、ニオブ（Nb）、ニッケル（Ni）、コバルト（Co）、ジルコニウム（Zr）、亜鉛（Zn）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミ

10

20

30

40

50

ウム (Os)、イリジウム (Ir) から選択された元素または元素を主成分とする合金材料若しくは化合物材料からなる膜を単層又は積層して形成する。また、これらの材料は、スパッタ法やプラズマCVD法等の各種CVD法等を用いて形成することができる。金属膜と金属酸化膜の積層構造としては、上述した金属膜を形成した後に、酸素雰囲気化または N_2O 雰囲気下におけるプラズマ処理、酸素雰囲気化または N_2O 雰囲気下における加熱処理を行うことによって、金属膜表面に当該金属膜の酸化物または酸化窒化物を設けることができる。例えば、金属膜としてスパッタ法やCVD法等によりタングステン膜を設けた場合、タングステン膜にプラズマ処理を行うことによって、タングステン膜表面にタングステン酸化物からなる金属酸化膜を形成することができる。また、この場合、タングステンの酸化物は、 WO_x で表され、 x は2~3であり、 x が2の場合 (WO_2)、 x が2.5の場合 (W_2O_5)、 x が2.75の場合 (W_4O_{11})、 x が3の場合 (WO_3) などがある。タングステンの酸化物を形成するにあたり、上記に挙げた x の値に特に制約はなく、エッチングレート等を基に、どの酸化物を形成するかを決めるとよい。他にも、例えば、金属膜 (例えば、タングステン) を形成した後に、当該金属膜上にスパッタ法で酸化珪素 (SiO_2) 等の絶縁膜を設けると共に、金属膜上に金属酸化物 (例えば、タングステン上にタングステン酸化物) を形成してもよい。また、プラズマ処理として、例えば上述した高密度プラズマ処理を行ってもよい。また、金属酸化膜の他にも、金属窒化物や金属酸化窒化物を用いてもよい。この場合、金属膜に窒素雰囲気下または窒素と酸素雰囲気下でプラズマ処理や加熱処理を行えばよい。

【0096】

非晶質半導体膜1305は、スパッタリング法、LPCVD法、プラズマCVD法等により、25~200nm (好ましくは30~150nm) の厚さで形成する。

【0097】

次に、非晶質半導体膜1305にレーザー光を照射して結晶化を行う。なお、レーザー光の照射と、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法とを組み合わせた方法等により非晶質半導体膜1305の結晶化を行ってもよい。その後、得られた結晶質半導体膜を所望の形状にエッチングして、結晶質半導体膜1305a~1305fを形成し、当該半導体膜1305a~1305fを覆うようにゲート絶縁膜1306を形成する (図10(B)参照)。

【0098】

ゲート絶縁膜1306は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン (SiO_xNy) ($x>y>0$)、窒化酸化シリコン ($SiNxOy$) ($x>y>0$) 等の絶縁材料を用いて形成する。例えば、ゲート絶縁膜1306を2層構造とする場合、第1層目の絶縁膜として酸化窒化シリコン膜を形成し、第2層目の絶縁膜として窒化酸化シリコン膜を形成するとよい。また、第1層目の絶縁膜として酸化シリコン膜を形成し、第2層目の絶縁膜として窒化シリコン膜を形成してもよい。

【0099】

結晶質半導体膜1305a~1305fの作製工程の一例を以下に簡単に説明すると、まず、プラズマCVD法を用いて、膜厚50~60nmの非晶質半導体膜を形成する。次に、結晶化を助長する金属元素であるニッケルを含む溶液を非晶質半導体膜上に保持させた後、非晶質半導体膜に脱水素化の処理 (500、1時間) と、熱結晶化の処理 (550、4時間) を行って結晶質半導体膜を形成する。その後、レーザー光を照射し、フォトリソグラフィ法を用いることによって結晶質半導体膜1305a~1305fを形成する。なお、結晶化を助長する金属元素を用いる熱結晶化を行わずに、レーザー光の照射だけで非晶質半導体膜の結晶化を行ってもよい。

【0100】

結晶化に用いるレーザー発振器としては、連続発振型のレーザービーム (CWレーザービーム) やパルス発振型のレーザービーム (パルスレーザービーム) を用いることができる。ここで用いることができるレーザービームは、Arレーザー、Krレーザー、エキシマレーザーなどの気体レーザー、単結晶のYAG、 YVO_4 、フォルステライト (Mg_2S

10

20

30

40

50

YVO_4)、 YAlO_3 、 GdVO_4 、若しくは多結晶(セラミック)の YAG 、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドープントとして Nd 、 Yb 、 Cr 、 Ti 、 Ho 、 Er 、 Tm 、 Ta のうち1種または複数種添加されているものを媒質とするレーザー、ガラスレーザー、ルビーレーザー、アレキサンドライトレーザー、 Ti :サファイアレーザー、銅蒸気レーザーまたは金蒸気レーザーのうち一種または複数種から発振されるものを用いることができる。このようなレーザービームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザービームを照射することで、大粒径の結晶を得ることができる。例えば、 $\text{Nd}:\text{YVO}_4$ レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いることができる。このときレーザーのパワー密度は0.01~100MW/cm²程度(好ましくは0.1~10MW/cm²)が必要である。そして、走査速度を10~2000cm/sec程度として照射する。なお、単結晶の YAG 、 YVO_4 、フォルステライト(Mg_2SiO_4)、 YAlO_3 、 GdVO_4 、若しくは多結晶(セラミック)の YAG 、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドープントとして Nd 、 Yb 、 Cr 、 Ti 、 Ho 、 Er 、 Tm 、 Ta のうち1種または複数種添加されているものを媒質とするレーザー、 Ar イオンレーザー、または Ti :サファイアレーザーは、連続発振をさせることが可能であり、 Q スイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザービームを発振させると、半導体膜がレーザーによって熔融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

10

20

【0101】

また、ゲート絶縁膜1306は、半導体膜1305a~1305fに対し前述の高密度プラズマ処理を行い、表面を酸化又は窒化することで形成しても良い。例えば、 He 、 Ar 、 Kr 、 Xe などの希ガスと、酸素、酸化窒素(NO_2)、アンモニア、窒素、水素などの混合ガスを導入したプラズマ処理で形成する。この場合のプラズマの励起は、マイクロ波の導入により行くと、低電子温度で高密度のプラズマを生成することができる。この高密度プラズマで生成された酸素ラジカル(OH ラジカルを含む場合もある)や窒素ラジカル(NH ラジカルを含む場合もある)によって、半導体膜の表面を酸化又は窒化することができる。

30

【0102】

このような高密度プラズマを用いた処理により、1~20nm、代表的には5~10nmの絶縁膜が半導体膜に形成される。この場合の反応は、固相反応であるため、当該絶縁膜と半導体膜との界面準位密度はきわめて低くすることができる。このような、高密度プラズマ処理は、半導体膜(結晶性シリコン、或いは多結晶シリコン)を直接酸化(若しくは窒化)するため、形成される絶縁膜の厚さは理想的には、ばらつきをきわめて小さくすることができる。加えて、結晶性シリコンの結晶粒界でも酸化が強くなることのないため、非常に好ましい状態となる。すなわち、ここで示す高密度プラズマ処理で半導体膜の表面を固相酸化することにより、結晶粒界において異常に酸化反応をさせることなく、均一性が良く、界面準位密度が低い絶縁膜を形成することができる。

40

【0103】

ゲート絶縁膜は、高密度プラズマ処理によって形成される絶縁膜のみを用いても良いし、それにプラズマや熱反応を利用した CVD 法で酸化シリコン、酸窒化シリコン、窒化シリコンなどの絶縁膜を堆積し、積層させても良い。いずれにしても、高密度プラズマで形成した絶縁膜をゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを小さくすることができる。

【0104】

また、半導体膜に対し、連続発振レーザー若しくは10MHz以上の周波数で発振するレーザービームを照射しながら一方向に走査して結晶化させて得られた半導体膜1305a

50

~ 1305f は、そのビームの走査方向に結晶が成長する特性がある。その走査方向をチャンネル長方向（チャンネル形成領域が形成されたときにキャリアが流れる方向）に合わせてトランジスタを配置し、上記ゲート絶縁層を組み合わせることで、特性ばらつきが小さく、しかも電界効果移動度が高い薄膜トランジスタ（TFET）を得ることができる。

【0105】

次に、ゲート絶縁膜1306上に、第1の導電膜と第2の導電膜とを積層して形成する。ここでは、第1の導電膜は、CVD法やスパッタリング法等により、20~100nmの厚さで形成する。第2の導電膜は、100~400nmの厚さで形成する。第1の導電膜と第2の導電膜は、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素又はこれらの元素を主成分とする合金材料若しくは化合物材料で形成する。または、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成する。第1の導電膜と第2の導電膜の組み合わせの例を挙げると、窒化タンタル膜とタングステン膜、窒化タングステン膜とタングステン膜、窒化モリブデン膜とモリブデン膜等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、第1の導電膜と第2の導電膜を形成した後に、熱活性化を目的とした加熱処理を行うことができる。また、2層構造ではなく、3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

10

【0106】

次に、フォトリソグラフィ法を用いてレジストからなるマスクを形成し、ゲート電極とゲート線を形成するためのエッチング処理を行って、半導体膜1305a~1305fの上方にゲート電極1307を形成する。ここでは、ゲート電極1307として、第1の導電膜1307aと第2の導電膜1307bの積層構造で設けた例を示している。

20

【0107】

次に、ゲート電極1307をマスクとして半導体膜1305a~1305fに、イオンドーピング法またはイオン注入法により、n型を付与する不純物元素を低濃度に添加し、その後、フォトリソグラフィ法によりレジストからなるマスクを選択的に形成して、p型を付与する不純物元素を高濃度に添加する。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。ここでは、n型を付与する不純物元素としてリン（P）を用い、 $1 \times 10^{15} \sim 1 \times 10^{19} / \text{cm}^3$ の濃度で含まれるように半導体膜1305a~1305fに選択的に導入し、n型を示す不純物領域1308を形成する。また、p型を付与する不純物元素としてボロン（B）を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように選択的に半導体膜1305c、1305eに導入し、p型を示す不純物領域1309を形成する（図10（C）参照）。

30

【0108】

続いて、ゲート絶縁膜1306とゲート電極1307を覆うように、絶縁膜を形成する。絶縁膜は、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。次に、絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、ゲート電極1307の側面に接する絶縁膜1310（サイドウォールともよばれる）を形成する。絶縁膜1310は、LDD（Lightly Doped drain）領域を形成する際のドーピング用のマスクとして用いる。

40

【0109】

続いて、フォトリソグラフィ法により形成したレジストからなるマスクと、ゲート電極1307および絶縁膜1310をマスクとして用いて、半導体膜1305a、1305b、1305d、1305fにn型を付与する不純物元素を高濃度に添加して、n型を示す不純物領域1311を形成する。ここでは、n型を付与する不純物元素としてリン（P）を用い、 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度で含まれるように半導体膜1305a、1305b、1305d、1305fに選択的に導入し、不純物領域1308より高濃

50

度のn型を示す不純物領域1311を形成する。

【0110】

以上の工程により、nチャネル型薄膜トランジスタ1300a、1300b、1300d、1300fとpチャネル型薄膜トランジスタ1300c、1300eが形成される(図10(D)参照)。

【0111】

nチャネル型薄膜トランジスタ1300aは、ゲート電極1307と重なる半導体膜1305aの領域にチャネル形成領域が形成され、ゲート電極1307及び絶縁膜1310と重ならない領域にソース領域又はドレイン領域を形成する不純物領域1311が形成され、絶縁膜1310と重なる領域であってチャネル形成領域と不純物領域1311の間に低濃度不純物領域(LDD領域)が形成されている。また、nチャネル型薄膜トランジスタ1300b、1300d、1300fも同様にチャネル形成領域、低濃度不純物領域及び不純物領域1311が形成されている。

10

【0112】

pチャネル型薄膜トランジスタ1300cは、ゲート電極1307と重なる半導体膜1305cの領域にチャネル形成領域が形成され、ゲート電極1307と重ならない領域にソース領域又はドレイン領域を形成する不純物領域1309が形成されている。また、pチャネル型薄膜トランジスタ1300eも同様にチャネル形成領域及び不純物領域1309が形成されている。なお、ここでは、pチャネル型薄膜トランジスタ1300c、1300eには、LDD領域を設けていないが、pチャネル型薄膜トランジスタにLDD領域を設けてもよいし、nチャネル型薄膜トランジスタにLDD領域を設けない構成としてもよい。

20

【0113】

次に、半導体膜1305a~1305f、ゲート電極1307等を覆うように、絶縁膜を単層または積層して形成し、当該絶縁膜上に薄膜トランジスタ1300a~1300fのソース領域又はドレイン領域を形成する不純物領域1309、1311と電気的に接続する導電膜1313を形成する(図11(A)参照)。絶縁膜は、CVD法、スパッタ法、SOG法、液滴吐出法、スクリーン印刷法等により、珪素の酸化物や珪素の窒化物等の無機材料、ポリイミド、ポリアミド、ベンゾシクロブテン、アクリル、エポキシ等の有機材料やシロキサン材料等により、単層または積層で形成する。ここでは、当該絶縁膜を2層で設け、1層目の絶縁膜1312aとして窒化酸化珪素膜で形成し、2層目の絶縁膜1312bとして酸化窒化珪素膜で形成する。また、導電膜1313は、薄膜トランジスタ1300a~1300fのソース電極又はドレイン電極を形成しうる。

30

【0114】

なお、絶縁膜1312a、1312bを形成する前、または絶縁膜1312a、1312bのうちの1つまたは複数の薄膜を形成した後に、半導体膜の結晶性の回復や半導体膜に添加された不純物元素の活性化、半導体膜の水素化を目的とした加熱処理を行うとよい。加熱処理には、熱アニール、レーザーアニール法またはRTA法などを適用するとよい。

【0115】

導電膜1313は、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜1313は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウム

40

50

やアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 1313 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

【0116】

次に、導電膜 1313 を覆うように、絶縁膜 1314 を形成し、当該絶縁膜 1314 上に、薄膜トランジスタ 1300a、1300f のソース電極又はドレイン電極を形成する導電膜 1313 とそれぞれ電氣的に接続する導電膜 1315a、1315b を形成する。また、薄膜トランジスタ 1300b、1300e のソース電極又はドレイン電極を形成する導電膜 1313 とそれぞれ電氣的に接続する導電膜 1316 を形成する。なお、導電膜 1315a、1315b と導電膜 1316 は同一の材料で同時に形成してもよい。導電膜 1315a、1315b と導電膜 1316 は、上述した導電膜 1313 で示したいずれかの材料を用いて形成することができる。

10

【0117】

続いて、導電膜 1316 にアンテナとして機能する導電膜 1317 が電氣的に接続されるように形成する（図 11(B) 参照）。

【0118】

絶縁膜 1314 は、CVD 法やスパッタ法等により、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y$)、窒化酸化珪素 (SiN_xO_y) ($x > y$) 等の酸素または窒素を有する絶縁膜や DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、 Si-O-Si 結合を含む材料に相当する。シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

20

【0119】

導電膜 1317 は、CVD 法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム (Al)、チタン (Ti)、銀 (Ag)、銅 (Cu)、金 (Au)、白金 (Pt)、ニッケル (Ni)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo) から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

30

【0120】

例えば、スクリーン印刷法を用いてアンテナとして機能する導電膜 1317 を形成する場合には、粒径が数 nm から数十 μm の導電体粒子を有機樹脂に溶解または分散させた導電性のペーストを選択的に印刷することによって設けることができる。導電体粒子としては、銀 (Ag)、金 (Au)、銅 (Cu)、ニッケル (Ni)、白金 (Pt)、パラジウム (Pd)、タンタル (Ta)、モリブデン (Mo) およびチタン (Ti) 等のいずれか一つ以上の金属粒子やハロゲン化銀の微粒子、または分散性ナノ粒子を用いることができる。また、導電性ペーストに含まれる有機樹脂は、金属粒子のバインダー、溶媒、分散剤および被覆材として機能する有機樹脂から選ばれた一つまたは複数を用いることができる。代表的には、エポキシ樹脂、珪素樹脂等の有機樹脂が挙げられる。また、導電膜の形成にあたり、導電性のペーストを押し出した後に焼成することが好ましい。例えば、導電性のペーストの材料として、銀を主成分とする微粒子 (例えば粒径 1 nm 以上 100 nm 以下) を用いる場合、150 ~ 300 の温度範囲で焼成することにより硬化させて導電膜を得ることができる。また、はんだや鉛フリーのはんだを主成分とする微粒子を用いてもよ

40

50

く、この場合は粒径20 μm以下の微粒子を用いることが好ましい。はんだや鉛フリーのはんだは、低コストであるといった利点を有している。

【0121】

また、導電膜1315a、1315bは、後の工程において本発明の半導体装置に含まれる二次電池と電氣的に接続される配線として機能しうる。また、アンテナとして機能する導電膜1317を形成する際に、導電膜1315a、1315bに電氣的に接続するように別途導電膜を形成し、当該導電膜を二次電池に接続する配線として利用してもよい。

【0122】

次に、導電膜1317を覆うように絶縁膜1318を形成した後、薄膜トランジスタ1300a~1300f、導電膜1317等を含む層(以下、「素子形成層1319」と記す)を基板1301から剥離する。ここでは、レーザー光(例えばUV光)を照射することによって、薄膜トランジスタ1300a~1300fを避けた領域に開口部を形成後(図11(C)参照)、物理的な力を用いて基板1301から素子形成層1319を剥離することができる。また、基板1301から素子形成層1319を剥離する前に、形成した開口部にエッチング剤を導入して、剥離層1303を選択的に除去してもよい。エッチング剤は、フッ化ハロゲンまたはハロゲン間化合物を含む気体又は液体を使用する。例えば、フッ化ハロゲンを含む気体として三フッ化塩素(ClF₃)を使用する。そうすると、素子形成層1319は、基板1301から剥離された状態となる。なお、剥離層1303は、全て除去せず一部分を残存させてもよい。こうすることによって、エッチング剤の消費量を抑え剥離層の除去に要する処理時間を短縮することが可能となる。また、剥離層1303の除去を行った後にも、基板1301上に素子形成層1319を保持しておくことが可能となる。また、素子形成層1319が剥離された基板1301を再利用することによって、コストの削減をすることができる。

【0123】

絶縁膜1318は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。

【0124】

本実施例では、レーザー光の照射により素子形成層1319に開口部を形成した後に、当該素子形成層1319の一方の面(絶縁膜1318の露出した面)に第1のシート材1320を貼り合わせた後、基板1301から素子形成層1319を剥離する(図12(A)参照)。

【0125】

次に、素子形成層1319の他方の面(剥離により露出した面)に、第2のシート材1321を貼り合わせた後、加熱処理と加圧処理の一方又は両方を行って第1のシート材と第2のシート材1321を貼り合わせる(図12(B)参照)。第1のシート材1320、第2のシート材1321として、ホットメルトフィルム等を用いることができる。

【0126】

また、第1のシート材1320、第2のシート材1321として、静電気等を防止する帯電防止対策を施したフィルム(以下、帯電防止フィルムと記す)を用いることもできる。帯電防止フィルムとしては、帯電防止可能な材料を樹脂中に分散させたフィルム、及び帯電防止可能な材料が貼り付けられたフィルム等が挙げられる。帯電防止可能な材料が設けられたフィルムは、片面に帯電防止可能な材料を設けたフィルムであってもよいし、両面に帯電防止可能な材料を設けたフィルムであってもよい。さらに、片面に帯電防止可能な材料が設けられたフィルムは、帯電防止可能な材料が設けられた面をフィルムの内側になるように層に貼り付けてもよいし、フィルムの外側になるように貼り付けてもよい。なお、帯電防止可能な材料はフィルムの全面、あるいは一部に設けてあればよい。ここでの帯

10

20

30

40

50

電防止可能な材料としては、金属、インジウムと錫の酸化物（ITO）、両性界面活性剤や陽イオン性界面活性剤や非イオン性界面活性剤等の界面活性剤用いることができる。また、他にも帯電防止材料として、側鎖にカルボキシル基および4級アンモニウム塩基をもつ架橋性共重合体高分子を含む樹脂材料等を用いることができる。これらの材料をフィルムに貼り付けたり、練り込んだり、塗布することによって帯電防止フィルムとすることができる。帯電防止フィルムで封止を行うことによって、商品として取り扱う際に、外部からの静電気等によって半導体素子に悪影響が及ぶことを抑制することができる。

【0127】

なお、電源回路の保持容量は、薄膜の二次電池を導電膜1315a、1315bに接続して形成されるが、二次電池との接続は、基板1301から素子形成層1319を剥離する前（図11（B）又は図11（C）の段階）に行ってもよいし、基板1301から素子形成層1319を剥離した後（図12（A）の段階）に行ってもよいし、素子形成層1319を第1のシート材及び第2のシート材で封止した後（図12（B）の段階）に行ってもよい。以下に、素子形成層1319と二次電池を接続して形成する一例を図13、図14を用いて説明する。

10

【0128】

図11（B）において、アンテナとして機能する導電膜1317と同時に導電膜1315a、1315bにそれぞれ電氣的に接続する導電膜1331a、1331bを形成する。続けて、導電膜1317、導電膜1331a、1331bを覆うように絶縁膜1318を形成した後、導電膜1331a、1331bの表面が露出するように開口部1332a、1332bを形成する。その後、レーザー光の照射により素子形成層1319に開口部を形成した後に、当該素子形成層1319の一方の面（絶縁膜1318の露出した面）に第1のシート材1320を貼り合わせた後、基板1301から素子形成層1319を剥離する（図13（A）参照）。

20

【0129】

次に、素子形成層1319の他方の面（剥離により露出した面）に、第2のシート材1321を貼り合わせた後、素子形成層1319を第1のシート材1320から剥離する。従って、ここでは第1のシート材1320として粘着力が弱いものを用いる。続けて、開口部1332a、1332bを介して導電膜1331a、1331bとそれぞれ電氣的に接続する導電膜1334a、1334bを選択的に形成する（図13（B）参照）。

30

【0130】

導電膜1334a、導電膜1334bは、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム（Al）、チタン（Ti）、銀（Ag）、銅（Cu）、金（Au）、白金（Pt）、ニッケル（Ni）、パラジウム（Pd）、タンタル（Ta）、モリブデン（Mo）から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。

【0131】

なお、ここでは、基板1301から素子形成層1319を剥離した後に導電膜1334a、1334bを形成する例を示しているが、導電膜1334a、1334bを形成した後に基板1301から素子形成層1319の剥離を行ってもよい。

40

【0132】

次に、基板上に複数の素子を形成している場合には、素子形成層1319を素子ごとに分断する（図14（A）参照）。分断は、レーザー照射装置、ダイシング装置、スクライブ装置等を用いることができる。ここでは、レーザー光を照射することによって1枚の基板に形成された複数の素子を各々分断する。

【0133】

次に、分断された素子を二次電池と電氣的に接続する（図14（B）参照）。本実施例においては、電源回路の保持容量としては薄膜の二次電池が用いられ、集電体薄膜、負極活物質層、固体電解質層、正極活物質層、集電体薄膜の薄膜層が順次積層される。

50

【0134】

導電膜1336a、導電膜1336bは、CVD法、スパッタリング法、スクリーン印刷やグラビア印刷等の印刷法、液滴吐出法、ディスペンサ法、メッキ法等を用いて、導電性材料により形成する。導電性材料は、アルミニウム(Al)、チタン(Ti)、銀(Ag)、銅(Cu)、金(Au)、白金(Pt)、ニッケル(Ni)、パラジウム(Pd)、タンタル(Ta)、モリブデン(Mo)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層構造又は積層構造で形成する。導電性材料としては、負極活物質と密着性がよく、抵抗が小さいことが求められ、特にアルミニウム、銅、ニッケル、バナジウムなどが好適である。

【0135】

薄膜の二次電池の構成について次いで詳述すると、導電膜1336a上に負極活物質層1381を成膜する。一般には酸化バナジウム(V_2O_5)などが用いられる。次に負極活物質層1381上に固体電解質層1382を成膜する。一般にはリン酸リチウム(Li_3PO_4)などが用いられる。次に固体電解質層1382上に正極活物質層1383を成膜する。一般にはマンガン酸リチウム($LiMn_2O_4$)などが用いられる。コバルト酸リチウム($LiCoO_2$)やニッケル酸リチウム($LiNiO_2$)を用いても良い。次に正極活物質層1383上に電極となる集電体薄膜1384を成膜する。集電体薄膜1384は正極活物質層1383と密着性がよく、抵抗が小さいことが求められ、アルミニウム、銅、ニッケル、バナジウムなどを用いることができる。

【0136】

上述の負極活物質層1381、固体電解質層1382、正極活物質層1383、集電体薄膜1384の各薄膜層はスパッタ技術を用いて形成しても良いし、蒸着技術を用いても良い。それぞれの層の厚さは $0.1\mu m \sim 3\mu m$ が望ましい。

【0137】

次に樹脂を塗布し、層間膜1385を形成する。そしてその層間膜をエッチングしコンタクトホールを形成する。層間膜は樹脂には限定せず、CVD酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜上に配線層1386を形成し、導電膜1334bと接続することにより、二次電池の電気接続を確保する。

【0138】

ここでは、素子形成層1319に設けられた導電膜1334a、1334bと予め薄膜の二次電池1389の接続端子となる導電膜1336a、1336bとをそれぞれ接続する。ここで、導電膜1334aと導電膜1336aとの接続、又は導電膜1334bと導電膜1336bとの接続は、異方導電性フィルム(ACF(Anisotropic Conductive Film))や異方導電性ペースト(ACP(Anisotropic Conductive Paste))等の接着性を有する材料を介して圧着させることにより電氣的に接続する場合を示している。ここでは、接着性を有する樹脂1337に含まれる導電性粒子1338を用いて接続する例を示している。また、他にも、銀ペースト、銅ペーストまたはカーボンペースト等の導電性接着剤や半田接合等を用いて接続を行うことも可能である。

【0139】

なお、トランジスタの構成は、様々な形態をとることができる。本実施例で示した特定の構成に限定されない。例えば、ゲート電極が2個以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。マルチゲート構造にすることにより、オフ電流を低減し、トランジスタの耐圧を向上させて信頼性を良くし、飽和領域で動作する時に、ドレインとソース間電圧が変化しても、ドレインとソース間電流があまり変化せず、フラットな特性にすることなどができる。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値を大きくし、空乏層がで

10

20

30

40

50

きやすくなってS値をよくすることができる。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

【0140】

また、チャンネルの上にゲート電極が配置されている構造でもよいし、チャンネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよい。また、チャンネル領域が複数の領域に分かれていてもよいし、複数のチャンネル領域が並列に接続されていてもよいし、直列に接続されていてもよい。また、チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっている構造にすることにより、チャンネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域があってもよい。LDD領域を設けることにより、オフ電流を低減し、トランジスタの耐圧を向上させて信頼性を良くし、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。

10

【0141】

なお、本実施例の半導体装置の作製方法は、本明細書に記載した半導体装置に適用することができる。すなわち本実施例は、バッテリーの放電特性に伴う出力電圧の変化によるクロック生成回路からの発振周波数の変動を抑制し、かつバッテリーの蓄電残量を有効利用することのできるクロック生成回路を具備する半導体装置を提供することができる。そのため、クロック信号のばらつきに起因した電子機器の品質の低下を引き起こすことなく、バッテリーの長寿命化を図ることができる。

20

【0142】

また本発明のクロック生成回路を具備する本実施例の半導体装置は、クロック生成回路の入力部にレギュレータ回路等の定電圧回路を設けることなく、ばらつきの小さいクロック信号を生成することができる。そのため、本発明のクロック生成回路を具備する半導体装置においては、低消費電力化及び半導体装置の小型化をすることができる。

【実施例2】

【0143】

本実施例では、上記実施の形態で示した半導体装置の作製方法の一例に関して、図面を参照して説明する。本実施例においては、半導体装置におけるアンテナ、バッテリー、信号処理回路を同一基板上に設ける構成について説明する。なお、単結晶基板にチャンネル形成領域が形成されたトランジスタを用いて、基板上に一度にアンテナ、バッテリー、信号処理回路を形成する。単結晶基板に形成されたトランジスタとすることで、トランジスタ特性のばらつきが少ないトランジスタで半導体装置を構成することができるため好適である。また、バッテリーとしては上記実施例1で説明した薄膜二次電池を用いた例について説明する。

30

【0144】

まず、半導体基板2300に素子を分離した領域2304、2306（以下、領域2304、2306とも記す）を形成する（図15（A）参照）。半導体基板2300に設けられた領域2304、2306は、それぞれ絶縁膜2302（フィールド酸化膜ともいう）によって分離されている。また、ここでは、半導体基板2300としてn型の導電型を有する単結晶Si基板を用い、半導体基板2300の領域2306にpウェル2307を設けた例を示している。

40

【0145】

また、半導体基板2300は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電型を有する単結晶Si基板、化合物半導体基板（GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等）、貼り合わせ法またはSIMOX（Separation by Implanted Oxygen）法を用いて作製されたSOI（Silicon on Insulator）基板等を用いることができる。

50

【0146】

素子分離領域2304、2306は、選択酸化法（LOCOS（Local Oxidation of Silicon）法）又はトレンチ分離法等を適宜用いることができる。

【0147】

また、半導体基板2300の領域2306に形成されたpウェルは、半導体基板2300にp型の導電性を有する不純物元素を選択的に導入することによって形成することができる。p型を示す不純物元素としては、ボロン（B）やアルミニウム（Al）やガリウム（Ga）等を用いることができる。

【0148】

なお、本実施例では、半導体基板2300としてn型の導電性を有する半導体基板を用いているため、領域2304には不純物元素の導入を行っていないが、n型を示す不純物元素を導入することにより領域2304にnウェルを形成してもよい。n型を示す不純物元素としては、リン（P）やヒ素（As）等を用いることができる。一方、p型の導電性を有する半導体基板を用いる場合には、領域2304にn型を示す不純物元素を導入してnウェルを形成し、領域2306には不純物元素の導入を行わない構成としてもよい。

【0149】

次に、領域2304、2306を覆うように絶縁膜2332、2334をそれぞれ形成する（図15（B）参照）。

【0150】

絶縁膜2332、2334は、例えば、熱処理を行い半導体基板2300に設けられた領域2304、2306の表面を酸化させることにより酸化珪素膜で絶縁膜2332、2334を形成することができる。また、熱酸化法により酸化珪素膜を形成した後に、窒化処理を行うことにより酸化珪素膜の表面を窒化させることにより、酸化珪素膜と酸素と窒素を有する膜（酸窒化珪素膜）との積層構造で形成してもよい。

【0151】

他にも、上述したように、プラズマ処理を用いて絶縁膜2332、2334を形成してもよい。例えば、半導体基板2300に設けられた領域2304、2306の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、絶縁膜2332、2334として酸化珪素（SiO_x）膜又は窒化珪素（SiN_x）膜で形成することができる。また、高密度プラズマ処理により領域2304、2306の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことにより窒化処理を行ってもよい。この場合、領域2304、2306の表面に接して酸化珪素膜が形成され、当該酸化珪素膜上に（酸窒化珪素膜）が形成され、絶縁膜2332、2334は酸化珪素膜と酸窒化珪素膜とが積層された膜となる。また、熱酸化法により領域2304、2306の表面に酸化珪素膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

【0152】

また、半導体基板2300の領域2304、2306に形成された絶縁膜2332、2334は、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【0153】

次に、領域2304、2306の上方に形成された絶縁膜2332、2334を覆うように導電膜を形成する（図15（C）参照）。ここでは、導電膜として、導電膜2336と導電膜2338を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

【0154】

導電膜2336、2338としては、タンタル（Ta）、タングステン（W）、チタン（Ti）、モリブデン（Mo）、アルミニウム（Al）、銅（Cu）、クロム（Cr）、ニオブ（Nb）等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素に代表される

10

20

30

40

50

半導体材料により形成することもできる。

【0155】

ここでは、導電膜2336として窒化タンタルを用いて形成し、その上に導電膜2338としてタングステンを用いて積層構造で設ける。また、他にも、導電膜2336として、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜2338として、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0156】

次に、積層して設けられた導電膜2336、2338を選択的にエッチングして除去することによって、領域2304、2306の上方の一部に導電膜2336、2338を残存させ、それぞれゲート電極2340、2342を形成する(図16(A)参照)。

10

【0157】

次に、領域2304を覆うようにレジストマスク2348を選択的に形成し、当該レジストマスク2348、ゲート電極2342をマスクとして領域2306に不純物元素を導入することによって不純物領域を形成する(図16(B)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素として、リン(P)を用いる。

【0158】

図16(B)においては、不純物元素を導入することによって、領域2306にソース領域又はドレイン領域を形成する不純物領域2352とチャンネル形成領域2350が形成される。

20

【0159】

次に、領域2306を覆うようにレジストマスク2366を選択的に形成し、当該レジストマスク2366、ゲート電極2340をマスクとして領域2304に不純物元素を導入することによって不純物領域を形成する(図16(C)参照)。不純物元素としては、n型を付与する不純物元素又はp型を付与する不純物元素を用いる。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、図16(C)で領域2306に導入した不純物元素と異なる導電性を有する不純物元素(例えば、ボロン(B))を導入する。その結果、領域2304にソース領域又はドレイン領域を形成する不純物領域2370とチャンネル形成領域2368を形成される。

30

【0160】

次に、絶縁膜2332、2334、ゲート電極2340、2342を覆うように第2の絶縁膜2372を形成し、当該第2の絶縁膜2372上に領域2304、2306にそれぞれ形成された不純物領域2352、2370と電気的に接続する配線2374を形成する(図17(A)参照)。

【0161】

第2の絶縁膜2372は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)等の酸素または窒素を有する絶縁膜やDLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

40

50

【0162】

配線2374は、CVD法やスパッタリング法等により、アルミニウム(Al)、タンゲステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。配線2374は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、配線2374を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。

10

【0163】

なお本発明のトランジスタを構成するトランジスタの構造は図示した構造に限定されるものではないことを付記する。例えば、逆スタガ構造、フィンFET構造等の構造のトランジスタの構造を取り得る。フィンFET構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。

20

【0164】

また本発明の半導体装置においては、信号処理回路に電力を蓄積できるバッテリーを具備することを特徴とする。バッテリーとしては、電気二重層コンデンサー等のコンデンサーや薄膜の二次電池を用いることが好ましい。そこで本実施例においては、本実施例において作製したトランジスタにおいて、薄膜の二次電池との接続について説明する。

【0165】

本実施例において二次電池は、トランジスタに接続された配線2374上に積層して形成される。二次電池は、集電体薄膜、負極活物質層、固体電解質層、正極活物質層、集電体薄膜の薄膜層が順次積層される(図17(B))。そのため、二次電池の集電体薄膜と兼用される配線2374の材料は、負極活物質と密着性がよく、抵抗が小さいことが求められ、特にアルミニウム、銅、ニッケル、バナジウムなどが好適である。

30

【0166】

薄膜二次電池の構成について次いで詳述すると、配線2374上に負極活物質層2391を成膜する。一般には酸化バナジウム(V_2O_5)などが用いられる。次に負極活物質層2391上に固体電解質層2392を成膜する。一般にはリン酸リチウム(Li_3PO_4)などが用いられる。次に固体電解質層2392上に正極活物質層2393を成膜する。一般にはマンガン酸リチウム($LiMn_2O_4$)などが用いられる。コバルト酸リチウム($LiCoO_2$)やニッケル酸リチウム($LiNiO_2$)を用いても良い。次に正極活物質層2393上に電極となる集電体薄膜2394を成膜する。集電体薄膜2394は正極活物質層2393と密着性がよく、抵抗が小さいことが求められ、アルミニウム、銅、ニッケル、バナジウムなどを用いることができる。

40

【0167】

上述の負極活物質層2391、固体電解質層2392、正極活物質層2393、集電体薄膜2394の各薄膜層はスパッタ技術を用いて形成しても良いし、蒸着技術を用いても良い。また、それぞれの層の厚さは $0.1\mu m \sim 3\mu m$ が望ましい。

【0168】

次に樹脂を塗布し、層間膜2396を形成する。そして層間膜2396をエッチングしコンタクトホールを形成する。層間膜は樹脂には限定せず、CVD酸化膜など他の膜であっ

50

ても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜2396上に配線層2395を形成し、配線2397と接続することにより、二次電池の電気接続を確保する。

【0169】

以上のような構成にすることにより、本発明の半導体装置においては、単結晶基板上にトランジスタを形成し、その上に薄膜二次電池を有する構成を取り得る。故に本発明の半導体装置においては、極薄化、小型化を達成した柔軟性を達成することができる。

【0170】

なお、本実施例の半導体装置の作製方法は、本明細書に記載した他の実施の形態の半導体装置に適用することができる。すなわち本実施例は、バッテリーの放電特性に伴う出力電圧の変化によるクロック生成回路からの発振周波数の変動を抑制し、かつバッテリーの蓄電残量を有効利用することのできるクロック生成回路を具備する半導体装置を提供することができる。そのため、クロック信号のばらつきに起因した電子機器の品質の低下を引き起こすことなく、バッテリーの長寿命化を図ることができる。

【0171】

また本発明のクロック生成回路を具備する本実施例の半導体装置は、クロック生成回路の入力部にレギュレータ回路等の定電圧回路を設けることなく、ばらつきの小さいクロック信号を生成することができる。そのため、本発明のクロック生成回路を具備する半導体装置においては、低消費電力化及び半導体装置の小型化をすることができる。

【実施例3】

【0172】

本実施例では、上記実施例2と異なる半導体装置の作製方法の一例に関して、図面を参照して説明する。

【0173】

まず、基板2600上に絶縁膜を形成する。ここでは、n型の導電性を有する単結晶Siを基板2600として用い、当該基板2600上に絶縁膜2602と絶縁膜2604を形成する(図18(A)参照)。例えば、基板2600に熱処理を行うことにより絶縁膜2602として酸化珪素(SiO_x)を形成し、当該絶縁膜2602上にCVD法を用いて窒化珪素(SiN_x)を成膜する。

【0174】

また、基板2600は、半導体基板であれば特に限定されず用いることができる。例えば、n型又はp型の導電性を有する単結晶Si基板、化合物半導体基板(GaAs基板、InP基板、GaN基板、SiC基板、サファイア基板、ZnSe基板等)、貼り合わせ法またはSIMOX(Separation by Implanted Oxygen)法を用いて作製されたSOI(Silicon on Insulator)基板等を用いることができる。

【0175】

また、絶縁膜2604は、絶縁膜2602を形成した後に高密度プラズマ処理により当該絶縁膜2602を窒化することにより設けてもよい。なお、基板2600上に設ける絶縁膜は単層又は3層以上の積層構造で設けてもよい。

【0176】

次に、絶縁膜2604上に選択的にレジストマスク2606のパターンを形成し、当該レジストマスク2606をマスクとして選択的にエッチングを行うことにより、基板2600に選択的に凹部2608を形成する(図18(B)参照)。基板2600、絶縁膜2602、2604のエッチングとしては、プラズマを利用したドライエッチングにより行うことができる。

【0177】

次に、レジストマスク2606のパターンを除去した後、基板2600に形成された凹部2608を充填するように絶縁膜2610を形成する(図18(C)参照)。

【0178】

絶縁膜2610は、CVD法やスパッタリング法等を用いて、酸化シリコン、窒化シリコン、酸化窒化シリコン(SiO_xNy) ($x > y > 0$)、窒化酸化シリコン($SiNxOy$) ($x > y > 0$)等の絶縁材料を用いて形成する。ここでは、絶縁膜2610として、常圧CVD法または減圧CVD法によりTEOS(テトラエチルオルソシリケート)ガスを用いて酸化珪素膜を形成する。

【0179】

次に、研削処理、研磨処理又はCMP(Chemical Mechanical Polishing)処理を行うことによって、基板2600の表面を露出させる。ここでは、基板2600の表面を露出させることにより、基板2600の凹部2608に形成された絶縁膜2611間に領域2612、2613が設けられる。なお、絶縁膜2611は、基板2600の表面に形成された絶縁膜2610が研削処理、研磨処理又はCMP処理により除去されることにより得られたものである。続いて、p型の導電性を有する不純物元素を選択的に導入することによって、基板2600の領域2613にpウェル2615を形成する(図19(A)参照)。

10

【0180】

p型を示す不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。ここでは、不純物元素として、ボロン(B)を領域2613、2614に導入する。

【0181】

なお、本実施例では、基板2600としてn型の導電性を有する半導体基板を用いているため、領域2612には不純物元素の導入を行っていないが、n型を示す不純物元素を導入することにより領域2612にnウェルを形成してもよい。n型を示す不純物元素としては、リン(P)やヒ素(As)等を用いることができる。

20

【0182】

一方、p型の導電性を有する半導体基板を用いる場合には、領域2612にn型を示す不純物元素を導入してnウェルを形成し、領域2613、2614には不純物元素の導入を行わない構成としてもよい。

【0183】

次に、基板2600の領域2612、2613の表面上に絶縁膜2632、2634をそれぞれ形成する(図19(B)参照)。

30

【0184】

絶縁膜2632、2634は、例えば、熱処理を行い基板2600に設けられた領域2612、2613の表面を酸化させることにより酸化珪素膜で絶縁膜2632、2634を形成することができる。また、熱酸化法により酸化珪素膜を形成した後に、窒化処理を行うことによって酸化珪素膜の表面を窒化させることにより、酸化珪素膜と酸素と窒素を有する膜(酸窒化珪素膜)との積層構造で形成してもよい。

【0185】

他にも、上述したように、プラズマ処理を用いて絶縁膜2632、2634を形成してもよい。例えば、基板2600に設けられた領域2612、2613の表面に高密度プラズマ処理により酸化処理又は窒化処理を行うことにより、絶縁膜2632、2634として酸化珪素(SiO_x)膜又は窒化珪素($SiNx$)膜で形成することができる。また、高密度プラズマ処理により領域2612、2613の表面に酸化処理を行った後に、再度高密度プラズマ処理を行うことによって窒化処理を行ってもよい。この場合、領域2612、2613の表面に接して酸化珪素膜が形成され、当該酸化珪素膜上に(酸窒化珪素膜)が形成され、絶縁膜2632、2634は酸化珪素膜と酸窒化珪素膜とが積層された膜となる。また、熱酸化法により領域2612、2613の表面に酸化珪素膜を形成した後に高密度プラズマ処理により酸化処理又は窒化処理を行ってもよい。

40

【0186】

なお、基板2600の領域2612、2613に形成された絶縁膜2632、2634は

50

、後に完成するトランジスタにおいてゲート絶縁膜として機能する。

【0187】

次に、基板2600に設けられた領域2612、2613の上方に形成された絶縁膜2632、2634を覆うように導電膜を形成する(図19(C)参照)。ここでは、導電膜として、導電膜2636と導電膜2638を順に積層して形成した例を示している。もちろん、導電膜は、単層又は3層以上の積層構造で形成してもよい。

【0188】

導電膜2636、2638としては、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等から選択された元素またはこれらの元素を主成分とする合金材料若しくは化合物材料で形成することができる。また、これらの元素を窒化した金属窒化膜で形成することもできる。他にも、リン等の不純物元素をドーピングした多結晶珪素に代表される半導体材料により形成することもできる。

10

【0189】

ここでは、導電膜2636として窒化タンタルを用いて形成し、その上に導電膜2638としてタングステンを用いて積層構造で設ける。また、他にも、導電膜2636として、窒化タンタル、窒化タングステン、窒化モリブデン又は窒化チタンから選ばれた単層又は積層膜を用い、導電膜2638として、タングステン、タンタル、モリブデン、チタンから選ばれた単層又は積層膜を用いることができる。

【0190】

次に、積層して設けられた導電膜2636、2638を選択的にエッチングして除去することによって、基板2600の領域2612、2613の上方の一部に導電膜2636、2638を残存させ、それぞれゲート電極として機能する導電膜2640、2642を形成する(図20(A)参照)。また、ここでは、基板2600において、導電膜2640、2642と重ならない領域2612、2613の表面が露出するようにする。

20

【0191】

具体的には、基板2600の領域2612において、導電膜2640の下方に形成された絶縁膜2632のうち当該導電膜2640と重ならない部分を選択的に除去し、導電膜2640と絶縁膜2632の端部が概略一致するように形成する。また、基板2600の領域2614において、導電膜2642の下方に形成された絶縁膜2634のうち当該導電膜2642と重ならない部分を選択的に除去し、導電膜2642と絶縁膜2634の端部が概略一致するように形成する。

30

【0192】

この場合、導電膜2640、2642の形成と同時に重ならない部分の絶縁膜等を除去してもよいし、導電膜2640、2642を形成後残存したレジストマスク又は当該導電膜2640、2642をマスクとして重ならない部分の絶縁膜等を除去してもよい。

【0193】

次に、基板2600の領域2612、2613に不純物元素を選択的に導入する(図20(B)参照)。ここでは、領域2613に導電膜2642をマスクとしてn型を付与する低濃度の不純物元素を選択的に導入し、領域2612に導電膜2640をマスクとしてp型を付与する低濃度の不純物元素を選択的に導入する。n型を付与する不純物元素としては、リン(P)やヒ素(As)等を用いることができる。p型を付与する不純物元素としては、ボロン(B)やアルミニウム(Al)やガリウム(Ga)等を用いることができる。

40

【0194】

次に、導電膜2640、2642の側面に接するサイドウォール2654を形成する。具体的には、プラズマCVD法やスパッタリング法等により、珪素、珪素の酸化物又は珪素の窒化物の無機材料を含む膜や、有機樹脂などの有機材料を含む膜を、単層又は積層して形成する。そして、当該絶縁膜を、垂直方向を主体とした異方性エッチングにより選択的にエッチングして、導電膜2640、2642の側面に接するように形成することができ

50

る。なお、サイドウォール2654は、LDD(Lightly Doped drain)領域を形成する際のドーピング用のマスクとして用いる。また、ここでは、サイドウォール2654は、導電膜2640、2642の下方に形成された絶縁膜や浮遊ゲート電極の側面にも接するように形成されている。

【0195】

続いて、当該サイドウォール2654、導電膜2640、2642をマスクとして基板2600の領域2612、2613に不純物元素を導入することによって、ソース領域又はドレイン領域として機能する不純物領域を形成する(図20(C)参照)。ここでは、基板2600の領域2613にサイドウォール2654と導電膜2642をマスクとして高濃度のn型を付与する不純物元素を導入し、領域2612にサイドウォール2654と導電膜2640をマスクとして高濃度のp型を付与する不純物元素を導入する。

10

【0196】

その結果、基板2600の領域2612には、ソース領域又はドレイン領域を形成する不純物領域2658と、LDD領域を形成する低濃度不純物領域2660と、チャンネル形成領域2656が形成される。また、基板2600の領域2613には、ソース領域又はドレイン領域を形成する不純物領域2664と、LDD領域を形成する低濃度不純物領域2666と、チャンネル形成領域2662が形成される。

【0197】

なお、本実施例では、導電膜2640、2642と重ならない基板2600の領域2612、2613を露出させた状態で不純物元素の導入を行っている。従って、基板2600の領域2612、2613にそれぞれ形成されるチャンネル形成領域2656、2662は導電膜2640、2642と自己整合的に形成することができる。

20

【0198】

次に、基板2600の領域2612、2613上に設けられた絶縁膜や導電膜等を覆うように第2の絶縁膜2677を形成し、当該絶縁膜2677に開口部2678を形成する(図21(A)参照)。

【0199】

第2の絶縁膜2677は、CVD法やスパッタ法等により、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y)(x>y)、窒化酸化珪素(SiN_xO_y)(x>y)等の酸素または窒素を有する絶縁膜や DLC(ダイヤモンドライクカーボン)等の炭素を含む膜、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料またはシロキサン樹脂等のシロキサン材料からなる単層または積層構造で設けることができる。なお、シロキサン材料とは、Si-O-Si結合を含む材料に相当する。シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。置換基として、フルオロ基を用いることもできる。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

30

【0200】

次に、CVD法を用いて開口部2678に導電膜2680を形成し、当該導電膜2680と電氣的に接続するように絶縁膜2677上に導電膜2682a~2682dを選択的に形成する(図21(B)参照)。

40

【0201】

導電膜2680、2682a~2682dは、CVD法やスパッタリング法等により、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、シリコン(Si)から選択された元素、又はこれらの元素を主成分とする合金材料若しくは化合物材料で、単層又は積層で形成する。アルミニウムを主成分とする合金材料とは、例えば、アルミニウムを主成分としニッケルを含む材料、又は、アルミニウムを主成分とし、ニッケルと、炭素と珪素の一方又は両方とを含む合金材料に相当する。導電膜2680、2682a~2682dは、

50

例えば、バリア膜とアルミニウムシリコン (Al-Si) 膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン (Al-Si) 膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデン、又はモリブデンの窒化物からなる薄膜に相当する。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜 2680 を形成する材料として最適である。また、上層と下層のバリア層を設けると、アルミニウムやアルミニウムシリコンのヒロックの発生を防止することができる。また、還元性の高い元素であるチタンからなるバリア膜を形成すると、結晶質半導体膜上に薄い自然酸化膜ができていたとしても、この自然酸化膜を還元し、結晶質半導体膜と良好なコンタクトをとることができる。ここでは、導電膜 2680 は CVD 法によりタングステン (W) を選択成長することにより形成することができる。

10

【0202】

以上の工程により、基板 2600 の領域 2612 に形成された p 型のトランジスタと、領域 2613 に形成された n 型のトランジスタとを得ることができる。

【0203】

なお、本発明の半導体装置を構成するトランジスタの構造は図示した構造に限定されるものではないことを付記する。例えば、逆スタガ構造、フィン FET 構造等の構造のトランジスタの構造を取り得る。フィン FET 構造であることでトランジスタサイズの微細化に伴う短チャネル効果を抑制することができるため好適である。

【0204】

また本発明における半導体装置においては、信号処理回路に電力を蓄積できるバッテリーを具備することを特徴とする。バッテリーとしては、電気二重層コンデンサーや薄膜の二次電池を用いることが好ましい。そこで本実施例においては、本実施例において作製したトランジスタにおいて、薄膜の二次電池との接続について説明する。

20

【0205】

本実施例において二次電池は、トランジスタに接続された配線 2682 d 上に積層して形成される。二次電池は、集電体薄膜、負極活物質層、固体電解質層、正極活物質層、集電体薄膜の薄膜層が順次積層される (図 21 (B))。そのため、二次電池の集電体薄膜と兼用される配線 2682 d の材料は、負極活物質と密着性がよく、抵抗が小さいことが求められ、特にアルミニウム、銅、ニッケル、バナジウムなどが好適である。

【0206】

薄膜二次電池の構成について次いで詳述すると、配線 2682 d 上に負極活物質層 2691 を成膜する。一般には酸化バナジウム (V_2O_5) などが用いられる。次に負極活物質層 2691 上に固体電解質層 2692 を成膜する。一般にはリン酸リチウム (Li_3PO_4) などが用いられる。次に固体電解質層 2692 上に正極活物質層 2693 を成膜する。一般にはマンガン酸リチウム ($LiMn_2O_4$) などが用いられる。コバルト酸リチウム ($LiCoO_2$) やニッケル酸リチウム ($LiNiO_2$) を用いても良い。次に正極活物質層 2693 上に電極となる集電体薄膜 2694 を成膜する。集電体薄膜 2694 は正極活物質層 2693 と密着性がよく、抵抗が小さいことが求められ、アルミニウム、銅、ニッケル、バナジウムなどを用いることができる。

30

【0207】

上述の負極活物質層 2691、固体電解質層 2692、正極活物質層 2693、集電体薄膜 2694 の各薄膜層はスパッタ技術を用いて形成しても良いし、蒸着技術を用いても良い。また、それぞれの層の厚さは $0.1 \mu m \sim 3 \mu m$ が望ましい。

40

【0208】

次に樹脂を塗布し、層間膜 2696 を形成する。そして層間膜 2396 をエッチングしコンタクトホールを形成する。層間膜 2696 は樹脂には限定せず、CVD 酸化膜など他の膜であっても良いが、平坦性の観点から樹脂であることが望ましい。また、感光性樹脂を用いて、エッチングを用いずにコンタクトホールを形成しても良い。次に層間膜 2696 上に配線層 2695 を形成し、配線 2697 と接続することにより、薄膜二次電池の電気接続を確保する。

50

【0209】

以上のような構成にすることにより、本発明の半導体装置においては、単結晶基板上にトランジスタを形成し、その上に薄膜二次電池を有する構成を取り得る。故に本発明の半導体装置においては、極薄化、小型化を達成した柔軟性を達成することができる。

【0210】

なお、本実施例の半導体装置の作製方法は、本明細書に記載した他の実施の形態の半導体装置に適用することができる。すなわち本実施例は、バッテリーの放電特性に伴う出力電圧の変化によるクロック生成回路からの発振周波数の変動を抑制し、かつバッテリーの蓄電残量を有効利用することのできるクロック生成回路を具備する半導体装置を提供することができる。そのため、クロック信号のばらつきに起因した電子機器の品質の低下を引き起こすことなく、バッテリーの長寿命化を図ることができる。

10

【0211】

また本発明のクロック生成回路を具備する本実施例の半導体装置は、クロック生成回路の入力部にレギュレータ回路等の定電圧回路を設けることなく、ばらつきの小さいクロック信号を生成することができる。そのため、本発明のクロック生成回路を具備する半導体装置においては、低消費電力化及び半導体装置の小型化をすることができる。

【実施例4】

【0212】

本実施例では、上記実施の形態で示した本発明のクロック生成回路を具備する半導体装置の利用形態の一例であるRFタグの用途について説明する。RFタグは、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類（運転免許証や住民票等）、包装用容器類（包装紙やボトル等）、記録媒体（DVDソフトやビデオテープ等）、乗物類（自転車等）、身の回り品（靴や眼鏡等）、食品類、植物類、動物類、人体、衣類、生活用品類、電子機器等の商品や荷物の荷札等の物品に設けることができ、いわゆるIDラベル、IDタグ、IDカードとして使用することができる。電子機器とは、液晶表示装置、EL表示装置、テレビジョン装置（単にテレビ、テレビ受像機、テレビジョン受像機とも呼ぶ）及び携帯電話等を指す。以下に、図22を参照して、本発明の応用例、及びそれらを付した商品の一例について説明する。

20

【0213】

図22(A)は、本発明に係るRFタグの完成品の状態の一例である。ラベル台紙3001（セバレート紙）上に、RFタグ3002を内蔵した複数のIDラベル3003が形成されている。IDラベル3003は、ボックス3004内に収納されている。また、IDラベル3003上には、その商品や役務に関する情報（商品名、ブランド、商標、商標権者、販売者、製造者等）が記されている。一方、内蔵されているRFタグには、その商品（又は商品の種類）固有のIDナンバーが付されており、偽造や、商標権、特許権等の知的財産権侵害、不正競争等の不法行為を容易に把握することができる。また、RFタグ内には、商品の容器やラベルに明記しきれない多大な情報、例えば、商品の産地、販売地、品質、原材料、効能、用途、数量、形状、価格、生産方法、使用方法、生産時期、使用時期、賞味期限、取扱説明、商品に関する知的財産情報等を入力しておくことができ、取引者や消費者は、簡易なリーダによって、それらの情報にアクセスすることができる。また、生産者側からは容易に書換え、消去等も可能であるが、取引者、消費者側からは書換え、消去等ができない仕組みになっている。なお、RFタグに表示部を設けこれらの情報を表示できる構成としてもよい。

30

40

【0214】

図22(B)は、RFタグ3012を内蔵したラベル状のRFタグ3011を示している。RFタグ3011を商品に備え付けることにより、商品管理が容易になる。例えば、商品が盗難された場合に、商品の経路を辿ることによって、その犯人を迅速に把握することができる。このように、RFタグを備えることにより、所謂トレーサビリティに優れた商品を流通させることができる。

【0215】

50

図22(C)は、RFタグ3022を内包したIDカード3021の完成品の状態の一例である。上記IDカード3021としては、キャッシュカード、クレジットカード、プリペイドカード、電子乗車券、電子マネー、テレフォンカード、会員カード等のあらゆるカード類が含まれる。また、IDカード3021の表面に表示部を設け様々な情報を表示させる構成としてもよい。

【0216】

図22(D)は、無記名債券3031の完成品の状態を示している。無記名債券3031には、RFタグ3032が埋め込まれており、その周囲は樹脂によって成形され、RFタグを保護している。ここで、該樹脂中にはフィラーが充填された構成となっている。無記名債券3031は、本発明に係るRFタグと同じ要領で作成することができる。なお、上記無記名債券類には、切手、切符、チケット、入場券、商品券、図書券、文具券、ビール券、おこめ券、各種ギフト券、各種サービス券等が含まれるが、勿論これらに限定されるものではない。また、紙幣、硬貨、有価証券類、無記名債券類、証書類等に本発明のRFタグ3032を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。

10

【0217】

図22(E)はRFタグ3042を内包したIDラベル3041を貼付した書籍3043を示している。本発明のRFタグ3042は、表面に貼ったり、埋め込んだりして、物品に固定される。図20(E)に示すように、本なら紙に埋め込んだり、有機樹脂からなるパッケージなら当該有機樹脂に埋め込んだりして、各物品に固定される。本発明のRFタグ3042は、小型、薄型、軽量を実現するため、物品に固定した後も、その物品自体のデザイン性を損なうことがない。

20

【0218】

また、ここでは図示しないが、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、電子機器等に本発明のRFタグを設けることにより、検品システム等のシステムの効率化を図ることができる。また乗物類にRFタグを設けることにより、偽造や盗難を防止することができる。また、動物等の生き物に埋め込むことによって、個々の生き物の識別を容易に行うことができる。例えば、家畜等の生き物に無線タグを埋め込むことによって、生まれた年や性別または種類等を容易に識別することが可能となる。

【0219】

なお、上述した商品以外にも、あらゆる商品に、本発明のクロック生成回路を具備する半導体装置を利用することができる。本実施例に示した半導体装置が本発明のクロック生成回路を具備することにより、バッテリーの放電特性に伴う出力電圧の変化によるクロック生成回路からの発振周波数の変動を抑制し、かつバッテリーの蓄電残量を有効利用することのできるクロック生成回路を具備する半導体装置を提供することができる。そのため、クロック信号のばらつきに起因した電子機器の品質の低下を引き起こすことなく、バッテリーの長寿命化を図ることができる。

30

【0220】

また本発明のクロック生成回路を具備する本実施例の半導体装置は、クロック生成回路の入力部にレギュレータ回路等の定電圧回路を設けることなく、ばらつきの小さいクロック信号を生成することができる。そのため、本発明のクロック生成回路を具備する半導体装置においては、低消費電力化及び半導体装置の小型化をすることができる。

40

【図面の簡単な説明】

【0221】

【図1】本発明のクロック生成回路について説明する図。

【図2】本発明のクロック生成回路について説明する図。

【図3】本発明のクロック生成回路について説明する図。

【図4】本発明のクロック生成回路について説明する図。

【図5】本発明のクロック生成回路について説明する図。

【図6】本発明のクロック生成回路について説明する図。

50

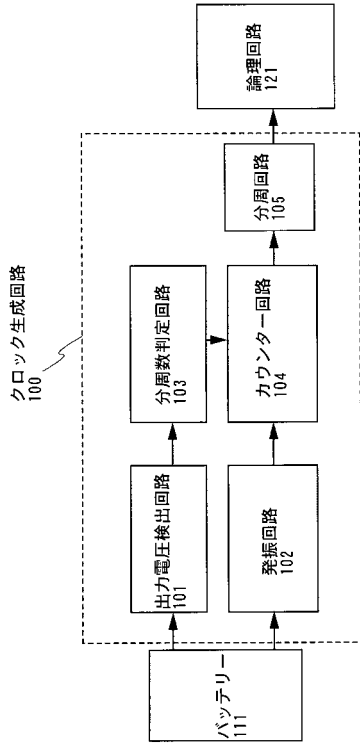
【図 7】	本発明のクロック生成回路について説明する図。	
【図 8】	本発明のクロック生成回路について説明する図。	
【図 9】	本発明のクロック生成回路について説明する図。	
【図 10】	本発明の半導体装置の作製方法の一例を示す図。	
【図 11】	本発明の半導体装置の作製方法の一例を示す図。	
【図 12】	本発明の半導体装置の作製方法の一例を示す図。	
【図 13】	本発明の半導体装置の作製方法の一例を示す図。	
【図 14】	本発明の半導体装置の作製方法の一例を示す図。	
【図 15】	本発明の半導体装置の作製方法の一例を示す図。	
【図 16】	本発明の半導体装置の作製方法の一例を示す図。	10
【図 17】	本発明の半導体装置の作製方法の一例を示す図。	
【図 18】	本発明の半導体装置の作製方法の一例を示す図。	
【図 19】	本発明の半導体装置の作製方法の一例を示す図。	
【図 20】	本発明の半導体装置の作製方法の一例を示す図。	
【図 21】	本発明の半導体装置の作製方法の一例を示す図。	
【図 22】	本発明の半導体装置の使用形態の一例を示す図。	
【図 23】	本発明の解決する課題について説明する図。	
【符号の説明】		
【 0 2 2 2 】		
1 0 0	クロック生成回路	20
1 0 1	出力電圧検出回路	
1 0 2	発振回路	
1 0 3	分周数判定回路	
1 0 4	カウンタ回路	
1 0 5	分周回路	
1 1 1	バッテリー	
1 2 1	論理回路	
1 5 0	R F タグ	
2 0 1	比較器	
3 0 1	Nチャネル型トランジスタ	30
3 0 2	Pチャネル型トランジスタ	
S 4 0 1	ステップ	
S 4 0 2	ステップ	
S 4 0 3	ステップ	
S 4 0 4	ステップ	
S 4 0 5	ステップ	
S 4 0 6	ステップ	
S 4 0 7	ステップ	
S 4 0 8	ステップ	
S 4 0 9	ステップ	40
S 4 1 0	ステップ	
6 0 0	R F タグ	
6 0 1	アンテナ	
6 0 2	バッテリー	
6 0 3	クロック生成回路	
6 0 4	信号処理回路	
6 0 5	復調回路	
6 0 6	論理回路	
6 0 7	メモリコントロール回路	
6 0 8	メモリ回路	50

6 0 9	論理回路	
6 1 0	変調回路	
7 0 1	基板	
7 2 0	接続端子	
7 2 1	接続端子	
8 0 1	基板	
8 0 2	信号処理回路	
8 0 3	アンテナ	
9 0 0	充放電回路	
9 0 1	整流回路	10
9 0 2	充電制御回路	
9 0 3	放電制御回路	
9 5 1	リーダ/ライター	
1 3 0 1	基板	
1 3 0 2	絶縁膜	
1 3 0 3	剥離層	
1 3 0 4	絶縁膜	
1 3 0 5	半導体膜	
1 3 0 6	ゲート絶縁膜	
1 3 0 7	ゲート電極	20
1 3 0 8	不純物領域	
1 3 0 9	不純物領域	
1 3 1 0	絶縁膜	
1 3 1 1	不純物領域	
1 3 1 3	導電膜	
1 3 1 4	絶縁膜	
1 3 1 6	導電膜	
1 3 1 7	導電膜	
1 3 1 8	絶縁膜	
1 3 1 9	素子形成層	30
1 3 2 0	シート材	
1 3 2 1	シート材	
1 3 3 7	樹脂	
1 3 3 8	導電性粒子	
1 3 8 1	負極活物質層	
1 3 8 2	固体電解質層	
1 3 8 3	正極活物質層	
1 3 8 4	集電体薄膜	
1 3 8 5	層間膜	
1 3 8 6	配線層	40
1 3 8 9	二次電池	
2 3 0 0	半導体基板	
2 3 0 2	絶縁膜	
2 3 0 4	領域	
2 3 0 6	領域	
2 3 0 7	pウェル	
2 3 3 2	絶縁膜	
2 3 3 6	導電膜	
2 3 3 8	導電膜	
2 3 4 0	ゲート電極	50

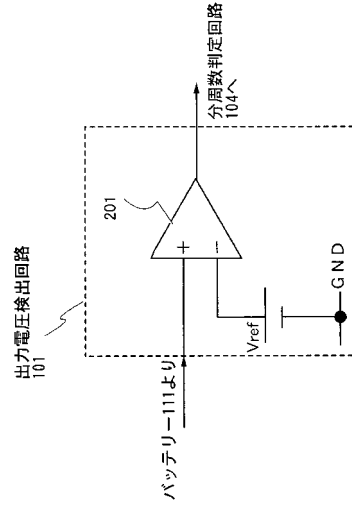
2 3 4 2	ゲート電極	
2 3 4 8	レジストマスク	
2 3 5 0	チャンネル形成領域	
2 3 5 2	不純物領域	
2 3 6 6	レジストマスク	
2 3 6 8	チャンネル形成領域	
2 3 7 0	不純物領域	
2 3 7 2	絶縁膜	
2 3 7 4	配線	
2 3 9 1	負極活物質層	10
2 3 9 2	固体電解質層	
2 3 9 3	正極活物質層	
2 3 9 4	集電体薄膜	
2 3 9 5	配線層	
2 3 9 6	層間膜	
2 3 9 7	配線	
2 6 0 0	基板	
2 6 0 2	絶縁膜	
2 6 0 4	絶縁膜	
2 6 0 6	レジストマスク	20
2 6 0 8	凹部	
2 6 1 0	絶縁膜	
2 6 1 1	絶縁膜	
2 6 1 2	領域	
2 6 1 3	領域	
2 6 1 4	領域	
2 6 1 5	pウェル	
2 6 3 2	絶縁膜	
2 6 3 4	絶縁膜	
2 6 3 6	導電膜	30
2 6 3 8	導電膜	
2 6 4 0	導電膜	
2 6 4 2	導電膜	
2 6 5 4	サイドウォール	
2 6 5 6	チャンネル形成領域	
2 6 5 8	不純物領域	
2 6 6 0	低濃度不純物領域	
2 6 6 2	チャンネル形成領域	
2 6 6 4	不純物領域	
2 6 6 6	低濃度不純物領域	40
2 6 7 7	絶縁膜	
2 6 7 8	開口部	
2 6 8 0	導電膜	
2 6 9 1	負極活物質層	
2 6 9 2	固体電解質層	
2 6 9 3	正極活物質層	
2 6 9 4	集電体薄膜	
2 6 9 5	配線層	
2 6 9 6	層間膜	
2 6 9 7	配線	50

3 0 0 1	ラベル台紙	
3 0 0 2	R F タグ	
3 0 0 3	I D ラベル	
3 0 0 4	ボックス	
3 0 1 1	R F タグ	
3 0 1 2	R F タグ	
3 0 2 1	I D カード	
3 0 2 2	R F タグ	
3 0 3 1	無記名債券	
3 0 3 2	R F タグ	10
3 0 4 1	I D ラベル	
3 0 4 2	R F タグ	
3 0 4 3	書籍	
1 3 0 0 a	薄膜トランジスタ	
1 3 0 0 b	薄膜トランジスタ	
1 3 0 0 c	p チャネル型薄膜トランジスタ	
1 3 0 0 e	p チャネル型薄膜トランジスタ	
1 3 0 5 a	半導体膜	
1 3 0 5 c	半導体膜	
1 3 0 7 a	導電膜	20
1 3 0 7 b	導電膜	
1 3 1 2 a	絶縁膜	
1 3 1 2 b	絶縁膜	
1 3 1 5 a	導電膜	
1 3 3 1 a	導電膜	
1 3 3 2 a	開口部	
1 3 3 4 a	導電膜	
1 3 3 4 b	導電膜	
1 3 3 6 a	導電膜	
1 3 3 6 b	導電膜	30
2 6 8 2 a	導電膜	
2 6 8 2 d	配線	

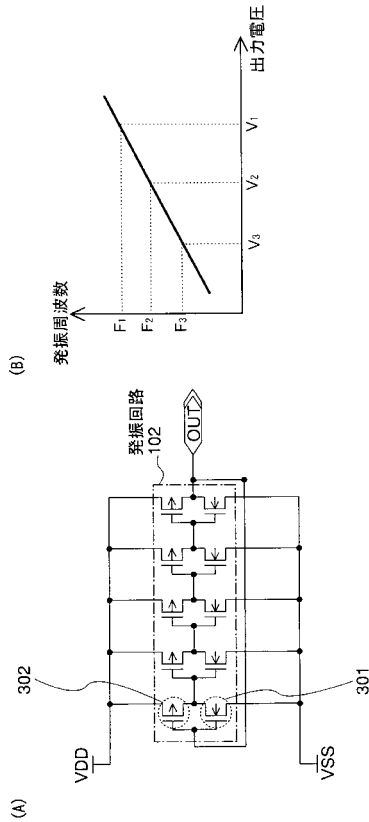
【図1】



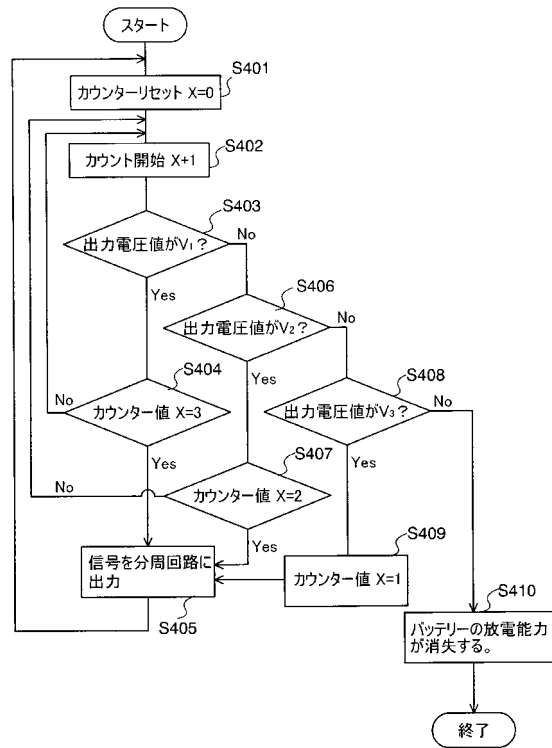
【図2】



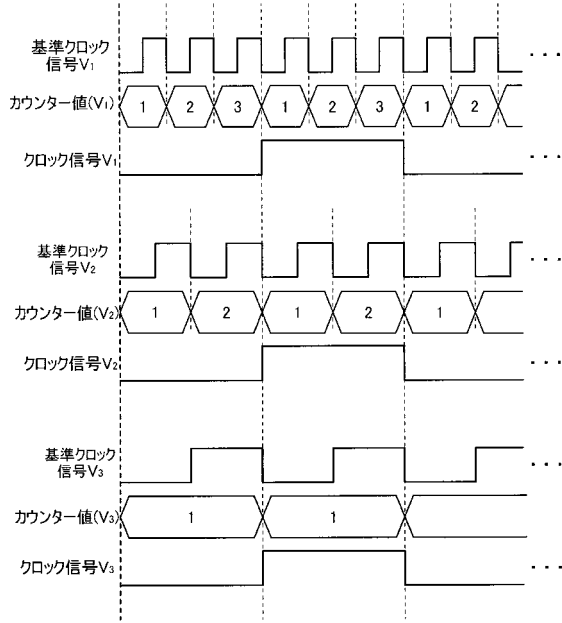
【図3】



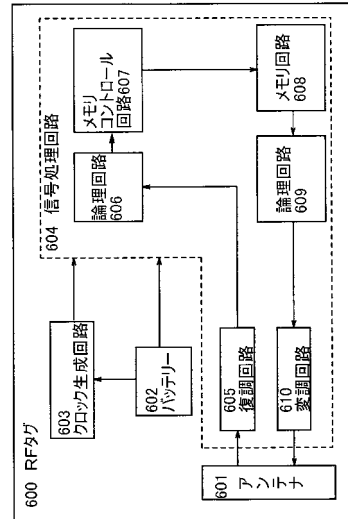
【図4】



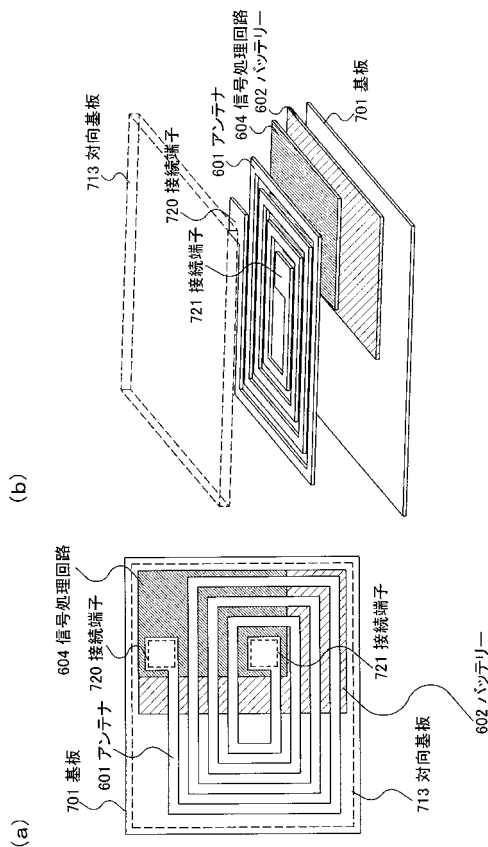
【図5】



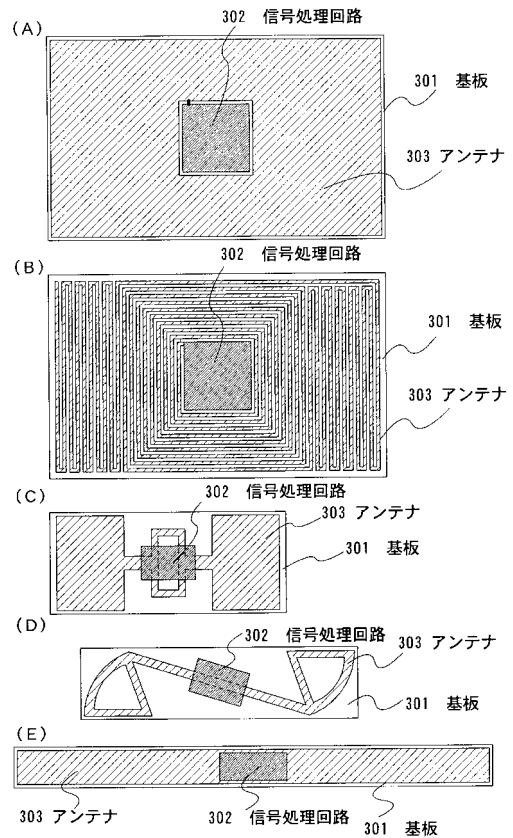
【図6】



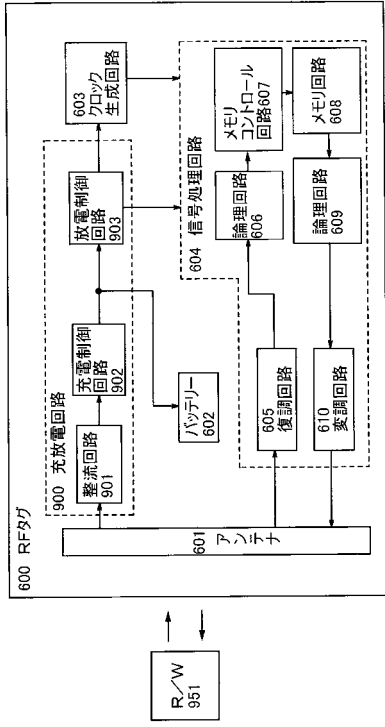
【図7】



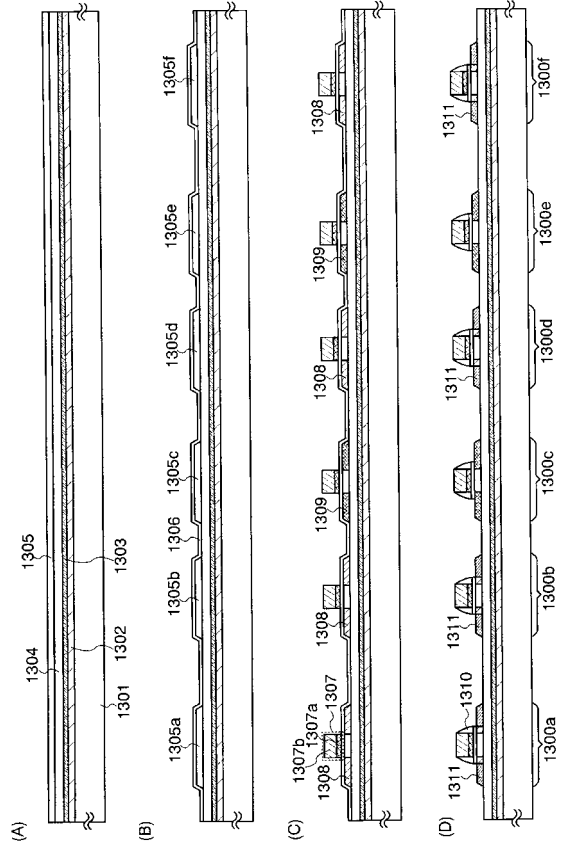
【図8】



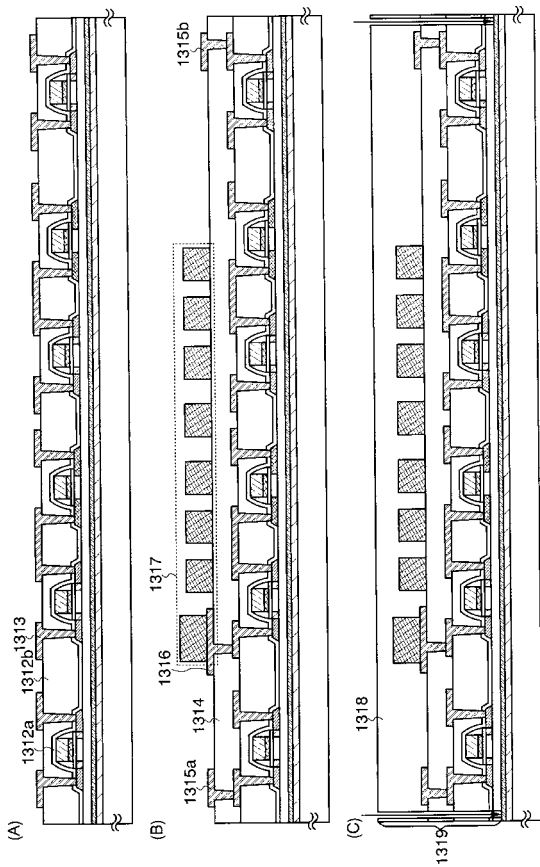
【図9】



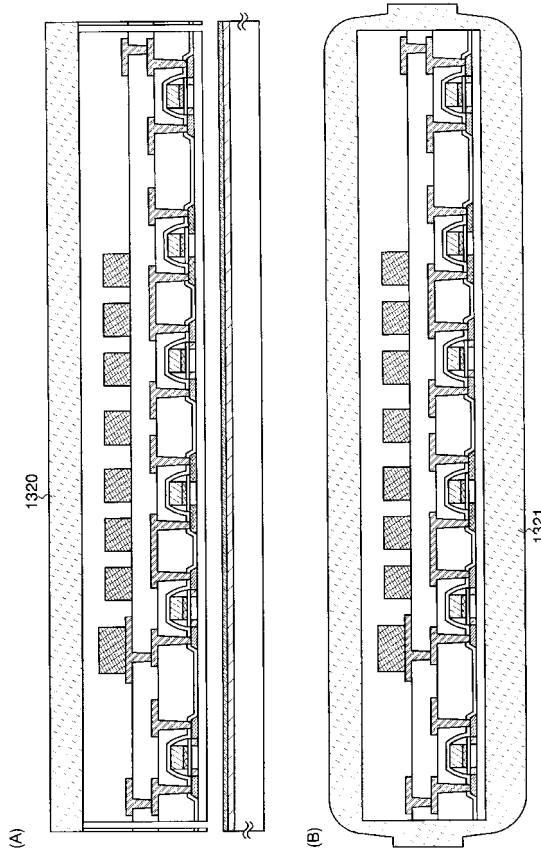
【図10】



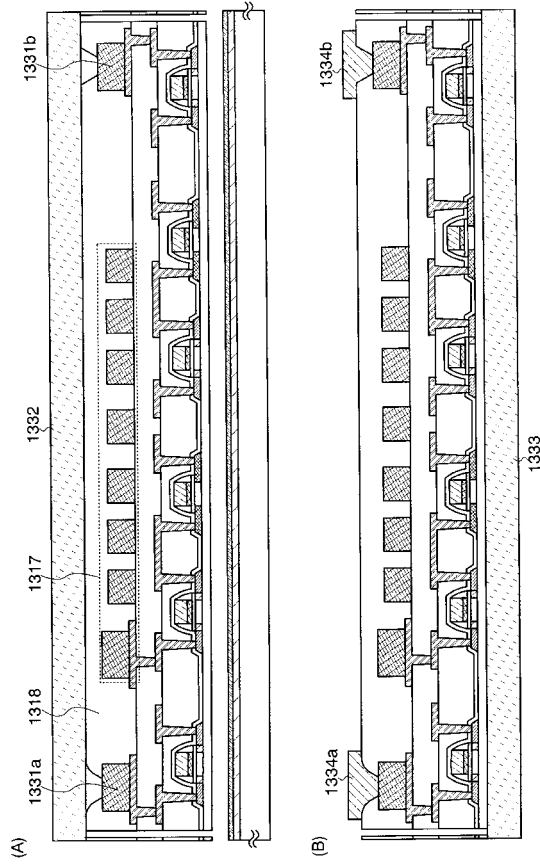
【図11】



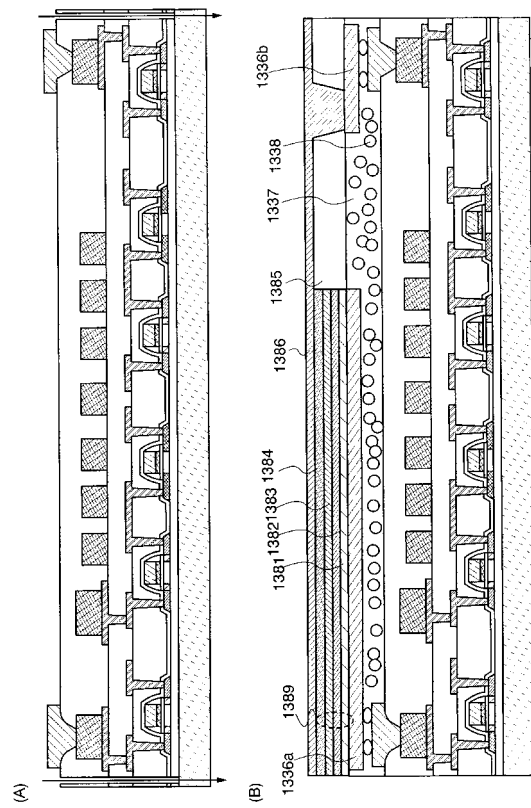
【図12】



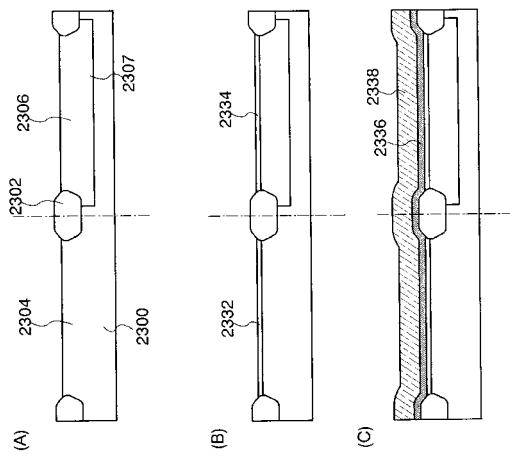
【 図 13 】



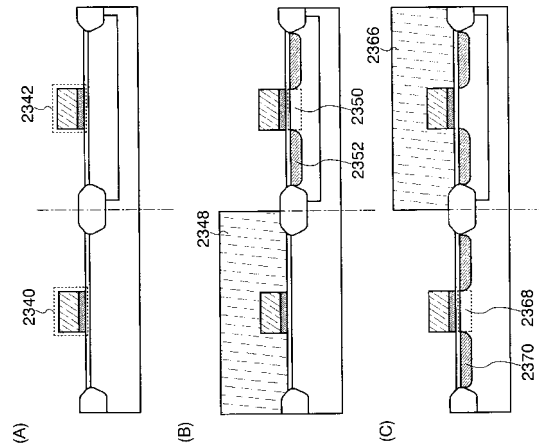
【 図 14 】



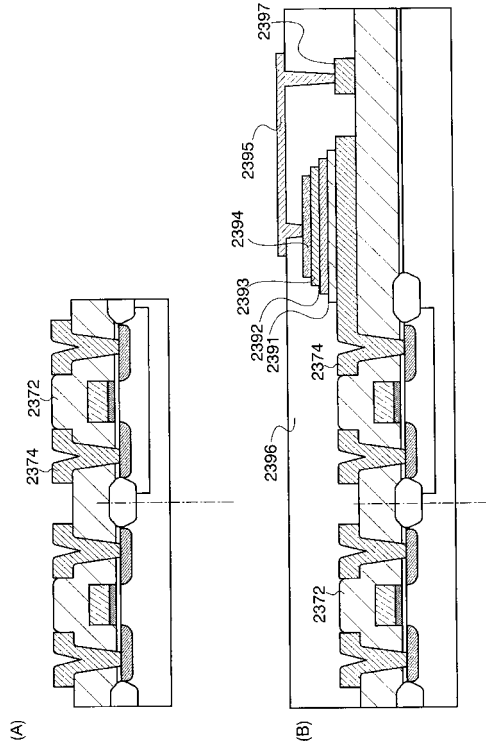
【 図 15 】



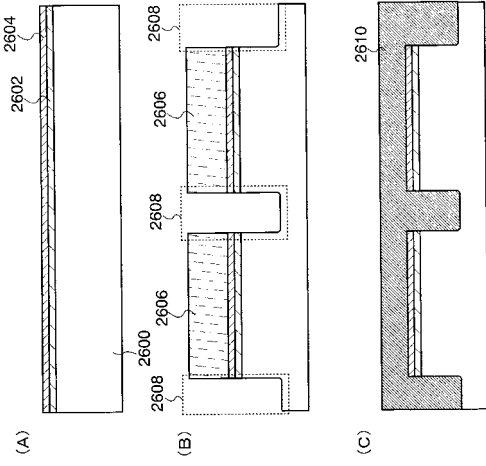
【 図 16 】



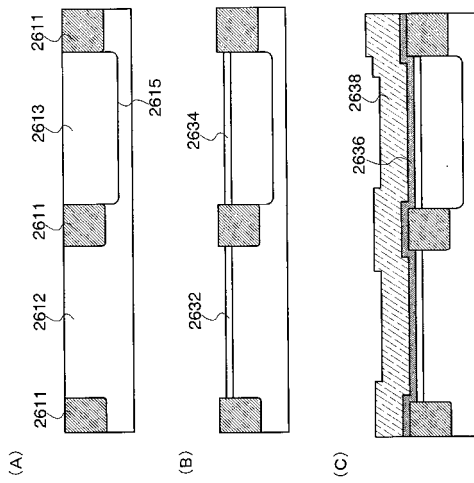
【 図 17 】



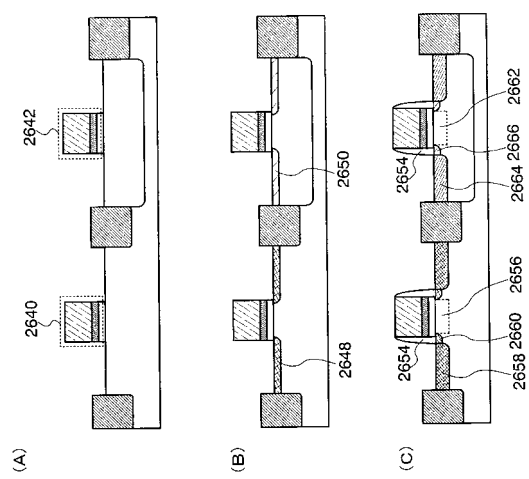
【 図 18 】



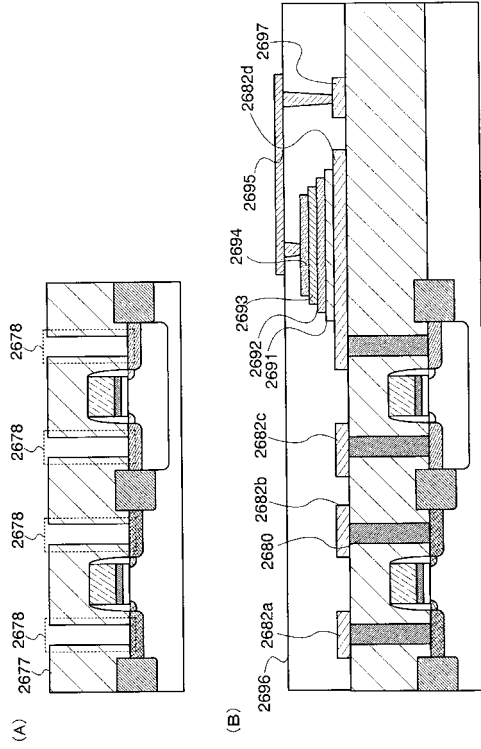
【 図 19 】



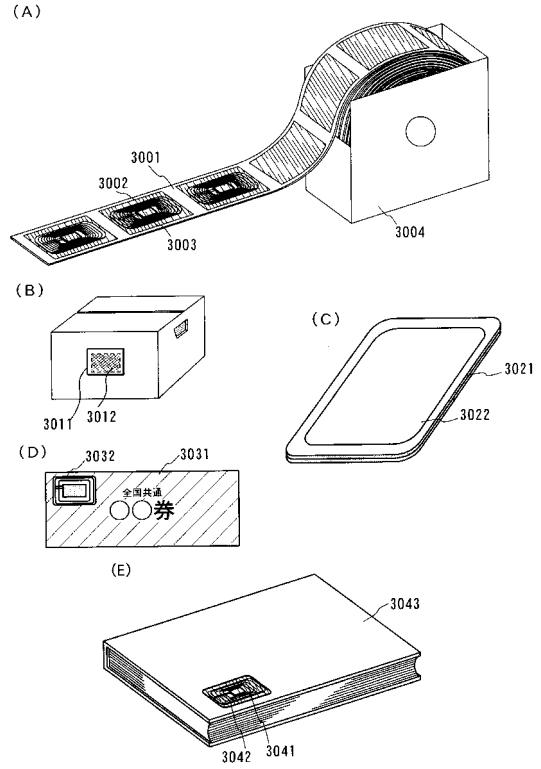
【 図 20 】



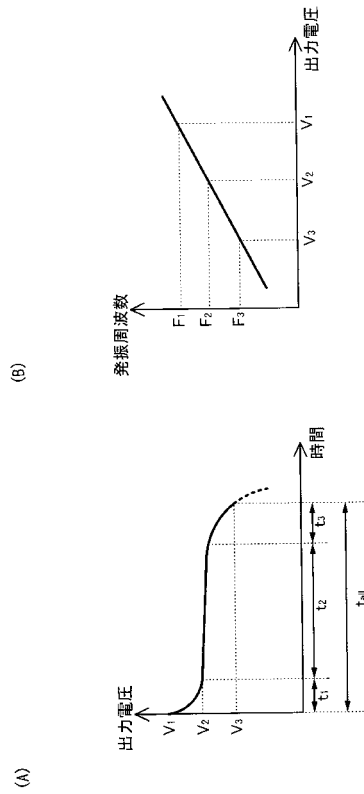
【図 2 1】



【図 2 2】



【図 2 3】



フロントページの続き

(51)Int.Cl. F I
H 0 4 B 5/02 (2006.01) H 0 3 K 3/354 B
H 0 4 B 5/02

(56)参考文献 特開2003-69891(JP,A)
特開2005-182103(JP,A)
特開平3-217917(JP,A)
特開2003-6592(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03K 3/00-3/22, 3/26-3/36