



(12) 发明专利

(10) 授权公告号 CN 102651342 B

(45) 授权公告日 2014. 12. 17

(21) 申请号 201210065761. 6

US 2011/0285931 A1, 2011. 11. 24,

(22) 申请日 2012. 03. 13

US 2011/0285931 A1, 2011. 11. 24,

US 2008/0024416 A1, 2008. 01. 31,

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

审查员 张一文

(72) 发明人 杨静 薛建设 刘翔

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51) Int. Cl.

H01L 21/77(2006. 01)

H01L 27/12(2006. 01)

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

(56) 对比文件

US 2008/0012017 A1, 2008. 01. 17,

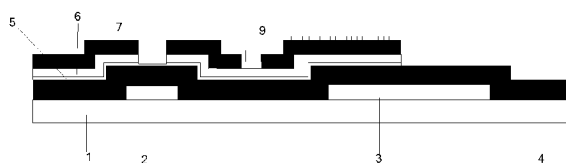
权利要求书1页 说明书6页 附图3页

(54) 发明名称

阵列基板及其制造方法

(57) 摘要

本发明涉及阵列基板制造技术领域, 提供了一种阵列基板及其制造方法, 所述阵列基板的制造方法包括: 在基板上形成栅电极和公共电极图形; 形成栅绝缘层、有源层、源漏电极层和第一钝化层图形, 所述第一钝化层具有连接孔和 TFT 沟道窗口, 所述 TFT 沟道窗口位于所述栅电极的上方; 形成 TFT 沟道和具有狭缝的像素电极, 所述像素电极通过连接孔与所述源漏电极连接。应用上述的制造方法制备阵列基板, 制造方法工艺简单、稳定, 不仅缩短了生产周期, 而且降低了生产成本; 使用 ADS 模式提高了 TFT 性能; 采用 SWCNT 作为透明导电层, 提高了 TFT 的透光和柔性方面的特性。



1. 一种阵列基板的制造方法,其特征在于,包括:

第一次构图工艺:在基板上形成栅电极和公共电极图形;

第二次构图工艺:形成栅绝缘层、有源层、源漏电极层和第一钝化层图形,所述第一钝化层具有连接孔和 TFT 沟道窗口,所述 TFT 沟道窗口位于所述栅电极的上方;所述连接孔和 TFT 沟道窗口与钝化层由同一次构图工艺形成;

第三次构图工艺:形成 TFT 沟道和具有狭缝的像素电极,所述像素电极通过连接孔与所述源漏电极连接。

2. 根据权利要求 1 所述的制造方法,其特征在于,还包括:

形成 TFT 沟道保护层的步骤。

3. 根据权利要求 1 所述的制造方法,其特征在于,所述栅电极和公共电极的材料是单壁碳纳米管。

4. 根据权利要求 1-3 中任一项所述的制造方法,其特征在于,所述在基板上形成栅电极和公共电极的步骤具体包括:

在基板上形成第一透明导电薄膜;

在所述第一透明导电薄膜上涂覆光刻胶,并用灰色或半色调掩模板对光刻胶进行曝光,显影使得所述栅电极区域和所述公共电极区域保留光刻胶,其他区域无光刻胶;

对光刻胶进行第一次刻蚀,刻蚀掉无光刻胶区域的第一透明导电薄膜,形成栅电极和公共电极。

5. 根据权利要求 1-3 中任一项所述的制造方法,其特征在于,所述形成栅绝缘层、有源层、源漏电极层和第一钝化层图形的步骤具体包括:

依次形成栅绝缘层薄膜、有源层薄膜、源漏极金属薄膜和第一钝化层薄膜;

在所述第一钝化层薄膜上涂覆光刻胶,并用灰色或半色调掩模板对光刻胶进行曝光,显影使得所述源漏电极区域和所述像素电极区域保留光刻胶,所述 TFT 沟道和所述连接孔区域部分保留光刻胶,其他区域无光刻胶;

对光刻胶进行连续刻蚀,分别刻蚀掉无光刻胶区域的第一钝化层薄膜、源漏极金属薄膜和有源层薄膜,形成第一钝化层、源漏电极层和有源层图形;

经过灰化工艺之后,刻蚀部分保留光刻胶区域的第一钝化层形成连接孔和 TFT 沟道窗口,所述 TFT 沟道窗口位于栅电极的上方。

6. 根据权利要求 1-3 中任一项所述的制造方法,其特征在于,所述形成 TFT 沟道和具有狭缝的像素电极的步骤具体包括:

形成第二透明导电薄膜;

在所述第二透明导电薄膜上涂覆光刻胶,并用掩模板对光刻胶进行曝光,显影,刻蚀得到具有狭缝的像素电极的图形,所述像素电极通过连接孔与所述源漏电极连接;

进行源漏电极层和有源层的刻蚀形成 TFT 沟道。

7. 根据权利要求 2 所述的制造方法,其特征在于,所述形成 TFT 沟道保护层的步骤具体包括:

形成第二钝化层;

经过曝光,显影,刻蚀后在所述 TFT 沟道上方形成 TFT 沟道保护层图形。

阵列基板及其制造方法

技术领域

[0001] 本发明涉及阵列基板制造技术领域,尤其涉及一种阵列基板及其制造方法。

背景技术

[0002] 21 世纪在显示领域是平板显示的时代。薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 是一种主要的平板显示装置 (Flat Panel Display, 简称为 FPD)。

[0003] 随着技术的进步,消费者对移动性产品的显示效果提出了更高的要求,普通的 TN (Twisted Nematic, 扭曲向列) 型液晶显示器的显示效果已经不能满足市场的需求。目前,各大厂商正逐渐将显示效果更优良的各种广视角技术应用于移动性产品中,比如 IPS (In-Plane Switching, 共面转换)、VA (Vertical Alignment, 垂直配向)、AD-SDS (Advanced-Super Dimensional Switching, 高级超维场开关, 简称为 ADS) 等广视角技术。在 ADS 模式下,通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场,使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。由此,ADS 技术可以提高 TFT-LCD 画面品质,具有高透过率、宽视角、高开口率、低色差、低响应时间、无挤压水波纹 (Push Mura) 等优点。

[0004] 目前,阵列基板是通过多次构图工艺形成结构图形来完成,每次构图工艺中义分别包括掩膜、曝光、显影、刻蚀和剥离等工艺,其中刻蚀工艺包括干法刻蚀和湿法刻蚀,所以构图工艺的次数可以衡量制造 TFT-LCD 阵列基板的繁简程度,减少构图工艺的次数就意味着制造成本的降低。

[0005] 现有技术中,阵列基板,例如底栅型,一般需要至少四次构图工艺完成,其工艺复杂,制造成本很高,生产周期较长。因此,亟需减少构图工艺来缩短阵列基板的生产周期,降低制造阵列基板的成本。

发明内容

[0006] (一) 要解决的技术问题

[0007] 本发明要解决的技术问题是,针对上述缺陷,如何提供一种阵列基板及其制造方法,其能够在保持 ADS 型 TFT-LCD 具有广视角、开口率高等优点的同时,减少构图工艺,从而缩短阵列基板的生产周期并降低制造阵列基板的成本。

[0008] (二) 技术方案

[0009] 为解决上述技术问题,本发明提供了一种阵列基板的制造方法,包括:

[0010] 在基板上形成栅电极和公共电极图形;

[0011] 形成栅绝缘层、有源层、源漏电极层和第一钝化层图形,所述第一钝化层具有连接孔和 TFT 沟道窗口,所述 TFT 沟道窗口位于所述栅电极的上方;

[0012] 形成 TFT 沟道和具有狭缝的像素电极,所述像素电极通过连接孔与所述源漏电极

连接。

[0013] 其中,所述制造方法还包括:

[0014] 形成 TFT 沟道保护层的步骤。

[0015] 其中,所述栅电极和公共电极的材料是单壁碳纳米管。

[0016] 其中,所述在基板上形成栅电极和公共电极的步骤具体包括:

[0017] 在基板上形成第一透明导电薄膜;

[0018] 在所述第一透明导电薄膜上涂覆光刻胶,并用灰色或半色调掩模板对光刻胶进行曝光,显影使得所述栅电极区域和所述公共电极区域保留光刻胶,其他区域无光刻胶;

[0019] 对光刻胶进行第一次刻蚀,刻蚀掉无光刻胶区域的第一透明导电薄膜,形成栅电极和公共电极。

[0020] 其中,所述形成栅绝缘层、有源层、源漏电极层和第一钝化层图形的步骤具体包括:

[0021] 依次形成栅绝缘层薄膜、有源层薄膜、源漏极金属薄膜和第一钝化层薄膜;

[0022] 在所述第一钝化层薄膜上涂覆光刻胶,并用灰色或半色调掩模板对光刻胶进行曝光,显影使得所述源漏电极区域和所述像素电极区域保留光刻胶,所述 TFT 沟道和所述连接孔区域部分保留光刻胶,其他区域无光刻胶;

[0023] 对光刻胶进行连续刻蚀,分别刻蚀掉无光刻胶区域的第一钝化层薄膜、源漏极金属薄膜和有源层薄膜,形成第一钝化层、源漏电极层和有源层图形;

[0024] 经过灰化工艺之后,刻蚀部分保留光刻胶区域的第一钝化层形成连接孔和 TFT 沟道窗口,所述 TFT 沟道窗口位于栅电极的上方。

[0025] 其中,所述形成 TFT 沟道和具有狭缝的像素电极的步骤具体包括:

[0026] 形成第二透明导电薄膜;

[0027] 在所述第二透明导电薄膜上涂覆光刻胶,并用掩模板对光刻胶进行曝光,显影,刻蚀得到具有狭缝的像素电极的图形,所述像素电极通过连接孔与所述源漏电极连接;

[0028] 进行源漏电极层和有源层的刻蚀形成 TFT 沟道。

[0029] 其中,所述形成 TFT 沟道保护层的步骤具体包括:

[0030] 形成第二钝化层;

[0031] 经过曝光,显影,刻蚀后在所述 TFT 沟道上方形成 TFT 沟道保护层图形。

[0032] 本发明还提供了一种阵列基板,包括:基板、形成于所述基板上的栅电极和公共电极,覆盖在所述基板、栅电极和公共电极上的栅绝缘层,形成于所述栅绝缘层上的有源层,形成于所述有源层上的由 TFT 沟道分隔的源漏电极,所述 TFT 沟道位于栅电极的上方,形成于所述源漏电极上的带有连接孔的第一钝化层,位于所述第一钝化层上的具有狭缝的像素电极,所述像素电极通过所述连接孔与所述源漏电极连接。

[0033] 其中,所述阵列基板还包括:覆盖在所述 TFT 沟道的上方的第二钝化层。

[0034] 其中,所述栅电极和公共电极的材料是单壁碳纳米管。

[0035] (三)有益效果

[0036] 本发明公开了一种阵列基板及其制造方法,利用上述的阵列基板的制造方法制备阵列基板,制造方法工艺简单、稳定,不仅缩短了生产周期,而且降低了生产成本;使用 ADS 模式提高了 TFT 性能;采用 SWCNT 作为透明导电层,提高了 TFT 的透光和柔性方面的特性。

[0037] 附图说明

[0038] 图 1 是本发明实施例 1 所述的阵列基板的结构示意图；

[0039] 图 2.1- 图 2.3 是本发明实施例 1 所述的阵列基板的制造方法的在基板上形成栅电极、栅线和公共电极步骤的工艺示意图；

[0040] 图 3.1- 图 3.4 是本发明实施例 1 所述的阵列基板的制造方法的形成第一钝化层、源漏电极及数据线层和有源层图形步骤的工艺示意图；

[0041] 图 4.1- 图 4.2 是本发明实施例 1 所述的阵列基板的制造方法的形成 TFT 沟道和具有狭缝的像素电极步骤的工艺示意图；

[0042] 图 5.1- 图 5.2 是本发明实施例 2 所述的阵列基板的制造方法的形成 TFT 沟道保护层步骤的工艺示意图。

[0043] 其中,1:基板;2:栅电极;3:公共电极;4:栅绝缘层;5:有源层;6:源漏电极;7:第一钝化层;8:第二钝化层;9:像素电极;10:光刻胶。

[0044] 具体实施方式

[0045] 下面结合附图和实施例,对本发明的具体实施方式作进一步详细说明。以下实施例用于说明本发明,但不用来限制本发明的范围。

[0046] 实施例 1

[0047] 如图 1 所示,本发明所述的阵列基板,包括:基板 1,所述基板可以是石英玻璃、普通玻璃或塑料基板等,形成于所述基板 1 上的栅线(未图示)、栅电极 2 和板状的公共电极 3,所述栅电极 2、栅线和板状的公共电极 3 的材料可以为单壁碳纳米管(SWCNT, Single-Walled Carbon NanoTube),覆盖在所述基板 1、栅电极 2、栅线和板状的公共电极 3 上的栅绝缘层 4,所述栅绝缘层 4 的材料可以为氮化硅(SiN_x)、氮化铝(AlN)或氧化铝(Al_2O_3)等,形成于所述栅绝缘层 4 上的有源层 5,所述有源层 5 的材料为非晶硅(a-Si),厚度为 100nm-150nm,形成于所述有源层 5 上的数据线和由 TFT 沟道分隔的源漏电极 6,所述 TFT 沟道位于栅电极 2 的上方,形成于所述源漏电极 6 和数据线上的带有连接孔的第一钝化层 7,位于所述第一钝化层 7 上的具有狭缝的像素电极 9,所述具有狭缝的像素电极 9 通过连接孔与所述源漏电极 6 连接,所述板状的公共电极 3 与所述具有狭缝的像素电极 9 部分重叠,在外加电压下形成多维电场。

[0048] 优选地,所述板状的公共电极 3 的面积覆盖所述具有狭缝的像素电极 9 的面积,以便所述像素电极 9 的狭缝间和所述板状的公共电极 3 的正上方所有取向液晶分子都能够产生旋转,从而提高了液晶工作效率并增大了透光效率。

[0049] 优选地,所述的公共电极 3 还可以具有狭缝,更有利于与所述具有狭缝的像素电极 9 之间在外加电压下形成多维电场,从而提高了液晶工作效率并增大了透光效率。

[0050] 实施例 2

[0051] 如图 5.2 所示,所述实施例 2 与实施例 1 基本相同,其不同仅在于,所述的阵列基板还包括覆盖在所述 TFT 沟道的上方的第二钝化层 8,所述第二钝化层 8,用于保护所述 TFT 沟道,提高 TFT 的稳定性,也叫沟道保护层。

[0052] 实施例 3

[0053] 所述实施例 3 与实施例 2 基本相同,其不同仅在于,所述有源层 5 的材料为氧化铟镓锌(IGZO)、氧化锌(ZnO)、氧化铟锌(IZO)或氧化铟(In_2O_3)等,厚度为 100nm-150nm。

[0054] 实施例 4

[0055] 本发明还提供了一种上述阵列基板的制造方法,包括:

[0056] 第一次构图工艺:

[0057] 在基板上形成栅电极、栅线和板状的公共电极图形,所述栅电极、栅线和板状的公共电极的材料可以为 SWCNT;

[0058] 在本步骤中,还可以根据需要,在基板上形成具有狭缝的公共电极,更有利于与所述具有狭缝的像素电极 9 之间在外加电压下形成多维电场,从而提高了液晶工作效率并增大了透光效率;

[0059] 具体包括:

[0060] 如图 2.1,利用卷绕的传送滚筒加工或卷对卷(roll to roll)工艺在基板 1 上沉积第一透明导电薄膜,例如 100nm-300nm,优选为 200nm 的 SWCNT 薄膜;

[0061] 在所述第一透明导电薄膜上涂覆光刻胶 10,并用灰色或半色调掩模板对光刻胶进行曝光,显影使得所述栅线区域(未图示),所述栅电极区域和所述板状的公共电极区域保留光刻胶,其他区域无光刻胶,得到如图 2.2 所示的包括无光刻胶区域和保留光刻胶区域的图形,其中,WP 为无光刻胶区域,NP 为保留光刻胶区域。

[0062] 对光刻胶 10 进行第一次刻蚀,刻蚀掉无光刻胶区域的第一透明导电薄膜,形成如图 2.3 所示的栅电极 2、栅线(未图示)和板状的公共电极 3。

[0063] 第二次构图工艺:

[0064] 形成栅绝缘层、有源层、源漏电极层和第一钝化层图形,所述第一钝化层具有连接孔(VIA Hole)和 TFT 沟道窗口,所述 TFT 沟道窗口位于所述栅电极的上方;

[0065] 具体包括:

[0066] 如图 3.1 所示,用等离子体增强化学气相沉积法(PECVD, Plasma Enhanced Chemical Vapor Deposition)沉积例如 300nm-500nm,优选为 400nm 的栅绝缘层薄膜,材料可以选用氮化硅(SiN_x)或氧化硅(SiO_x)等;或用物理溅射法(sputter)沉积 300nm-500nm,优选为 400nm 的栅绝缘层薄膜,材料可以选用氧化铝(Al_2O_3)等,

[0067] 用 PECVD 沉积 100nm-150nm 的有源层薄膜,材料可以选用 a-Si;再用磁控溅射方法沉积 200nm~400nm,优选为 300nm 的源漏极金属薄膜,材料可以选用铜(Cu)、铝(Al)、钼(Mo)或钛(Ti)等;最后用 PECVD 沉积 200nm-400nm,优选为 300nm 的第一钝化层薄膜,材料可以选用 SiN_x ;

[0068] 在所述第一钝化层上涂覆光刻胶 10,并用灰色或半色调掩模板对光刻胶进行曝光,显影使得所述源漏电极区域、数据线区域(未图示)和所述像素电极区域保留光刻胶,所述 TFT 沟道和所述连接孔区域部分保留光刻胶,其他区域无光刻胶,得到如图 3.2 所示的包括无光刻胶区域、部分保留光刻胶区域和保留光刻胶区域的图形;其中,HP 为部分保留光刻胶区域;

[0069] 对光刻胶进行连续刻蚀,分别刻蚀掉无光刻胶区域的第一钝化层薄膜、源漏极金属薄膜和有源层薄膜,形成如图 3.3 所示的第一钝化层、源漏电极层、数据线(未图示)和有源层图形;

[0070] 经过灰化工艺之后,刻蚀部分保留光刻胶区域的第一钝化层 7 形成连接孔和 TFT 沟道窗口,如图 3.4 所示,所述 TFT 沟道窗口位于栅电极的上方。

[0071] 第三次构图工艺：

[0072] 形成 TFT 沟道和具有狭缝的像素电极，所述具有狭缝的像素电极通过连接孔与所述源漏电极连接，所述具有狭缝的像素电极与所述板状的公共电极部分重叠，形成多维电场。

[0073] 优选地，所述板状的公共电极的面积覆盖所述具有狭缝的像素电极的面积，以便所述像素电极的狭缝间和所述板状的公共电极的正上方所有取向液晶分子都能够产生旋转，从而提高了液晶工作效率并增大了透光效率。

[0074] 具体包括：

[0075] 如图 4.1 所示，利用 roll to roll 工艺沉积 200nm ~ 400nm，优选为 300nm 的第二透明导电薄膜，材料可以选用 SWCNT；

[0076] 在所述第二透明导电薄膜上涂覆光刻胶，并用掩模板对光刻胶进行曝光，显影，刻蚀得到如图 4.2 所示的具有狭缝的像素电极 9 的图形，所述像素电极通过连接孔与所述源漏电极连接；

[0077] 进行源漏电极及数据线层和有源层的刻蚀形成 TFT 沟道，得到如图 1 所示的图形，所述具有狭缝的像素电极与所述板状的公共电极部分重叠，在外加电压下，形成多维电场；

[0078] 本发明的上述方法中，采用三次构图工艺制备出阵列基板，制造方法工艺简单、稳定，不仅缩短了生产周期，而且降低了生产成本；使用 ADS 模式提高了 TFT 性能；采用 SWCNT 作为透明导电层，提高了 TFT 的透光和柔性方面的特性。

[0079] 实施例 5

[0080] 所述实施例 5 与实施例 4 基本相同，其不同仅在于，形成 TFT 沟道和具有狭缝的像素电极之后，本发明所述制造方法还可以包括：

[0081] 第四次构图工艺：

[0082] 形成 TFT 沟道保护层。

[0083] 具体包括：

[0084] 用 PECVD 沉积 300nm-500nm，优选为 400nm 的第二钝化层，材料可以选用 SiO_2 或 SiN_x ，得到如图 5.1 所示的图形；

[0085] 经过曝光，显影，刻蚀后在所述 TFT 沟道上方形成如图 5.2 所示的 TFT 沟道保护层图形。

[0086] 这样，可以更好地保护 TFT 沟道，提高 TFT 的稳定性。

[0087] 实施例 6

[0088] 所述实施例 6 与实施例 5 基本相同，其不同仅在于，用磁控溅射方法沉积 100nm-150nm 的有源层薄膜，材料可以选用氧化锌 (ZnO)、氧化铟 (In_2O_3)、氧化铟锌 (IZO) 或铟镓氧化锌 (IGZO) 等。

[0089] 即，本发明所述的制造方法即适用于非晶硅 (a-Si) TFT-LCD 阵列基板的制造，也可应用于氧化物 TFT-LCD 阵列基板的制造。

[0090] 综上所述，本发明公开了一种阵列基板及其制造方法，利用上述的阵列基板的制造方法制备阵列基板，制造方法工艺简单、稳定，不仅缩短了生产周期，而且降低了生产成本；使用 ADS 模式提高了 TFT 性能；采用 SWCNT 作为透明导电层，提高了 TFT 的透光和柔性

方面的特性。

[0091] 以上实施方式仅用于说明本发明,而并非对本发明的限制,有关技术领域的普通技术人员,在不脱离本发明的精神和范围的情况下,还可以做出各种变化和变型,因此所有等同的技术方案也属于本发明的范畴,本发明的专利保护范围应由权利要求限定。

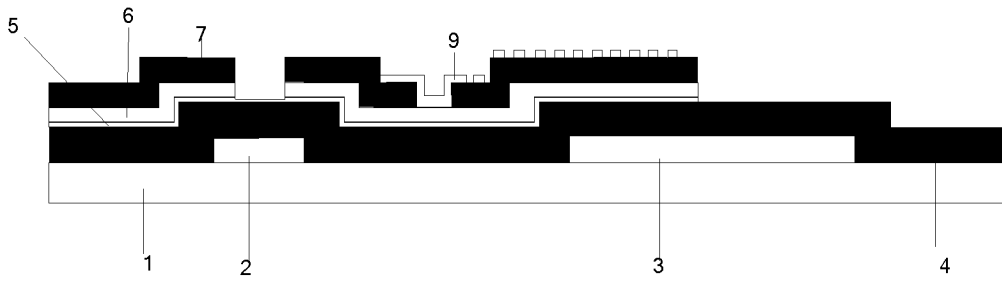


图 1

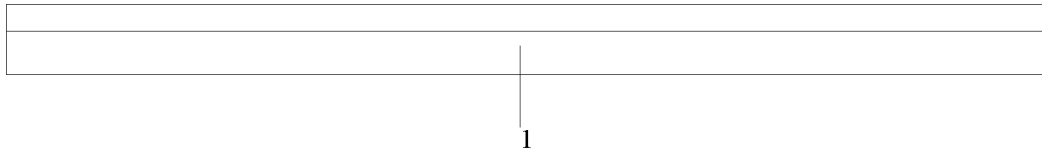


图 2.1

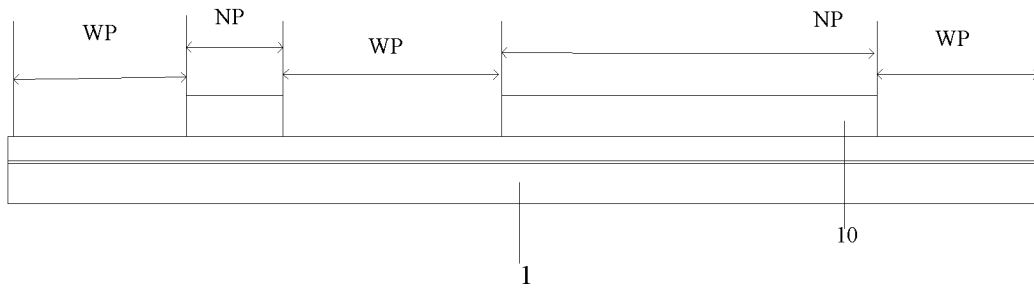


图 2.2

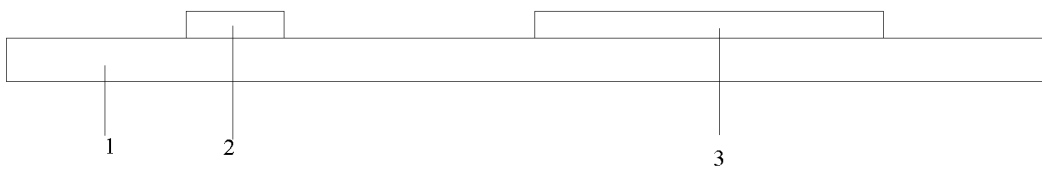


图 2.3

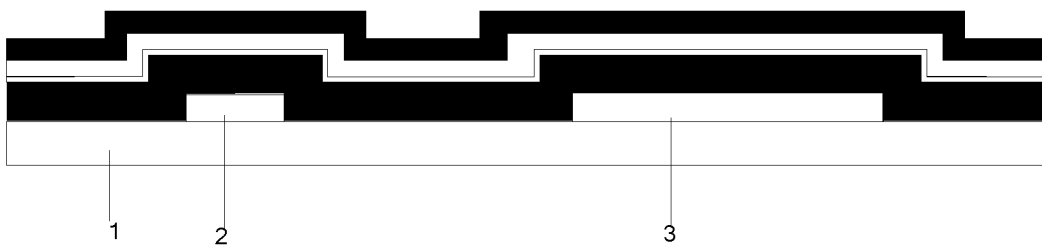


图 3.1

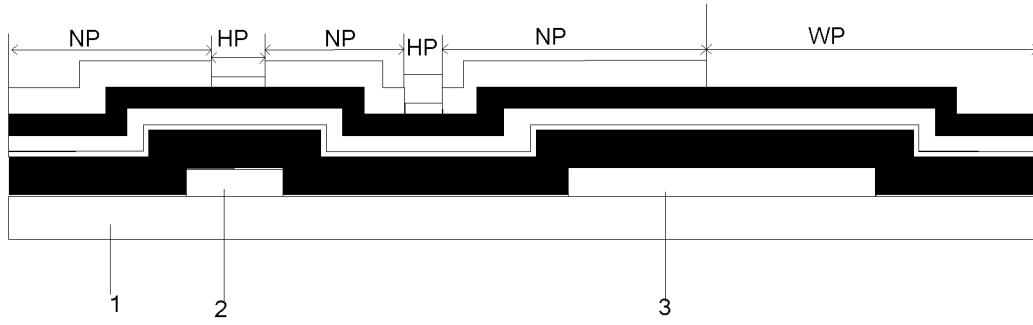


图 3.2

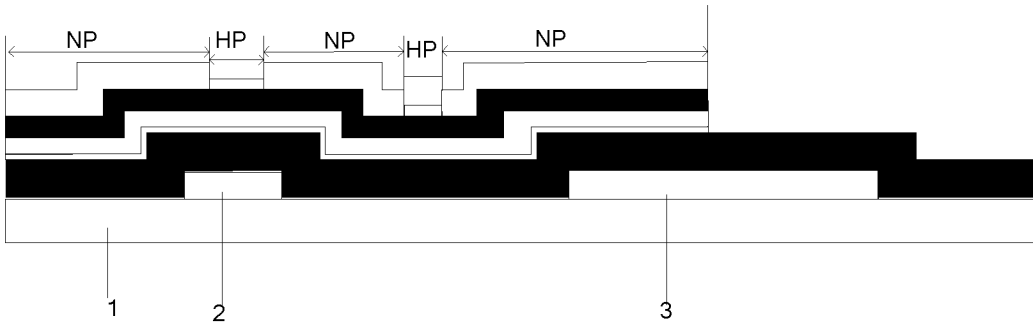


图 3.3

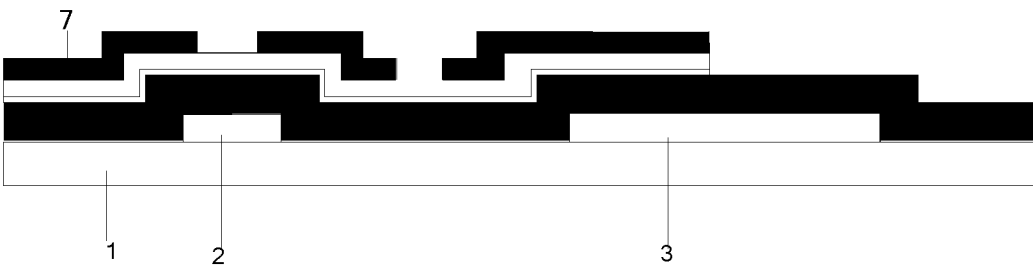


图 3.4

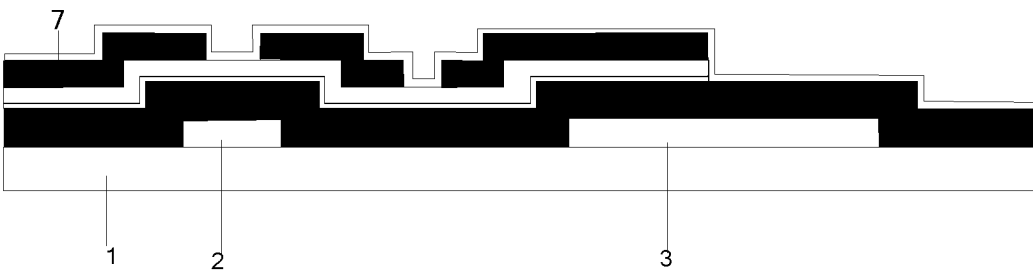


图 4.1

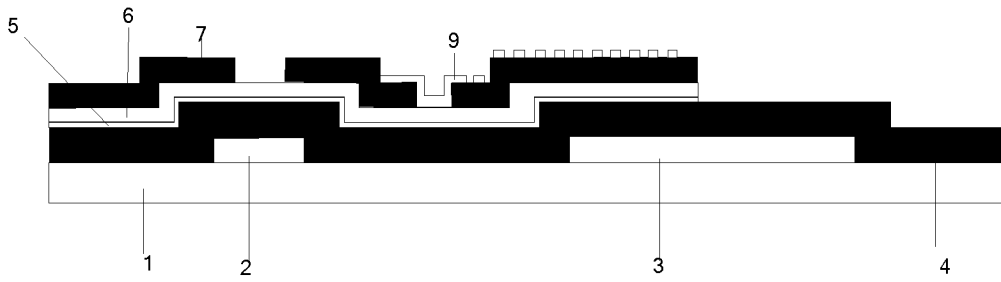


图 4.2

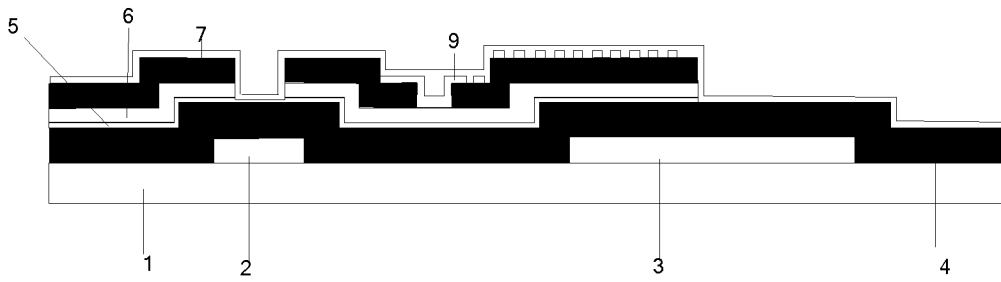


图 5.1

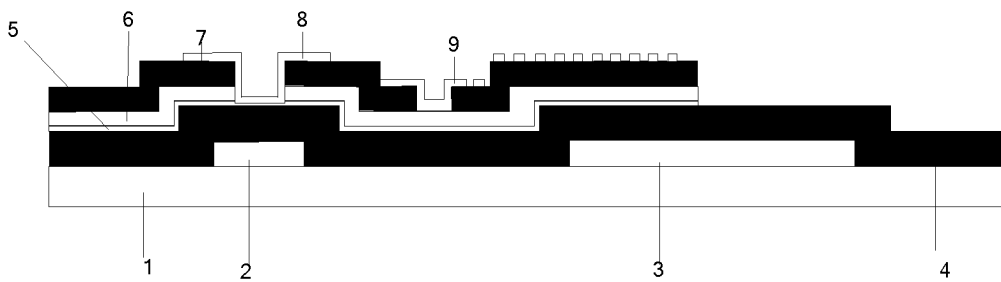


图 5.2