

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 10 月 13 日 (13.10.2016)



(10) 国际公布号
WO 2016/161887 A1

- (51) 国际专利分类号:
G09G 3/32 (2016.01)
- (21) 国际申请号: PCT/CN2016/076841
- (22) 国际申请日: 2016 年 3 月 21 日 (21.03.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510160950.5 2015 年 4 月 7 日 (07.04.2015) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。合肥鑫晟光电科技有限公司 (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市新站区工业园内, Anhui 230012 (CN)。
- (72) 发明人: 徐攀 (XU, Pan); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。吴仲远 (WU, Zhongyuan); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。张玉婷 (ZHANG, Yuting); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。李永谦 (LI, Yongqian); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

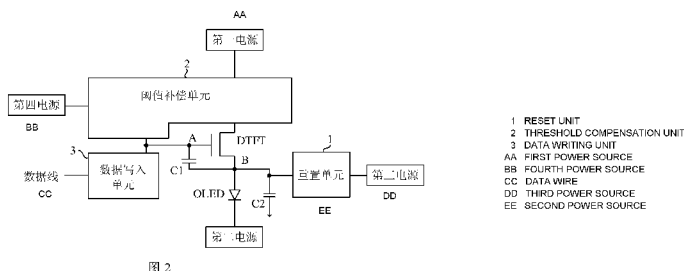
- (74) 代理人: 北京天昊联合知识产权代理有限公司 (TEE & HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区建国门内大街 28 号民生金融中心 D 座 10 层陈源, Beijing 100005 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: PIXEL DRIVING CIRCUIT, PIXEL DRIVING METHOD AND DISPLAY DEVICE

(54) 发明名称: 像素驱动电路、像素驱动方法和显示装置



(57) Abstract: A pixel driving circuit, pixel driving method and display device. The pixel driving circuit comprises: a reset unit (1), a threshold compensation unit (2), data writing unit (3), a drive transistor (DTFT), a first storage capacitor (C1) and an organic light-emitting diode (OLED), such that when the drive transistor (DTFT) drives the organic light-emitting diode (OLED) to display a pixel, a driving current (I) generated by the drive transistor (DTFT) is only associated with a data voltage (Vdata) and a reference voltage (Vref), and is not associated with a threshold voltage (Vth) of the drive transistor (DTFT), thus preventing a driving current (I) passing through the organic light-emitting diode (OLED) from being affected by a non-uniformity and drift of the threshold voltage (Vth), and effectively improving uniformity of the driving current (I) passing through the organic light-emitting diode (OLED). Furthermore, since the driving current (I) is also not associated with a first operating voltage (Vdd) and a second operating voltage (Vss), a voltage decrease of the first operating voltage (Vdd) and the second operating voltage (Vss) in the circuit can be effectively prevented from affecting the driving current (I).

(57) 摘要:

[见续页]



一种像素驱动电路、像素驱动方法和显示装置，其中该像素驱动电路包括：重置单元（1）、阈值补偿单元（2）、数据写入单元（3）、驱动晶体管（DTFT）、第一存储电容（C1）和发光器件（OLED）。使得驱动晶体管（DTFT）驱动发光器件（OLED）进行像素显示时，驱动晶体管（DTFT）产生的驱动电流（I）仅与数据电压（Vdata）和参考电压（Vref）相关，而与驱动晶体管（DTFT）的阈值电压（Vth）无关，从而可避免流过发光器件（OLED）的驱动电流（I）受到阈值电压（Vth）不均匀和漂移的影响，进而有效的提高了流过发光器件（OLED）的驱动电流（I）的均匀性。此外，由于该驱动电流（I）也与第一工作电压（Vdd）和第二工作电压（Vss）无关，因此可有效的避免第一工作电压（Vdd）和第二工作电压（Vss）在电路中的压降对驱动电流（I）的影响。

像素驱动电路、像素驱动方法和显示装置

相关申请的交叉引用

5 本申请要求于 2015 年 4 月 7 日提交的中国专利申请
No. 201510160950.5 的优先权，其全部内容通过引用合并于此。

技术领域

10 本发明涉及显示技术领域，特别涉及一种像素驱动电路、像素
驱动方法和显示装置。

背景技术

15 有源矩阵有机发光二极管 (Active Matrix Organic Light
Emitting Diode, 简称: AMOLED) 面板的应用越来越广泛。AMOLED 的
像素发光器件为有机发光二极管 (Organic Light-Emitting Diode,
简称 OLED), AMOLED 能够发光是通过驱动薄膜晶体管在饱和状态下
产生驱动电流, 该驱动电流驱动 OLED 发光。图 1 为现有技术中基本
20 的像素驱动电路的结构示意图, 如图 1 所示, 现有的基本的像素驱动
电路采用 2T1C 电路, 该 2T1C 电路包括两个薄膜晶体管 (开关管 T0
和驱动晶体管 DTFT) 和 1 个存储电容 C。

25 但是, 由于在现有的低温多晶硅工艺制程中, 显示基板上各个
驱动晶体管 DTFT 之间的阈值电压 V_{th} 的均匀性较差, 而且在使用过程
中还会发生漂移, 这样当扫描线 Scan 控制开关管 T0 导通以向各个
驱动晶体管 DTFT 输入相同数据电压 V_{data} 时, 由于各个驱动管 DTFT
的阈值电压不同而产生不同的驱动电流, 从而导致 AMOLED 面板的亮
度均匀性较差。

30 此外, 随着使用时间的推移, OLED 会逐渐的老化, 进而导致 OLED
的显示亮度出现衰减, 从而影响用户的使用。

发明内容

针对现有技术中的上述问题，本发明实施例提供像素驱动方法、像素驱动方法和显示装置，可有效消除所述驱动晶体管的阈值电压对发光器件的驱动电流的影响。

5 为实现上述目的，本发明实施例提供了一种像素驱动电路，包括：重置单元、阈值补偿单元、数据写入单元、驱动晶体管、第一存储电容和发光器件，其中，

 所述驱动晶体管的控制极与所述第一存储电容的第一端连接于第一节点，所述驱动晶体管的第二极、所述发光器件的第一端和所述
10 存储电容的第二端连接于第二节点，所述发光器件的第二端与第二电源连接；

 所述重置单元的输入端与第三电源连接，所述重置单元的输出端与所述第二节点连接，所述重置单元的控制端与第四控制线连接；

 所述阈值补偿单元的第一输入端与第一电源连接，所述阈值补偿
15 单元的第一输出端与所述驱动晶体管的第一极连接，所述阈值补偿单元的第一控制端与第三控制线连接，所述阈值补偿单元的第二输入端与第四电源连接，所述阈值补偿单元的第二输出端与所述第一节点连接，所述阈值补偿单元的第二控制端与第一控制线连接；

 所述数据写入单元的输入端与数据线连接，所述数据写入单元的
20 输出端与所述第一节点连接，所述数据写入单元的控制端与第二控制线连接；

 所述第一电源用于提供第一工作电压，所述第二电源用于提供第二工作电压，所述第三电源用于提供重置电压，所述第四电源用于提供参考电压；

25 所述重置单元用于在重置阶段时在所述第四控制线的控制下将所述重置电压写入至所述第二节点；

 所述阈值补偿单元用于在阈值补偿阶段时在所述第一控制线和第三控制线的控制下将所述参考电压写入至所述第一节点，以及将所述参考电压与所述驱动晶体管的阈值电压的差写入至所述第二节点；

30 所述数据写入单元用于在数据写入阶段时在所述第二控制线的

控制下将所述数据线上的数据电压写入至所述第一节点；

所述阈值补偿单元还用于在发光阶段时在所述第三控制线的控制下将所述第一工作电压写入至所述驱动晶体管的第一极，以导通所述驱动晶体管，以使得所述驱动晶体管向所述发光器件提供的驱动电流与所述驱动晶体管的阈值电压无关。

所述数据写入单元可以包括：第一开关管；

所述第一开关管的第一极与所述数据线连接，所述第一开关管的第二极与所述第一节点连接，所述第一开关管的控制极与所述第二控制线连接。

所述阈值补偿单元可以包括：第二开关管和第三开关管；

所述第二开关管的第一极与所述第四电源连接，所述第二开关管的第二极与所述第一节点连接，所述第二开关管的控制极与所述第一控制线连接。

所述第三开关管的第一极与所述第一电源连接，所述第三开关管的第二极与所述驱动晶体管的第一极连接，所述第三开关管的控制极与所述第三控制线连接。

所述重置单元可以包括：第四开关管；

所述第四开关管的第一极与所述第三电源连接，所述第四开关管的第二极与所述第二节点连接，所述第四开关管的控制极与所述第四控制线连接。

所述像素驱动电路还可以包括：第二存储电容；

所述第二存储电容的第一端与所述第二节点连接，所述第二存储电容的第二端悬空。

所述第三电源和所述第四电源可以为同一个电源，该电源在所述阈值补偿阶段时提供所述参考电压，在所述重置阶段、所述数据写入阶段和所述发光阶段时提供所述重置电压。

所述阈值补偿阶段可以包括第一时间段和第二时间段，并且所述第三控制线上的电压在所述第一时间段中为关断电压而在所述第二时间段中为开启电压，以使得所述阈值补偿单元在所述第一节点的电压稳定在所述参考电压之后才能够将所述参考电压与所述驱动晶

体管的阈值电压的差写入至所述第二节点。

所述第二电源和所述第三电源可以为同一个电源，该电源用于提供所述第二工作电压。

为实现上述目的，本发明实施例还提供了一种显示装置，包括：
5 上述像素驱动电路。

为实现上述目的，本发明还提供了一种像素驱动方法，其基于像素驱动电路，所述像素驱动电路采用上述像素驱动电路，所述像素驱动方法包括：

10 在重置阶段，所述重置单元在所述第四控制线的控制下将所述重置电压写入至所述第二节点；

在阈值补偿阶段，所述阈值补偿单元在所述第一控制线和第三控制线的控制下将所述参考电压写入至所述第一节点，以及将所述参考电压与所述驱动晶体管的阈值电压的差写入至所述第二节点；

15 在数据写入阶段，所述数据写入单元在所述第二控制线的控制下将数据电压写入至所述第一节点；

在发光阶段，所述阈值补偿单元在所述第三控制线的控制下将所述第一工作电压写入至所述驱动晶体管的第一极，以导通所述驱动晶体管，以使得所述驱动晶体管向所述发光器件提供的驱动电流与所述驱动晶体管的阈值电压无关。

20 根据本发明实施例提供的像素驱动电路、像素驱动方法和显示装置，可使得驱动晶体管驱动发光器件进行像素显示时，驱动晶体管产生的驱动电流仅与数据电压和参考电压相关，而与驱动晶体管的阈值电压无关，从而可避免流过发光器件的驱动电流受到阈值电压不均匀和漂移的影响，进而有效的提高了流过发光器件 OLED 的驱动电流的均匀性。此外，由于该驱动电流也与第一工作电压和第二工作电压
25 无关，因此可有效的避免第一工作电压和第二工作电压在电路中的压降对驱动电流的影响。

附图说明

30 图 1 为现有技术中基本的像素驱动电路的结构示意图；

图 2 为本发明实施例一提供的一种像素驱动电路的示意图；

图 3 为本发明实施例一中的一种像素驱动电路的具体示意图；

图 4 为图 3 所示像素驱动电路中各控制线的工作时序图；

图 5 为图 3 所示像素驱动电路在重置阶段的等效电路图；

5 图 6 为图 3 所示像素驱动电路在阈值补偿阶段的等效电路图；

图 7 为图 3 所示像素驱动电路在数据写入阶段的等效电路图；

图 8 为图 3 所示像素驱动电路在显示阶段的等效电路图；

图 9 为本发明实施例一中的另一种像素驱动电路的具体示意图；

10 图 10 为图 9 所示像素驱动电路中各控制线以及第四电源的工作
时序图；

图 11 为本发明实施例一中的又一种像素驱动电路的具体示意图；以及

图 12 为本发明实施例二提供的一种像素驱动方法的流程图。

15 具体实施方式

为使本领域的技术人员更好地理解本发明的技术方案，下面结合附图对本发明实施例提供的像素驱动电路、像素驱动方法和显示装置进行详细描述。

20 [实施例一]

本实施例提供了一种像素驱动电路，图 2 为该像素驱动电路的示意图。如图 2 所示，该像素驱动电路包括：重置单元 1、阈值补偿单元 2、数据写入单元 3、驱动晶体管 DTFT、第一存储电容 C1 和发光器件 OLED。如所示的，驱动晶体管 DTFT 的栅极（即控制极）与第一存储电容 C1 的第一端连接于第一节点 A，驱动晶体管 DTFT 的第二极、发光器件 OLED 的第一端和第一存储电容 C1 的第二端连接于第二节点 B，发光器件 OLED 的第二端与第二电源连接；重置单元 1 的输入端与第三电源连接，重置单元 1 的输出端与第二节点 B 连接，重置单元 1 的控制端与第四控制线（图 2 中未示出）连接；阈值补偿单元 2 的第一输入端与第一电源连接，阈值补偿单元 2 的第一输出端与驱

25

30

动晶体管 DTFT 的第一极连接，阈值补偿单元 2 的第一控制端与第三控制线（图 2 中未示出）连接，阈值补偿单元 2 的第二输入端与第四电源连接，阈值补偿单元 2 的第二输出端与第一节点 A 连接，阈值补偿单元 2 的第二控制端与第一控制线（图 2 中未示出）连接；数据写入单元 3 的输入端与数据线连接，数据写入单元 3 的输出端与第一节点 A 连接，数据写入单元 3 的控制端与第二控制线（图 2 中未示出）连接。

第一电源用于提供第一工作电压，第二电源用于提供第二工作电压，第三电源用于提供重置电压，第四电源用于提供参考电压。

重置单元 1 用于在重置阶段时在第四控制线的控制下将重置电压写入至第二节点 B。

阈值补偿单元 2 用于在阈值补偿阶段时在第一控制线和第三控制线的控制下将参考电压写入至第一节点 A，以及将参考电压与驱动晶体管 DTFT 的阈值电压的差写入至第二节点 B。

数据写入单元 3 用于在数据写入阶段时在第二控制线的控制下将数据线上的数据电压写入至第一节点 A。

阈值补偿单元 2 还用于在发光阶段时在第三控制线的控制下将第一工作电压写入至驱动晶体管 DTFT 的第一极，以导通驱动晶体管 DTFT，以使得驱动晶体管 DTFT 向发光器件 OLED 提供的驱动电流与驱动晶体管 DTFT 的阈值电压无关。

下面将以一个对应图 2 的具体实例对本实施例提供的像素驱动电路的工作过程进行详细描述。

图 3 为本发明实施例一中的一种像素驱动电路的具体示意图。如图 3 所示，数据写入单元 3 包括第一开关管 T1，阈值补偿单元 2 包括第二开关管 T2 和第三开关管 T3，重置单元 1 包括第四开关管 T4。

如所示的，第一开关管 T1 的第一极与数据线连接，第一开关管 T1 的第二极与第一节点 A 连接，第一开关管 T1 的控制极与第二控制线 S2 连接。

第二开关管 T2 的第一极与用于提供参考电压 V_{ref} 的第四电源连接，第二开关管 T2 的第二极与第一节点 A 连接，第二开关管 T2

的控制极与第一控制线 S1 连接。

第三开关管 T3 的第一极与用于提供第一工作电压（例如，图 3 所示的 Vdd）的第一电源连接，第三开关管 T3 的第二极与驱动晶体管 DTFT 的第一极连接，第三开关管 T3 的控制极与第三控制线 S3 连接。

第四开关管 T4 的第一极与用于提供重置电压 Vsus 的第三电源连接，第四开关管 T4 的第二极与第二节点 B 连接，第四开关管 T4 的控制极与第四控制线 S4 连接。

需要说明的是，在本实施例中以发光器件为 OLED 为例进行说明，但是该发光器件也可以是现有技术中的以电流驱动的其他发光器件，例如 LED（Light Emitting Diode，发光二极管）等。

此外，在本实施例中的驱动晶体管 DTFT、第一开关管 T1、第二开关管 T2、第三开关管 T3 和第四开关管 T4 可以为多晶硅薄膜晶体管、非晶硅薄膜晶体管、氧化物薄膜晶体管以及有机薄膜晶体管中的任一种。

在本实施例中涉及到的“控制极”具体是指晶体管的栅极，“第一极”具体是指晶体管的源极，而“第二极”具体是指晶体管的漏极。当然，本领域的技术人员应该知晓的是，该“第一极”与“第二极”可进行互换。

下面将结合附图对图 3 所示的像素驱动电路的工作过程进行详细的描述。下述描述中以驱动晶体管 DTFT、第一开关管 T1、第二开关管 T2、第三开关管 T3 和第四开关管 T4 均为 N 型薄膜晶体管为例进行说明。此外，在图 3 中，第一工作电压为高电平电压 VDD，该高电平电压 VDD 可以在 10V 左右，第二工作电压为接地电压 Vss，该接地电压 Vss 可以约为 0V，参考电压 Vref 可以在 2V 左右，重置电压 Vsus 可以在 -4V 至 -5V 之间。本领域的技术人员应该知晓的是，上述设定仅起到示例性作用，这并不会对本申请的技术方案产生限制。

需要说明的是，当驱动晶体管 DTFT、第一开关管 T1、第二开关管 T2、第三开关管 T3 和第四开关管 T4 均为 N 型薄膜晶体管时，该像素驱动电路中的各个开关管以及驱动晶体管 DTFT 可采用相同的生

产工艺同时制备，从而可简化生产流程，缩短生成周期。

图 4 为图 3 所示像素驱动电路中各控制线的工作时序图。如图 4 所示，该像素驱动电路的工作过程包括四个阶段：重置阶段、阈值补偿阶段、数据写入阶段和显示阶段。

5 在重置阶段，第一控制线 S1 输出高电平信号，第二控制线 S2 输出低电平信号，第三控制线 S3 输出低电平信号，第四控制线 S4 输出高电平信号。此时，第二开关管 T2 和第四开关管 T4 导通，第一开关管 T1 和第三开关管 T3 截止。

10 图 5 为图 3 所示像素驱动电路在重置阶段的等效电路图。如图 5 所示，由于第二开关管 T2 和第四开关管 T4 均导通，因此参考电压 V_{ref} 通过第二开关管 T2 写入至第一节点 A，并且重置电压 V_{sus} 通过第四开关管 T4 写入至第二节点 B，从而完成对该像素驱动电路的重置。此时，第一节点 A 的电压为参考电压 V_{ref} ，第二节点 B 的电压为重置电压 V_{sus} 。

15 在阈值补偿阶段，第一控制线 S1 输出高电平信号，第二控制线 S2 输出低电平信号，第三控制线 S3 输出高电平信号，第四控制线 S4 输出低电平信号。此时，第二开关管 T2 和第三开关管 T3 导通，第一开关管 T1 和第四开关管 T4 截止。

20 图 6 为图 3 所示像素驱动电路在阈值补偿阶段的等效电路图。如图 6 所示，由于第二开关管 T2 持续处于导通状态，因此第一节点 A 的电压会维持在参考电压 V_{ref} 。与此同时，由于第三开关管 T3 导通，则第一工作电压 V_{dd} 开始通过驱动晶体管 DTFT 对第二节点 B 进行充电，并当驱动晶体管 DTFT 的栅源电压 V_{gs} 等于 V_{th} 时，驱动晶体管 DTFT 截止，充电结束。此时，第二节点 B 的电压为 $V_{ref}-V_{th}$ ，
25 其中 V_{th} 为驱动晶体管的阈值电压。

 在数据写入阶段，第一控制线 S1 输出低电平信号，第二控制线 S2 输出高电平信号，第三控制线 S3 输出低电平信号，第四控制线 S4 输出低电平信号。此时，第一开关管 T1 导通，第二开关管 T2、第三开关管 T3 和第四开关管 T4 均截止。

30 图 7 为图 3 所示像素驱动电路在数据写入阶段的等效电路图，

如图 7 所示, 由于第二开关管 T2 截止以及第一开关管 T1 导通, 则数据电压 Vdata 通过第一开关管 T1 写入至第一节点 A, 第一节点 A 的电压由参考电压 Vref 跳变为数据电压 Vdata, 即第一存储电容 C1 的第一端的电压发生了大小为 Vdata-Vref 的跳变, 此时, 第一存储电容 C1 的第二端的电压在自举作用下产生相应的跳变。其中, 第一存储电容 C1 的第二端的电压跳变为:

$$V_{ref}-V_{th}+\alpha(V_{data}-V_{ref})$$

其中, α 为电压跳变常数, 在图 3 所示电路中 $\alpha=\frac{C_{c1}}{C_{c1}+C_{OLED}}$, C_{c1} 为

第一存储电容 C1 的电容值, C_{OLED} 为发光器件 OLED 自身的电容值。

在数据写入阶段结束后, 第一节点 A 的电压为数据电压 Vdata, 第二节点 B 的电压为 $V_{ref}-V_{th}+\alpha(V_{data}-V_{ref})$ 。

在显示阶段, 第一控制线 S1 输出低电平信号, 第二控制线 S2 输出低电平信号, 第三控制线 S3 输出高电平信号, 第四控制线 S4 输出低电平信号。此时, 第三开关管 T3 导通, 第一开关管 T1、第二开关管 T2 和第四开关管 T4 均截止。

图 8 为图 3 所示像素驱动电路在显示阶段的等效电路图, 如图 8 所示, 由于第三开关管 T3 导通, 因此第一电源为驱动晶体管 DTFT 提供第一工作电压 Vdd, 从而使驱动晶体管 DTFT 也处于工作状态。

由驱动晶体管 DTFT 的饱和驱动电流公式可得:

$$\begin{aligned} I &= K \cdot (V_{gs} - V_{th})^2 \\ &= K \cdot \{V_{data} - [V_{ref} - V_{th} + \alpha(V_{data} - V_{ref})] - V_{th}\}^2 \\ &= K \cdot [(1 - \alpha)(V_{data} - V_{ref})]^2 \end{aligned}$$

其中, K 和 α 均为常量, V_{gs} 为驱动晶体管 DTFT 的栅源电压。

通过上式可知, 驱动晶体管 DTFT 的驱动电流 I 仅与数据电压 Vdata 和参考电压 Vref 相关而与驱动晶体管 DTFT 的阈值电压 Vth 无关, 从而可避免流过发光器件 OLED 的驱动电流受到阈值电压不均匀和漂移的影响, 进而有效的提高了流过发光器件 OLED 的驱动电流的均匀性。此外, 由于该驱动电流也与第一工作电压 Vdd 和第二工作电压 Vss 无关, 因此可有效的避免第一工作电压 Vdd 和第二工作电压

V_{ss} 在电路中的压降对驱动电流的影响。

图 9 为本发明实施例一中的另一种像素驱动电路的具体示意图，图 10 为图 9 所示像素驱动电路中各控制线以及第四电源的工作时序图。图 9 所示的像素驱动电路与图 3 所示的像素驱动电路的区别在于，图 9 所示的像素驱动电路中的第四开关管 T4 的第一极与第四电源连接，即第三电源与第四电源为同一个电源（第四电源）。如图 10 所示，该第四电源在阈值补偿阶段时提供参考电压 V_{ref} （对应图 10 中第四电源上的高电平），在重置阶段、数据写入阶段和发光阶段时提供重置电压 V_{sus} （对应图 10 中第四电源上的低电平）。由于图 9 所示的像素驱动电路省去了第三电源，因此可为该像素驱动电路省去相应的电源连接线（Power Line），从而有效的减小布线空间。

需要说明的是，虽然第四电源在参考电压和重置电压之间进行切换时会造成瞬时功耗，但是由于参考电压的绝对值与重置电压的绝对值之间的差较小，因此该瞬时功耗也比较小。

此外，与图 4 中各控制线的时序相比，图 10 中仅第三控制线 S3 的时序与图 4 中第三控制线 S3 的时序不同，其他三条控制线的时序完全相同。由于第四电源在从重置阶段进入至阈值补偿阶段时，其输出的电压由重置电压 V_{sus} 变为参考电压 V_{ref} ，此时第一节点 A 的电压需要从重置电压 V_{sus} 上升至参考电压 V_{ref} ，该升压过程需要经历一段时间。为保证驱动晶体管 DTFT 的阈值电压 V_{th} 能准确的写入至第一存储电容 C1，因此需要第三开关管 T3 在第一节点 A 的电压稳定在参考电压 V_{ref} 之后才能导通，即，使得所述参考电压 V_{ref} 与所述驱动晶体管 DTFT 的阈值电压 V_{th} 的差能够写入至所述第二节点 B。具体地，所述阈值补偿阶段可包括第一时间段和第二时间段，在进入阈值补偿阶段时，第三控制线 S3 是先在第一时间段中维持低电平信号，然后才在第二时间段中输出高电平信号。

图 9 所示像素驱动电路的工作过程与图 3 所示的像素驱动电路的工作过程相似，具体可参见上述对与图 3 所示的像素驱动电路的工作过程的描述，此处不再赘述。

图 11 为本发明实施例一中的又一种像素驱动电路的具体示意

图。图 11 所示的像素驱动电路与图 3 所示的像素驱动电路的区别在于,图 11 所示的像素驱动电路中的第四开关管 T4 的第一极与第二电源连接,即第二电源和第三电源为同一个电源(第二电源),该第二电源持续输出第二工作电压 V_{ss} 。由于图 11 所示的像素驱动电路省去了第三电源,因此可为该像素驱动电路省去相应的电源连接线(Power Line),从而有效的减小布线空间。

需要说明的是,图 11 所示的像素驱动电路中各控制线的工作时序可参见图 4 中所示,具体内容可参见上述对图 3 所示像素驱动电路的工作过程的描述,此处不再赘述。

需要说明的是,本实施例中,对于图 2、图 3、图 5-图 9 以及图 11 所示的像素驱动电路,这些像素驱动电路中还包括第二存储电容 C2,其中,该第二存储电容 C2 的第一端与第二节点 B 连接,第二存储电容 C2 的第二端悬空。从本实施例提供各像素驱动电路中可见,在第二节点 B 处连接的器件较多,因此容易产生漏电流,从而使得第二节点 B 的电压不稳定。本发明中,通过在第二节点 B 处设置第二存储电容 C2,可使得第二节点 B 的电压稳定,从而保证驱动晶体管产生的驱动电流更加稳定。

[实施例二]

本实施例提供了一种像素驱动方法。图 12 为该像素驱动方法的流程图。该像素驱动方法基于像素驱动电路,该像素驱动电路采用上述实施例一中提供的任何一种像素驱动电路。如图 12 所示,该像素驱动方法包括如下步骤 101-步骤 104。

步骤 101: 重置单元在第四控制线的控制下将重置电压写入至第二节点。

步骤 102: 阈值补偿单元在第一控制线和第三控制线的控制下将参考电压写入至第一节点,以及将参考电压与驱动晶体管的阈值电压的差写入至第二节点。

步骤 103: 数据写入单元在第二控制线的控制下将数据电压写入至第一节点。

步骤 104: 阈值补偿单元在第三控制线的控制下将第一工作电压写入至驱动晶体管的第一极, 以导通驱动晶体管, 以使得驱动晶体管向发光器件提供的驱动电流与驱动晶体管的阈值电压无关。

步骤 101 至步骤 104 依次分别对应像素驱动电路的四个工作阶段: 重置阶段、阈值补偿阶段、数据写入阶段和发光阶段。对于步骤 101 至步骤 104 的具体过程可参见上述实施例一中的相应描述, 此处不再结合示例进行描述。

本发明实施例二提供了一种像素驱动方法, 该像素驱动方法可使得驱动晶体管的驱动电流仅与数据电压和参考电压相关而与驱动晶体管的阈值电压无关, 从而可避免流过发光器件的驱动电流受到阈值电压不均匀和漂移的影响, 进而有效的提高了流过发光器件 OLED 的驱动电流的均匀性。此外, 由于该驱动电流也与第一工作电压和第二工作电压无关, 因此可有效的避免第一工作电压和第二工作电压在电路中的压降对驱动电流的影响。

[实施例三]

本发明实施例三提供了一种显示装置, 该显示装置包括: 若干个像素单元, 每个像素单元均对应设置有像素驱动电路, 该像素驱动电路可采用上述实施例一中的像素驱动电路。此外, 该像素驱动电路可采用上述实施例二中提供的像素驱动方法进行工作。具体内容可参见上述实施例一和实施例二中的描述, 此处不再赘述。

可以理解的是, 以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式, 然而本发明并不局限于此。对于本领域内的普通技术人员而言, 在不脱离本发明的精神和实质的情况下, 可以做出各种变型和改进, 这些变型和改进也视为本发明的保护范围。

权利要求书

1. 一种像素驱动电路，包括：重置单元、阈值补偿单元、数据写入单元、驱动晶体管、第一存储电容和发光器件，其中，

5 所述驱动晶体管的控制极与所述第一存储电容的第一端连接于第一节点，所述驱动晶体管的第二极、所述发光器件的第一端和所述第一存储电容的第二端连接于第二节点，所述发光器件的第二端与第二电源连接；

所述重置单元的输入端与第三电源连接，所述重置单元的输出端与所述第二节点连接，所述重置单元的控制端与第四控制线连接；

10 所述阈值补偿单元的第一输入端与第一电源连接，所述阈值补偿单元的第一输出端与所述驱动晶体管的第一极连接，所述阈值补偿单元的第一控制端与第三控制线连接，所述阈值补偿单元的第二输入端与第四电源连接，所述阈值补偿单元的第二输出端与所述第一节点连接，所述阈值补偿单元的第二控制端与第一控制线连接；

15 所述数据写入单元的输入端与数据线连接，所述数据写入单元的输出端与所述第一节点连接，所述数据写入单元的控制端与第二控制线连接；

20 所述第一电源用于提供第一工作电压，所述第二电源用于提供第二工作电压，所述第三电源用于提供重置电压，所述第四电源用于提供参考电压；

所述重置单元用于在重置阶段时在所述第四控制线的控制下将所述重置电压写入至所述第二节点；

25 所述阈值补偿单元用于在阈值补偿阶段时在所述第一控制线和第三控制线的控制下将所述参考电压写入至所述第一节点，以及将所述参考电压与所述驱动晶体管的阈值电压的差写入至所述第二节点；

所述数据写入单元用于在数据写入阶段时在所述第二控制线的控制下将所述数据线上的数据电压写入至所述第一节点；

所述阈值补偿单元还用于在发光阶段时在所述第三控制线的控制下将所述第一工作电压写入至所述驱动晶体管的第一极，以导通所

述驱动晶体管,以使得所述驱动晶体管向所述发光器件提供的驱动电流与所述驱动晶体管的阈值电压无关。

5 2. 根据权利要求 1 所述的像素驱动电路,其中,所述数据写入单元包括:第一开关管;

所述第一开关管的第一极与所述数据线连接,所述第一开关管的第二极与所述第一节点连接,所述第一开关管的控制极与所述第二控制线连接。

10 3. 根据权利要求 1 所述的像素驱动电路,其中,所述阈值补偿单元包括:第二开关管和第三开关管;

所述第二开关管的第一极与所述第四电源连接,所述第二开关管的第二极与所述第一节点连接,所述第二开关管的控制极与所述第一控制线连接;

15 所述第三开关管的第一极与所述第一电源连接,所述第三开关管的第二极与所述驱动晶体管的第一极连接,所述第三开关管的控制极与所述第三控制线连接。

20 4. 根据权利要求 1 所述的像素驱动电路,其中,所述重置单元包括:第四开关管;

所述第四开关管的第一极与所述第三电源连接,所述第四开关管的第二极与所述第二节点连接,所述第四开关管的控制极与所述第四控制线连接。

25 5. 根据权利要求 1-4 中任一所述的像素驱动电路,还包括:第二存储电容;

所述第二存储电容的第一端与所述第二节点连接,所述第二存储电容的第二端悬空。

30 6. 根据权利要求 1 所述的像素驱动电路,其中,所述第三电源

和所述第四电源为同一个电源，该电源在所述阈值补偿阶段时提供所述参考电压，在所述重置阶段、所述数据写入阶段和所述发光阶段时提供所述重置电压。

5 7. 根据权利要求 6 所述的像素驱动电路，其中，所述阈值补偿阶段包括第一时间段和第二时间段，并且所述第三控制线上的电压在所述第一时间段中为关断电压而在所述第二时间段中为开启电压，以使得所述阈值补偿单元在所述第一节点的电压稳定在所述参考电压之后才能够将所述参考电压与所述驱动晶体管的阈值电压的差写入至所述第二节点。

8. 根据权利要求 1 所述的像素驱动电路，其中，所述第二电源和所述第三电源为同一个电源，该电源用于提供所述第二工作电压。

15 9. 一种显示装置，包括：如权利要求 1-8 中任一所述的像素驱动电路。

10 10. 一种像素驱动方法，其基于像素驱动电路，所述像素驱动电路采用上述权利要求 1-8 中任一所述的像素驱动电路，所述像素驱动方法包括：

在重置阶段，所述重置单元在所述第四控制线的控制下将所述重置电压写入至所述第二节点；

25 在阈值补偿阶段，所述阈值补偿单元在所述第一控制线和第三控制线的控制下将所述参考电压写入至所述第一节点，以及将所述参考电压与所述驱动晶体管的阈值电压的差写入至所述第二节点；

在数据写入阶段，所述数据写入单元在所述第二控制线的控制下将数据电压写入至所述第一节点；

30 在发光阶段，所述阈值补偿单元在所述第三控制线的控制下将所述第一工作电压写入至所述驱动晶体管的第一极，以导通所述驱动晶体管，以使得所述驱动晶体管向所述发光器件提供的驱动电流与所

述驱动晶体管的阈值电压无关。

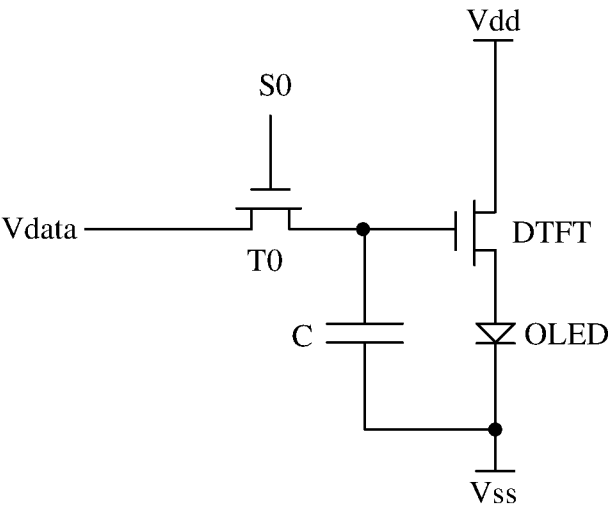


图 1

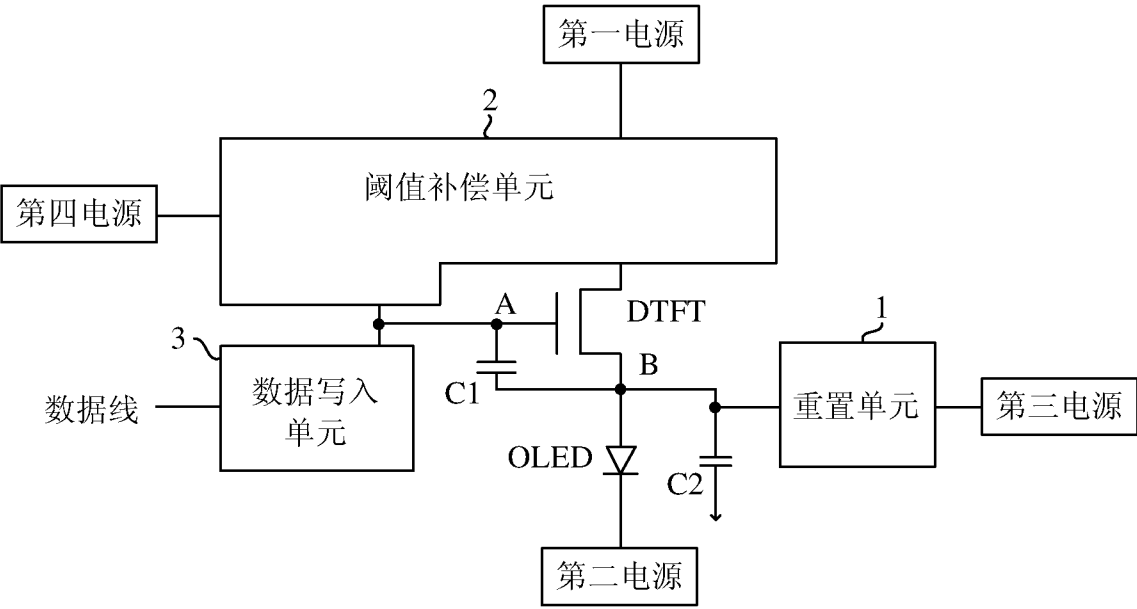


图 2

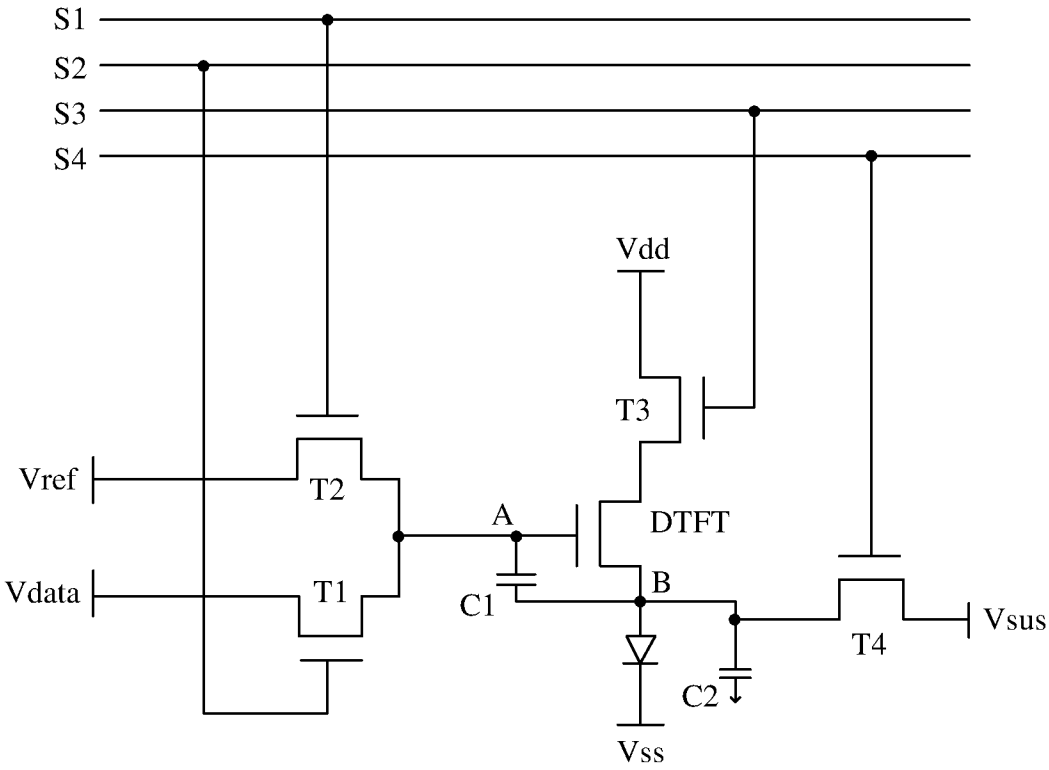


图 3

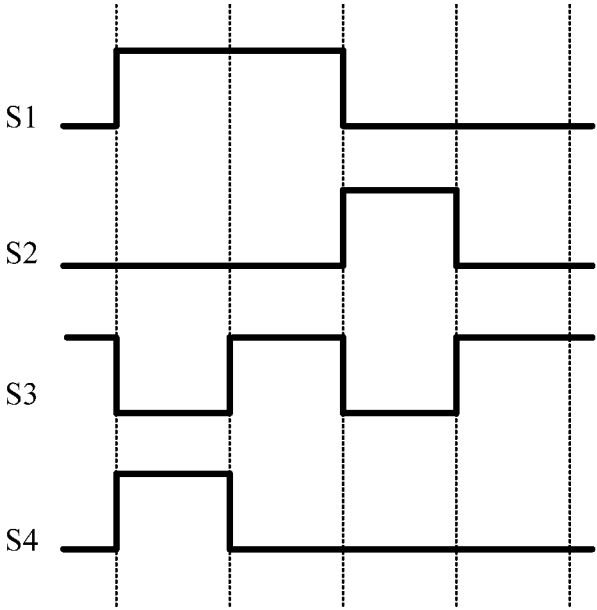


图 4

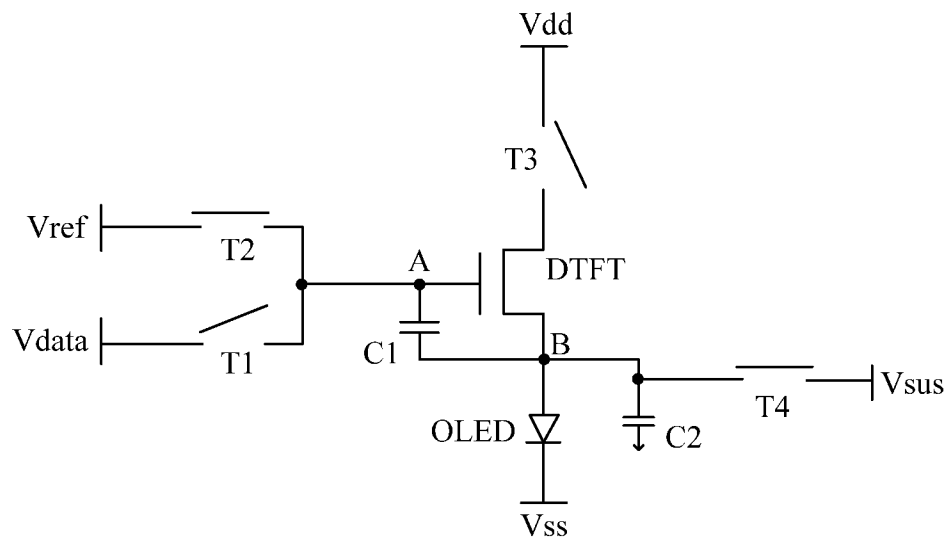


图 5

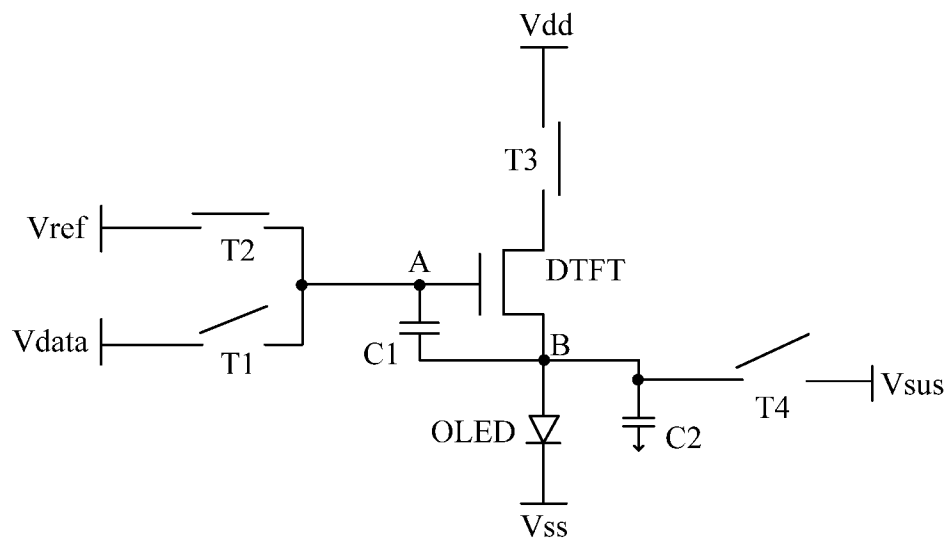


图 6

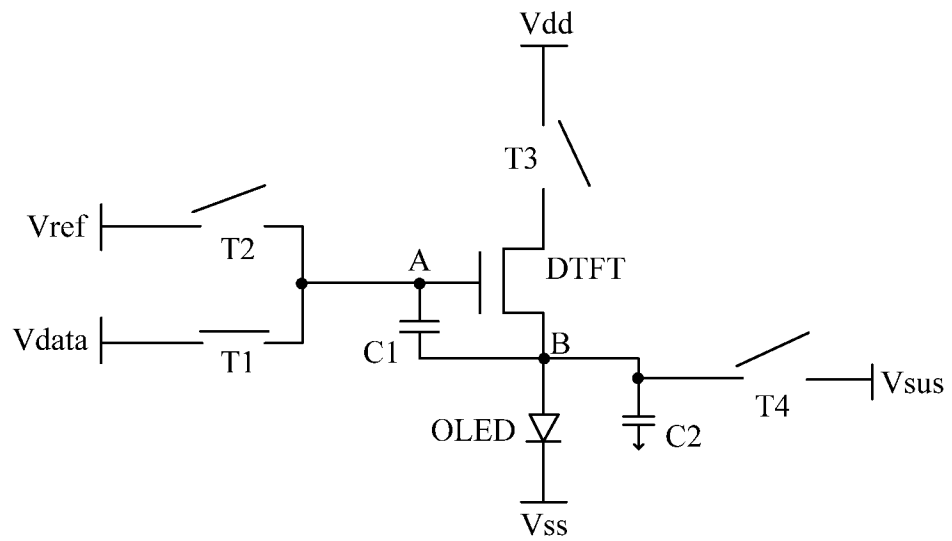


图 7

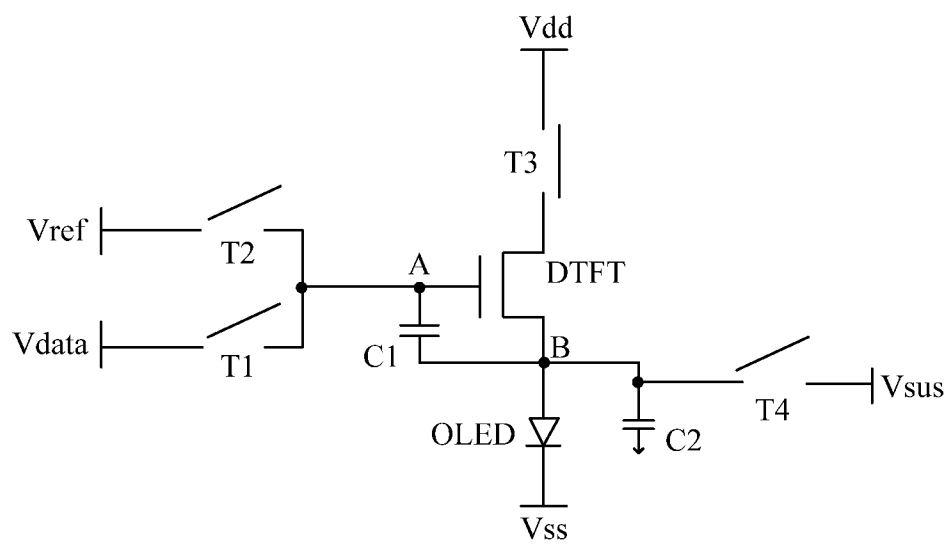


图 8

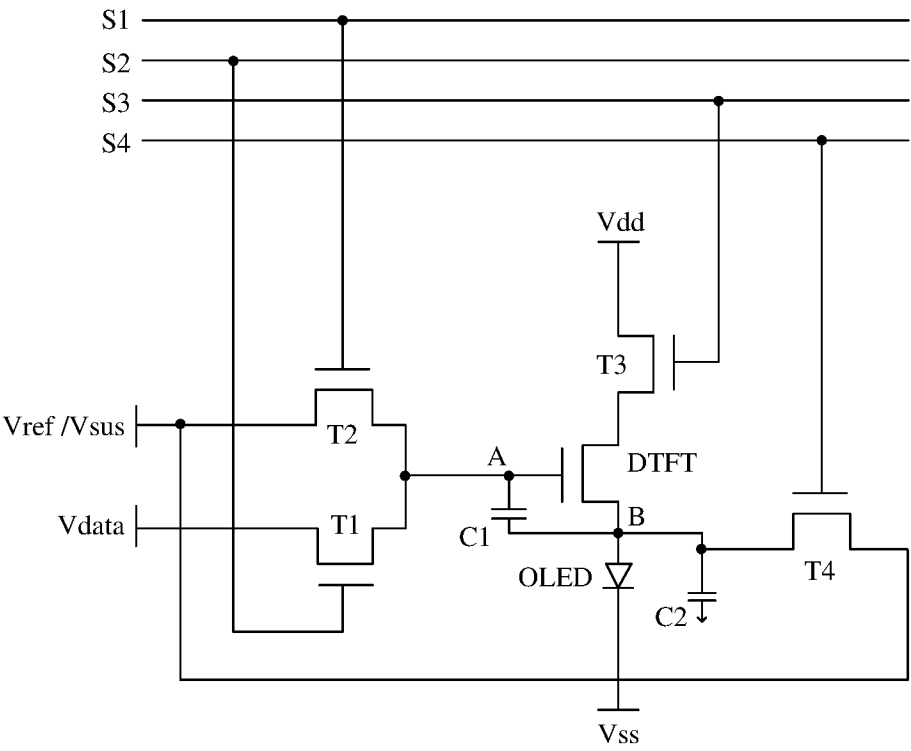


图 9

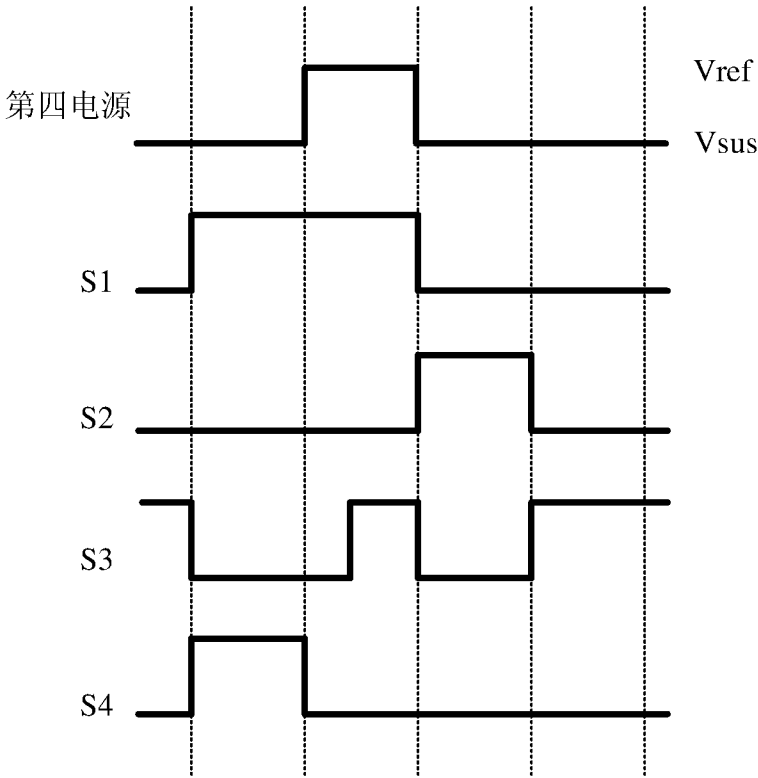


图 10

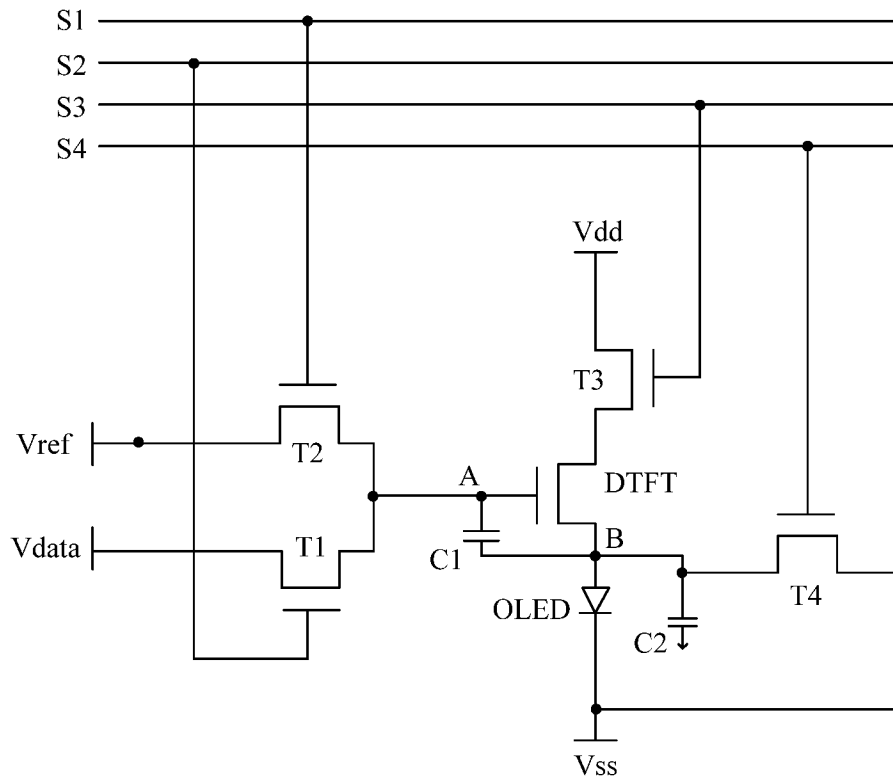


图 11

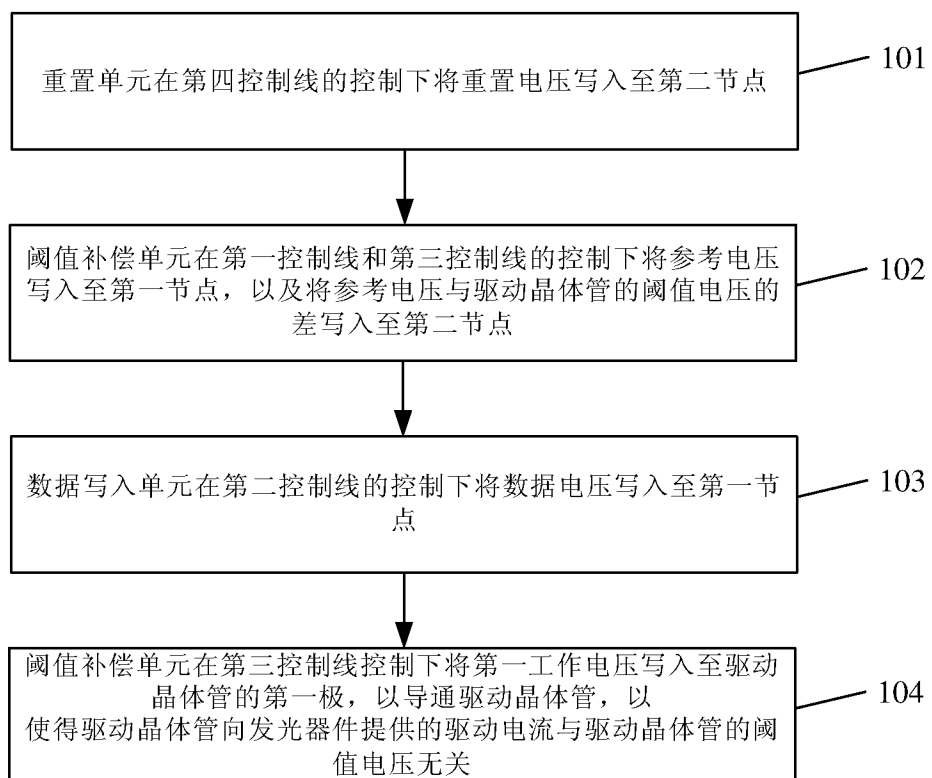


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/076841

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2016.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: BOE; initialize, pixel?, reset+, transistor?, switch, threshold, compensat+, capacitance

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104715726 A (HEFEI XINSHENG OPTOELECTRONIC TECHNOLOGY CO., LTD. et al.), 17 June 2015 (17.06.2015), claims 1-9, and description, paragraphs [0048]-[0095]	1-10
X	CN 103440840 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 11 December 2013 (11.12.2013), description, paragraphs [0126]-[0132], and figures 19-20	1-10
X	CN 101325022 A (SONY CORPORATION), 17 December 2008 (17.12.2008), description, page 6, line 20 to page 8, line 28, and figure 2	1-10
A	CN 104050916 A (SHANGHAI TIANMA ORGANIC LUMINESCENT DISPLAY TECHNOLOGY CO., LTD. et al.), 17 September 2014 (17.09.2014), the whole document	1-10
A	CN 104464624 A (AU OPTRONICS CORP.), 25 March 2015 (25.03.2015), the whole document	1-10
A	CN 101989404 A (SAMSUNG MOBILE DISPLAY CO., LTD.), 23 March 2011 (23.03.2011), the whole document	1-10
A	JP 2004069816 A (NEC CORPORATION), 04 March 2004 (04.03.2004), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 29 April 2016 (29.04.2016)	Date of mailing of the international search report 27 May 2016 (27.05.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Wenfei Telephone No.: (86-10) 62414443

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/076841

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104715726 A	17 June 2015	None	
CN 103440840 A	11 December 2013	CN 103440840 B	16 September 2015
CN 101325022 A	17 December 2008	KR 101504601 B1	20 March 2015
		TW 200907904 A	16 February 2009
		US 2014347406 A1	27 November 2014
		US 2016049117 A1	18 February 2016
		US 9165501 B2	20 October 2015
		US 9013372 B2	21 April 2015
		TW I402800 B	21 July 2013
		CN 101325022 B	12 January 2011
		US 2008309595 A1	18 December 2008
		US 8232935 B2	31 July 2012
		KR 20080109613 A	17 December 2008
		US 2012218251 A1	30 August 2012
		JP 2008309910 A	25 December 2008
CN 104050916 A	17 September 2014	US 2015356919 A1	10 December 2015
		DE 102014113867 A1	17 December 2015
CN 104464624 A	25 March 2015	None	
CN 101989404 A	23 March 2011	CN 101989404 B	12 March 2014
		JP 2011034038 A	17 February 2011
		US 2016037156 A1	04 February 2016
		US 9183778 B2	10 November 2015
		TW 201108184 A	01 March 2011
		KR 101056281 B1	11 August 2011
		EP 2284825 A1	16 February 2011
		US 2011025586 A1	03 February 2011
		TW I435304 B	21 April 2014
		KR 20110013692 A	10 February 2011
JP 2004069816 A	04 March 2004	US 7173582 B2	06 February 2007
		US 2005174307 A1	11 August 2005
		JP 4210830 B2	21 January 2009
		WO 2004013834 A1	12 February 2004
		JP 5035179 B2	26 September 2012
		JP 2009015339 A	22 January 2009

A. 主题的分类 G09G 3/32 (2016.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G3/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, WPI, EPDOC: 京东方, 像素, 象素, 重置, 初始化, 晶体管, 开关, 阈值, 补偿, 电容, pixel?, reset+, transistor?, switch, threshold, compensat+, capacitance		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 104715726 A (合肥鑫晟光电科技有限公司 等) 2015年 6月 17日 (2015 - 06 - 17) 权利要求1-9, 说明书第[0048]-[0095]段	1-10
X	CN 103440840 A (北京大学深圳研究生院) 2013年 12月 11日 (2013 - 12 - 11) 说明书第[0126]-[0132]段, 附图19-20	1-10
X	CN 101325022 A (索尼株式会社) 2008年 12月 17日 (2008 - 12 - 17) 说明书第6页第20行到第8页第28行, 附图2	1-10
A	CN 104050916 A (上海天马有机发光显示技术有限公司 等) 2014年 9月 17日 (2014 - 09 - 17) 全文	1-10
A	CN 104464624 A (友达光电股份有限公司) 2015年 3月 25日 (2015 - 03 - 25) 全文	1-10
A	CN 101989404 A (三星移动显示器株式会社) 2011年 3月 23日 (2011 - 03 - 23) 全文	1-10
A	JP 2004069816 A (NEC CORPORATION) 2004年 3月 4日 (2004 - 03 - 04) 全文	1-10
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2016年 4月 29日		国际检索报告邮寄日期 2016年 5月 27日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 李文斐 电话号码 (86-10) 62414443

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/076841

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104715726	A	2015年 6月 17日	无			
CN	103440840	A	2013年 12月 11日	CN	103440840	B	2015年 9月 16日
CN	101325022	A	2008年 12月 17日	KR	101504601	B1	2015年 3月 20日
				TW	200907904	A	2009年 2月 16日
				US	2014347406	A1	2014年 11月 27日
				US	2016049117	A1	2016年 2月 18日
				US	9165501	B2	2015年 10月 20日
				US	9013372	B2	2015年 4月 21日
				TW	1402800	B	2013年 7月 21日
				CN	101325022	B	2011年 1月 12日
				US	2008309595	A1	2008年 12月 18日
				US	8232935	B2	2012年 7月 31日
				KR	20080109613	A	2008年 12月 17日
				US	2012218251	A1	2012年 8月 30日
				JP	2008309910	A	2008年 12月 25日
CN	104050916	A	2014年 9月 17日	US	2015356919	A1	2015年 12月 10日
				DE	102014113867	A1	2015年 12月 17日
CN	104464624	A	2015年 3月 25日	无			
CN	101989404	A	2011年 3月 23日	CN	101989404	B	2014年 3月 12日
				JP	2011034038	A	2011年 2月 17日
				US	2016037156	A1	2016年 2月 4日
				US	9183778	B2	2015年 11月 10日
				TW	201108184	A	2011年 3月 1日
				KR	101056281	B1	2011年 8月 11日
				EP	2284825	A1	2011年 2月 16日
				US	2011025586	A1	2011年 2月 3日
				TW	1435304	B	2014年 4月 21日
				KR	20110013692	A	2011年 2月 10日
JP	2004069816	A	2004年 3月 4日	US	7173582	B2	2007年 2月 6日
				US	2005174307	A1	2005年 8月 11日
				JP	4210830	B2	2009年 1月 21日
				WO	2004013834	A1	2004年 2月 12日
				JP	5035179	B2	2012年 9月 26日
				JP	2009015339	A	2009年 1月 22日

表 PCT/ISA/210 (同族专利附件) (2009年7月)