



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

248 350

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 08 05 85
(21) PV 3331-85

(51) Int. Cl.
G 06 F 13/28

(40) Zveřejněno 12 06 86
(45) Vydáno 01 08 88

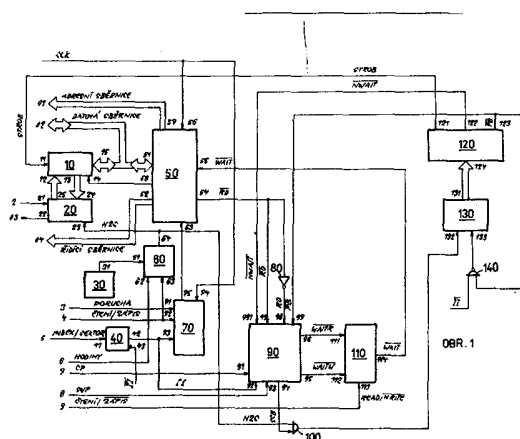
(75)
Autor vynálezu

KOUDAR IVAN, BRNO

(54)

Zapojení kanálu pro přímý přístup do paměti

Cílem řešení je vytvořit spolehlivé zapojení malých rozměrů, s minimální spotřebou elektrické energie, připojitelné k mikropočítačového systému a umožňující spolupráci se širokým sortimentem diskových pamětí, dále zajistit automatickou synchronizaci na čtená data a umožnit plynulou změnu rychlosti přenosu dat při zápisu. Uvedeného cíle se dosáhne zapojením s řadičem, oscilátorem, čítačem bitů, dekodérem 1 z n, serializačními a deserializačními obvody, monostabilním klopným obvodem, dále s vyrovnávací pamětí, prvním a druhým prepínačem čtení/zápis a se spouštěcími obvody řadiče. Automatická synchronizace na čtený signál spočívá v zavedení zpětné vazby k řadiči pomocí prvního a druhého prepínače čtení/zápis, čítače bitů, dekodéru 1 z n a synchronizačních obvodů řadiče. Řešení lze využít při spolupráci se širokým sortimentem diskových pamětí.



Vynález se týká zapojení kanálu pro přímý přístup do paměti, zejména pro připojení diskové paměti.

Připojování diskových pamětí s pevným diskem k minipočítačovým systémům je řešeno jednouúčelově pro daný typ diskové paměti. Rychlost přenosu dat kanálem pro přímý přístup do paměti je přizpůsobena danému typu diskové paměti a nelze ji měnit v širších mezích. Z toho vyplývá nevýhoda spočívající v nemožnosti připojení diskové paměti s větší přenosovou rychlostí k takové řídicí jednotce. Rovněž připojení takových řídicích jednotek k mikropočítačovému systému je prakticky nemožné. Používání integrovaných obvodů typu SSI a MSI značně prodražuje tato řešení, jež jsou mimo to energeticky náročné.

Uvedené nevýhody odstraňuje zapojení kanálu pro přímý přístup do paměti podle vynálezu, jehož podstatou je, že hodinový vstup řadiče je spojen s hodinovým vstupem spouštěcích obvodů řadiče a tvoří současně první hodinový vstup zapojení, skupina adresových výstupů řadiče tvoří současně první skupinu datových výstupů zapojení, skupina datových vstupů a výstupů řadiče je spojena se skupinou datových vstupů a výstupů vyrovnávací paměti a tvoří současně skupinu datových vstupů a výstupů zapojení, datový vstup serializačních a deserializačních obvodů tvoří současně datový vstup zapojení, datový výstup serializačních a deserializačních obvodů tvoří současně datový výstup zapojení, skupina řídicích výstupů řadiče tvoří současně skupinu výstupů zapojení, kontrolní vstup spouštěcích obvodů řadiče tvoří současně kontrolní vstup zapojení, povelový vstup spouštěcích obvodů řadiče je připojen na povelový vstup prvního přepínače čtení/zápis a tvoří současně povelový vstup zapojení, spouštěcí vstup monostabilního klopného obvodu tvoří současně spouštěcí vstup zapojení, hodinový vstup prvního přepínače čtení/zápis tvoří současně druhý hodinový vstup zapojení, povolovací vstup synchronizač-

ních obvodů řadiče tvoří současně povolovací vstup zapojení, stavový vstup synchronizačních obvodů tvoří současně stavový vstup zapojení, informační vstup druhého přepínače čtení/zápis tvoří současně informační vstup zapojení, řídicí výstup řadiče je připojen na řídicí vstup vyrovnávací paměti, jejíž skupina výstupů je připojena na skupinu vstupů serializačních a deserializačních obvodů, skupina výstupů serializačních a deserializačních obvodů je připojena na skupinu vstupů vyrovnávací paměti, potvrzovací výstup řadiče je připojen na první potvrzovací vstup synchronizačních obvodů řadiče a přes invertor na druhý potvrzovací vstup synchronizačních obvodů řadiče, výstup řídicího oscilátoru je připojen na řídicí vstup prvního přepínače čtení/zápis, jehož výstup je připojen na hodinový vstup serializačních a deserializačních obvodů a na první vstup dvouvstupového obvodu typu logického součinu, přímý výstup monostabilního klopného obvodu je připojen na inicializační vstup synchronizačních obvodů řadiče a na inicializační vstup spouštěcích obvodů řadiče, jejichž výstup je připojen na uvolňovací vstup řadiče, výstup synchronizačních obvodů řadiče je připojen na druhý vstup dvouvstupového obvodu typu logického součinu, jehož výstup je připojen na hodinový vstup čítače bitů, inverzní výstup monostabilního klopného obvodu je připojen na první vstup dvouvstupového obvodu typu negace logického součinu, jehož výstup je připojen na nulovací vstup čítače bitů, první ovládací výstup synchronizačních obvodů řadiče je připojen na první ovládací vstup druhého přepínače čtení/zápis, kdežto jeho druhý ovládací výstup je připojen na druhý ovládací vstup druhého přepínače čtení/zápis, jehož synchronizační výstup je připojen na synchronizační vstup řadiče, skupina výstupů čítače bitů je připojena na skupinu vstupů dekodéru 1 z n, jehož signalizační výstup je připojen na druhý vstup dvouvstupového obvodu typu negace logického součinu a na signalizační vstup synchronizačních obvodů řadiče, strobovací výstup dekodéru 1 z n je připojen na strobovací vstup vyrovnávací paměti, nulovací výstup dekodéru 1 z n je připojen na nulovací vstup synchronizačních obvodů řadiče.

Výhodou zapojení podle vynálezu je jeho automatická synchronizace na čtená data, možnost plynule měnit rychlost přenosu dat při zápisu, možnost spolupráce se širokým sortimentem diskových pamětí a možnost připojení k mikropočítačovému systému, malé rozměry, minimální spotřeba elektrické energie a spolehlivost.

Příklad zapojení kanálu pro přímý přístup do paměti podle vynálezu je znázorněn na připojených výkresech, na nichž obr. 1 představuje blokové schéma zapojení, obr. 2 časový diagram signálů uvolňujících řadič, obr. 3 časový diagram signálů zápisového cyklu a obr. 4 časový diagram signálů čtecího cyklu.

Hodinový vstup 56 řadiče 50 pro signál CLK je spojen s hodinovým vstupem 74 spouštěcích obvodů 70 řadiče a tvoří současně první hodinový vstup 1 zapojení pro připojení na neznázorněný mikropočítač. Skupina adresových výstupů 57 řadiče 50 tvoří současně první skupinu datových výstupů 01 zapojení pro připojení na mikropočítač. Skupina datových vstupů a výstupů 51 řadiče 50 je spojena se skupinou datových vstupů a výstupů 15 vyrovnávací paměti 10 a tvoří současně skupinu datových vstupů a výstupů 02 zapojení pro připojení na mikropočítač. Datový vstup 21 serializačních a deserializačních obvodů 20 tvoří současně datový vstup 2 zapojení pro připojení na neznázorněnou diskovou paměť. Datový výstup 22 serializačních a deserializačních obvodů 20 tvoří současně datový výstup 03 zapojení pro připojení na diskovou paměť. Skupina řídicích výstupů 52 řadiče 50 tvoří současně skupinu výstupů 04 zapojení pro připojení na mikropočítač. Kontrolní vstup 71 spouštěcích obvodů 70 řadiče pro signál PORUCHA tvoří současně kontrolní vstup 3 zapojení pro připojení na diskovou paměť. Povelový vstup 72 spouštěcích obvodů 70 řadiče pro signál ČTENÍ/ZÁPIS je připojen na povelový vstup 63 prvního přepínače 60 čtení/zápis a tvoří současně povelový vstup 4 zapojení pro připojení na neznázorněnou řídicí jednotku. Spouštěcí vstup 41 monostabilního klopného obvodu 40 pro signál INDEX/SEKTOR tvoří současně spouštěcí vstup 5 zapojení pro připojení na diskovou paměť. Hodinový vstup 62 prvního přepínače 60 čtení/zápis pro signál HODINY tvoří současně druhý hodinový vstup 6 zapojení pro připojení na diskovou paměť. Povolovací vstup 91 synchronizačních obvodů 90 řadiče pro signál CP tvoří současně povolovací vstup 7 zapojení pro připojení na řídicí jednotku. Stavový vstup 93 synchronizačních obvodů 90 pro signál SVP tvoří současně stavový vstup 8 zapojení pro připojení na řídicí jednotku. Informační vstup 113 druhého přepínače 110 čtení/zápis pro signál ČTENÍ/ZÁPIS tvoří současně informační vstup 9 zapojení pro připojení na řídicí jednotku. Řídicí výstup 58 řadiče 50 pro signál $\overline{WR}$ je připojen na řídicí vstup 14 vyrovnávací paměti 10,

jejíž skupina výstupů 13 je připojena na skupinu vstupů 24 serializačních a deserializačních obvodů 20. Skupina výstupů 25 serializačních a deserializačních obvodů 20 je připojena na skupinu vstupů 12 vyrovnávací paměti 10. Potvrzovací výstup 54 řadiče 50 pro signál $\overline{RD}$ je připojen na první potvrzovací vstup 99 synchronizačních obvodů 90 řadiče a přes invertor 80 na druhý potvrzovací vstup 98 synchronizačních obvodů 90 řadiče. Výstup 31 řídicího oscilátoru 30 je připojen na řídicí vstup 61 prvního přepínače 60 čtení/zápis, jehož výstup 64 pro signál HZC je připojen na hodinový vstup 23 serializačních a deserializačních obvodů 20 a na první vstup dvouvstupového obvodu 100 typu logického součinu. Přímý výstup 42 monostabilního klopného obvodu 40 pro signál $\overline{II}$ je připojen na inicializační vstup 92 synchronizačních obvodů 90 řadiče a na inicializační vstup 73 spouštěcích obvodů 70 řadiče, jejichž výstup 75 pro signál READY je připojen na uvolňovací vstup 53 řadiče 50. Výstup 94 synchronizačních obvodů 90 řadiče pro signál SCR je připojen na druhý vstup dvouvstupového obvodu 100 typu logického součinu, jehož výstup pro signál HCB je připojen na hodinový vstup 132 čítače 130 bitů. Inverzní výstup 43 monostabilního klopného obvodu 40 pro signál $\overline{II}$ je připojen na první vstup dvouvstupového obvodu 140 typu negace logického součinu, jehož výstup je připojen na nulovací vstup 133 čítače 130 bitů. První ovládací výstup 96 synchronizačních obvodů 90 řadiče pro signál $\overline{WAITR}$ je připojen na první ovládací vstup 111 druhého přepínače 110 čtení/zápis, kdežto jeho druhý ovládací výstup 95 pro signál $\overline{WAITW}$ je připojen na druhý ovládací vstup 112 druhého přepínače 110 čtení/zápis, jehož synchronizační výstup 114 pro signál $\overline{WAIT}$ je připojen na synchronizační vstup 55 řadiče 50. Skupina výstupů 131 čítače 130 bitů je připojena na skupinu vstupů 124 dekodéru 120 1 z n, jehož signalizační výstup 123 pro signál $\overline{PB}$ je připojen na druhý vstup dvouvstupového obvodu 140 typu negace logického součinu a na signalizační vstup 97 synchronizačních obvodů 90 řadiče. Strobovací výstup 121 dekodéru 120 1 z n pro signál $\overline{STROB}$ je připojen na strobovací vstup 11 vyrovnávací paměti 10. Nulovací výstup 122 dekodéru 120 1 z n pro signál $\overline{NWAIT}$ je připojen na nulovací vstup 991 synchronizačních obvodů 90 řadiče.

Automatická synchronizace na čtený signál spočívá v zavedení zpětné vazby k řadiči 50 pomocí prvního přepínače 60 čtení/zápis, druhého přepínače 110 čtení/zápis, čítače 130 bitů, dekodéru 120 1 z n a synchronizačních obvodů 90 řadiče.

Zápisový cyklus je zahájen příchodem náběžné hrany signálu INDEX/SEKTOR na spouštěcí vstup 41 monostabilního klopného obvodu 40. Signálem II, přivedeným na inicializační vstup 73, je ve spouštěcích obvodech 70 řadiče vygenerován signál READY; na jehož pokyn převezme řadič 50 řízení spojení s mikropočítačem. Na to přečte řadič 50 z operační paměti v počítači informaci jednoho bytu. Na konci čtecího cyklu si řadič 50 nastaví sám signál $\overline{\text{WAIT}}$, a sice signálem $\overline{\text{RD}}$. Aktivace tohoto signálu způsobí uvedení řadiče 50 do dynamického stopu. Tento stav je zahájen na začátku zápisového cyklu řadiče 50. V této době probíhá zápis předcházejícího bytu nachystaného ve vyrovnávací paměti 10 do diskové paměti. V okamžiku přenosu zvoleného bitu do diskové paměti je tento dynamický stop zrušen signálem $\overline{\text{NWAIT}}$, který je přiváděn z dekodéru 120 1 z n do synchronizačních obvodů 90 řadiče a kterým se zruší signál $\overline{\text{WAIT}}$. Na tento pokyn se řadič 50 opět rozběhne a dokončí se zápisový cyklus. Zapisovaná data do vyrovnávací paměti 10 se uloží náběžnou hranou signálu $\overline{\text{WR}}$, přiváděného na řídicí vstup 14 vyrovnávací paměti 10. Po dokončení zápisového cyklu přechází řadič 50 opět do čtecího cyklu a činnost se opakuje. Správné vykonání zápisového cyklu zabezpečují obvody synchronizační smyčky tvořené řadičem 50, synchronizačními obvody 90 řadiče, prvním prepínačem 60 čtení/zápis, druhým prepínačem 110 čtení/zápis, dekodérem 120 1 z n, čítačem 130 bitů a řídicím oscilátorem 30. Činnost zapojení při zápisovém cyklu je dále zřejmá z časového diagramu dle obr. 2, který představuje uvolňování řadiče 50 signálem READY a z časového diagramu zápisového cyklu dle obr. 3. Dle tohoto posledního časového diagramu se přenos prvního bytu do diskové paměti odehrává od příchodu signálu INDEX/SEKTOR po náběžnou hranu signálu $\overline{\text{WR}}$. Rozběh řadiče 50 se odehrává od náběžné hrany signálu READY po sestupnou hranu druhého signálu $\overline{\text{RD}}$. Tím okamžikem nastává udržování synchronizmu. Signál HZC znamená hodinové impulsy čtecího a zápisového cyklu, READY představuje uvolňovací signál řadiče 50, $\overline{\text{RD}}$ informaci o připravenosti řadiče 50 přijmout data, $\overline{\text{WR}}$ informaci o vyslání platných dat řadičem 50, signál $\overline{\text{WAIT}}$ znamená požadavek na dynamický stop řadiče 50, $\overline{\text{ČTENÍ/ZÁPIS}}$ prepínací signál čtecího a zápisového cyklu, $\overline{\text{NWAIT}}$ znamená příkaz k nulování signálu $\overline{\text{WAIT}}$. Signál INDEX/SEKTOR znamená příkaz k uvolnění řadiče 50, $\overline{\text{ČTENÍ/ZÁPIS}}$ požadavek na spuštění čtecího nebo zápisového cyklu, PORUCHA signalizaci poruchového stavu diskové paměti.

Čtecí cyklus je zahájen příchodem náběžné hrany signálu INDEX/SEKTOR na spouštěcí vstup 41 monostabilního klopného obvodu 40. Signálem II, přivedeným na inicializační vstup 73 spouštěcích obvodů 70 řadiče, je ve spouštěcích obvodech 70 řadiče vygenerován signál READY, na jehož pokyn převezme řadič 50 řízení spojení s mikropočítačem. Až dosud je tato činnost stejná jako u zápisového cyklu. Řadič 50 přejde do čtecího cyklu a současně s tím si sám sestupnou hranou signálu $\overline{RD}$ nastaví signál $\overline{WAIT}$. Tím se dostane do stavu dynamického stopu a setrvává v něm. V této době se disková paměť synchronizuje podle určitého algoritmu. Pokud synchronizace diskové paměti proběhne správně, je generován signál CP a přiveden na povolovací vstup 91 synchronizačních obvodů 90 řadiče. V opačném případě je zrušen čtecí cyklus a řadič 50 vrátí řízení spojení mikropočítači. V okamžiku příchodu signálu CP se začínají číst z diskové paměti platná data. Signálem $\overline{PB}$ je identifikován poslední bit bytu. Ještě v průběhu čtení prvního platného bytu je řadič 50 v dynamickém stopu. Rozběh řadiče 50 je způsoben až při zjištění přenosu zvoleného bitu v pořadí druhého bytu platných dat čtených z diskové paměti. V tomto okamžiku je signálem $\overline{NWAIT}$, přivedeným na nulovací vstup 991 synchronizačních obvodů 90 řadiče, zrušen signál $\overline{WAIT}$ a řadič 50 dokončí čtení předcházejícího bytu, uloženého ve vyrovnávací paměti 10. Po ukončení čtecího cyklu řadič 50 tento byte vyšle do operační paměti a znovu zahájí čtecí cyklus. Na jeho začátku se opět nastaví signál $\overline{WAIT}$ a činnost se opakuje. Činnost zapojení při čtecím cyklu je dále zřejmá z časového diagramu dle obr. 2, který představuje uvolňování řadiče 50 signálem READY a dále z časového diagramu čtecího cyklu dle obr. 4. Dle tohoto časového diagramu první synchronizační fáze začíná nastavením signálu READY a je ukončena příchodem náběžné hrany signálu SVP. V okamžiku náběžné hrany signálu SVP nastává druhá synchronizační fáze na synchronizační byte čtený z diskové paměti. Správné ukončení druhé synchronizační fáze je indikováno signálem CP, od něhož je odvozen start řadiče 50, který trvá do první náběžné hrany signálu $\overline{RD}$. Od tohoto okamžiku nastává automatická synchronizace na čtený signál CP. Počáteční dynamický stop řadiče 50 začíná náběžnou hranou signálu READY až do příchodu signálu CP. Signál SVP znamená, že synchronizace na byte je připravena, CP čtení platných dat do operační paměti, SCB spouštění čítače 130 bitů, $\overline{PB}$ poslední bit bytu, HCB hodinové impulsy čítače 130 bitů. Signál II představuje inicializační impuls a $\overline{II}$ nastavení

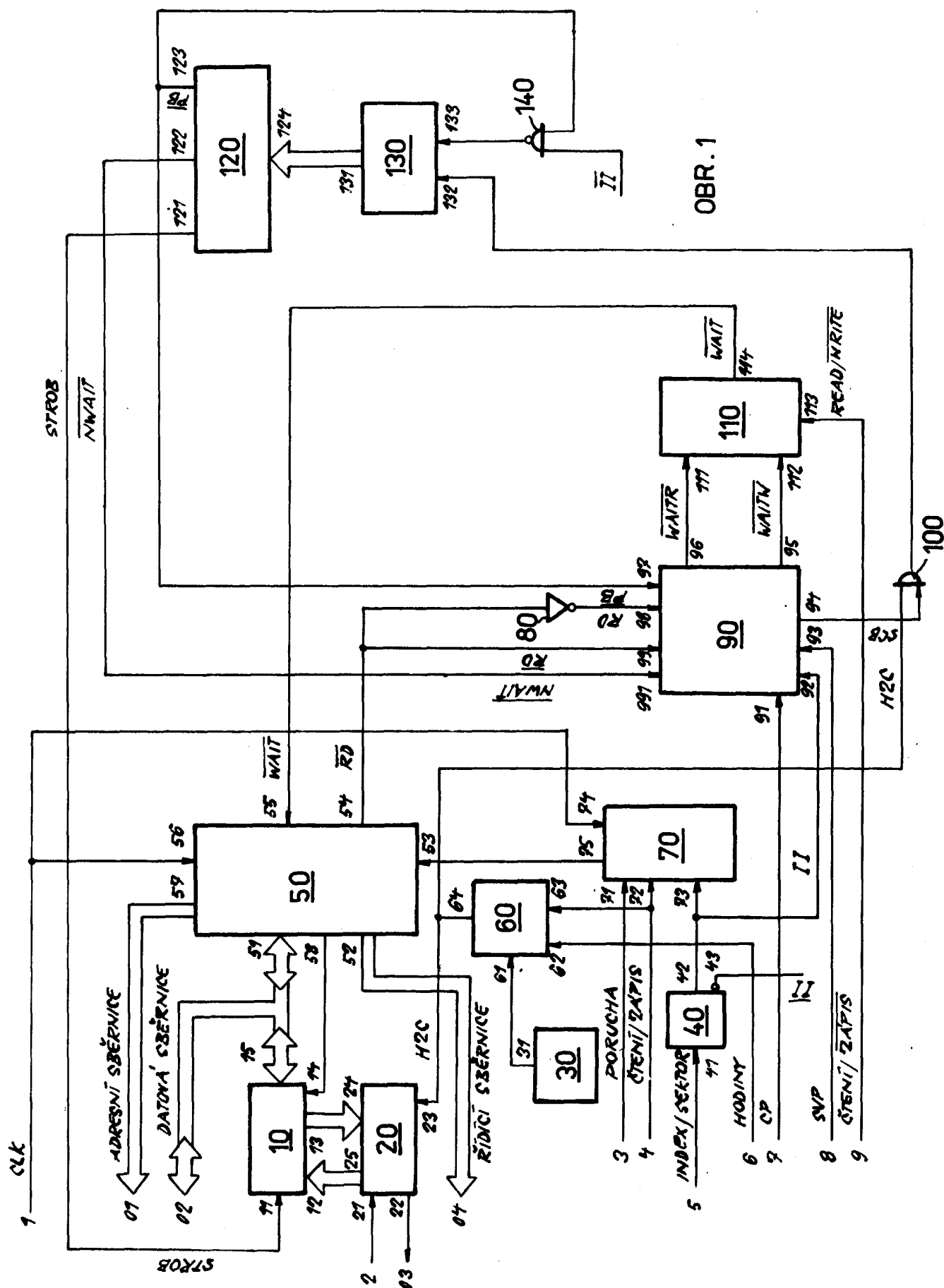
klopných obvodů do počátečního stavu. Další signál $\overline{\text{WAITR}}$ uvádí řadič 50 do dynamického stopu při čtecím cyklu, kdežto signál $\overline{\text{WAITW}}$ uvádí řadič 50 do dynamického stopu při zápisovém cyklu. Signál HODINY znamená synchronizační signál vymezující bitový interval, RD uvádí řadič 50 do dynamického stopu. Signál $\overline{\text{STROB}}$ je strobovacím impulsem pro vyrovnávací paměť 10 čtecího cyklu a signál CLK představuje synchronizační signál mikropočítačového systému.

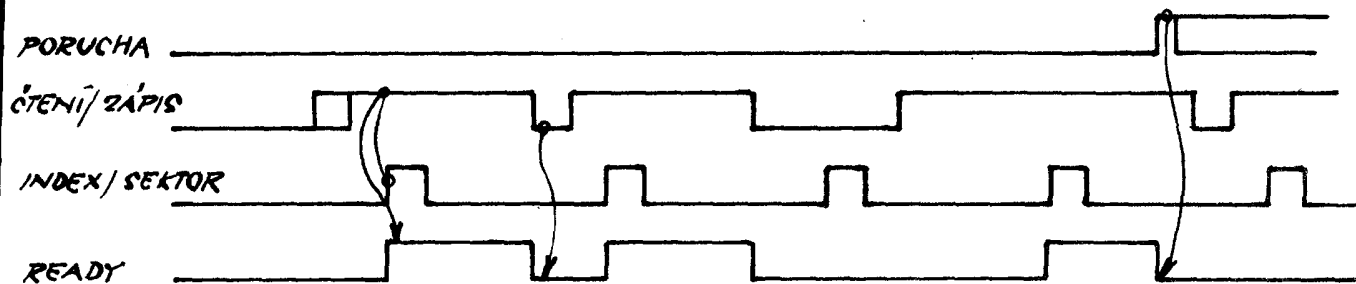
Vynálezu lze využít při spolupráci se širokým sortimentem diskových pamětí.

Zapojení kanálu pro přímý přístup do paměti s řadičem, oscilátorem, čítačem bitů, dekodérem 1 z n, serializačními a deserializačními obvody a monostabilním klopným obvodem, vyznačené tím, že hodinový vstup (56) řadiče (50) je spojen s hodinovým vstupem (74) spouštěcích obvodů (70) řadiče a tvoří současně první hodinový vstup (1) zapojení, skupina adresových výstupů (57) řadiče (50) tvoří současně první skupinu datových výstupů (01) zapojení, skupina datových vstupů a výstupů (51) řadiče (50) je spojena se skupinou datových vstupů a výstupů (15) vyrovnávací paměti (10) a tvoří současně skupinu datových vstupů a výstupů (02) zapojení, datový vstup (21) serializačních a deserializačních obvodů (20) tvoří současně datový vstup (2) zapojení, datový výstup (22) serializačních a deserializačních obvodů (20) tvoří současně datový výstup (03) zapojení, skupina řídicích výstupů (52) řadiče (50) tvoří současně skupinu výstupů (04) zapojení, kontrolní vstup (71) spouštěcích obvodů (70) řadiče tvoří současně kontrolní vstup (3) zapojení, povelový vstup (72) spouštěcích obvodů (70) řadiče (50) je připojen na povelový vstup (63) prvního přepínače (60) čtení/zápis a tvoří současně povelový vstup (4) zapojení, spouštěcí vstup (41) monostabilního klopného obvodu (40) tvoří současně spouštěcí vstup (5) zapojení, hodinový vstup (62) prvního přepínače (60) čtení/zápis tvoří současně druhý hodinový vstup (6) zapojení, povolovací vstup (91) synchronizačních obvodů (90) řadiče tvoří současně povolovací vstup (7) zapojení, stavový vstup (93) synchronizačních obvodů (90) řadiče tvoří současně stavový vstup (8) zapojení, informační vstup (113) druhého přepínače (110) čtení/zápis tvoří současně informační vstup (9) zapojení, řídicí výstup (58) řadiče (50) je připojen na řídicí vstup (14) vyrovnávací paměti (10), jejíž skupina výstupů (13) je připojena na skupinu vstupů (24) serializačních a deserializačních obvodů (20), skupina výstupů (25) serializačních a deserializačních obvodů (20) je připojena na skupinu vstupů (12) vyrovnávací paměti (10), potvrzovací výstup (54) řadiče (50) je připojen na první potvrzovací vstup (99) synchronizačních obvodů (90) řadiče a přes invertor (80) na druhý potvrzovací vstup (98) synchronizačních obvodů (90) řadiče, výstup (31) řídicího oscilátoru (30) je připojen na řídicí vstup (61) prvního přepínače (60) čtení/zápis, jehož výstup (64) je připojen na hodinový vstup (23) serializačních a deserializač-

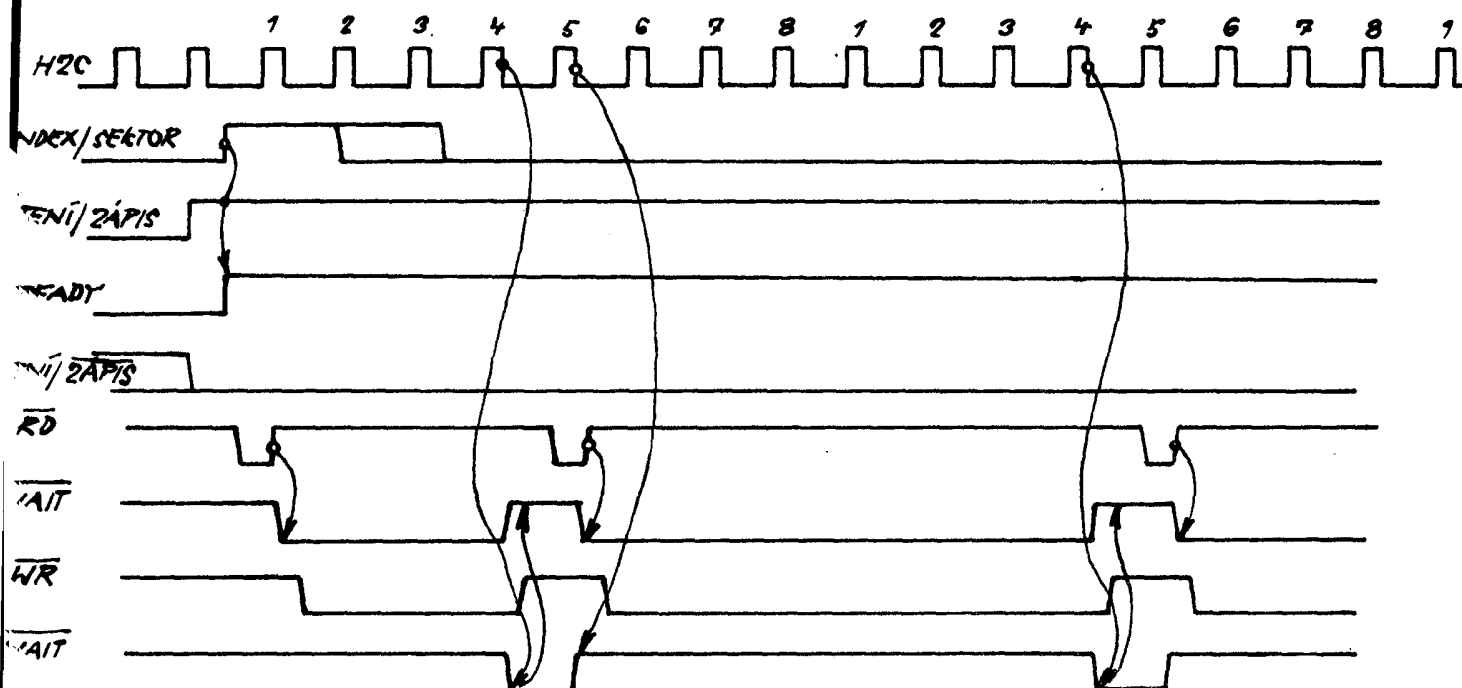
ních obvodů (20) a na první vstup dvouvstupového obvodu (100) typu logického součinu, přímý výstup (42) monostabilního klopného obvodu (40) je připojen na inicializační vstup (92) synchronizačních obvodů (90) řadiče a na inicializační vstup (73) spouštěcích obvodů (70) řadiče, jejichž výstup (75) je připojen na uvolňovací vstup (53) řadiče (50), výstup (94) synchronizačních obvodů (90) řadiče je připojen na druhý vstup dvouvstupového obvodu (100) typu logického součinu, jehož výstup je připojen na hodinový vstup (132) čítače (130) bitů, inverzní výstup (43) monostabilního klopného obvodu (40) je připojen na první vstup dvouvstupového obvodu (140) typu negace logického součinu, jehož výstup je připojen na nulovací vstup (133) čítače (130) bitů, první ovládací výstup (96) synchronizačních obvodů (90) řadiče je připojen na první ovládací vstup (111) druhého přepínače (110) čtení/zápis, kdežto jeho druhý ovládací výstup (95) je připojen na druhý ovládací vstup (112) druhého přepínače (110) čtení/zápis, jehož synchronizační výstup (114) je připojen na synchronizační vstup (55) řadiče (50), skupina výstupů (131) čítače (130) bitů je připojena na skupinu vstupů (124) dekodéru (120) 1 z n, jehož signalizační výstup (123) je připojen na druhý vstup dvouvstupového obvodu (140) typu negace logického součinu a na signalizační vstup (97) synchronizačních obvodů (90) řadiče, strobovací výstup (121) dekodéru (120) 1 z n je připojen na strobovací vstup (11) vyrovnávací paměti (10), nulovací výstup (122) dekodéru (120) 1 z n je připojen na nulovací vstup (991) synchronizačních obvodů (90) řadiče.

3 výkresy

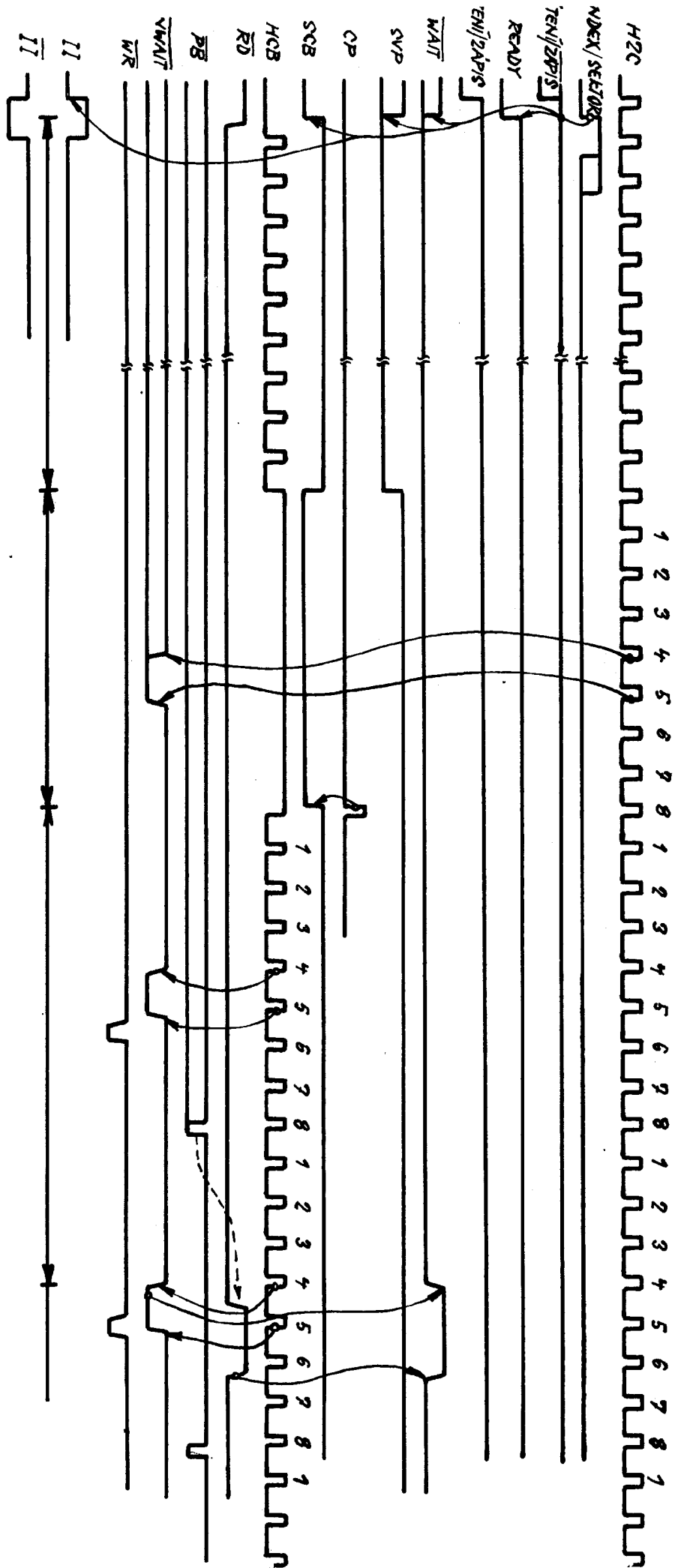




OBR. 2



OBR. 3



OBR. 4