

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 931 850**

51 Int. Cl.:

H03M 13/11 (2006.01)

H03M 13/00 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

96 Fecha de presentación y número de la solicitud europea: **10.08.2017 E 20160450 (1)**

97 Fecha y número de publicación de la concesión europea: **26.10.2022 EP 3681041**

54 Título: **Métodos de coincidencia de tasa para códigos QC-LDPC**

30 Prioridad:

12.08.2016 US 201662374688 P

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

03.01.2023

73 Titular/es:

**TELEFONAKTIEBOLAGET LM ERICSSON (PUBL)
(100.0%)
164 83 Stockholm, SE**

72 Inventor/es:

**ANDERSSON, MATTIAS;
BLANKENSHIP, YUFEI y
SANDBERG, SARA**

74 Agente/Representante:

ELZABURU, S.L.P

ES 2 931 850 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Métodos de coincidencia de tasa para códigos QC-LDPC

Campo técnico

5 La presente descripción se refiere, en general, a las comunicaciones inalámbricas y, más particularmente, a los métodos de coincidencia de tasa para códigos de verificación de paridad de baja densidad (LDPC).

Antecedentes

Los códigos LDPC se describen fácilmente a través de una matriz de verificación de paridad (PCM), donde las filas y columnas corresponden a nodos de verificación y nodos de variables, respectivamente. Cada "1" en la PCM corresponde a un borde entre un nodo de control y un nodo variable.

10 La FIGURA 1 ilustra un ejemplo de PCM 5 y el gráfico 10 bipartito correspondiente. La PCM 5 se puede asignar al gráfico 10 bipartito, que se compone de nodos 15 de verificación y nodos 20 de variables, donde las filas y columnas de la PCM 5 corresponden a los nodos 15 de verificación y los nodos 20 de variables, respectivamente. Cada entrada $h(i,j) = 1$ en la PCM 5 corresponde a un borde entre un nodo 15 de verificación y un nodo 20 de variable.

15 La tasa (R) de código de la PCM 5 se define como el número de bits k de información dividido por el número de bits n codificados, $R = k/n$, donde n es el número de columnas en la PCM 5 y k es igual al número de columnas menos el número de filas de la PCM 5.

20 Una clase importante de códigos LDPC son los códigos LDPC cuasiperiódicos (QC). La PCM H de un código QC-LDPC tiene un tamaño $m \times n$ y puede representarse mediante una matriz H_{base} de tamaño $m_b = m/Z$ y $n_b = n/Z$, y un factor de elevación Z. Cada entrada de H base contiene el número -1 o uno o más números entre 0 y Z - 1. Por ejemplo, sean i y j números enteros entre 0 y $(m/Z - 1)$, y 0 y $(n/Z - 1)$, respectivamente. Entonces la submatriz formada a partir de las entradas en las filas Z^i a $Z^{i+1} - 1$ y columnas Z^j a $Z^{j+1} - 1$ (asumiendo que la indexación de filas y columnas comienza desde 0), están determinadas por la entrada en la fila i y la columna j de H_{base} de la siguiente manera.

25 Si $H_{\text{base}}(i,j) = -1$, entonces la submatriz en la matriz binaria expandida H es igual a la matriz cero Z por Z. El número -1 usado para denotar cero submatrices se puede seleccionar arbitrariamente siempre que no sea un número entre 0 y Z-1.

Si $H_{\text{base}}(i,j)$ contiene uno o más enteros k_1, k_2, \dots, k_d entre 0 y Z-1, la submatriz en la matriz binaria expandida H es igual a la suma de las matrices identidad desplazadas $P_{k_1} + P_{k_2} + \dots + P_{k_d}$, donde cada submatriz P_k Z x Z se obtiene de la matriz identidad Z por Z desplazando cíclicamente las columnas hacia la derecha k veces.

30 Los códigos LDPC pueden optimizarse para cualquier longitud de bloque y/o cualquier tasa de código. En los sistemas de comunicación prácticos, sin embargo, no es eficiente usar diferentes PCM para cada alternativa de longitudes y tasas de bloque. En su lugar, se implementa la coincidencia de tasa a través de acortamiento, perforación y/o repetición. Como ejemplo, los códigos LDPC para 802.11n se especifican con 12 códigos madre (3 longitudes de bloque diferentes y 4 tasas diferentes). Las PCM para todas las demás longitudes de bloque y tasas de código necesarias se especifican a través de mecanismos de coincidencia de tasa (que incluyen acortamiento, perforación y/o repetición) aplicados a uno de los 12 códigos madre.

35 El acortamiento es una técnica para obtener códigos de menor longitud y menor tasa a partir de un código LDPC dedicado al fijar el valor de algunos bits de información en algunos valores conocidos (por ejemplo, "0") al codificar. Se supone que las posiciones de los bits fijos están disponibles tanto para el codificador como para el decodificador. Para un código sistemático, los bits acortados se extraen de la palabra clave antes de la transmisión. En el proceso de decodificación, los bits fijos reciben una confiabilidad infinita. El acortamiento reduce el tamaño del bloque de información de k a k_{tx} .

La perforación, por otro lado, es una técnica en la que algunos bits codificados no se transmiten. Esto aumenta la tasa de código del código madre LDPC dedicado y disminuye el tamaño del bloque de código.

45 Con la repetición, algunos de los bits codificados se repiten y transmiten más de una vez. A diferencia de la perforación, la repetición aumenta el tamaño del bloque de código.

50 Juntos, la perforación, el acortamiento y la repetición cambian el número de bits codificados de n a n_{tx} . Después de aplicar la coincidencia de tasa, el tamaño del código nativo (k, n) definido por la PCM se modifica a un tamaño de código real (k_{tx}, n_{tx}). Por lo tanto, para un conjunto de k_{tx} bits de información se producen m_{tx} bits codificados para la transmisión. En consecuencia, la tasa de código real se calcula en función de $R_{tx} = k_{tx} / n_{tx}$.

Dado un código LDPC dedicado de tamaño de código (k, n), se necesita un método de coincidencia de tasa simple y efectivo para el tamaño de código real (k_{tx}, n_{tx}) necesario para una transmisión en particular. Algunos códigos LDPC perforan algunos bits sistemáticos por diseño para mejorar el rendimiento del código, sin relación con la coincidencia

de tasa. No está claro, sin embargo, cómo realizar la coincidencia de tasa como se define en 802.11n en este caso.

El documento US2008320353A1 da a conocer que durante el funcionamiento de un transmisor se crea una memoria intermedia circular en la que solo las partes superiores de las columnas de la memoria intermedia circular se definen como posición inicial para una versión de redundancia. Cuando la memoria intermedia circular está en formato de secuencia, todas las posibles versiones de redundancia están en las posiciones $\lfloor K_{\text{flujo}}/32 \rfloor (12x_i + \sigma)$, $i=0, 1, \dots, 7$ donde sigma indica el índice de columna de la posición inicial del primer RV (RVo).

La bibliografía de no patente "JUNG-FU CHENG ET AL, "Analysis of Circular Buffer Rate Matching for LTE Turbo Code", 2003 58.^a CONFERENCIA DE TECNOLOGÍA VEHICULAR DE IEEE. VTC 2003-FALL (IEEE CAT. NO.03CH37484), (20080101), doi:10.1109/VETECF.2008.162, ISSN 1090-3038, ISBN 978-0-78-037954-1, páginas 1 - 5" describe algoritmos de coincidencia de tasa de memoria intermedia circular (CBRM) para el código turbo en la Evolución a Largo Plazo (LTE) de la interfaz aérea basada en WCDMA.

Compendio

Para abordar los problemas anteriores con enfoques existentes, se describe un método para producir un conjunto de bits codificados a partir de un conjunto de bits de información para la transmisión entre un primer nodo y un segundo nodo en un sistema de comunicaciones inalámbricas. La presente invención está definida por las reivindicaciones independientes adjuntas, a las que ahora se debe hacer referencia. Las realizaciones específicas se definen en las reivindicaciones dependientes.

Ciertas realizaciones de la presente descripción pueden proporcionar una o más ventajas técnicas. Por ejemplo, en ciertas realizaciones, los métodos de coincidencia de tasa basados en memoria intermedia circular pueden diseñarse de tal manera que puede proporcionarse un (K_{tx}, N_{tx}) mediante un único procedimiento. Como otro ejemplo, en ciertas realizaciones puede no haber necesidad de definir un procedimiento separado para cada acortamiento, perforación y repetición. Otras ventajas pueden resultar fácilmente evidentes para un experto en la materia. Ciertas realizaciones pueden tener ninguna, algunas o todas las ventajas citadas.

Breve descripción de los dibujos

Para una comprensión más completa de las realizaciones descritas y sus características y ventajas, ahora se hace referencia a la siguiente descripción, tomada junto con los dibujos adjuntos, en los que:

La FIGURA 1 ilustra una PCM de ejemplo y el gráfico bipartito correspondiente;

La FIGURA 2 es un diagrama de bloques que ilustra una realización de una red, de acuerdo con ciertas realizaciones;

La FIGURA 3 ilustra un ejemplo en el que los bits sistemáticos y los bits de paridad se leen por columnas, de acuerdo con ciertas realizaciones;

La FIGURA 4 ilustra un ejemplo en el que los bits sistemáticos y los bits de paridad se leen por filas, de acuerdo con ciertas realizaciones;

La FIGURA 5 ilustra un ejemplo en el que, cuando se alcanza el final de la memoria intermedia circular, se vuelve a los bits sistemáticos que se saltaron en una primera transmisión, de acuerdo con ciertas realizaciones;

La FIGURA 6 ilustra un ejemplo en el que la memoria intermedia circular usa un subconjunto de bits codificados definidos por la PCM, de modo que la tasa de código usada para la transmisión real es mayor que la tasa R de código de la PCM, de acuerdo con ciertas realizaciones;

La FIGURA 7 ilustra un ejemplo en el que también se implementa el acortamiento como parte del procedimiento de coincidencia de tasa, de acuerdo con ciertas realizaciones;

La FIGURA 8 ilustra un ejemplo en el que se aplica el acortamiento primero a los bits sistemáticos que se saltan y a los bits no saltados si el número de bits acortados es mayor que el número de bits saltados, de acuerdo con ciertas realizaciones;

La FIGURA 9 es un diagrama de flujo de un método en un primer nodo, de acuerdo con ciertas realizaciones;

La FIGURA 10 es un esquema de bloques de un dispositivo inalámbrico ejemplar, de acuerdo con ciertas realizaciones;

La FIGURA 11 es un esquema de bloques de un nodo de red ejemplar, de acuerdo con ciertas realizaciones;

La FIGURA 12 es un esquema de bloques de un controlador de red de radio ejemplar o nodo de red de núcleo, de acuerdo con ciertas realizaciones;

La FIGURA 13 es un esquema de bloques de un dispositivo inalámbrico ejemplar, de acuerdo con ciertas

realizaciones; y

La FIGURA 14 es un esquema de bloques de un nodo de red ejemplar, de acuerdo con ciertas realizaciones.

Descripción detallada

5 Como se describió anteriormente, dado un código LDPC dedicado de tamaño (k, n) de código, se necesita un método de coincidencia de tasas simple y efectivo para el tamaño (K_{tx}, N_{tx}) de código real necesario para una transmisión en particular. Algunos códigos LDPC perforan algunos bits sistemáticos por diseño para mejorar el rendimiento del código, sin relación con la coincidencia de tasa. No está claro, sin embargo, cómo realizar la coincidencia de tasa, por ejemplo, como se define en 802.11n, en este caso. La presente descripción contempla varias realizaciones que pueden proporcionar un método de coincidencia de tasa simple y efectivo para códigos LDPC, donde se aplica acortamiento, perforación y/o repetición.

10 En ciertas realizaciones, se puede aplicar la coincidencia de tasa a través del acortamiento y la perforación a un código madre con una tasa de código tan alta como sea posible. Si el número de bits de paridad especificado por el código madre es aproximadamente el mismo que el número de bits de paridad necesarios para el código deseado, la coincidencia de tasa se puede lograr principalmente acortando en lugar de perforando, con una menor pérdida de rendimiento como resultado.

15 Según una realización de ejemplo, se describe un método para producir un conjunto de bits codificados a partir de un conjunto de bits de información para la transmisión entre un primer nodo y un segundo nodo en un sistema de comunicaciones inalámbricas. El primer nodo genera un vector de palabra clave codificando el conjunto de bits de información con un código LDPC, en donde el vector de palabra clave está compuesto por bits sistemáticos y bits de paridad. El primer nodo realiza una coincidencia de tasa basada en memoria intermedia circular en el vector de palabra clave generado para producir los bits codificados para la transmisión, en el que la coincidencia de tasa basada en memoria intermedia circular comprende perforar una primera pluralidad de bits sistemáticos. En ciertas realizaciones, el código LDPC puede especificarse a través de una PCM. La primera pluralidad de bits sistemáticos que se perforan puede preceder, en el vector de palabra clave, a una segunda pluralidad de bits sistemáticos que no se perforan.

20 En ciertas realizaciones, se puede definir una pluralidad de versiones de redundancia sobre la memoria intermedia circular de manera que los bits codificados para una retransmisión se lean desde la memoria intermedia circular según una versión de redundancia correspondiente definida para la retransmisión. El primer nodo puede realizar una coincidencia de tasa basada en memoria intermedia circular en el vector de palabra clave generado para producir bits codificados para la retransmisión, en donde la coincidencia de tasa basada en memoria intermedia circular para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos. La primera pluralidad de bits sistemáticos perforados para la retransmisión puede incluir un múltiplo par de Z bits sistemáticos, donde Z es un factor de elevación de la matriz de comprobación de paridad.

25 En ciertas realizaciones, se puede definir una pluralidad de versiones de redundancia sobre la memoria intermedia circular de manera que los bits codificados para una retransmisión se lean desde la memoria intermedia circular según una versión de redundancia correspondiente definida para la retransmisión. El primer nodo puede realizar una coincidencia de tasa basada en memoria intermedia circular en el vector de palabra clave generado para producir bits codificados para la retransmisión, en donde la coincidencia de tasa basada en memoria intermedia circular para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos. La primera pluralidad de bits sistemáticos perforados para la retransmisión puede incluir un múltiplo par de Z bits sistemáticos, donde Z es un factor de elevación de la matriz de comprobación de paridad.

30 En ciertas realizaciones, el primer nodo puede perforar la primera pluralidad de bits sistemáticos omitiendo escribir la primera pluralidad de bits sistemáticos en una memoria intermedia circular. En ciertas realizaciones, el primer nodo puede perforar la primera pluralidad de bits sistemáticos omitiendo la primera pluralidad de bits sistemáticos al leer los bits codificados de una memoria intermedia circular.

Ciertas realizaciones de la presente descripción pueden proporcionar una o más ventajas técnicas. Por ejemplo, en ciertas realizaciones, los métodos de coincidencia de tasa basados en memoria intermedia circular pueden diseñarse de tal manera que puede proporcionarse un (K_{tx}, N_{tx}) mediante un único procedimiento. Como otro ejemplo, en ciertas realizaciones puede no haber necesidad de definir un procedimiento separado para cada acortamiento, perforación y repetición. Otras ventajas pueden resultar fácilmente evidentes para un experto en la materia. Ciertas realizaciones pueden tener ninguna, algunas o todas las ventajas citadas.

35 La FIGURA 2 es un diagrama de bloques que ilustra una realización de una red 100, de acuerdo con ciertas realizaciones. La red 100 incluye uno o más UE 110 (que pueden denominarse indistintamente dispositivos 110 inalámbricos) y uno o más nodos 115 de red. Los UE 110 pueden comunicarse con los nodos 115 de red a través de una interfaz inalámbrica. Por ejemplo, un UE 110 puede transmitir señales inalámbricas a uno o más nodos 115 de red y/o recibir señales inalámbricas de uno o más nodos 115 de red. Las señales inalámbricas pueden contener tráfico de voz, tráfico de datos, señales de control y/o o cualquier otra información adecuada. En algunas realizaciones, un área de cobertura de señal inalámbrica asociada con un nodo 115 de red puede denominarse celda. En algunas realizaciones, los UE 110 pueden tener capacidad de dispositivo a dispositivo (D2D). Por lo tanto, los UE 110 pueden recibir señales y/o transmitir señales directamente a otro UE.

40 En ciertas realizaciones, los nodos 115 de red pueden interactuar con un controlador de red de radio. El controlador de red de radio puede controlar los nodos 115 de red y puede proporcionar ciertas funciones de gestión de recursos de radio, funciones de gestión de movilidad y/u otras funciones adecuadas. En ciertas realizaciones, las funciones del controlador de red de radio pueden incluirse en el nodo 115 de red. El controlador de red de radio puede interactuar con un nodo de la red de núcleo. En ciertas realizaciones, el controlador de la red de radio puede interactuar con el nodo de la red de núcleo a través de una red de interconexión. La red de interconexión puede referirse a cualquier sistema de interconexión capaz de transmitir audio, video, señales, datos, mensajes o cualquier combinación de los

anteriores. La red de interconexión puede incluir la totalidad o una parte de una red telefónica pública conmutada (PSTN), una red de datos pública o privada, una red de área local (LAN), una red de área metropolitana (MAN), una red de área amplia (WAN), una red informática o de comunicación local, regional o global, como Internet, una red por cable o inalámbrica, una intranet empresarial o cualquier otro enlace de comunicación adecuado, incluidas las combinaciones de los mismos.

En algunas realizaciones, el nodo de la red de núcleo puede gestionar el establecimiento de sesiones de comunicación y varias otras funcionalidades para los UE 110. Los UE 110 pueden intercambiar ciertas señales con el nodo de la red de núcleo usando la capa de estrato sin acceso (NAS). En la señalización NAS, las señales entre los UE 110 y el nodo de la red de núcleo pueden pasar de forma transparente a través de la red de acceso por radio (RAN). En ciertas realizaciones, los nodos 115 de red pueden interactuar con uno o más nodos de red a través de una interfaz de internodo, como, por ejemplo, una interfaz X2.

Como se describió anteriormente, las realizaciones de ejemplo de la red 100 pueden incluir uno o más dispositivos 110 inalámbricos y uno o más tipos diferentes de nodos de red capaces de comunicarse (directa o indirectamente) con dispositivos 110 inalámbricos.

En algunas realizaciones, se usa el término no limitativo UE. Los UE 110 descritos en este documento pueden ser cualquier tipo de dispositivo inalámbrico capaz de comunicarse con los nodos 115 de red u otro UE a través de señales de radio. El UE 110 también puede ser un dispositivo de comunicación por radio, un dispositivo de destino, un UE D2D, un UE de comunicación de tipo máquina o un UE capaz de comunicarse de máquina a máquina (M2M), un UE de bajo coste y/o de baja complejidad, un sensor equipado con un UE, tabletas, terminales móviles, teléfonos inteligentes, equipos integrados en ordenadores portátiles (LEE), equipos montados en ordenadores portátiles (LME), dispositivos USB, Equipos en las Instalaciones del Cliente (CPE), etc. El UE 110 puede operar bajo cobertura normal o cobertura mejorada con respecto a su celda de servicio. La cobertura mejorada puede denominarse indistintamente como cobertura extendida. El UE 110 también puede operar en una pluralidad de niveles de cobertura (por ejemplo, cobertura normal, nivel 1 de cobertura mejorado, nivel 2 de cobertura mejorado, nivel 3 de cobertura mejorado y así sucesivamente). En algunos casos, el UE 110 también puede operar en escenarios fuera de cobertura.

Además, en algunas realizaciones se usa la terminología genérica "nodo de red". Puede ser cualquier tipo de nodo de red, que puede comprender una estación base (BS), una estación base de radio, un Nodo B, una estación base (BS), un nodo de radio de radio multiestándar (MSR) como una BS MSR, un Nodo B evolucionado (eNB), gNB, un controlador de red, un controlador de red de radio (RNC), un controlador de estación base (BSC), un nodo de retransmisión, un relé de control de nodo donante de retransmisión, una estación transceptora base (BTS), un punto de acceso (AP), un punto de acceso de radio, puntos de transmisión, nodos de transmisión, una Unidad de Radio Remota (RRU), una Cabeza de Radio Remota (RRH), nodos en el sistema de antena distribuida (DAS), una Entidad de Coordinación Multifunción/multicelda (MCE), un nodo de red de núcleo (por ejemplo, un Centro de Conmutación Móvil (MSC), una Entidad de Gestión de la Movilidad (MME), etc.), Operaciones y Gestión (O&M), un Sistema de Soporte de Operaciones (OSS), una Red Autoorganizada (SON), un nodo de posicionamiento (por ejemplo, un Centro de Ubicación Móvil de Servicio Evolucionado (E-SMLC)), Minimización de Prueba de Funcionamiento (MDT), o cualquier otro nodo de red adecuado.

En ciertas realizaciones, se usa la terminología genérica "nodo". Puede ser cualquier tipo de UE o nodo de red, como el UE 110 o el nodo 115 de red descrito anteriormente.

La terminología como nodo de red y UE debe considerarse no limitativa y, en particular, no implica una cierta relación jerárquica entre los dos. En general, el "nodo de red" podría considerarse como el dispositivo 1 (o un primer nodo) y el dispositivo 2 "UE" (o un segundo nodo), y estos dos dispositivos se comunican entre sí a través de algún canal de radio.

Las realizaciones de ejemplo del UE 110, los nodos 115 de red y otros nodos de red (como el controlador de red de radio o el nodo de red de núcleo) se describen con más detalle a continuación con respecto a las FIGURAS 10-14.

Aunque la FIGURA 2 ilustra una disposición particular de la red 100, la presente descripción contempla que las diversas realizaciones descritas en el presente documento pueden aplicarse a una variedad de redes que tengan cualquier configuración adecuada. Por ejemplo, la red 100 puede incluir cualquier número adecuado de UE 110 y nodos 115 de red, así como cualquier elemento adicional adecuado para admitir la comunicación entre UE o entre un UE y otro dispositivo de comunicación (como un teléfono fijo). Además, aunque ciertas realizaciones pueden describirse como implementadas en una red Nueva Radio (NR), las realizaciones pueden implementarse en cualquier tipo apropiado de sistema de telecomunicaciones compatible con cualquier estándar de comunicación adecuado (incluidos los estándares 5G) y usando cualquier componente adecuado, y son aplicables a cualquier tecnología de acceso por radio (RAT) o sistemas multi-RAT en los que un UE recibe y/o transmite señales (por ejemplo, datos). Por ejemplo, las diversas realizaciones descritas en este documento pueden ser aplicables a NR, Evolución a Largo Plazo (LTE), LTE-Avanzado, 5G, UMTS, HSPA, GSM, cdma2000, WCDMA, WiMax, UMB, WiFi, 802.11n, otro acceso de radio adecuado tecnología, o cualquier combinación adecuada de una o más tecnologías de acceso por radio. Aunque ciertas realizaciones pueden describirse en el contexto de transmisiones inalámbricas en el enlace descendente (DL), la presente descripción contempla que las diversas realizaciones son igualmente aplicables en el enlace ascendente

(UL).

Como se describió anteriormente, dado un código LDPC dedicado de tamaño de código (k, n) , se necesita un método de coincidencia de tasa simple y efectivo para el tamaño (K_{tx}, N_{tx}) de código real necesarios para una transmisión particular (por ejemplo, entre un primer nodo y un segundo nodo en un sistema de comunicaciones inalámbricas, como un sistema NR). En ciertas realizaciones, se describe un método efectivo de coincidencia de tasa para códigos LDPC, donde se aplica acortamiento, perforación y/o repetición.

En ciertas realizaciones, un primer nodo (por ejemplo, uno de los nodos 115 de red descritos anteriormente) produce un conjunto de bits codificados a partir de un conjunto de bits de información para la transmisión a un segundo nodo (por ejemplo, uno de los UE 110 descritos anteriormente) en un sistema de comunicaciones inalámbricas. En ciertas realizaciones, el sistema de comunicaciones inalámbricas puede ser un sistema NR. El conjunto de bits de información puede estar asociado con una transmisión entre el primer nodo y el segundo nodo en el sistema de comunicaciones inalámbricas. Tenga en cuenta que, aunque ciertas realizaciones pueden describirse usando uno de los nodos 115 de red como primer nodo y uno de los UE 110 como segundo nodo, esto es solo para fines de ejemplo y las diversas realizaciones descritas en este documento no se limitan a tal ejemplo. Más bien, la presente descripción contempla que el primer nodo y el segundo nodo pueden ser cualquier entidad de red adecuada.

En determinadas realizaciones, el primer nodo genera un vector de información a partir de un conjunto de bits de información. Para ilustrar, considere el siguiente ejemplo. Supongamos para un conjunto de k_{tx} bits de información la codificación del código LDPC se puede realizar usando el siguiente procedimiento, donde la matriz H de verificación de paridad cuasicíclica está compuesta por $(n-k)$ filas y n columnas, $m_b = m/Z$ y $n_b = n/Z$. En ciertas realizaciones, generar un vector de información a partir del conjunto de bits de información puede comprender adjuntar $(k - k_{tx})$ bits ficticios al conjunto de k_{tx} bits de información para hacer un vector de información U de k bits. A los bits ficticios generalmente se les asigna un valor conocido de "0". La adición de bits ficticios a los bits de información también puede denominarse acortamiento del código. En ciertas realizaciones, adjuntar bits ficticios al conjunto de bits de información puede comprender copiar el conjunto de bits de información en un vector más largo de longitud "bits de información + bits ficticios". En ciertas realizaciones, el primer nodo puede perforar los bits ficticios adjuntos (por ejemplo, al no escribir los bits ficticios adjuntos en la memoria intermedia circular o al no leer los bits ficticios adjuntos de la memoria intermedia circular).

El primer nodo genera un vector de palabra clave codificando el conjunto de bits de información con un código LDPC. El vector de palabra clave puede estar compuesto de bits sistemáticos y bits de paridad. Los códigos LDPC considerados aquí son códigos LDPC basados en protógrafos cuasicíclicos. Las PCM cuasicíclicas se dividen en subbloques cuadrados (submatrices) de tamaño $Z \times Z$. Estas submatrices son permutaciones cíclicas de la matriz identidad o submatrices nulas. Se obtiene una matriz P_i de permutación cíclica a partir de la matriz identidad $Z \times Z$ desplazando cíclicamente las columnas hacia la derecha en i elementos. La matriz P_0 es la matriz identidad $Z \times Z$. El código LDPC se puede especificar a través de una PCM. Los códigos LDPC cuasicíclicos se describen convenientemente a través de una matriz base, que es una matriz en la que cada número entero i denota la matriz P_i de permutación cíclica. La PCM se obtiene de una matriz base seleccionando un tamaño de elevación Z y reemplazando cada entrada en la matriz base con la matriz $Z \times Z$ correspondiente.

Continuando con el ejemplo anterior, en ciertas realizaciones el primer nodo codifica el vector U de información con la PCM H . La codificación genera un vector C de palabra clave de n bits. Por lo general, la codificación sistemática se usa de modo que el vector C de palabra de código se componga de dos conjuntos de bits: [bits sistemáticos; bits de paridad]. En este ejemplo, el vector longitud- k de bits sistemáticos es igual al vector U de información. La longitud- k , $k = k_b \cdot Z$, los bits sistemáticos son grupos de k_b de Z bits, $[u_0, u_1, \dots, u_{z-1}, | u_z, u_{z+1}, \dots, u_{2z-1}, | \dots, u_{(k_b-1) \cdot Z}, u_{(k_b-1) \cdot Z + 1}, \dots, u_{(k_b \cdot Z - 1)}]$. La longitud- $(n-k)$, $m = n-k = m_b \cdot Z$, los bits de paridad son m_b grupos de Z bits, $[p_0, p_1, \dots, p_{z-1}, | p_z, p_{z+1}, \dots, p_{2z-1}, | \dots, p_{(m_b-1) \cdot Z}, p_{(m_b-1) \cdot Z + 1}, \dots, p_{(m_b \cdot Z - 1)}]$. La propiedad del código LDPC dicta que el vector C de palabra clave multiplicado por la transposición de la PCM H tiene que producir un vector de ceros (es decir, $H \cdot C^T = 0$).

El primer nodo realiza una coincidencia de tasa basada en la memoria intermedia circular en el vector de palabra clave generado para producir los bits codificados para la transmisión. La coincidencia de tasa basada en la memoria intermedia circular puede comprender perforar una primera pluralidad de bits sistemáticos (por ejemplo, cuando se produce un vector de transmisión a partir del vector de palabra clave). Continuando con el ejemplo anterior, en ciertas realizaciones, el primer nodo realiza una coincidencia de tasa en el vector de palabra clave C , elimina los $(k - k_{tx})$ bits ficticios, y produce un vector de longitud n_{tx} para la transmisión por el canal inalámbrico.

En la siguiente descripción de las FIGURAS 3-8, se supone que al menos una parte de los [bits sistemáticos, bits de paridad] definidos por la PCM se escriben en una memoria intermedia circular. En los ejemplos de las FIGURAS 3-8, la "memoria intermedia circular" usada para la coincidencia de tasa se presenta en un formato rectangular. Debe entenderse, sin embargo, que involucrarse al llegar al final del rectángulo significa que el tope es circular. Además, tenga en cuenta que la presentación de la memoria intermedia circular en formato rectangular es solo a modo de ejemplo, y las diversas realizaciones descritas en este documento no se limitan a dicho ejemplo.

En los ejemplos de las FIGURAS 3-8, los [bits sistemáticos, bits de paridad] definidos por la PCM que se escriben en la memoria intermedia circular rectangular se escriben en forma de fila, comenzando desde la esquina superior

izquierda y terminando en la esquina inferior derecha. Como ejemplo, después de escribir los bits en el rectángulo, se puede usar para generar una palabra de código de longitud n_{tx} de bloque arbitraria. En tal escenario, se leen los bits n_{tx} del rectángulo. Como otro ejemplo, después de escribir los bits en el rectángulo, puede usarse para generar retransmisiones para usar en/para redundancia incremental. En tal escenario, para la primera transmisión, se leen algunos bits. En caso de una segunda transmisión, se lee un número adicional de bits. Si bien la lectura de cada retransmisión puede comenzar en cualquier parte de la memoria intermedia circular de forma rectangular, preferiblemente la lectura comienza cerca de donde terminó la lectura de la transmisión anterior. Esto se puede generalizar a más de una retransmisión.

Las FIGURAS 3-8 a continuación ilustran varias realizaciones de ejemplo de cómo los [bits sistemáticos, bits de paridad] se leen de la memoria intermedia circular rectangular para producir los n_{tx} bits para la transmisión (por ejemplo, a un segundo nodo). En ciertas realizaciones, el primer nodo puede contar n_{tx} bits del rectángulo y transmitirlos. En ciertas realizaciones, una o más reglas predefinidas pueden influir en cómo se leen los bits de la memoria intermedia circular rectangular para producir los n_{tx} bits para la transmisión. Como un ejemplo, si n_{tx} es menor que el número total de bits en la memoria intermedia circular, entonces los bits que quedan en el rectángulo se perforan (es decir, no se transmiten). Como otro ejemplo, si n_{tx} es mayor que el número total de bits en la memoria intermedia circular, luego el procedimiento de lectura finaliza y algunos bits en la memoria intermedia circular se repiten, lo que lleva al efecto de repetición de la coincidencia de tasa. Como otro ejemplo más, si los k_{tx} bits de información reales se adjuntan con los $(k - k_{tx})$ bits de valor conocido antes de la codificación con la PCM, se logra el acortamiento. En algunos casos, los $(k - k_{tx})$ bits de reducción se pueden anteponer delante de los k_{tx} bits de información reales. En algunos casos, los $(k - k_{tx})$ bits de acortamiento se pueden unir al final de los k_{tx} bits de información reales. Los bits acortados son conocidos y no contienen información, por lo que deben eliminarse antes de la transmisión.

Como otro ejemplo más, en los casos de una PCM donde algunos de los bits de información se perforan por diseño, estos bits de información se pueden dejar fuera de la memoria intermedia circular rectangular. En las FIGURAS 3-8 a continuación, estos bits de información se denominan bits saltados. Como otro ejemplo, en el caso de una PCM donde algunos de los bits de información se perforan por diseño, combinado con el acortamiento, los bits perforados pueden ser parte de los bits acortados o no ser parte de los bits acortados.

La FIGURA 3 ilustra un ejemplo en el que los bits sistemáticos y los bits de paridad se leen por columnas, de modo que también se implementa un intercalador de canales como parte del procedimiento de coincidencia de tasa, de acuerdo con ciertas realizaciones. La FIGURA 3 ilustra una memoria intermedia 300 circular rectangular con Z columnas 305 y n_b filas 310. Dentro de la memoria intermedia 300 circular rectangular, hay una pluralidad de bits 315 sistemáticos y una pluralidad de bits 320 de paridad. La pluralidad de bits 315 sistemáticos incluye bits 325 sistemáticos que no se saltan y una pluralidad de bits 330 sistemáticos que se saltan (es decir, perforados). En el ejemplo de la FIGURA 3, los bits se leen de la memoria intermedia 300 circular rectangular comenzando en el punto 335 de inicio. La flecha 340 ilustra la vuelta que se produce cuando se alcanza el final de la memoria intermedia 300 circular rectangular.

Como se muestra en el ejemplo de la FIGURA 3, dado que hay $Z \cdot n_b$ columnas (o bits de palabra de código) en H , una manera es formar un rectángulo 300 de (n_b filas \cdot Z columnas), y perforar los bits en forma de columna. El efecto es perforar bits uniformemente de cada una de las filas de tamaño Z y mantener aproximadamente la misma distribución de peso que la H original. Esto tiene el efecto de perforar un bit de cada uno de los n_b conjuntos primero, donde cada conjunto tiene Z bits. En ciertas realizaciones, la pluralidad de bits 330 sistemáticos que se saltan (es decir, perforan) incluyen un múltiplo par de Z bits sistemáticos, donde Z es un factor de elevación de la PCM.

Como se ilustra en la FIGURA 3, algunos de los bits 315 sistemáticos pueden perforarse (es decir, los bits 330 sistemáticos saltados) para lograr un mejor rendimiento que perforar los bits 320 de paridad. Los bits sistemáticos perforados en la 1ª transmisión, o para un código de mayor tasa, generalmente se asignan a un peso de columna alto. La ubicación 335 de inicio (x, y) se puede elegir de manera que se salte el grupo apropiado de bits sistemáticos (es decir, se perfora), mientras se mantiene el rendimiento de decodificación tan bueno como sea posible.

Aunque la FIGURA 3 ilustra los bits 330 sistemáticos saltados incluidos en la memoria intermedia 300 circular rectangular, este es solo un ejemplo no limitativo. En ciertas realizaciones, por ejemplo, los bits 330 sistemáticos saltados pueden no escribirse en la memoria intermedia 300 circular. Dado que el código está diseñado con el conocimiento de que los primeros bits sistemáticos se perforarán, en algunos casos estos bits no deben incluirse en absoluto en la memoria intermedia 300 circular. Puede ser más ventajoso repetir cualquiera de los bits ya transmitidos que transmitir los primeros bits sistemáticos diseñados para ser perforados. Esto es una consecuencia del muy alto grado de nodo variable de los bits 330 sistemáticos perforados, lo que implica que estos nodos/bits tienen una alta conectividad con el resto del gráfico y su valor a menudo se puede deducir del valor de otros bits.

La FIGURA 4 ilustra un ejemplo en el que los bits sistemáticos y los bits de paridad se leen por filas, de acuerdo con ciertas realizaciones. La FIGURA 4 ilustra una memoria intermedia 400 circular rectangular con Z columnas 405 y n_b filas 410. Dentro de la memoria intermedia 400 circular rectangular, hay una pluralidad de bits 415 sistemáticos y una pluralidad de bits 420 de paridad. La pluralidad de bits 415 sistemáticos incluye bits 425 sistemáticos que no se saltan y una pluralidad de bits 430 sistemáticos que se saltan. En el ejemplo de la FIGURA 4, los bits se leen de la memoria intermedia 400 circular rectangular comenzando en el punto 435 de inicio. La flecha 440 ilustra la vuelta que

se produce cuando se alcanza el final de la memoria intermedia 400 circular rectangular.

Como se indicó anteriormente, en el ejemplo que se muestra en la FIGURA 4, los bits 425 sistemáticos y los bits 420 de paridad se leen por filas. Por lo tanto, no se implementa ningún efecto de entrelazado de canales (en contraste con el ejemplo de la FIGURA 3 descrito anteriormente).

5 Además, dado que perforar columnas de alto peso tiene menos impacto en el rendimiento, el patrón de perforación se puede organizar de manera que se perforan más bits de columna de alto peso que bits de columna de bajo peso. Sería posible buscar qué bits 420 de paridad perforar que den el menor impacto en el umbral. Los nodos en el protográfico, que corresponden a la n_b filas, se pueden reordenar para que la perforación desde el extremo de la memoria intermedia 400 circular rectangular sea óptima.

10 La FIGURA 5 ilustra un ejemplo en el que, cuando se alcanza el final de la memoria intermedia circular, vuelve a los bits sistemáticos que se saltaron en una primera transmisión, de acuerdo con ciertas realizaciones. La FIGURA 5 ilustra una memoria intermedia 500 circular rectangular con Z columnas 505 y n_b filas 510. Dentro de la memoria intermedia 500 circular rectangular, hay una pluralidad de bits 515 sistemáticos y una pluralidad de bits 520 de paridad. La pluralidad de bits 515 sistemáticos incluye bits 525 sistemáticos que no se saltan en una primera transmisión y una pluralidad de bits 530 sistemáticos que se saltan en la primera transmisión. En el ejemplo de la FIGURA 5, los bits se leen de la memoria intermedia circular rectangular 500 comenzando en el punto de inicio 535. La flecha 540 ilustra la vuelta que se produce cuando se alcanza el final de la memoria intermedia 500 circular rectangular.

20 Como se describió anteriormente, la FIGURA 5 ilustra un ejemplo en el que, cuando se alcanza el final de la memoria intermedia 500 circular, se vuelve a los bits 530 sistemáticos que se saltaron en la primera transmisión (como se muestra por la flecha 540). En la realización de ejemplo de la FIGURA 5, los bits 530 sistemáticos que se saltaron en la primera transmisión, o para la generación de una palabra de código de mayor tasa, se incluyen en una retransmisión, o cuando se genera una palabra de código de baja tasa.

En ciertas realizaciones, los bits se pueden leer desde la memoria intermedia 500 circular rectangular en forma horizontal (es decir, en forma de fila), comenzando en el punto 535 de inicio.

25 La FIGURA 6 ilustra un ejemplo en el que la memoria intermedia circular usa un subconjunto de bits codificados definidos por la PCM, de modo que la tasa de código usada para la transmisión real es mayor que la tasa R de código de la PCM, de acuerdo con ciertas realizaciones. La FIGURA 6 ilustra una memoria intermedia 600 circular rectangular con Z columnas 605, n_b filas 610 y $n_{b,1}$ filas 615. Como se muestra en la FIGURA 6, hay una pluralidad de bits 620 sistemáticos y una pluralidad de bits 625 de paridad. La pluralidad de bits 620 sistemáticos incluye bits 630 sistemáticos que no se saltan y una pluralidad de bits 635 sistemáticos que se saltan. La pluralidad de bits 625 de paridad incluye bits de paridad que se extraen del código 640 madre y bits 645 de paridad que no se extraen del código madre. En el ejemplo de la FIGURA 6, los bits se leen de la memoria intermedia 600 circular rectangular comenzando en el punto 650 de inicio. La flecha 655 ilustra la vuelta que se produce cuando se alcanza el final de la memoria intermedia 600 circular rectangular.

35 En la realización de ejemplo que se muestra en la FIGURA 6, algunos de los bits 625 de paridad generados desde la PCM no se colocan en el rectángulo ni se transmiten (es decir, los bits de paridad que se extraen del código 640 madre), pero se generan retransmisiones y tasas de código más bajas. leyendo de nuevo desde la parte superior izquierda del rectángulo (es decir, en el punto 650 inicial). Esto puede ser útil, por ejemplo, si se prefiere una decodificación de menor complejidad, porque en este caso solo se requiere una submatriz de la PCM para decodificar la transmisión.

En ciertas realizaciones, los bits se pueden leer desde la memoria intermedia 600 circular rectangular en forma vertical (es decir, en forma de columna), comenzando en el punto 650 de inicio.

45 La FIGURA 7 ilustra un ejemplo en el que también se implementa el acortamiento como parte del procedimiento de coincidencia de tasa, de acuerdo con ciertas realizaciones. La FIGURA 7 ilustra una memoria intermedia 700 circular rectangular con Z columnas 705 y n_b filas 710. Dentro de la memoria intermedia 700 circular rectangular, hay una pluralidad de bits 715 sistemáticos y una pluralidad de bits 720 de paridad. La pluralidad de bits 715 sistemáticos incluye una pluralidad de bits 725 sistemáticos que se saltan, una pluralidad de bits 730 sistemáticos que no se saltan, y una pluralidad de bits 735 acortados. En el ejemplo de la FIGURA 7, los bits se leen de la memoria intermedia 700 circular rectangular comenzando en el punto 740 de inicio. La flecha 745 ilustra la vuelta que se produce cuando se alcanza el final de la memoria intermedia 700 circular rectangular .

50 Como se describió anteriormente, en la realización de ejemplo de la FIGURA 7, el acortamiento también se implementa como parte del procedimiento de coincidencia de tasa. En el ejemplo de la FIGURA 7, los bits 735 acortados se eligen primero entre los bits 730 sistemáticos que no se saltan. En algunos casos, si el número de bits acortados es mayor que el número de bits 730 sistemáticos que no se saltan, algunos de los bits 725 sistemáticos saltados también se acortarán. Los bits acortados se establecen en un valor conocido y se saltan cuando se lee la palabra clave que se va a transmitir (ya que se conoce en el receptor). El receptor (por ejemplo, un segundo nodo) inserta valores de confiabilidad infinitos para los bits acortados y calcula la confiabilidad para el resto de los bits usando un rectángulo similar. Según un ejemplo de realización alternativa, los bits pueden leerse de forma vertical, saltando nuevamente los

bits 735 acortados y los bits 725 que están diseñados para ser saltados.

La FIGURA 8 ilustra un ejemplo en el que el acortamiento se aplica primero a los bits sistemáticos que se saltan, y solo a los bits no saltados si el número de bits acortados es mayor que el número de bits saltados, de acuerdo con ciertas realizaciones. La FIGURA 8 ilustra una memoria intermedia 800 circular rectangular con Z columnas 805 y n_b filas 810. Dentro de la memoria intermedia 800 circular rectangular, hay una pluralidad de bits 815 sistemáticos y una pluralidad de bits 820 de paridad. La pluralidad de bits 815 sistemáticos incluye una pluralidad de bits 825 acortados, una pluralidad de bits 830 sistemáticos que se saltan, y una pluralidad de bits 835 sistemáticos que no se saltan. En el ejemplo de la FIGURA 8, los bits se leen de la memoria intermedia 800 circular rectangular comenzando en el punto 840 de inicio. La flecha 845 ilustra la vuelta que se produce cuando se alcanza el final de la memoria intermedia 800 circular rectangular .

En la realización de ejemplo de la FIGURA 8, los bits 825 de información acortados se eligen primero de los bits 830 sistemáticos que se saltan, y solo si es necesario acortar más bits que el número de bits saltados, los otros bits 835 sistemáticos se acortan. En ciertas realizaciones, los bits pueden leerse de forma vertical.

En ciertas realizaciones, las diversas realizaciones descritas anteriormente con respecto a las FIGURAS 3-8 pueden combinarse aún más. La presente descripción contempla que las diversas realizaciones de ejemplo descritas anteriormente pueden combinarse de cualquier manera adecuada. Por ejemplo, los ejemplos de realización descritos anteriormente en relación con las FIGURAS 7 y 8 pueden combinarse con el ejemplo de realización de la FIGURA 5 para que los bits sistemáticos que se saltan al principio puedan incluirse en códigos de menor tasa o en retransmisiones. Tenga en cuenta, sin embargo, que los bits acortados no se incluyen en una transmisión ya que los conoce el receptor.

La FIGURA 9 es un diagrama de flujo de un método 900 en un primer nodo, de acuerdo con ciertas realizaciones. Más particularmente, el método 900 es un método para producir un conjunto de bits codificados a partir de un conjunto de bits de información para la transmisión entre un primer nodo y un segundo nodo en un sistema de comunicaciones inalámbricas. El método 900 comienza en el paso 904, donde el primer nodo genera un vector de palabra clave codificando el conjunto de bits de información con un código de verificación de paridad de baja densidad, donde el vector de palabra clave se compone de bits sistemáticos y bits de paridad. En ciertas realizaciones, el código LDPC se especifica a través de una PCM. El sistema de comunicaciones inalámbricas puede comprender un sistema NR.

En ciertas realizaciones, generar el vector de palabra clave codificando el conjunto de bits de información comprende adjuntar bits ficticios al conjunto de bits de información, comprendiendo los bits ficticios bits de valor conocido, para producir un vector de información y codificar el vector de información. Los bits ficticios adjuntos pueden comprender una segunda pluralidad de bits sistemáticos que está separada de la primera pluralidad perforada de bits sistemáticos. En ciertas realizaciones, el método puede comprender perforar los bits ficticios adjuntos. Perforar los bits ficticios adjuntos puede comprender saltar el escribir los bits ficticios adjuntos en la memoria intermedia circular. Perforar los bits ficticios adjuntos puede comprender saltar los bits ficticios adjuntos al leer los bits codificados de la memoria intermedia circular.

En el paso 908, el primer nodo realiza una coincidencia de tasa circular basada en memoria intermedia en el vector de palabra clave generado para producir los bits codificados para transmisión, en donde la coincidencia de tasa basada en memoria intermedia circular comprende perforar una primera pluralidad de bits sistemáticos. En determinadas realizaciones, la primera pluralidad de bits sistemáticos que se perforan puede preceder, en el vector de palabra clave, a una segunda pluralidad de bits sistemáticos que no se perforan.

En ciertas realizaciones, se puede definir una pluralidad de versiones de redundancia sobre la memoria intermedia circular de manera que los bits codificados para una retransmisión se leen desde la memoria intermedia circular de acuerdo con una versión de redundancia correspondiente definida para la retransmisión. El método 900 comprende realizar una coincidencia de tasa circular basada en memoria intermedia en el vector de palabra clave generado para producir bits codificados para la retransmisión, donde la coincidencia de tasa basada en memoria intermedia circular para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos. La primera pluralidad de bits sistemáticos perforados para la retransmisión puede incluir un múltiplo par de Z bits sistemáticos, donde Z es un factor de elevación de la matriz de comprobación de paridad.

En ciertas realizaciones, perforar la primera pluralidad de bits sistemáticos comprende saltar escribir la primera pluralidad de bits sistemáticos en una memoria intermedia circular. En ciertas realizaciones, perforar la primera pluralidad de bits sistemáticos puede comprender saltar la primera pluralidad de bits sistemáticos al leer los bits codificados de una memoria intermedia circular. En ciertas realizaciones, la primera pluralidad de bits sistemáticos perforados puede incluir un múltiplo par de Z bits sistemáticos, donde Z es un factor de elevación de la matriz de verificación de paridad.

En ciertas realizaciones, realizar una coincidencia de tasa basada en una memoria intermedia circular en el vector de palabra clave generado puede comprender leer los bits sistemáticos y los bits de paridad de una memoria intermedia circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico. Leer los bits sistemáticos y los bits de paridad de la memoria intermedia circular para producir el vector de transmisión para la

transmisión por el canal inalámbrico puede comprender, si un número de bits del vector de transmisión es mayor que el número total de bits en la memoria intermedia circular, repetir uno o más bits en la memoria intermedia circular envolviéndolos.

5 En ciertas realizaciones, se salta un subconjunto de los bits sistemáticos para que no se escriban en la memoria intermedia circular. En determinadas realizaciones, se puede saltar la escritura de un subconjunto de bits de paridad en la memoria intermedia circular.

En ciertas realizaciones, el método puede comprender perforar un subconjunto de los bits sistemáticos escritos en la memoria intermedia circular en una primera transmisión por el canal inalámbrico. El método puede comprender incluir el subconjunto de bits sistemáticos que fueron perforados en una retransmisión por el canal inalámbrico.

10 En ciertas realizaciones, el método puede comprender perforar bits en forma de columna de modo que los bits se perforan uniformemente de cada una de una pluralidad de filas y se mantiene una distribución de peso de la matriz de control de paridad en la memoria intermedia circular. Los bits perforados pueden ser bits sistemáticos distintos de la primera pluralidad de bits sistemáticos. Los bits sistemáticos y los bits de paridad pueden leerse de modo que se implemente un intercalador de canal como parte de la realización de una coincidencia de tasa basada en memoria intermedia circular en el vector de palabra de código generado. En ciertas realizaciones, los bits perforados tienen un peso de columna mayor que los bits no perforados. En ciertas realizaciones, los bits sistemáticos y los bits de paridad pueden leerse de manera que no se implemente ningún efecto de entrelazado de canales.

15 En ciertas realizaciones, realizar una coincidencia de tasa basada en memoria intermedia circular en el vector de palabra clave generado puede comprender escribir al menos una parte de los bits sistemáticos y los bits de paridad definidos por la PCM en una memoria intermedia circular rectangular, comprendiendo la memoria intermedia circular rectangular una o más filas y una o más columnas.

20 La FIGURA 10 es un esquema de bloques de un dispositivo 110 inalámbrico ejemplar, de acuerdo con ciertas realizaciones. El dispositivo 110 inalámbrico puede referirse a cualquier tipo de dispositivo inalámbrico que se comunica con un nodo y/o con otro dispositivo inalámbrico en un sistema de comunicación móvil o por celda. Los ejemplos de dispositivo 110 inalámbrico incluyen un teléfono móvil, un teléfono inteligente, una PDA (Asistente Digital Personal), un ordenador portátil (por ejemplo, un ordenador portátil, una tableta), un sensor, un actuador, un módem, un dispositivo de comunicación tipo máquina (MTC) / dispositivo de máquina a máquina (M2M), equipo integrado en ordenador portátil (LEE), equipo montado en ordenador portátil (LME), dispositivos USB, un dispositivo compatible con D2D u otro dispositivo que pueda proporcionar comunicación inalámbrica. Un dispositivo 110 inalámbrico también puede denominarse UE, estación (STA), dispositivo o terminal en algunas realizaciones. El dispositivo 110 inalámbrico incluye el transceptor 1010, el circuito 1020 de procesamiento y la memoria 1030. En algunas realizaciones, el transceptor 1010 facilita la transmisión de señales inalámbricas y la recepción de señales inalámbricas desde el nodo 115 de red (por ejemplo, a través de la antena 1040), el circuito 1020 de procesamiento ejecuta instrucciones para proporcionar algunos o toda la funcionalidad descrita anteriormente proporcionada por el dispositivo 110 inalámbrico, y la memoria 1030 almacena las instrucciones ejecutadas por el circuito 1020 de procesamiento.

35 El circuito 1020 de procesamiento puede incluir cualquier combinación adecuada de hardware y software implementado en uno o más módulos para ejecutar instrucciones y manipular datos para realizar algunas o todas las funciones descritas del UE 110, como las funciones del dispositivo 110 inalámbrico descrito anteriormente en relación con las FIGURAS 1-9. En algunas realizaciones, el circuito 1020 de procesamiento puede incluir, por ejemplo, uno o más ordenadores, una o más unidades centrales de procesamiento (CPU), uno o más microprocesadores, una o más aplicaciones, uno o más circuitos integrados específicos de la aplicación (ASIC), uno o más matrices de puertas programables en campo (FPGA) y/u otra lógica.

40 La memoria 1030 generalmente funciona para almacenar instrucciones, como un programa informático, software, una aplicación que incluye una o más de lógica, reglas, algoritmos, código, tablas, etc. y/u otras instrucciones que pueden ejecutarse mediante el circuito 1020 de procesamiento. Ejemplos de memoria 1030 incluyen memoria informática (por ejemplo, Memoria de Acceso Aleatorio (RAM) o Memoria de Solo Lectura (ROM)), medios de almacenamiento masivo (por ejemplo, un disco duro), medios de almacenamiento extraíbles (por ejemplo, un Disco Compacto (CD) o un Disco de Video Digital (DVD)), y/o cualquier otro dispositivo de memoria volátil o no volátil, no transitorio legible por ordenador y/o ejecutable por ordenador que almacena información, datos y/o instrucciones que pueden ser usadas por el circuito 1020 de procesamiento.

45 Otras realizaciones del dispositivo 110 inalámbrico pueden incluir componentes adicionales además de los que se muestran en la FIGURA 10 que pueden ser responsables de proporcionar ciertos aspectos de la funcionalidad del dispositivo inalámbrico, incluida cualquiera de las funciones descritas anteriormente y/o cualquier funcionalidad adicional (incluida cualquier funcionalidad necesaria para admitir la solución descrita anteriormente). Solo como un ejemplo, el dispositivo 110 inalámbrico puede incluir dispositivos y circuitos de entrada, dispositivos de salida y una o más unidades o circuitos de sincronización, que pueden ser parte del circuito 1020 de procesamiento. Los dispositivos de entrada incluyen mecanismos para la entrada de datos en el dispositivo 110 inalámbrico. Por ejemplo, los dispositivos de entrada pueden incluir mecanismos de entrada, como un micrófono, elementos de entrada, un elemento de visualización, etc. Los dispositivos de salida pueden incluir mecanismos para emitir datos en formato de

audio, video y/o copia impresa. Por ejemplo, los dispositivos de salida pueden incluir un altavoz, un elemento de visualización, etc.

La FIGURA 11 es un esquema de bloques de un nodo 115 de red ejemplar, de acuerdo con ciertas realizaciones. El nodo 115 de red puede ser cualquier tipo de nodo de red de radio o cualquier nodo de red que se comuniquen con un UE y/o con otro nodo de red. Los ejemplos de nodo 115 de red incluyen un eNodoB, un gNB, un nodo B, una estación base, un punto de acceso inalámbrico (por ejemplo, un punto de acceso Wi-Fi), un nodo de baja potencia, una estación transceptora base (BTS), un retransmisor, un relé de control del nodo donante, puntos de transmisión, nodos de transmisión, una unidad de RF remota (RRU), una cabeza de radio remota (RRH), un nodo de radio de radio multiestándar (MSR) como una BS MSR, nodos en el sistema de antena distribuida (DAS), O&M, OSS, SON, nodo de posicionamiento (por ejemplo, E-SMLC), MDT o cualquier otro nodo de red adecuado. Los nodos 115 de red pueden desplegarse a lo largo de la red 100 como un despliegue homogéneo, un despliegue heterogéneo o un despliegue mixto. Un despliegue homogéneo puede generalmente describir un despliegue compuesto por el mismo (o similar) tipo de nodos 115 de red y/o cobertura y tamaños de celda y distancias entre sitios similares. Una implementación heterogénea generalmente puede describir implementaciones que usan una variedad de tipos de nodos 115 de red que tienen diferentes tamaños de celda, potencias de transmisión, capacidades y distancias entre sitios. Por ejemplo, una implementación heterogénea puede incluir una pluralidad de nodos de baja potencia colocados a lo largo de un diseño de macrocelda. Las implementaciones mixtas pueden incluir una combinación de porciones homogéneas y porciones heterogéneas.

El nodo 115 de red puede incluir uno o más transceptores 1110, circuitos 1120 de procesamiento, memoria 1130 e interfaz 1140 de red. En algunas realizaciones, el transceptor 1110 facilita la transmisión de señales inalámbricas y la recepción de señales inalámbricas desde el dispositivo 110 inalámbrico (por ejemplo, a través de la antena 1150), el circuito 1120 de procesamiento ejecuta instrucciones para proporcionar algunas o todas las funciones descritas anteriormente proporcionadas por un nodo 115 de red, la memoria 1130 almacena las instrucciones ejecutadas por el circuito 1120 de procesamiento y la interfaz 1140 de red comunica señales a los componentes de la red troncal, como un puerto de enlace, conmutador, enrutador, Internet, red telefónica pública conmutada (PSTN), nodos de red de núcleo o controladores 130 de red de radio, etc.

El circuito 1120 de procesamiento puede incluir cualquier combinación adecuada de hardware y software implementada en uno o más módulos para ejecutar instrucciones y manipular datos para realizar algunas o todas las funciones descritas del nodo 115 de red, como las descritas anteriormente en relación con las FIGURAS 1-9. En algunas realizaciones, el circuito 1120 de procesamiento puede incluir, por ejemplo, uno o más ordenadores, una o más unidades centrales de procesamiento (CPU), uno o más microprocesadores, una o más aplicaciones y/u otra lógica.

La memoria 1130 generalmente funciona para almacenar instrucciones, como un programa informático, software, una aplicación que incluye una o más de lógica, reglas, algoritmos, código, tablas, etc. y/u otras instrucciones que pueden ejecutarse mediante el circuito 1120 de procesamiento. Ejemplos de memoria 1130 incluyen memoria informática (por ejemplo, Memoria de Acceso Aleatorio (RAM) o Memoria de Solo Lectura (ROM)), medios de almacenamiento masivo (por ejemplo, un disco duro), medios de almacenamiento extraíbles (por ejemplo, un Disco Compacto (CD) o un Disco de Video Digital (DVD)), y/o cualquier otro dispositivo de memoria volátil o no volátil, no transitorio legible por ordenador y/o ejecutable por ordenador que almacena información.

En algunas realizaciones, la interfaz 1140 de red está comunicativamente acoplada al circuito 1120 de procesamiento y puede referirse a cualquier dispositivo adecuado operable para recibir una entrada para el nodo 115 de red, enviar salida desde el nodo 115 de red, realizar el procesamiento adecuado de la entrada o salida o ambos, comunicarse con otros dispositivos, o cualquier combinación de los anteriores. La interfaz 1140 de red puede incluir hardware apropiado (por ejemplo, puerto, módem, tarjeta de interfaz de red, etc.) y software, incluidas capacidades de procesamiento de datos y conversión de protocolo, para comunicarse a través de una red.

Otras realizaciones del nodo 115 de red pueden incluir componentes adicionales además de los que se muestran en la FIGURA 11 que pueden ser responsables de proporcionar ciertos aspectos de la funcionalidad del nodo de red de radio, incluida cualquiera de las funciones descritas anteriormente y/o cualquier funcionalidad adicional (incluida cualquier funcionalidad necesaria para apoyar las soluciones descritas anteriormente). Los diversos tipos diferentes de nodos de red pueden incluir componentes que tienen el mismo hardware físico pero configurados (por ejemplo, mediante programación) para soportar diferentes tecnologías de acceso de radio, o pueden representar componentes físicos parcial o totalmente diferentes.

La FIGURA 12 es un esquema de bloques de un controlador de red de radio ejemplar o nodo 130 de red de núcleo, de acuerdo con ciertas realizaciones. Los ejemplos de nodos de red pueden incluir un centro de conmutación móvil (MSC), un nodo de soporte de servicio GPRS (SGSN), una entidad de gestión de la movilidad (MME), un controlador de red de radio (RNC), un controlador de estación base (BSC), etc. El controlador de red de radio o el nodo 130 de red de núcleo incluyen el circuito 1220 de procesamiento, la memoria 1230 y la interfaz 1240 de red. En algunas realizaciones, el circuito 1220 de procesamiento ejecuta instrucciones para proporcionar algunas o todas las funciones descritas anteriormente proporcionadas por el nodo de red, la memoria 1230 almacena las instrucciones ejecutadas por el circuito 1220 de procesamiento, y la interfaz 1240 de red comunica señales a cualquier nodo adecuado, como

una puerta de enlace, conmutador, enrutador, Internet, red telefónica pública conmutada (PSTN), nodos 115 de red, controladores de red de radio o nodos 130 de red de núcleo, etc.

5 El circuito 1220 de procesamiento puede incluir cualquier combinación adecuada de hardware y software implementada en uno o más módulos para ejecutar instrucciones y manipular datos para realizar algunas o todas las funciones descritas del controlador de red de radio o nodo 130 de red de núcleo. En algunas realizaciones, el circuito 1220 de procesamiento puede incluir, por ejemplo, uno o más ordenadores, una o más unidades centrales de procesamiento (CPU), uno o más microprocesadores, una o más aplicaciones y/u otra lógica.

10 La memoria 1230 generalmente funciona para almacenar instrucciones, como un programa informático, software, una aplicación que incluye una o más de lógica, reglas, algoritmos, código, tablas, etc. y/u otras instrucciones que pueden ejecutarse mediante el circuito 1220 de procesamiento. Ejemplos de memoria 1230 incluyen memoria informática (por ejemplo, Memoria de Acceso Aleatorio (RAM) o Memoria de Solo Lectura (ROM)), medios de almacenamiento masivo (por ejemplo, un disco duro), medios de almacenamiento extraíbles (por ejemplo, un Disco Compacto (CD) o un Disco de Video Digital (DVD)), y/o cualquier otro dispositivo de memoria volátil o no volátil, no transitorio legible por ordenador y/o ejecutable por ordenador que almacena información.

15 En algunas realizaciones, la interfaz 1240 de red está comunicativamente acoplada al circuito 1220 de procesamiento y puede referirse a cualquier dispositivo adecuado operable para recibir entrada para el nodo de red, enviar salida desde el nodo de red, realizar un procesamiento adecuado de la entrada o salida o ambos, comunicarse con otros dispositivos, o cualquier combinación de los anteriores. La interfaz 1240 de red puede incluir hardware apropiado (por ejemplo, puerto, módem, tarjeta de interfaz de red, etc.) y software, incluidas capacidades de procesamiento de datos y conversión de protocolo, para comunicarse a través de una red.

Otras realizaciones del nodo de red pueden incluir componentes adicionales además de los que se muestran en la FIGURA 12 que pueden ser responsables de proporcionar ciertos aspectos de la funcionalidad del nodo de red, incluida cualquiera de las funciones descritas anteriormente y/o cualquier funcionalidad adicional (incluida cualquier funcionalidad necesaria para soportar la solución descrita anteriormente).

25 La FIGURA 13 es un diagrama de bloques esquemático de un dispositivo inalámbrico ejemplar, de acuerdo con ciertas realizaciones. El dispositivo 110 inalámbrico puede incluir uno o más módulos. Por ejemplo, el dispositivo 110 inalámbrico puede incluir un módulo 1310 de determinación, un módulo 1320 de comunicación, un módulo 1330 de recepción, un módulo 1340 de entrada, un módulo 1350 de visualización y cualquier otro módulo adecuado. En algunas realizaciones, uno o más del módulo 1310 de determinación, el módulo 1320 de comunicación, el módulo 1330 de recepción, el módulo 1340 de entrada, el módulo 1350 de visualización o cualquier otro módulo adecuado pueden implementarse usando uno o más procesadores, como el circuito 1020 de procesamiento descrito anteriormente con relación a la FIGURA 10. En ciertas realizaciones, las funciones de dos o más de los diversos módulos pueden combinarse en un solo módulo. El dispositivo 110 inalámbrico puede realizar los métodos de coincidencia de tasa para los códigos LDPC descritos anteriormente en relación con las FIGURAS 1-9.

35 El módulo 1310 de determinación puede realizar las funciones de procesamiento del dispositivo 110 inalámbrico. En ciertas realizaciones, el dispositivo 110 inalámbrico puede realizar las funciones del primer nodo descrito anteriormente en relación con las FIGURAS 1-9. En tal escenario, el módulo 1310 de determinación puede generar un vector de palabra clave codificando el conjunto de bits de información con un código de verificación de paridad de baja densidad, donde el vector de palabra clave está compuesto de bits sistemáticos y bits de paridad. Como parte de generar el vector de palabra clave codificando el conjunto de bits de información, el módulo 1310 de determinación puede adjuntar bits ficticios al conjunto de bits de información, comprendiendo los bits ficticios bits de valor conocido, para producir un vector de información y codificar el vector de información. En ciertas realizaciones, el módulo 1310 de determinación puede perforar los bits ficticios adjuntos. Como parte de perforar los bits ficticios adjuntos, el módulo 1310 de determinación puede saltar escribir los bits ficticios adjuntos en la memoria intermedia circular. Como parte de la perforación de los bits ficticios adjuntos, el módulo 1310 de determinación puede saltar los bits ficticios adjuntos al leer los bits codificados de la memoria intermedia circular.

50 Como otro ejemplo, el módulo 1310 de determinación puede realizar una coincidencia de tasa circular basada en memoria intermedia en el vector de palabra clave generado para producir los bits codificados para transmisión, en el que la coincidencia de tasa basada en memoria intermedia circular comprende perforar una primera pluralidad de bits sistemáticos. Como otro ejemplo, el módulo 1310 de determinación puede realizar una coincidencia de tasa basada en memoria intermedia circular en el vector de palabra clave generado para producir bits codificados para una retransmisión, en donde la coincidencia de tasa basada en memoria intermedia circular para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos.

55 Como otro ejemplo, el módulo 1310 de determinación puede perforar la primera pluralidad de bits sistemáticos saltando escribir la primera pluralidad de bits sistemáticos en una memoria intermedia circular. Como otro ejemplo, el módulo 1310 de determinación puede perforar la primera pluralidad de bits sistemáticos saltando la primera pluralidad de bits sistemáticos al leer los bits codificados de una memoria intermedia circular.

Como otro ejemplo, el módulo 1310 de determinación puede realizar una coincidencia de tasa basada en la memoria

intermedia circular en el vector de palabra clave generado leyendo los bits sistemáticos y los bits de paridad de una memoria intermedia circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico. Al leer los bits sistemáticos y los bits de paridad de la memoria intermedia circular para producir el vector de transmisión para la transmisión por el canal inalámbrico, el módulo de determinación 1310 puede, si un número de bits del vector de transmisión es mayor que el número total de bits en la memoria intermedia circular repetir uno o más bits en la memoria intermedia circular envolviéndolos.

Como otro ejemplo, el módulo 1310 de determinación puede perforar un subconjunto de bits sistemáticos escritos en la memoria intermedia circular en una primera transmisión por el canal inalámbrico e incluir el subconjunto de bits sistemáticos que fueron perforados en una retransmisión por el canal inalámbrico. El módulo 1310 de determinación puede perforar bits en forma de columna de manera que los bits se perforan uniformemente desde cada una de una pluralidad de filas y se mantiene una distribución de peso de la matriz de comprobación de paridad en la memoria intermedia circular.

Como otro ejemplo, el módulo 1310 de determinación puede leer los bits sistemáticos y los bits de paridad para que se implemente un intercalador de canal como parte de la realización de una coincidencia de tasa basada en memoria intermedia circular en el vector de palabra clave generado. Como otro ejemplo, el módulo 1310 de determinación puede leer los bits sistemáticos y los bits de paridad de modo que no se implemente ningún efecto de entrelazado de canales.

Como otro ejemplo, el módulo 1310 de determinación puede realizar una coincidencia de tasa basada en la memoria intermedia circular en el vector de palabra clave generado al escribir al menos una parte de los bits sistemáticos y los bits de paridad definidos por la matriz de verificación de paridad en una memoria intermedia circular rectangular, comprendiendo la memoria intermedia circular rectangular una o más filas y una o más columnas.

El módulo 1310 de determinación puede incluir o estar incluido en uno o más procesadores, como el circuito 1020 de procesamiento descrito anteriormente en relación con la FIGURA 10. El módulo 1310 de determinación puede incluir circuitos analógicos y/o digitales configurados para realizar cualquiera de las funciones del módulo 1310 de determinación y/o circuito 1020 de procesamiento descritos anteriormente. Las funciones del módulo 1310 de determinación descritas anteriormente pueden, en ciertas realizaciones, realizarse en uno o más módulos distintos.

El módulo 1320 de comunicación puede realizar las funciones de transmisión del dispositivo 110 inalámbrico. El módulo 1320 de comunicación puede incluir un transmisor y/o un transceptor, como el transceptor 1010 descrito anteriormente en relación con la FIGURA 10. El módulo 1320 de comunicación puede incluir circuitos configurados para transmitir mensajes y/o señales. En realizaciones particulares, el módulo 1320 de comunicación puede recibir mensajes y/o señales para transmisión desde el módulo 1310 de determinación. En ciertas realizaciones, las funciones del módulo 1320 de comunicación descritas anteriormente pueden realizarse en uno o más módulos distintos.

El módulo 1330 de recepción puede realizar las funciones de recepción del dispositivo 110 inalámbrico. El módulo 1330 de recepción puede incluir un receptor y/o un transceptor. El módulo 1330 de recepción puede incluir un receptor y/o un transceptor, como el transceptor 1010 descrito anteriormente en relación con la FIGURA 10. El módulo 1330 de recepción puede incluir circuitos configurados para recibir mensajes y/o señales de forma inalámbrica. En realizaciones particulares, el módulo 1330 de recepción puede comunicar los mensajes y/o señales recibidos al módulo 1310 de determinación. Las funciones del módulo 1330 de recepción descritas anteriormente pueden, en ciertas realizaciones, realizarse en uno o más módulos distintos.

El módulo 1340 de entrada puede recibir la entrada de usuario destinada al dispositivo 110 inalámbrico. Por ejemplo, el módulo de entrada puede recibir pulsaciones de teclas, pulsaciones de botones, toques, deslizamientos, señales de audio, señales de vídeo y/o cualquier otra señal apropiada. El módulo de entrada puede incluir una o más teclas, botones, palancas, interruptores, pantallas táctiles, micrófonos y/o cámaras. El módulo de entrada puede comunicar señales recibidas al módulo 1310 de determinación. Las funciones del módulo 1340 de entrada descritas anteriormente pueden, en ciertas realizaciones, realizarse en uno o más módulos distintos.

El módulo 1350 de visualización puede presentar señales en un elemento de visualización 110 del dispositivo inalámbrico. El módulo 1350 de visualización puede incluir el elemento de visualización y/o cualquier circuito y hardware apropiados configurados para presentar señales en el elemento de visualización. El módulo 1350 de visualización puede recibir señales para presentar en el elemento de visualización desde el módulo 1310 de determinación. Las funciones del módulo 1350 de visualización descritas anteriormente pueden, en ciertas realizaciones, realizarse en uno o más módulos distintos.

El módulo 1310 de determinación, el módulo 1320 de comunicación, el módulo 1330 de recepción, el módulo 1340 de entrada y el módulo 1350 de visualización pueden incluir cualquier configuración adecuada de hardware y/o software. El dispositivo 110 inalámbrico puede incluir módulos adicionales además de los que se muestran en la FIGURA 13 que pueden ser responsables de proporcionar cualquier funcionalidad adecuada, incluida cualquiera de las funciones descritas anteriormente y/o cualquier funcionalidad adicional (incluida cualquier funcionalidad necesaria para admitir las diversas soluciones descritas en este documento).

La FIGURA 14 es un diagrama de bloques esquemático de un nodo 115 de red ejemplar, de acuerdo con ciertas

realizaciones. El nodo 115 de red puede incluir uno o más módulos. Por ejemplo, el nodo 115 de red puede incluir el módulo 1410 de determinación, el módulo 1420 de comunicación, el módulo 1430 de recepción y cualquier otro módulo adecuado. En algunas realizaciones, uno o más del módulo 1410 de determinación, el módulo 1420 de comunicación, el módulo 1430 de recepción o cualquier otro módulo adecuado pueden implementarse usando uno o más procesadores, como el circuito 1120 de procesamiento descrito anteriormente en relación con la FIGURA 11. En ciertas realizaciones, las funciones de dos o más de los diversos módulos se pueden combinar en un solo módulo. El nodo 115 de red puede realizar los métodos de coincidencia de tasa para los códigos LDPC descritos anteriormente con respecto a las FIGURAS 1-9.

El módulo 1410 de determinación puede realizar las funciones de procesamiento del nodo 115 de red. En ciertas realizaciones, el nodo 115 de red puede realizar las funciones del primer nodo descrito anteriormente en relación con las FIGURAS 1-9. En tal escenario, el módulo 1410 de determinación puede generar un vector de palabra clave codificando el conjunto de bits de información con un código de verificación de paridad de baja densidad, donde el vector de palabra clave se compone de bits sistemáticos y bits de paridad. Como parte de generar el vector de palabra clave codificando el conjunto de bits de información, el módulo 1410 de determinación puede adjuntar bits ficticios al conjunto de bits de información, comprendiendo los bits ficticios bits de valor conocido, para producir un vector de información y codificar el vector de información. En ciertas realizaciones, el módulo 1410 de determinación puede perforar los bits ficticios adjuntos. Como parte de perforar los bits ficticios adjuntos, el módulo 1410 de determinación puede saltar escribir los bits ficticios adjuntos en la memoria intermedia circular. Como parte de la perforación de los bits ficticios adjuntos, el módulo 1410 de determinación puede saltar los bits ficticios adjuntos al leer los bits codificados de la memoria intermedia circular.

Como otro ejemplo, el módulo 1410 de determinación puede realizar una coincidencia de tasa basada en memoria intermedia circular en el vector de palabra clave generado para producir los bits codificados para transmisión, en donde la coincidencia de tasa basada en memoria intermedia circular comprende perforar una primera pluralidad de bits sistemáticos. Como otro ejemplo, el módulo 1410 de determinación puede realizar una coincidencia de tasa basada en memoria intermedia circular en el vector de palabra clave generado para producir bits codificados para una retransmisión, en donde la coincidencia de tasa basada en memoria intermedia circular para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos.

Como otro ejemplo, el módulo 1410 de determinación puede perforar la primera pluralidad de bits sistemáticos saltando escribir la primera pluralidad de bits sistemáticos en una memoria intermedia circular. Como otro ejemplo, el módulo 1410 de determinación puede perforar la primera pluralidad de bits sistemáticos saltando la primera pluralidad de bits sistemáticos al leer los bits codificados de una memoria intermedia circular.

Como otro ejemplo, el módulo 1410 de determinación puede realizar una coincidencia de tasa basada en memoria intermedia circular en el vector de palabra clave generado leyendo los bits sistemáticos y los bits de paridad de una memoria intermedia circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico. Al leer los bits sistemáticos y los bits de paridad de la memoria intermedia circular para producir el vector de transmisión para la transmisión por el canal inalámbrico, el módulo 1410 de determinación puede, si un número de bits del vector de transmisión es mayor que el número total de bits en el búfer circular, repetir uno o más bits en la memoria intermedia circular envolviéndolos.

Como otro ejemplo, el módulo 1410 de determinación puede perforar un subconjunto de bits sistemáticos escritos en la memoria intermedia circular en una primera transmisión por el canal inalámbrico e incluir el subconjunto de bits sistemáticos que fueron perforados en una retransmisión por el canal inalámbrico. El módulo 1410 de determinación puede perforar bits en forma de columna de modo que los bits se perforan uniformemente desde cada una de una pluralidad de filas y se mantiene una distribución de peso de la matriz de verificación de paridad en la memoria intermedia circular.

Como otro ejemplo, el módulo 1410 de determinación puede leer los bits sistemáticos y los bits de paridad para que se implemente un intercalador de canales como parte de la realización de la coincidencia de tasa basada en memorias intermedias circulares en el vector de palabra clave generado. Como otro ejemplo, el módulo 1410 de determinación puede leer los bits sistemáticos y los bits de paridad de modo que no se implemente ningún efecto de entrelazado de canales.

Como otro ejemplo, el módulo 1410 de determinación puede realizar una coincidencia de tasa basada en la memoria intermedia circular en el vector de palabra clave generado al escribir al menos una parte de los bits sistemáticos y los bits de paridad definidos por la matriz de verificación de paridad en una memoria intermedia circular rectangular, comprendiendo la memoria intermedia circular rectangular una o más filas y una o más columnas.

El módulo 1410 de determinación puede incluir o estar incluido en uno o más procesadores, como el circuito 1120 de procesamiento descrito anteriormente en relación con la FIGURA 11. El módulo 1410 de determinación puede incluir circuitos analógicos y/o digitales configurados para realizar cualquiera de las funciones del módulo 1410 de determinación y /o circuito 1120 de procesamiento descritos anteriormente. Las funciones del módulo 1410 de determinación pueden, en ciertas realizaciones, realizarse en uno o más módulos distintos.

5 El módulo 1420 de comunicación puede realizar las funciones de transmisión del nodo 115 de red. El módulo 1420 de comunicación puede transmitir mensajes a uno o más de los dispositivos 110 inalámbricos. El módulo 1420 de comunicación puede incluir un transmisor y/o un transceptor, como el transceptor 1110 descrito anteriormente en relación con FIGURA 11. El módulo 1420 de comunicación puede incluir circuitos configurados para transmitir mensajes y/o señales de forma inalámbrica. En realizaciones particulares, el módulo 1420 de comunicación puede recibir mensajes y/o señales para transmisión desde el módulo 1410 de determinación o cualquier otro módulo. Las funciones del módulo 1420 de comunicación pueden, en ciertas realizaciones, realizarse en uno o más módulos distintos.

10 El módulo 1430 de recepción puede realizar las funciones de recepción del nodo 115 de red. El módulo 1430 de recepción puede recibir cualquier información adecuada desde un dispositivo inalámbrico. El módulo 1430 receptor puede incluir un receptor y/o un transceptor, como el transceptor 1110 descrito anteriormente en relación con la FIGURA 11. El módulo 1430 de recepción puede incluir circuitos configurados para recibir mensajes y/o señales de forma inalámbrica. En realizaciones particulares, el módulo 1430 de recepción puede comunicar los mensajes y/o señales recibidos al módulo 1410 de determinación o cualquier otro módulo adecuado. Las funciones del módulo 1430 de recepción pueden, en ciertas realizaciones, realizarse en uno o más módulos distintos.

20 El módulo 1410 de determinación, el módulo 1420 de comunicación y el módulo 1430 de recepción pueden incluir cualquier configuración adecuada de hardware y/o software. El nodo 115 de red puede incluir módulos adicionales además de los que se muestran en la FIGURA 14 que pueden ser responsables de proporcionar cualquier funcionalidad adecuada, incluida cualquiera de las funciones descritas anteriormente y/o cualquier funcionalidad adicional (incluida cualquier funcionalidad necesaria para admitir las diversas soluciones descritas en este documento).

25 Se pueden realizar modificaciones, adiciones u omisiones a los sistemas y aparatos descritos en este documento sin apartarse del alcance de la descripción. Los componentes de los sistemas y aparatos pueden estar integrados o separados. Además, las operaciones de los sistemas y aparatos pueden ser realizadas por más, menos u otros componentes. Además, las operaciones de los sistemas y aparatos se pueden realizar usando cualquier lógica adecuada que comprenda software, hardware y/u otra lógica. Como se usa en este documento, "cada uno" se refiere a cada miembro de un conjunto o cada miembro de un subconjunto de un conjunto.

Se pueden realizar modificaciones, adiciones u omisiones a los métodos descritos en este documento sin apartarse del alcance de la descripción. Los métodos pueden incluir más, menos u otros pasos. Además, los pasos se pueden realizar en cualquier orden adecuado.

30 Aunque esta descripción se ha descrito en términos de ciertas realizaciones, las alteraciones y permutaciones de las realizaciones serán evidentes para los expertos en la técnica. En consecuencia, la descripción anterior de las realizaciones no restringe esta descripción. Son posibles otros cambios, sustituciones y alteraciones sin apartarse del alcance de esta descripción, como se define en las siguientes reivindicaciones.

Las abreviaturas usadas en la descripción anterior incluyen:

35	AP	Punto de Acceso
	BS	Estación Base
	BSC	Controlador de Estación Base
	BTS	Estación Transceptora Base
	CPE	Equipo en las Instalaciones del Cliente
40	D2D	Dispositivo a Dispositivo
	DAS	Sistema de Antena Distribuida
	DL	Enlace Descendente
	eNB	Nodo B evolucionado
	FDD	Duplexación por División de Frecuencia
45	LAN	Red de Área Local
	LEE	Equipo Portátil Integrado
	LME	Equipo Montado en Ordenador Portátil
	LDPC	Verificación de Paridad de Baja Densidad
	LTE	Evolución a Largo Plazo

ES 2 931 850 T3

	M2M	Máquina a Máquina
	MAN	Red de área Metropolitana
	MCE	Entidad de Coordinación Multicelda/multidifusión
	NAS	Estrato Sin Acceso
5	OFDM	Multiplexación por División de Frecuencia Ortogonal
	PCM	Matriz de Control de Paridad
	PDCCH	Canal de Control de Enlace Descendente Físico
	PDSCH	Canal Compartido de Enlace Descendente Físico
	PRB	Bloque de Recursos Físicos
10	PSTN	Red Telefónica Conmutada
	PUSCH	Canal Compartido de Enlace Ascendente Físico
	PUCCH	Canal de Control de Enlace Ascendente Físico
	QC	Cuasicíclico
	RB	Bloque de Recursos
15	RNC	Controlador de Red de Radio
	RRC	Control de Recursos de Radio
	RRH	Cabeza de Radio Remota
	RRU	Unidad de Radio Remota
	TBS	Tamaño del Bloque de Transporte
20	TDD	Duplexación por División de Tiempo
	TFRE	Elemento de Recurso de Frecuencia y Tiempo
	UE	Equipo de Usuario
	UL	Enlace Ascendente
	WAN	Red de Área Amplia

25

REIVINDICACIONES

1. Un método de coincidencia de tasa para producir un conjunto de bits codificados a partir de un conjunto de bits de información para la transmisión entre un primer nodo (110, 115) y un segundo nodo (110, 115) en un sistema (100) de comunicaciones inalámbricas, comprendiendo el método:
- 5 generar (904) un vector de palabra clave codificando el conjunto de bits de información con un código de verificación de paridad de baja densidad cuasiperiódico, QC-LDPC, en donde el vector de palabra clave se compone de bits sistemáticos y bits de paridad; y
- realizar (908) la coincidencia de tasa basada en memoria intermedia circular en el vector de palabra de código generado para producir los bits codificados para la transmisión, en donde generar un vector de palabra de código mediante la codificación del conjunto de bits de información con un QC-LDPC comprende:
- 10 adjuntar bits ficticios al conjunto de bits de información para hacer un vector U de información; y
- codificar el vector U de información con la matriz H de verificación de paridad del QC-LDPC para generar el vector de palabra clave, en donde el código QC-LDPC está diseñado con el conocimiento de que se perforará una primera pluralidad de bits sistemáticos, y en donde realizar la coincidencia de tasa basada en la memoria intermedia circular en el vector de palabra clave generado para producir los bits codificados para la transmisión comprende:
- 15 perforar la primera pluralidad de bits sistemáticos al no escribir la primera pluralidad perforada de bits sistemáticos en la memoria intermedia circular,
- quitar los bits ficticios, y
- 20 producir un vector para la transmisión,
- en donde las columnas de la matriz H de verificación de paridad que se asignan a la primera pluralidad de bits sistemáticos tienen un peso de columna más alto que las columnas de la matriz H de verificación de paridad que se asignan a bits no perforados.
- 25 2. El método de la reivindicación 1, en donde la primera pluralidad de bits sistemáticos que se perforan precede, en el vector de palabra clave, a una segunda pluralidad de bits sistemáticos que no se perforan.
3. El método de la reivindicación 1, en donde se definen una pluralidad de versiones de redundancia sobre la memoria intermedia circular de manera que los bits codificados para una retransmisión se leen de la memoria intermedia circular según una versión de redundancia correspondiente definida para la retransmisión, comprendiendo además el método:
- 30 realizar una coincidencia de tasa circular basada en la memoria intermedia en el vector de palabra clave generado para producir bits codificados para la retransmisión, en donde la coincidencia de tasa circular basada en la memoria intermedia para la retransmisión comprende perforar la primera pluralidad de bits sistemáticos, en donde la primera pluralidad de bits sistemáticos perforados para la retransmisión incluye un múltiplo par de Z bits sistemáticos, donde Z es un factor de elevación de la matriz de verificación de paridad.
- 35 4. El método de una cualquiera de las reivindicaciones 1 a 3, en donde la primera pluralidad de bits sistemáticos perforados incluye un múltiplo par de Z bits sistemáticos, donde Z es un factor de elevación de la matriz de verificación de paridad.
5. El método de una cualquiera de las reivindicaciones 1 a 4, en donde la realización de una coincidencia de tasa basada en una memoria intermedia circular en el vector de palabra clave generado comprende:
- 40 leer los bits sistemáticos y los bits de paridad de una memoria intermedia circular para producir el vector de transmisión para la transmisión a través de un canal inalámbrico.
6. El método de la reivindicación 5, en donde leer los bits sistemáticos y los bits de paridad de la memoria intermedia circular para producir el vector de transmisión para la transmisión por el canal inalámbrico comprende:
- 45 si un número de bits del vector de transmisión es mayor que el número total de bits en la memoria intermedia circular, repetir uno o más bits en la memoria intermedia circular envolviéndolos.
7. El método de una cualquiera de las reivindicaciones 1 a 6, que comprende perforar los bits ficticios adjuntos.
8. El método de cualquiera de las reivindicaciones 1-7, que comprende:
- perforar un subconjunto de los bits sistemáticos escritos en la memoria intermedia circular en una primera transmisión por el canal inalámbrico; y

incluir el subconjunto de los bits sistemáticos que se perforaron en una retransmisión por el canal inalámbrico.

9. El método de una cualquiera de las reivindicaciones 1-8, que comprende:

5 Perforar los bits en forma de columna de manera que los bits se perforan uniformemente desde cada una de una pluralidad de filas y se mantiene una distribución de peso de la matriz de control de paridad en la memoria intermedia circular.

10. El método de una cualquiera de las reivindicaciones 1 a 8, en donde los bits sistemáticos y los bits de paridad se leen para que se implemente un intercalador de canales como parte de la realización de una coincidencia de tasa basada en la memoria intermedia circular en el vector de palabra clave generado.

10 11. El método de una cualquiera de las reivindicaciones 1 a 10, en donde los bits perforados tienen un peso de columna mayor que los bits no perforados.

12. El método de una cualquiera de las reivindicaciones 1 a 8 y 11, en donde los bits sistemáticos y los bits de paridad se leen de manera que no se implementa ningún efecto de entrelazado de canales.

15 13. Un primer nodo (110, 115) para producir un conjunto de bits codificados a partir de un conjunto de bits de información para su transmisión a un segundo nodo (110, 115) en un sistema (100) de comunicaciones inalámbricas, comprendiendo el primer nodo:

Un circuito (1020, 1120) de procesamiento, configurado el circuito de procesamiento para:

generar (904) un vector de palabra clave codificando el conjunto de bits de información con un código de verificación de paridad de baja densidad cuasiperiódico, QC-LDPC, en donde el vector de palabra clave se compone de bits sistemáticos y bits de paridad; y

20 realizar (908) una coincidencia de tasa basada en la memoria intermedia circular en el vector de palabra de código generado para producir los bits codificados para la transmisión,

en donde generar un vector de palabra clave codificando el conjunto de bits de información con un QC-LDPC comprende:

adjuntar bits ficticios al conjunto de bits de información para hacer un vector U de información; y

25 codificar el vector U de información con la matriz H de verificación de paridad del QC-LDPC para generar el vector de palabra clave, en donde el código QC-LDPC está diseñado con el conocimiento de que se perforará una primera pluralidad de bits sistemáticos:

y en donde realizar una coincidencia de tasa basada en la memoria intermedia circular en el vector de palabra clave generado para producir los bits codificados para la transmisión comprende:

30 perforar la primera pluralidad de bits sistemáticos al no escribir la primera pluralidad perforada de bits sistemáticos en la memoria intermedia circular,

quitar los bits ficticios, y

producir un vector para la transmisión,

35 en donde las columnas de la matriz H de verificación de paridad que se asignan a la primera pluralidad de bits sistemáticos tienen un peso de columna más alto que las columnas de la matriz H de verificación de paridad que se asignan a bits no perforados.

14. El primer nodo de la reivindicación 13, en donde el circuito de procesamiento está configurado además para realizar el método según cualquiera de las reivindicaciones 1 a 12.

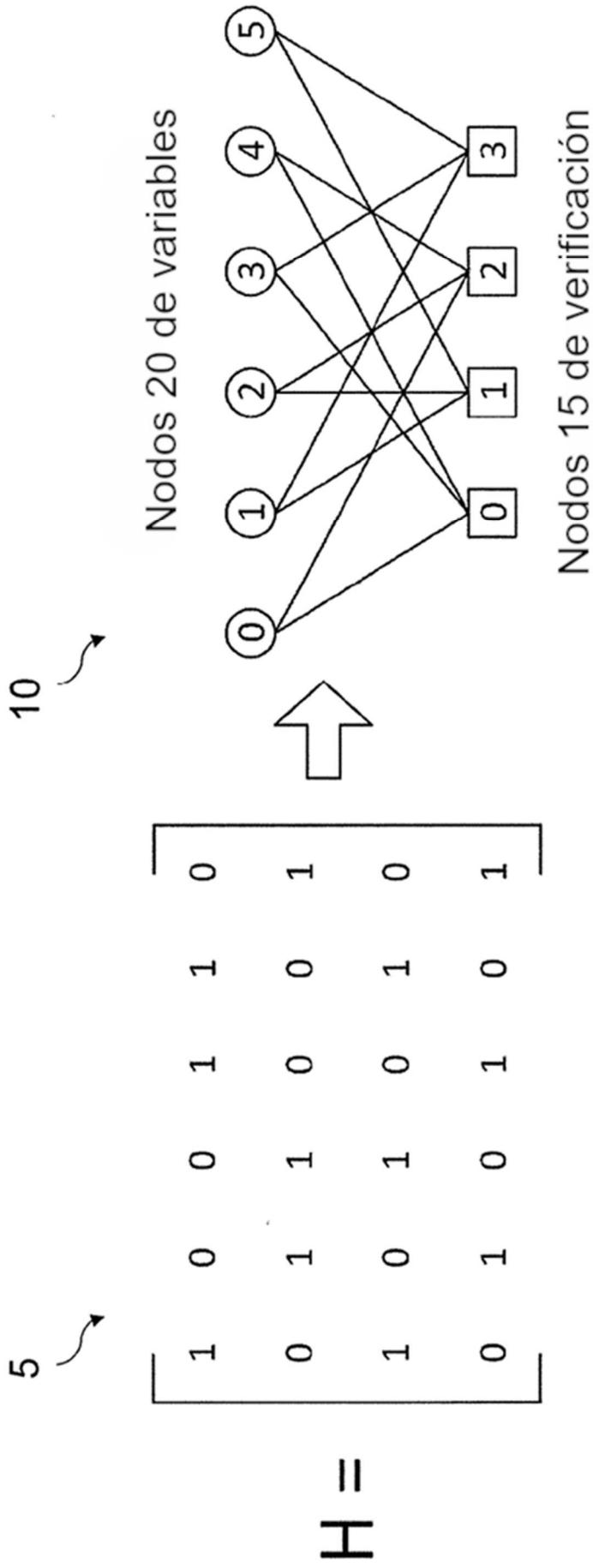


FIGURA 1

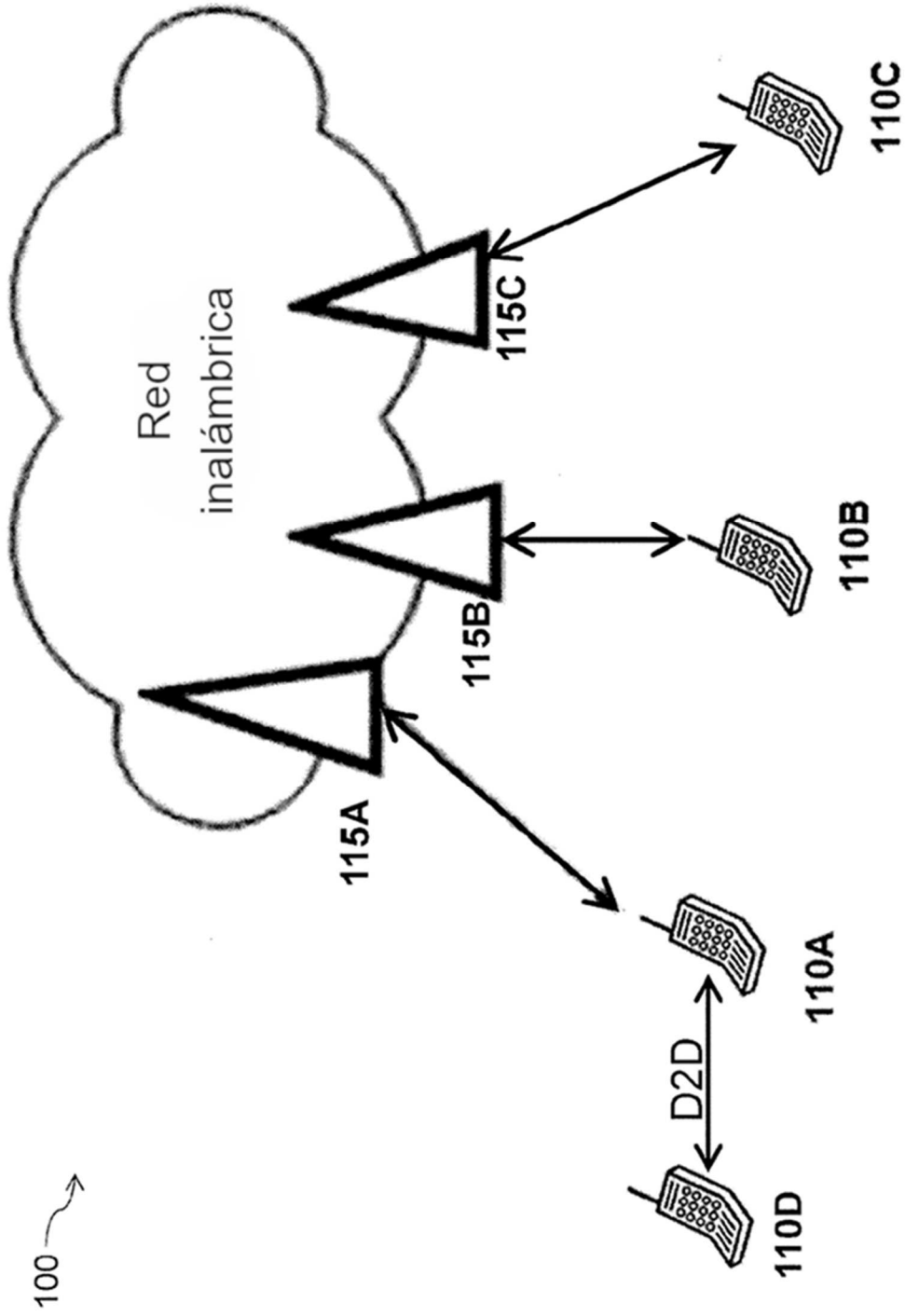


FIGURA 2

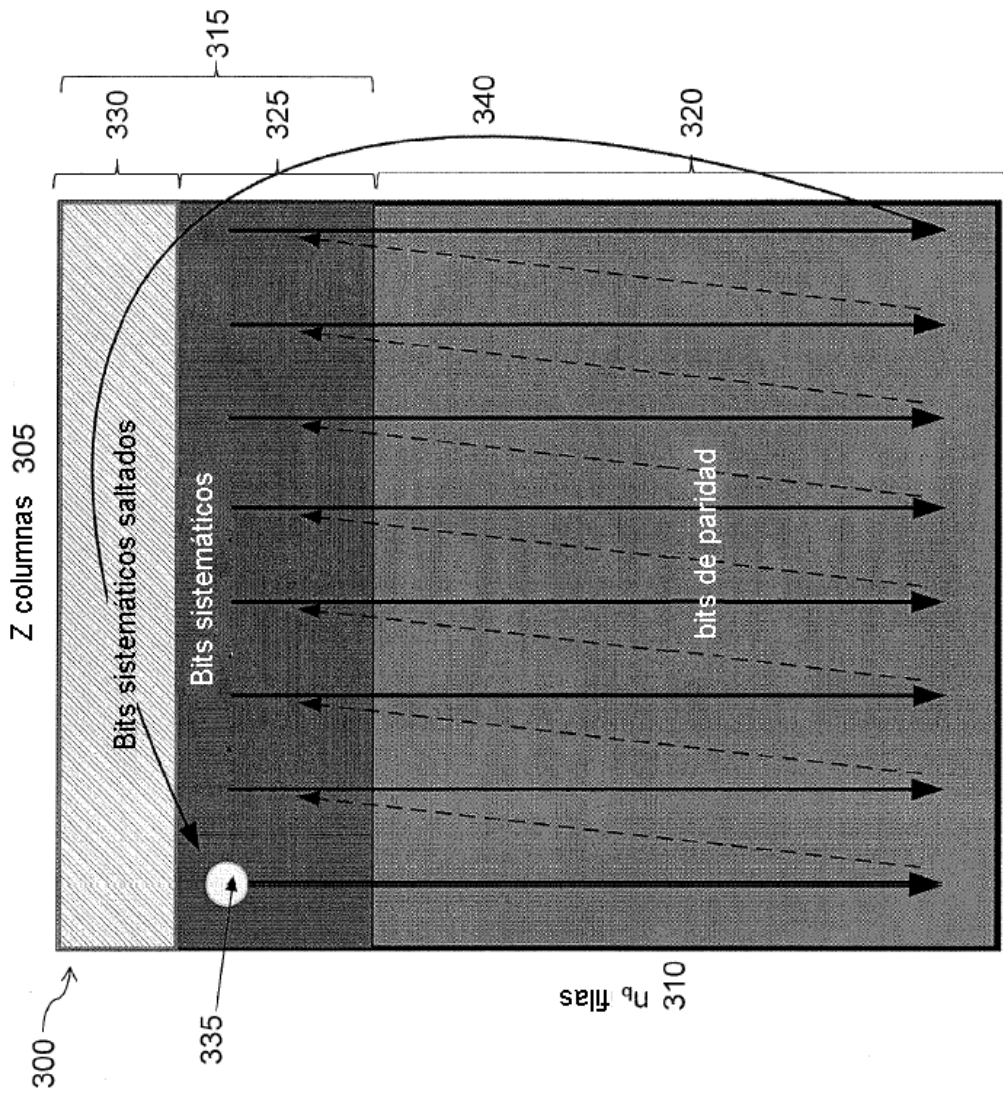


FIGURA 3

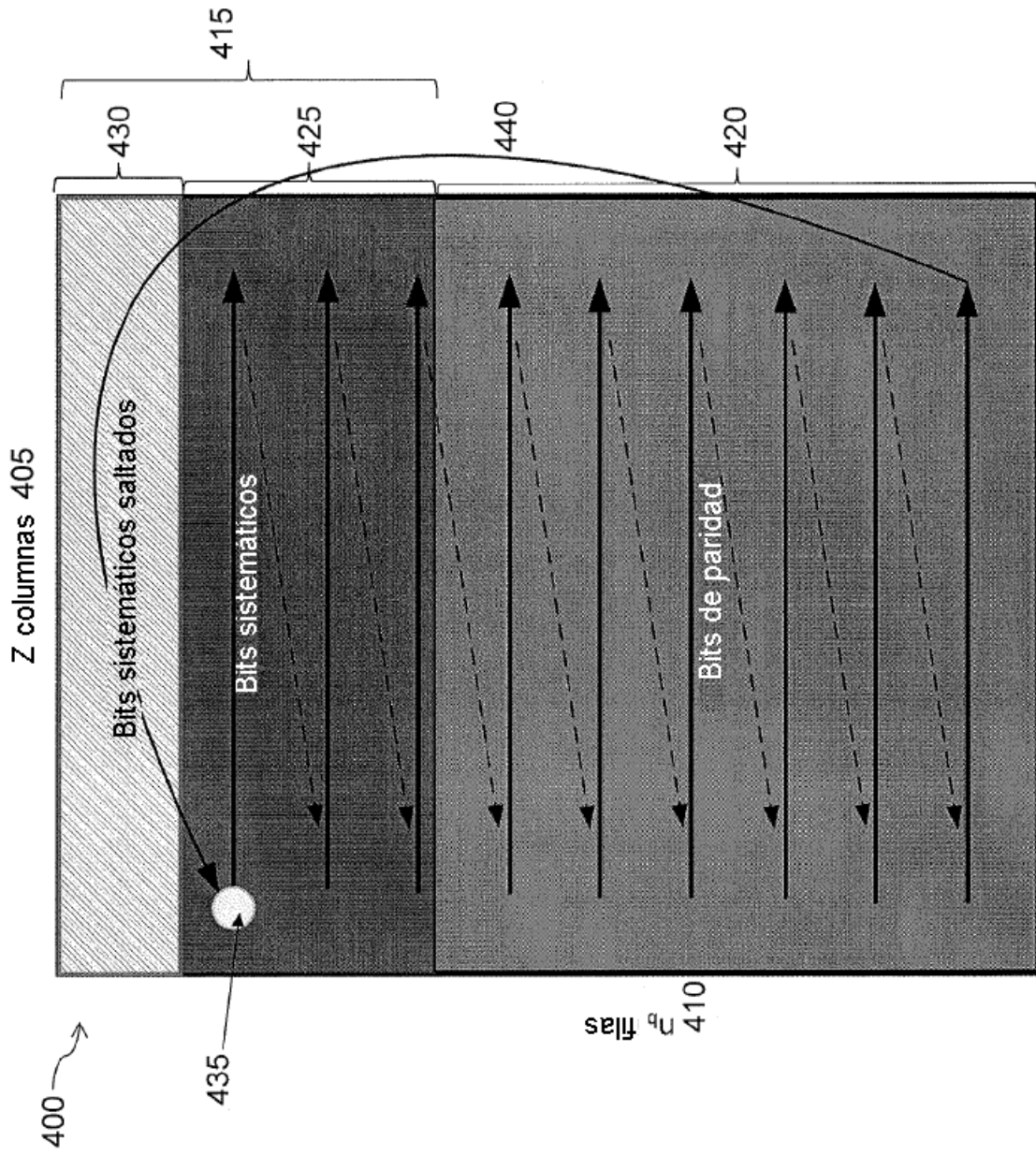


FIGURA 4

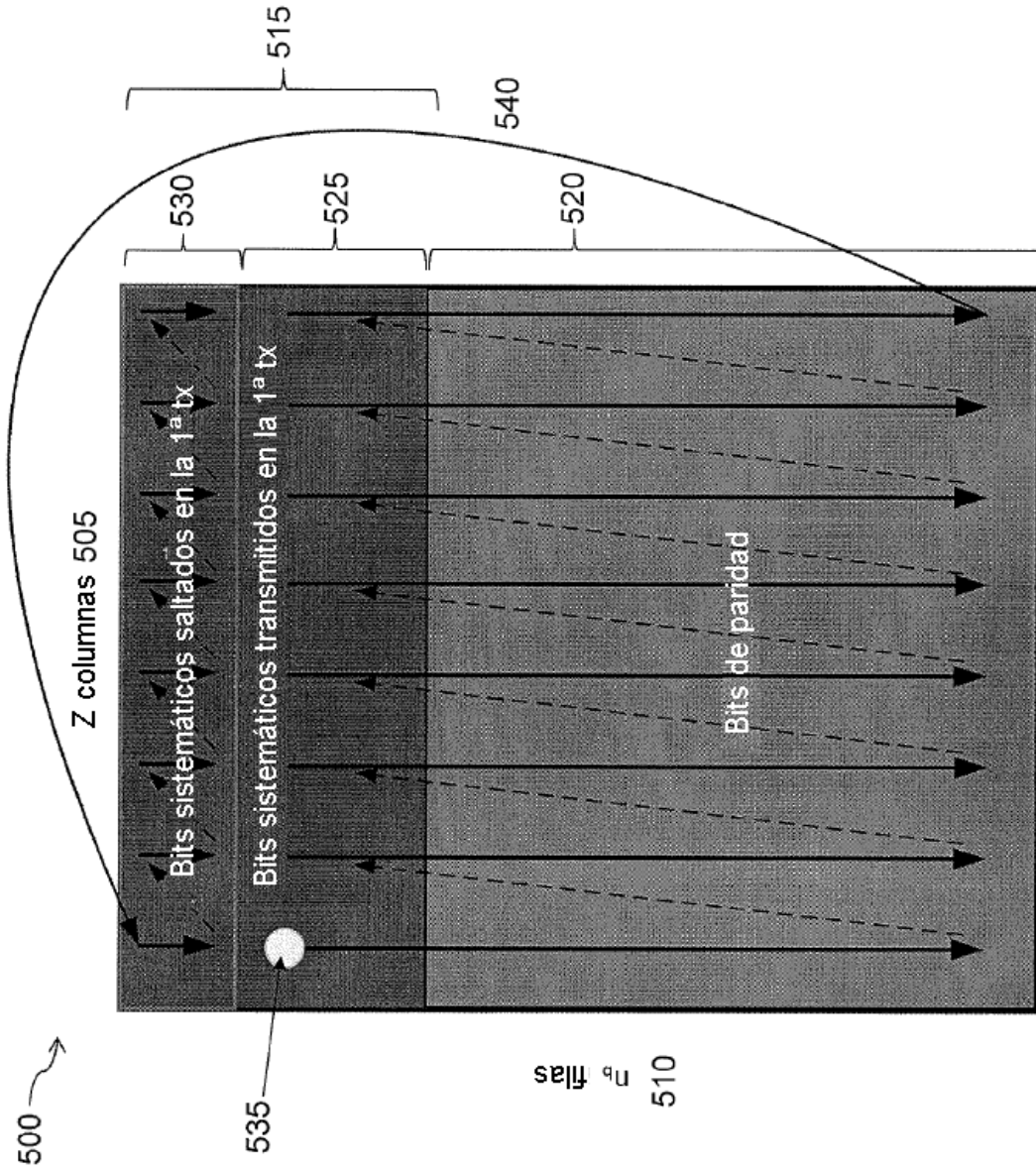


FIGURA 5

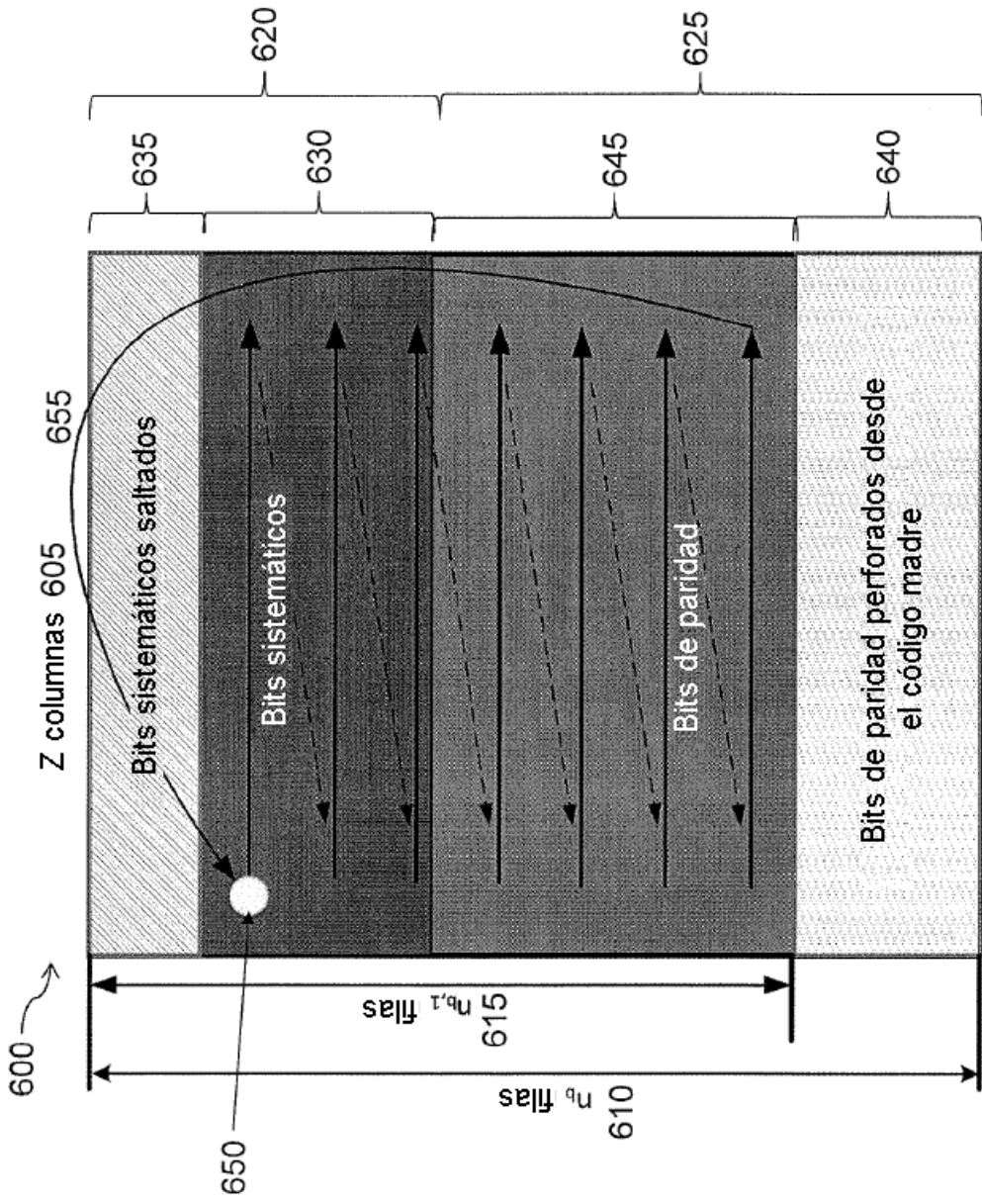


FIGURA 6

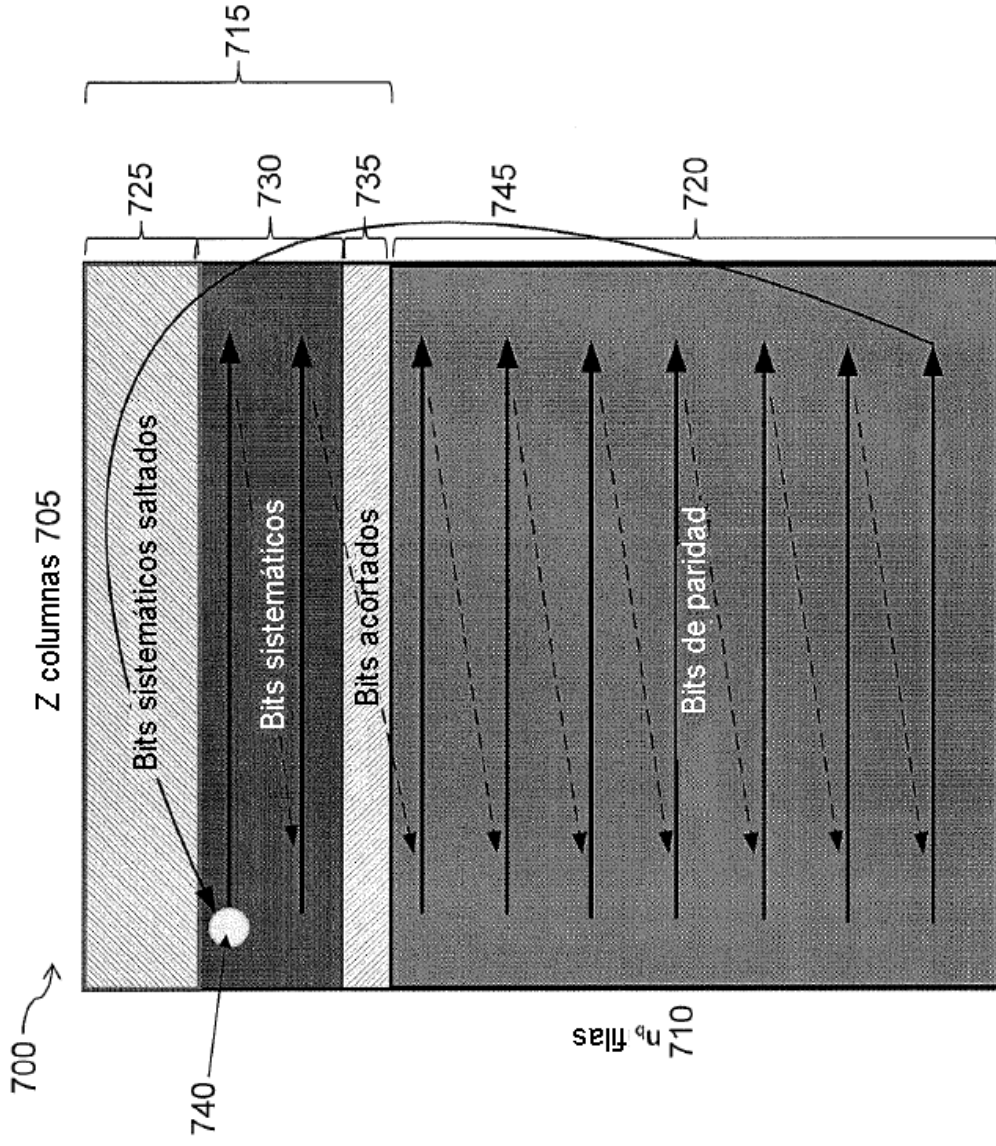


FIGURA 7

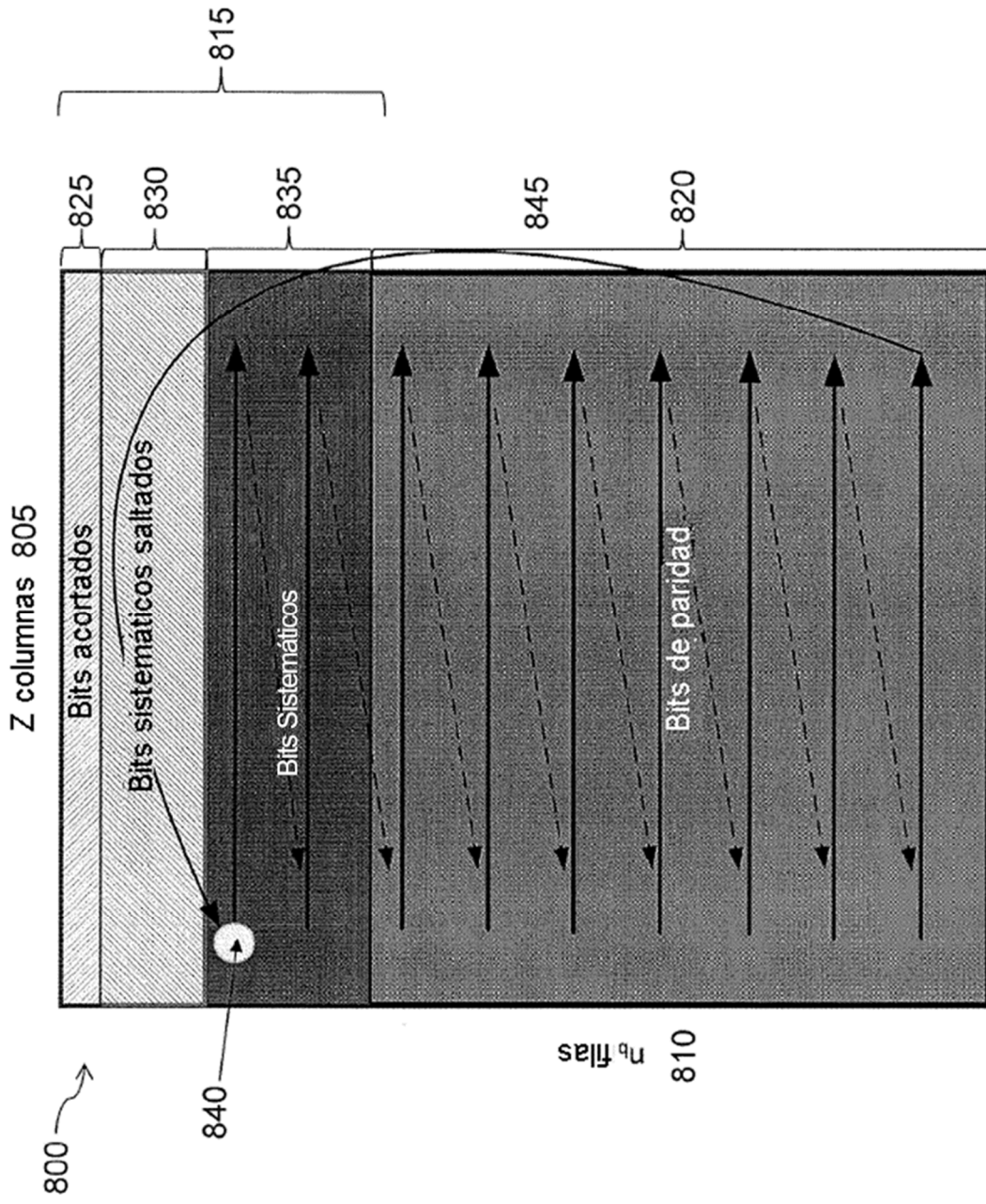


FIGURA 8

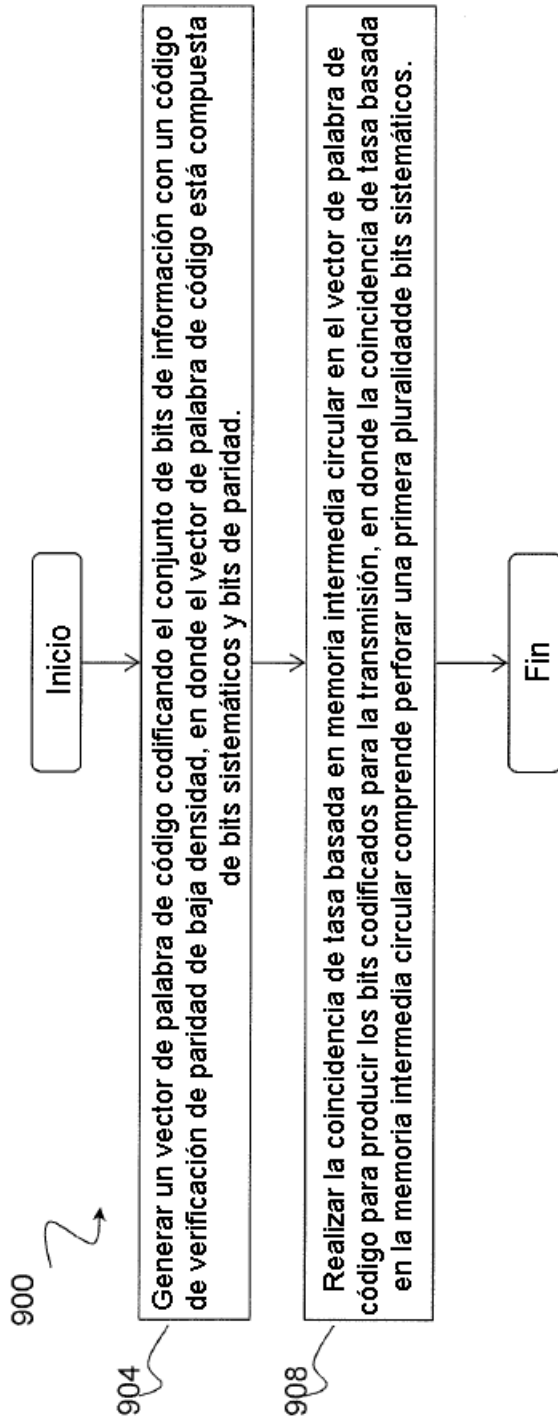


FIGURA 9

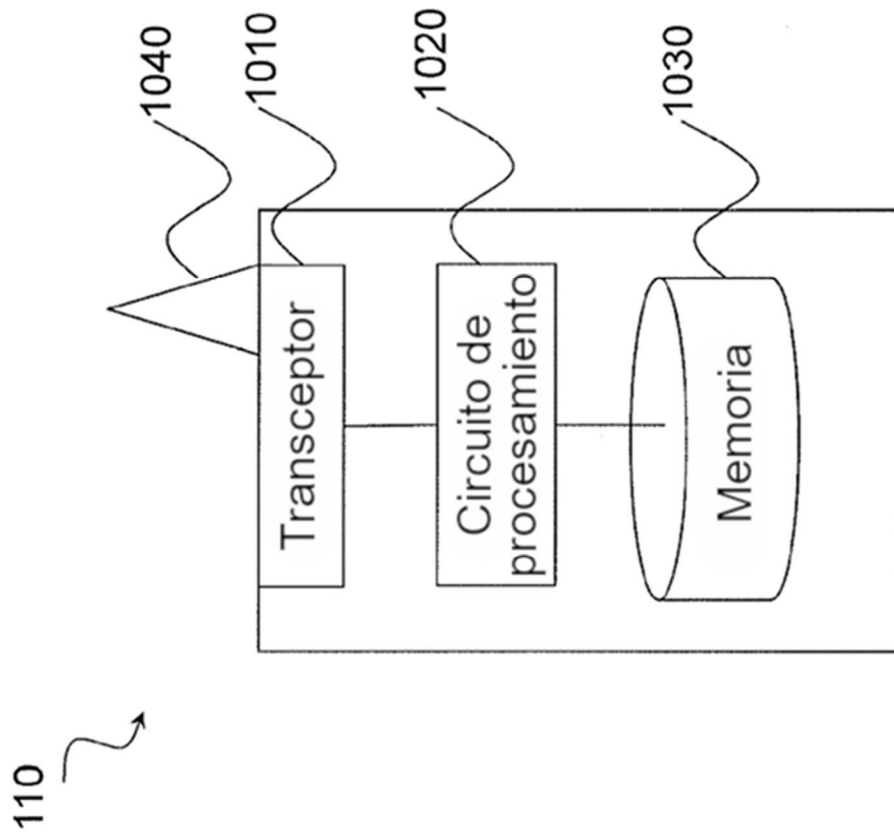


FIGURA 10

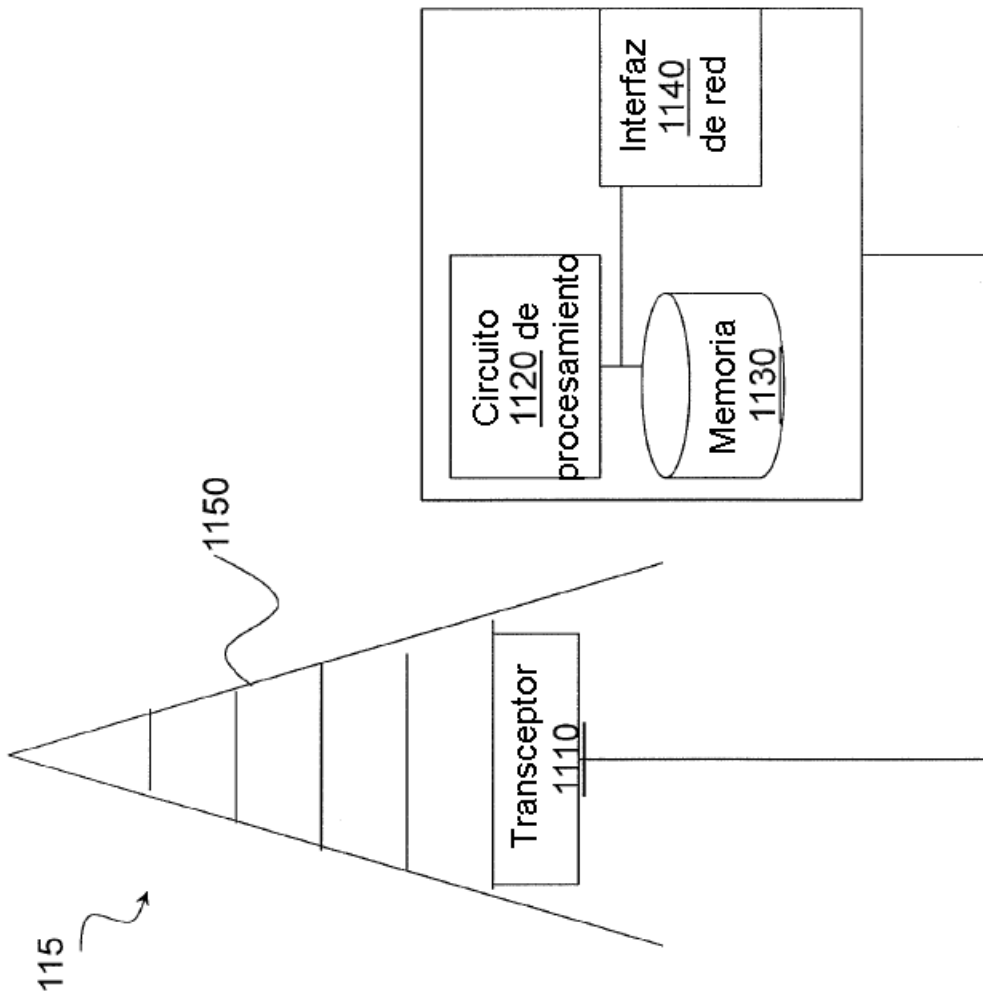


FIGURA 11

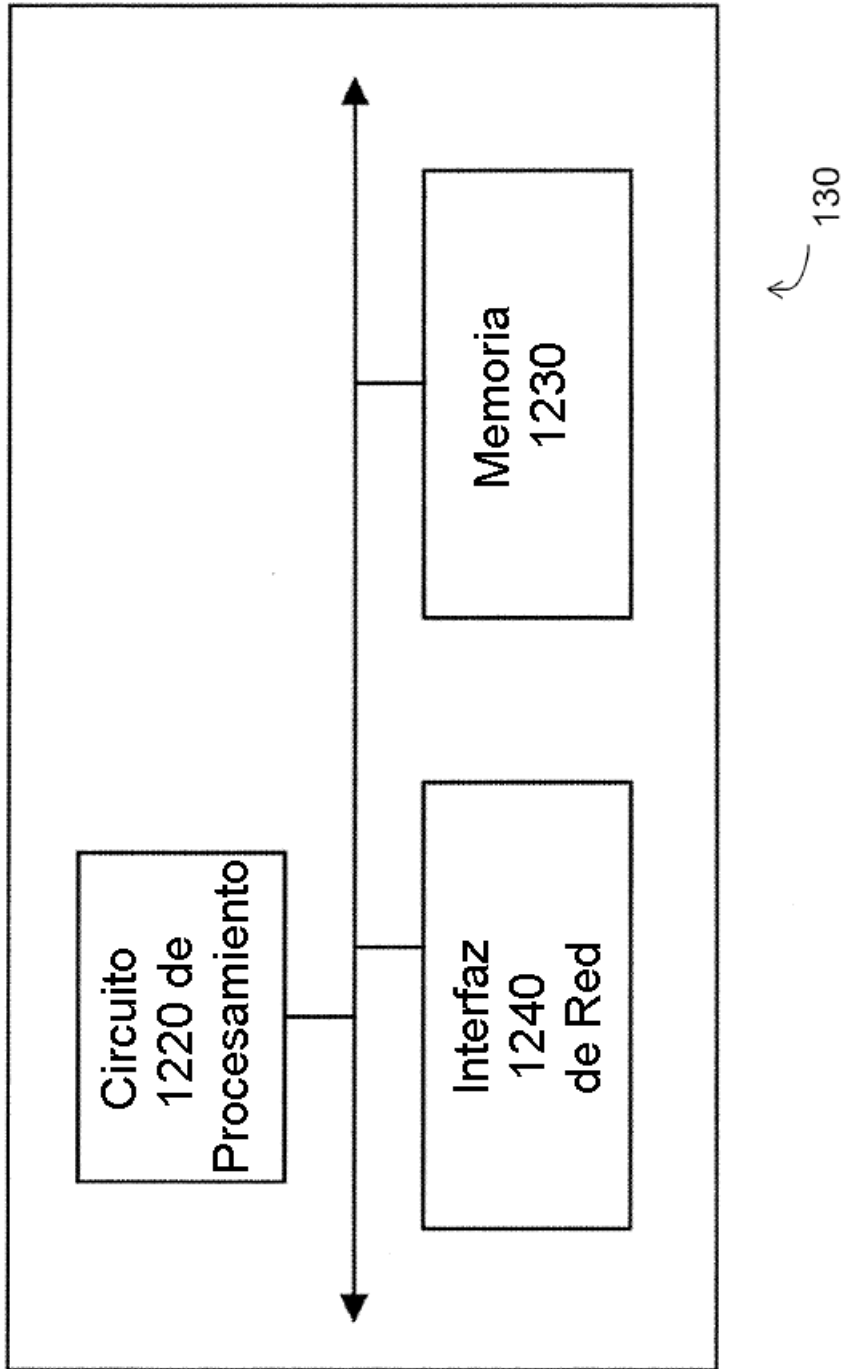


FIGURA 12

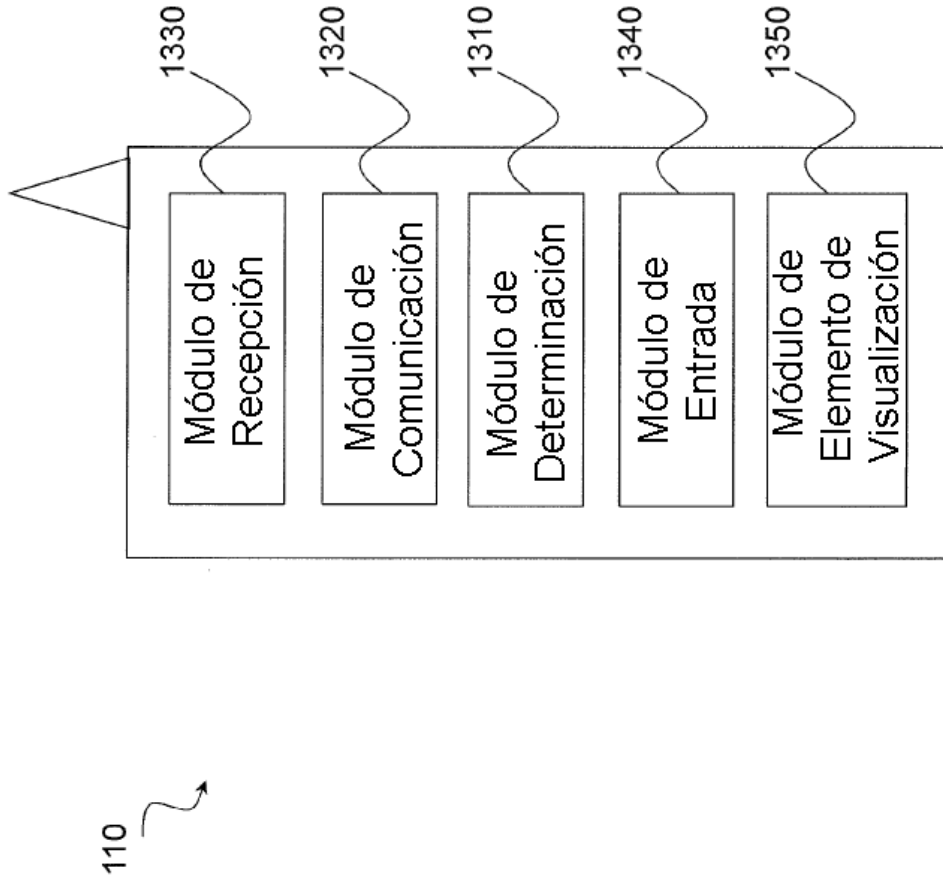


FIGURA 13

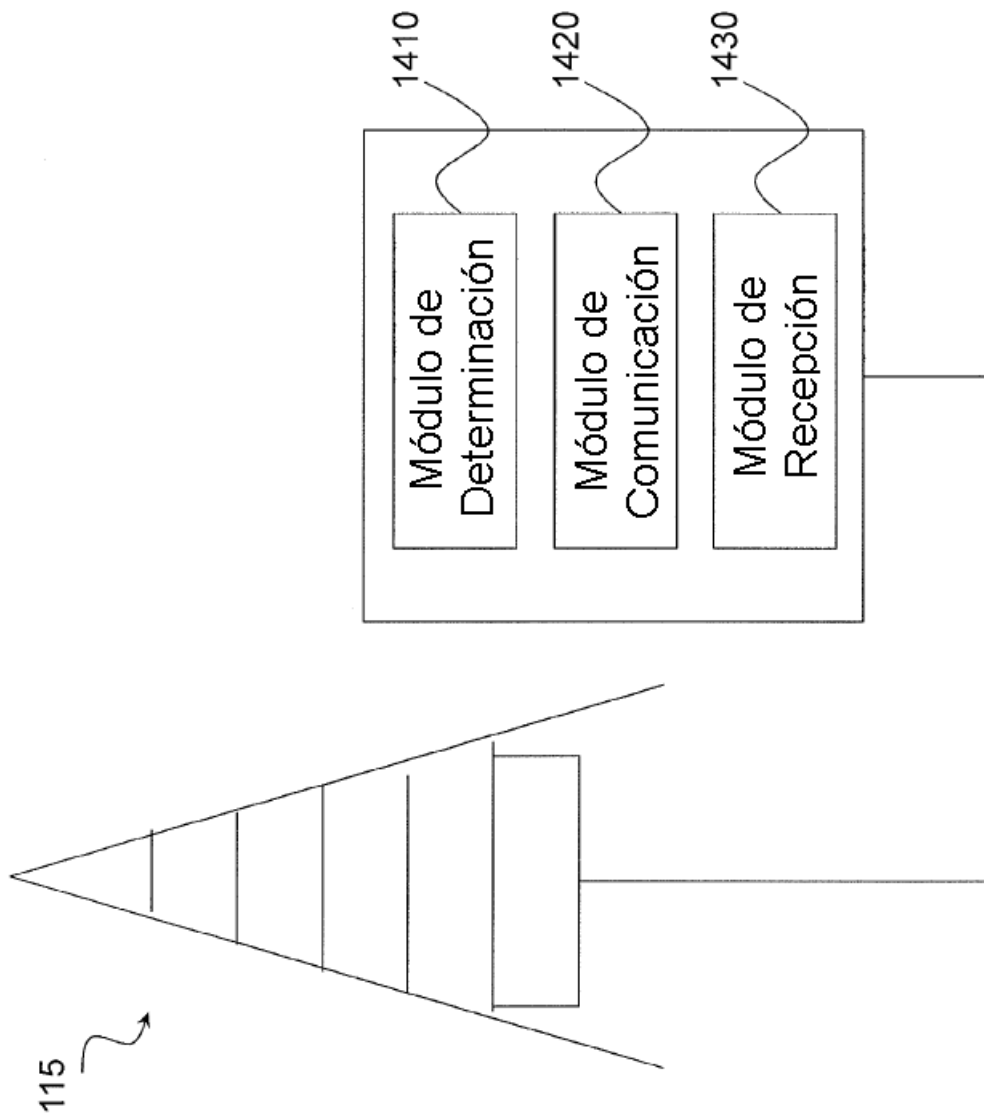


FIGURA 14