



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년08월25일

(11) 등록번호 10-1433735

(24) 등록일자 2014년08월19일

(51) 국제특허분류(Int. Cl.)

G11C 16/02 (2006.01) G11C 11/15 (2006.01)

G11C 7/00 (2006.01)

(21) 출원번호 10-2011-7025971

(22) 출원일자(국제) 2010년03월25일

심사청구일자 2012년04월30일

(85) 번역문제출일자 2011년10월31일

(65) 공개번호 10-2012-0001799

(43) 공개일자 2012년01월04일

(86) 국제출원번호 PCT/US2010/028628

(87) 국제공개번호 WO 2010/117654

국제공개일자 2010년10월14일

(30) 우선권주장

12/414,452 2009년03월30일 미국(US)

(56) 선행기술조사문현

US20050018475 A1

US20090010040 A1

전체 청구항 수 : 총 20 항

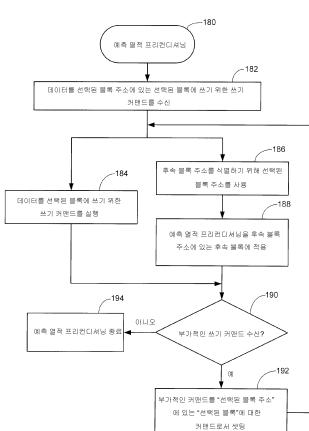
심사관 : 한선경

(54) 발명의 명칭 비 - 휘발성 메모리 셀들을 위한 예측 열적 프리컨디셔닝 및 타이밍 제어

### (57) 요 약

스핀-토크 전달 랜덤 액세스 메모리(STRAM) 메모리 셀과 같은 비-휘발성 메모리 셀(120)에 데이터를 쓰기 위해 열적 프리컨디셔닝을 사용하기 위한 방법(180) 및 장치(106). 일부 실시예들에서, 제1 블록 주소와 연관된 컨디셔닝되지 않은 비-휘발성 제1 메모리 셀에 논리 상태가 쓰여진다(184). 제1 블록 주소에 응답하여 선택(186)된 제2 블록 주소와 연관된 비-휘발성 제2 메모리 셀에 열적 프리컨디셔닝이 동시에 적용(188)된다.

### 대 표 도 - 도 6



(72) 발명자

리우, 해리 홍유에

미국 55311 미네소타 메이플 그로브 엔. 65 애브뉴  
18540

디미트로브, 디미탈 브이.

미국 55439 미네소타 에디나 더블유. 68 스트리트  
5709

왕, 알랜 수구양

미국 55346 미네소타 에덴 프레리 애쉬비 레인  
16535

왕, 시아오빈

미국 55317 미네소타 첸하센 블러프 리지 코트 180

## 특허청구의 범위

### 청구항 1

- i) 비-휘발성 제1 메모리 셀에 논리 상태를 쓰는 단계 – 열적 프리컨디셔닝(thermal preconditioning)은 상기 쓰는 단계 이전에 상기 비-휘발성 제1 메모리 셀에 적용되지 않고, 상기 열적 프리컨디셔닝은 스위칭 이벤트 전에 메모리 셀에 로컬화된 가열을 하는 것이며, 상기 제1 메모리 셀은 제1 블록 주소와 연관됨 –; 및
  - ii) 상기 쓰는 단계 동안 비-휘발성 제2 메모리 셀에 열적 프리컨디셔닝을 동시에 적용하는 단계 – 상기 제2 메모리 셀은 제2 블록 주소와 연관되고, 상기 ii) 단계 전에 상기 제2 블록 주소가 후속 쓰기 동작을 위한 것임을 예측하는 것에 의해 상기 제2 블록 주소를 결정하고, 상기 예측은 상기 제1 블록 주소에 기반함 –
- 를 포함하는,

방법.

### 청구항 2

제 1 항에 있어서,

상기 제1 메모리 셀 및 상기 제2 메모리 셀은 메모리 셀들의 행들 및 열들을 포함하는 어레이 내에 배열되고, 상기 제1 메모리 셀은 제1 행 및 제1 열 상에 배치되고, 상기 제2 메모리 셀은 상이한 제2 행 및 상이한 제2 열 상에 배치되는,

방법.

### 청구항 3

제 1 항에 있어서,

상기 제1 블록 주소에 있는 상기 제1 메모리 셀에 상기 논리 상태를 쓰기 위한 쓰기 커맨드를 수신하는 단계; 및

상기 제2 메모리 셀에 대한 후속 쓰기 커맨드의 장래 수신을 예측하기 위하여, 상기 제2 블록 주소를 식별하기 위해 상기 제1 블록 주소를 사용하는 단계

를 더 포함하는,

방법.

### 청구항 4

제 1 항에 있어서,

상기 제1 메모리 셀은, 상기 제1 블록 주소를 갖고 제1의 다수의 인접한 메모리 셀들을 포함하는 제1 콘텐트 어드레서블(addressable) 메모리 블록의 일부분을 형성하고,

상기 쓰는 단계는,

상기 제1의 다수의 인접한 메모리 셀들 각각에 선택된 논리 상태들을 쓰는 단계

를 포함하고,

상기 제2 메모리 셀은, 상기 제2 블록 주소를 갖고 제2의 다수의 인접한 메모리 셀들을 포함하는 제2 콘텐트 어드레서블 메모리 블록의 일부분을 형성하고,

상기 프리컨디셔닝 단계는,

상기 제2의 다수의 인접한 메모리 셀들 각각에 열적 프리컨디셔닝 전류를 인가하는 단계

를 포함하는,

방법.

#### 청구항 5

제 4 항에 있어서,

상기 제1 콘텐트 어드레서블 메모리 블록은 데이터 저장 어레이의 제1 행을 따라서 배열되고, 상기 제2 콘텐트 어드레서블 메모리 블록은 상기 데이터 저장 어레이의 상이한 제2 행을 따라서 배열되는,

방법.

#### 청구항 6

제 4 항에 있어서,

상기 제1 블록 주소는 블록 주소(N)로서 특징지어지고, 상기 제2 블록 주소는 블록 주소(N+1)로서 특징지어지는,

방법.

#### 청구항 7

제 1 항에 있어서,

상기 제1 메모리 셀 및 상기 제2 메모리 셀은 데이터 캐시 내의 메모리 셀들로서 특징지어지고, 상기 제1 블록 주소는 상기 데이터 캐시의 제1 캐시 라인(N)으로서 특징지어지고, 상기 제2 블록 주소는 상기 데이터 캐시의 제2 캐시 라인(N-1)으로서 특징지어지는,

방법.

#### 청구항 8

제 1 항에 있어서,

상기 동시에 적용하는 단계의 상기 열적 프리컨디셔닝은 상기 제2 메모리 셀의 상승된(elevated) 온도를 야기하고,

상기 방법은,

상기 동시에 적용하는 단계 이후에 상기 제2 메모리 셀이 상기 상승된 온도를 유지하는 동안에 상기 제2 메모리 셀에 제2 논리 상태를 쓰는 단계

를 더 포함하는,

방법.

#### 청구항 9

제 1 항에 있어서,

미리결정된 시간 간격의 종료시 상기 제2 메모리 셀에 상기 열적 프리컨디셔닝의 추가 적용을 중단시키기 위해 타이밍 메커니즘을 사용하는 단계 —상기 타이밍 메커니즘은 미리결정된 시간 간격의 종료의 표시를 제공함—

를 더 포함하는,

방법.

#### 청구항 10

제 9 항에 있어서,

상기 사용하는 단계는,

저항기-커패시터(RC) 회로를 제공하는 단계; 및

상기 미리결정된 시간 간격의 종료를 표시하기 위해 상기 RC 회로의 전압 감쇠(decay)를 사용하는 단계를 포함하는,  
방법.

### 청구항 11

제어 회로, 제1 블록 주소와 연관된 제1 비-휘발성 메모리 셀 및 제2 블록 주소와 연관된 제2 비-휘발성 메모리 셀을 포함하는 장치로서,

상기 제어 회로는, 상기 제1 비-휘발성 메모리 셀에 논리 상태를 쓰면서, 상기 제2 비-휘발성 메모리 셀에 열적 프리컨디셔닝을 동시에 적용하도록 구성되고, 메모리 셀의 열적 프리컨디셔닝은 스위칭 이벤트 전에 메모리 셀에 토컬화된 가열을 하는 것이며,

열적 프리컨디셔닝은 상기 쓰기 이전에 상기 제1 비-휘발성 메모리 셀에 적용되지 않고, 상기 제2 블록 주소는 후속 쓰기 동작을 위한 것임을 상기 제어 회로에 의해 예측된 주소이고, 상기 예측은 상기 제1 블록 주소에 기반하는,

장치.

### 청구항 12

제 11 항에 있어서,

상기 제1 비-휘발성 메모리 셀 및 상기 제2 비-휘발성 메모리 셀은 메모리 셀들의 행들 및 열들을 포함하는 어레이 내에 배열되고, 상기 제1 비-휘발성 메모리 셀은 제1 행 및 제1 열 상에 배치되고, 상기 제2 비-휘발성 메모리 셀은 상이한 제2 행 및 상이한 제2 열 상에 배치되는,

장치.

### 청구항 13

제 11 항에 있어서,

상기 제어 회로는,

상기 제1 블록 주소에 있는 상기 제1 비-휘발성 메모리 셀에 상기 논리 상태를 쓰기 위한 쓰기 커맨드를 수신하고, 그리고

상기 제2 비-휘발성 메모리 셀에 대한 후속 쓰기 커맨드의 장래 수신을 예측하기 위하여, 상기 제2 블록 주소를 식별하기 위해 상기 제1 블록 주소를 사용하도록

추가로 구성되는,

장치.

### 청구항 14

제 11 항에 있어서,

상기 제1 비-휘발성 메모리 셀은, 상기 제1 블록 주소를 갖고 제1의 다수의 인접한 메모리 셀들을 포함하는 제1 콘텐트 어드레서블 메모리 블록의 일부분을 형성하고, 상기 제어 회로는 상기 제1의 다수의 인접한 메모리 셀들 각각에 선택된 논리 상태들의 쓰기를 지시하고,

상기 제2 비-휘발성 메모리 셀은, 상기 제2 블록 주소를 갖고 제2의 다수의 인접한 메모리 셀들을 포함하는 제2 콘텐트 어드레서블 메모리 블록의 일부분을 형성하고, 상기 제어 회로는 상기 제2의 다수의 인접한 메모리 셀들 각각에 열적 프리컨디셔닝 전류의 인가를 지시하는,

장치.

### 청구항 15

제 14 항에 있어서,

상기 제1 콘텐트 어드레서블 메모리 블록은 데이터 저장 어레이의 제1 행을 따라서 배열되고, 상기 제2 콘텐트 어드레서블 메모리 블록은 상기 데이터 저장 어레이의 상이한 제2 행을 따라서 배열되는,  
장치.

### 청구항 16

제 14 항에 있어서,

상기 제1 블록 주소는 블록 주소(N)로서 특징지어지고, 상기 제2 블록 주소는 블록 주소(N+1)로서 특징지어지는,  
장치.

### 청구항 17

제 11 항에 있어서,

상기 제1 비-휘발성 메모리 셀 및 상기 제2 비-휘발성 메모리 셀은 데이터 캐시 내의 메모리 셀들로서 특징지어지고, 상기 제1 블록 주소는 상기 데이터 캐시의 제1 캐시 라인(N)으로서 특징지어지고, 상기 제2 블록 주소는 상기 데이터 캐시의 제2 캐시 라인(N-1)으로서 특징지어지는,  
장치.

### 청구항 18

제 11 항에 있어서,

상기 열적 프리컨디셔닝을 동시에 적용하는 것은 상기 제2 비-휘발성 메모리 셀의 상승된 온도를 야기하고,

상기 제어 회로는,

상기 동시에 적용하는 것 이후에 상기 제2 비-휘발성 메모리 셀이 상기 상승된 온도를 유지하는 동안에 상기 제2 비-휘발성 메모리 셀에 제2 논리 상태를 쓰도록 추가로 구성되는,  
장치.

### 청구항 19

제 11 항에 있어서,

상기 제어 회로에 미리결정된 시간 간격의 종료의 표시를 제공하는 타이밍 메커니즘

을 더 포함하고,

상기 제어 회로는 상기 표시에 응답하여 상기 제2 비-휘발성 메모리 셀에 상기 열적 프리컨디셔닝의 추가 적용을 중단시키는,  
장치.

### 청구항 20

제 19 항에 있어서,

상기 타이밍 메커니즘은 상기 미리결정된 시간 간격의 종료를 표시하기 위해 RC 전압 감쇠를 사용하는 저항기-커패시터(RC) 회로를 포함하는,  
장치.

## 명세서

## 기술분야

[0001] 본 발명은 비 - 휘발성 메모리 셀들을 위한 예측 열적 프리컨디셔닝 및 타이밍 제어에 관한 것이다.

### 배경 기술

[0002] 데이터 저장 디바이스들은 일반적으로 고속으로 그리고 효율적인 방식으로 데이터를 저장하고 검색하도록 동작한다. 일부 저장 디바이스들은 데이터의 개별 비트들을 저장하기 위해 고체-상태 메모리 셀들의 반도체 어레이를 사용한다. 이러한 메모리 셀들은 휘발성 또는 비-휘발성일 수 있다.

[0003] 휘발성 메모리 셀들이 일반적으로 동작 전력이 계속 디바이스에 공급되는 동안에만 메모리 내에 저장되는 데이터를 보유하는 반면에, 비-휘발성 메모리 셀들은 일반적으로 동작 전력의 인가 부재시에도 메모리 내에 데이터 저장을 보유한다.

[0004] 이들 타입들 및 다른 타입들의 데이터 저장 디바이스들에서, 특히 데이터의 메모리 셀들로의 쓰기에 관하여, 메모리 셀 동작의 효율성을 증가시키는 것이 종종 원해진다.

### 발명의 내용

[0005] 본 발명의 다양한 실시예들은 일반적으로 스핀-토크 전달 랜덤 액세스 메모리(STRAM) 메모리 셀과 같은 비-휘발성 메모리 셀에 데이터를 쓰기 위해 열적 프리컨디셔닝을 사용하기 위한 방법 및 장치에 관한 것이다.

[0006] 일부 실시예들에 따르면, 상기 방법은 일반적으로 논리 상태를 제1 블록 주소와 연관된 컨디셔닝되지 않은 비-휘발성 제1 메모리 셀에 쓰는 단계를 포함한다. 상기 제1 블록 주소에 응답하여 선택된 제2 블록 주소와 연관된 비-휘발성 제2 메모리 셀에 열적 프리컨디셔닝이 동시에 적용된다.

[0007] 추가 실시예들에 따르면, 상기 장치는 일반적으로 제어 회로, 제1 블록 주소와 연관된 컨디셔닝되지 않은 비-휘발성 제1 메모리 셀 및 제2 블록 주소와 연관된 컨디셔닝되지 않은 제2 비-휘발성 메모리 셀을 포함한다. 상기 제어 회로는 동시에 열적 프리컨디셔닝을 제2 메모리 셀에 적용하면서 논리 상태를 제1 메모리 셀에 쓰도록 구성되고, 여기서 제2 메모리 셀은 제1 블록 주소에 응답하여 상기 열적 프리컨디셔닝을 위해 선택된다.

[0008] 본 발명의 다양한 실시예들을 특징짓는 이들 특징들 및 장점들 그리고 다른 특징들 및 장점들은 아래의 상세한 설명 및 첨부된 도면의 관점에서 이해될 수 있다.

### 도면의 간단한 설명

[0009] 도 1은 본 발명의 다양한 실시예들에 따라 구성되고 동작되는 예시적 데이터 저장 디바이스의 일반화된 기능도이다.

도 2는 스핀-토크 전달 랜덤 액세스 메모리(STRAM) 메모리 셀의 자기 터널링 접합(MTJ:magnetic tunneling junction)의 예시적 구성을 나타낸다.

도 3은 도 2에 구성된 바와 같은 STRAM 메모리 셀들을 이용하는 도 1의 어레이의 일부분들의 개략도를 전개한다.

도 4는 열적 프리컨디셔닝 다이오드들을 갖는 도 1의 어레이의 일부분들의 다른 개략도를 나타낸다.

도 5는 본 발명의 다양한 실시예들에 따른 타이밍 회로의 개략도이다.

도 6은 PREDICTIVE THERMAL PRECONDITIONING 루틴에 대한 흐름도를 전개한다.

도 7은 일부 실시예들에 따라 데이터 쓰기 동작 동안 메모리 셀들을 선택적으로 프리컨디셔닝하기 위한 타이밍 도면이다.

도 8은 추가 실시예들에 따라 데이터 쓰기 동작 동안 메모리 셀들을 선택적으로 프리컨디셔닝하기 위한 타이밍 도면이다.

도 9는 콘텐트 어드레서블 메모리(CAM)로서 구성되는 도 1의 디바이스의 캐시 메모리 구조의 블록도이다.

도 10은 일부 실시예들에 따라 도 9의 CAM의 메모리 셀들을 선택적으로 프리컨디셔닝하기 위한 타이밍 도면을 나타낸다.

도 11은 일부 실시예들에 따라 도 9의 CAM의 메모리 셀들을 선택적으로 프리컨디셔닝하기 위한 타이밍 도면을

나타낸다.

### 발명을 실시하기 위한 구체적인 내용

[0010]

도 1은 본 발명의 다양한 실시예들이 유용하게 구현될 수 있는 예시적 환경을 도시하기 위해 데이터 저장 디바이스(100)의 기능 블록도를 제공한다. 디바이스(100)는 최상위 레벨 제어기(102), 인터페이스(I/F) 회로(104) 및 비-휘발성 데이터 저장 어레이(106)를 포함한다. I/F 회로(104)는 제어기(102)의 지시 하에서 어레이(106) 및 호스트 디바이스(미도시) 사이에서 사용자 데이터를 전달하기 위해 동작한다. 일부 실시예들에서, 디바이스는 고체-상태 드라이브(SSD)로서 특징지어지고, 제어기(102)는 프로그램가능 마이크로제어기이고, 어레이(106)는 비휘발성 메모리 셀들(단위 셀들)의 어레이를 포함한다.

[0011]

어레이(106)에 대한 예시적 메모리 셀 구성이 도 2에 도시된다. 비록 다른 셀 구성들이 사용될 수 있을지라도, 도 2의 메모리 셀은 자기 터널링 접합(MTJ)(110)을 갖는 스팬-토크 전달 랜덤 액세스 메모리(STRAM) 구성을 갖는다. MTJ(110)는 삽입 터널링(장벽)층(116)에 의해 분리되는 고정 기준층(112) 및 프로그램가능 자유층(114) (레코딩층)을 포함한다.

[0012]

기준층(114)은, 도 2에 도시된 연관된 화살표에 의해 표시된 바와 같이, 선택된 방향으로 고정 자기 방향(fixed magnetic orientation)을 갖는다. 이 고정 자기 방향은 별도 자석(미도시)에 대한 피닝(pinning)을 통해서와 같이 다수의 방식들로 설정될 수 있다. 자유층(114)은 기준층(112)의 선택된 방향과 평행(실선)하거나 또는 역-평행(점선)일 수 있는 선택적으로 프로그램가능 자기 방향을 갖는다.

[0013]

MTJ(110)를 위한 저 저항 상태는 자유층(114)의 자화가 실질적으로 기준층(112)의 자화와 동일한 방향(평행)이 되도록 지향될 때 달성된다. MTJ(110)를 평행 저 저항 상태로 지향시키기 위해, 쓰기 전류는 MTJ(110)를 통해 지나가고, 그래서 기준층(112)의 자화 방향은 자유층(114)의 자기 방향을 셋팅한다. 전자들이 전류의 방향과 반대 방향으로 흐르기 때문에, 쓰기 전류 방향은 자유층(114)으로부터 기준층(112)으로 지나가고, 전자들은 기준층(112)으로부터 자유층(114)으로 이동한다.

[0014]

MTJ(110)를 위한 고 저항 상태는 역-평행 방향으로 설정되고, 여기서 자유층(114)의 자화 방향은 기준층(112)의 자화 방향과 실질적으로 반대이다. MTJ(110)를 역-평행 저 저항 상태로 지향시키기 위해, 쓰기 전류는 MTJ(110)를 통해 기준층(112)으로부터 자유층(114)으로 지나가고, 그래서 스팬-편극된(spin-polarized) 전자들은 반대 방향으로 자유층(114)으로 흐른다.

[0015]

상이한 논리 상태가 MTJ의 프로그램가능 저항들 각각에 할당된다. 일부 실시예들에서, 논리 0을 표현하기 위해 저 저항의 평행 상태가 사용되고, 논리 1을 표현하기 위해 고 저항의 역-평행 상태가 사용된다. MTJ가 다수의 비트들을 저장하도록 구성될 때 부가적인 프로그래밍된 상태들이 사용될 수 있다. 예컨대, 프로그래밍된 저항들  $R1 < R2 < R3 < R4$ 이 다수의 비트 값들 "00", "01", "10" 및 "11"을 각각 저장하기 위해 사용될 수 있다.

[0016]

도 3은 비-휘발성 메모리 셀들(120)을 갖는 도 1의 어레이(106)의 일부분을 나타낸다. 각각의 메모리 셀(120)은 금속 산화 반도체 전계 효과 트랜지스터(MOSFET)로서 특징지어지는 스위칭 디바이스(122)에 결합된, 도 2에 나타난 바와 같은 MTJ(110)를 포함한다. 셀들(120)은 연관된 셀 트랜지스터들(122)을 드레인-투(to)-소스 전도성 상태로 두기 위해 위드 라인들(WL)(124)을 어썰트(assert)함으로써 개별적으로 액세스된다.

[0017]

프로그래밍(쓰기) 전류들은 쓰기 전류 구동기들(126, 128)에 의해 각각 생성된다. 선택된 MTJ(110)를 원해지는 프로그래밍된 상태로 프로그래밍하기 위해 비트 라인(BL)(130) 및 소스 라인(SL)(132) 사이에서 쓰기 전류들이 전달된다. 이후에 선택된 셀(120)의 프로그래밍된 상태를 판독하기 위해, 연관된 WL(124)이 어썰트되고, 셀(110) 양단에서의 전압 강하를 설정하기 위해 읽기 전류 구동기(별도로 도시되지 않음)에 의해 읽기 전류가 전달된다. 이 전압 강하는 감지 증폭기(134)에 의해 감지되고 입력 기준 전압( $V_{REF}$ )과 비교된다. 감지 증폭기(134)의 출력 상태(예컨대, 하이(high), 로우(low))는 선택된 셀(110)의 MTJ(120)의 프로그래밍된 상태를 표시할 것이다.

[0018]

MTJ들(120)의 프로그래밍된 상태들을 특히 역-평행(고 저항) 상태로 스위칭하기 위해 큰 크기들의 프로그래밍 전류가 요구될 수 있다. 이는 비교적 큰 셀 트랜지스터들(122)의 사용을 요구할 수 있고, 이는 달성가능한 메모리 어레이 밀도들을 제한한다. 큰 프로그래밍 전류들의 사용은 또한 어레이의 더 높은 동적 전력 소모량을 야기할 수 있고, 값비싼 온-칩 전력 전달 시스템을 요구할 수 있다.

[0019]

120과 같은 STRAM MTJ를 위한 스위칭 전류는 아래와 같이 표현될 수 있다:

$$\frac{J}{J_c} = 1 - \frac{K_b T}{E} \ln \frac{\tau}{\tau_0} \quad [1]$$

[0020] 여기서,  $J$ 는 스위칭 전류 밀도이고;  $J_c$ 는 0 캘빈 온도(degrees K)에서의 임계 스위칭 전류 밀도이고;  $E$ 는 자기 스위칭을 위한 에너지 장벽이고;  $\tau$ 는 스위칭 시간이고,  $\tau_0$ 는 열적 스위칭을 위한 시도 시간이고  $T$ 는 캘빈 온도이다. 스위칭 전류의 감소가 구동 펄스 폭( $\tau$ )의 지속기간을 증가시킴으로써 수용될 수 있는 반면에, 이는 전체 데이터 스루풋 레이트들을 감소시킬 수 있다.

[0022] 스위칭 전류 요구사항들을 감소시키기 위한 다른 방식은 열적 프리컨디셔닝을 통해 또는 스위칭 이벤트 이전에 MTJ의 로컬화된 가열을 통해 MTJ의 온도( $T$ )를 증가시키는 것이다. 그러나, 많은 개수들의 셀들에 대한 열적 프리컨디셔닝의 광범위한 적용은 전체 전력 요구사항들을 증가시킬 수 있고, 실제로 쓰여지지 않은 많은 셀들의 가열을 야기할 수 있다.

[0023] 따라서, 본 발명의 다양한 실시예들은 일반적으로 비-휘발성 어레이 내의 메모리 셀들의 확률적(예측) 열적 프리컨디셔닝을 제공하는 것에 관련된다. 아래에서 설명되는 바와 같이, 쓰기 동작에 종속되는 제1 메모리 셀의 주소가 가까운 장래에 쓰기 동작에 종속될 수 있는 제2 메모리 셀의 다음 차례의 주소를 예측하기 위해 사용된다. 제1 메모리 셀로의 상태의 쓰기와 동시에, 열적 프리컨디셔닝이 제2 메모리 셀에 적용된다.

[0024] 이 방식으로, 제2 메모리 셀은 후속하여 쓰기 동작에 종속된다면, 제2 메모리 셀 상에서의 쓰기 동작은 열적으로 도움을 받을 것이고, 즉 제2 메모리 셀 상에서의 쓰기 동작은 제2 메모리 셀이 상승된 온도에 있는 동안에 발생하며, 이로써 프로그래밍된 상태를 스위칭하기 위해 요구되는 스위칭 전류의 크기가 감소한다.

[0025] 제2 메모리 셀의 주소는 열적으로 프리컨디셔닝되고 등등인 제3 메모리 셀에 대한 쓰기 동작을 예측하기 위해 사용될 수 있다. 일부 실시예들에서, 이 방식의 열적 프리컨디셔닝의 사용은 전류 요구사항들 및 쓰기 전류 펄스 폭들 모두를 감소시킬 수 있어서, 데이터 스루풋 레이트 향상들 및 감소된 전력 소모량을 유도한다.

[0026] 예측 열적 프리컨디셔닝은 메모리 셀들의 주소들 – 상기 메모리 셀들의 주소들에 대하여 쓰기 데이터가 수신되었음 –에 기초할 수 있다. 일부 실시예들에서, 순차적 쓰기 동작 – 여기서, 블록들( $N, N+1, N+2\dots$ )이 가까운 장래에 연속적으로 쓰여질 수 있음 – 이 진행중인 추측에 근거한 예측에 기초하여, 주소( $N$ )를 갖는 선택된 논리 데이터 블록의 셀들에 대한 쓰기 커랜드는 데이터 블록( $N+1$ ) 내의 셀들에 대한 프리컨디셔닝의 적용을 야기할 수 있다.

[0027] 논리 데이터 블록들( $N, N+1, N+2\dots$ )은 호스트 레벨 논리 블록 주소(LBA)와 연관된 데이터의 어드레스블 셕터(예컨대, 512개의 바이트들의 사용자 데이터)와 같은 메모리 셀들의 임의의 적절한 그룹화부일 수 있다. 데이터 블록들은 32KB 메모리 유닛(32개의 행들 곱하기 8192개의 열들 등) 내 1024개의 바이트들의 데이터와 같이 어레이 내의 메모리 셀들의 행 또는 메모리 셀들의 동일 행의 일부분들을 구성할 수 있다. 데이터 블록들은 또한 개별 셀들로서 정의될 수 있다.

[0028] 프리컨디셔닝된 셀들은 하나 이상의 어레이들 내의 임의의 선택된 위치에 위치될 수 있고, 프리컨디셔닝을 수신하지 않은 쓰기된 셀들의 초기 세트(즉, "컨디셔닝되지 않은" 또는 "비-프리컨디셔닝된" 셀들)에 반드시 인접하지 않을 수 있다. 확률적으로 프리컨디셔닝되고 있는 메모리 셀들의 세트는 연속적 논리 주소들, 같지 않은 워드 라인들의 논리 주소들, 또는 단일 워드 라인에 의해 연결된 셀들의 수보다 적은 논리 주소들의 수를 갖는 메모리 셀들을 포함할 수 있다. 비록 처음으로 쓰기된 블록( $N$ )이 컨디셔닝되지 않을 것이고 따라서 더 느린 레이트 및/또는 더 높은 전류로 쓰여질 것이라도, 프리컨디셔닝된 블록들 각각( $N+1$  등등)은 더 빠른 레이트 및/또는 더 낮은 전류로 후속하여 쓰여질 것이며, 전체적으로 더 높은 데이터 전달 레이트들 및 더 낮은 전력 소모량이 야기된다.

[0029] 다시 도 3을 참조하면, 비교적 작은 구동 전류의 제2(그리고 후속) 메모리 셀들로의 인가에 의해서와 같이, 열적 프리컨디셔닝이 다수의 방식들로 적용될 수 있다. 연관된 WL의 부분적 어셀트에 의해서와 같이, 도 3 내의 제1 MTJ(110)로의 쓰기 동작은 비교적 작은 전류의 제2 MTJ(110)로의 적용을 트리거링할 수 있다.

[0030] 대안적으로, 열적 프리컨디셔닝은 선택시 MTJ(110)의 온도를 상승시키도록 구성된 다양한 컴포넌트들을 사용할 수 있다. 도 4는 추가 실시예들에 따라 도 1의 메모리 어레이(106)의 일부분들에 대한 구성을 나타낸다. 도 4의 회로는 일반적으로 도 3에서 나타난 회로와 유사하고, 유사한 컴포넌트들에 대하여 같은 참조 부호들이 사용된다.

[0031] 도 4에서, 쓰기 동작 이전에 가열 전류의 인가를 용이하게 하기 위해 다이오드들(136)과 같은 열 보조 메커니즘

들이 개별 MTJ들(110)에 결합된다. 다이오드들(136)은 제너 다이오드, 쇼트키 다이오드, 및 에사키 다이오드들 – 그러나, 이들로 제한되지는 않음 – 과 같은 임의의 개수의 적절한 형태들을 취할 수 있다. 선택된 MTJ들(110)이 프리컨디셔닝을 위한 후보자들로서 식별될 때, 저 레벨 전류들이 적절한 소스(미도시)에 의해 다이오드들을 통과해 셀들(120)에 공급되고, 이는 MTJ들(110)의 로컬화된 가열을 제공한다.

[0032] 열적 프리컨디셔닝이 적용되는 범위를 제한시키기 위해 다수의 상이한 접근법들이 구현될 수 있다. 일부 실시 예들에서, 열 컨디셔닝 시퀀스를 종료시키기 위해 외부 신호가 시스템에 의해 생성될 수 있다. 도 1의 102와 같은 제어기가, 쓰기 커맨드 및 연관된 쓰기 데이터가 호스트로부터 수신될 때마다 예전 프리컨디셔닝 시퀀스를 유지하는 열적 프리컨디셔닝 알고리즘(TPA)(138)을 구현할 수 있다.

[0033] 예컨대, 쓰기 데이터의 각각의 수신된 블록에 대하여, 제어기(102)는 열적 프리컨디셔닝이 종속되어야 하는 어떤 선택된 개수의 부가적인 연속적 블록들을 어레이(106)에 대하여 식별할 수 있고, 이는 추가 쓰기 커맨드들이 호스트로부터 수신되지 않을 때까지 계속될 것이다. 제어기(102)는 어레이(106)에게, 쓰기 동작이 완료된 것을 추가로 시그널링할 수 있고, 이로써 임의의 진행 중인 프리컨디셔닝 동작들이 종료된다.

[0034] 대안적인 실시예에서, 도 1의 카운터 회로(140)에 의해 표시된 바와 같이, 타이밍 제어를 위해 각각의 메모리 블록(또는 다수의 인접한 메모리 블록들)에 대하여 카운터가 부가될 수 있다. 쓰기 커맨드들의 계속되는 수신은 타이머를 재개시할 수 있거나, 또는 새로운 타이머들을 이용하여 카운트들을 개시할 수 있다. 다수의 카운팅된 클록 주기들이 미리결정된 경과된 시간 임계치에 도달할 때, 적용된 열적 도움이 제거될 수 있다.

[0035] 다른 타이밍 제어 메커니즘이 도 1의 어레이(106) 내의 타이밍 회로(142)를 통해 구현될 수 있다. 도 5에 도시된 바와 같이, 일부 실시예들에서, 타이밍 회로(142)는, RC 지연으로 인한 전압 방전을 검출하기 위해 일반적으로 동작하고 감쇠(decaying)하는 RC 전압이 미리결정된 임계치에 도달할 때 열적 프리컨디셔닝의 추가 적용을 종료시키는 RC-기반 회로로서 특징지어질 수 있다.

[0036] 도 5의 타이밍 회로(142)는 감쇠 회로(144) 및 레벨 컨버터(146)를 포함한다. 인버터(148)는 개별 감쇠 회로(144) 및 레벨 컨버터(146) 사이에 결합된다. 감쇠 회로(144)는 트랜지스터들(150, 152) 및 커페시터(154)를 포함한다. 커페시터(154)는 레일(rail) 전압(이 경우, 1.5V) 및 워드 라인(WL)(156)에 관련하여 전압( $V_{CAP}$ )을 저장한다. 방전 라인(158)은  $V_{DISCHARGE}$  입력부를 통해 접지(160)로  $V_{CAP}$  전압의 RC 방전을 용이하게 한다.

[0037] 레벨 컨버터(146)는 1.0V 및 -1.0V의 레일 전압들 사이에 도시된 바와 같이 교차-접속된 트랜지스터들(162, 164, 166 및 168) 및 인버터(170)를 포함한다. 일단 커페시터(154) 상에 저장된 전압( $V_{CAP}$ )이 인버터(150)의 임계치 입력 아래로 떨어지면, 경로(172) 상의 출력부에서의 변화가 프리차징(preecharging) 동작의 종료를 시그널링한다. 본 명세서에서 고려되는 바와 같이 이를 관련 타이밍 메커니즘들 및 다른 관련 타이밍 메커니즘들에서, 경과된 시간 간격이 미리정의될 수 있고, 데이터가 쓰여지지 않은 임의의 모든 프리컨디셔닝된 셀들에 대하여 시간 간격의 종료시 프리컨디셔닝이 종료된다는 것이 인정될 것이다. 이는, 전력 소모량을 감소시키도록 추가로 동작하는데, 그 이유는 불필요한 프리컨디셔닝 전류들의 발생이 감소될 수 있기 때문이다.

[0038] 도 6은 다양한 실시예들에 따라 수행되는 단계들을 일반적으로 도시하는 PREDICTIVE THERMAL PRECONDITIONING 루틴(180)을 나타낸다. 도 6의 루틴이 도 1의 제어기(102)와 같은 적절한 제어 회로에 의해 수행되는 것으로 고려된다. 단계(182)에서, 106과 같은 어레이에 선택된 블록 주소에 있는 선택된 블록에 데이터를 쓰기 위해 도 1의 100과 같은 디바이스에 의해 쓰기 커맨드가 수신된다. 상기 디바이스는 단계(184)에서 쓰기 커맨드를 실행시키기 위해 진행하고, 동시에, 후속 블록 주소(또는 주소들) – 상기 후속 블록 주소(또는 주소들)에 쓰기 동작이 가까운 장래에 수신될 수 있음 – 를 식별하기 위해 상기 선택된 블록 주소를 사용한다(단계 186). 단계(184)에서 선택된 블록에 대한 쓰기 동안에, 디바이스는 동시에 단계(188)에서 열적 프리컨디셔닝을 상기 후속 블록 주소(또는 주소들)에 적용하도록 진행한다.

[0039] 결정 단계(188)는 부가적인 쓰기 커맨드가 호스트에 의해 수신되었는지의 여부를 결정한다. 이 커맨드는 후속 블록 주소 또는 어떤 다른 블록 주소를 위한 것일 수 있다. 만일 그렇다면, 루틴은 단계(190)로 나아갈 수 있고, 여기서 부가적인 쓰기 커맨드는 "선택된 블록 주소"에 있는 "선택된 블록"으로서 취급되고 흐름은 도시된 바와 같이 리턴한다. 루틴은 부가적인 쓰기 커맨드들이 수신되지 않을 때까지 – 이때, 추가 프리컨디셔닝이 종료됨 – 이 방식으로 계속될 것이다(단계 192).

[0040] 도 7은 일부 실시예들에 따라 어레이 내의 예측 프리컨디셔닝을 위해 도 6의 루틴(180)에 대응하는 타이밍 시퀀스를 제공한다. 데이터를 제1 메모리 블록(N)에 쓸 때, 열적 프리컨디셔닝이 연속적 메모리 블록들(N+1 및

$N+2$ )에 동시에 적용된다. 블록( $N+1$ )에 대한 후속 쓰기 동작은 블록( $N+2$ )의 계속되는 프리컨디셔닝 더하기 후속 블록( $N+3$ )의 동시 프리컨디셔닝을 야기하는 등등이다. 이 프로세싱은 계속될 수 있거나, 또는 요구될 때 타임 아웃될 수 있다.

[0041] 도 8은 대안적인 타이밍 시퀀스를 나타낸다. 제1 메모리 블록( $N$ )에 대한 쓰기 동작은 선택된 범위의 블록들 ( $N+1$ ,  $N+2$  및  $N+3$ )에 대한 예측 열적 프리컨디셔닝의 적용을 야기한다. 쓰기 동작들이 수행되거나 또는 타임 아웃 조건이 선언될 때까지, 열적 프리컨디셔닝은 이들 블록들 각각에 적용된 상태로 유지된다.

[0042] 이들 다른 블록들에 대한 후속 쓰기들의 실행이 추가 프리컨디셔닝 노력들을 트리거링하지 않는다는 것이 주의된다; 예컨대, 프리컨디셔닝된 블록들( $N+1$ ,  $N+2$  또는  $N+3$ )에 대한 쓰기는 블록들( $N+4$ ,  $N+5$  등등)의 추가 프리컨디셔닝을 트리거링하도록 동작하지 않는다. 그보다는, 초기의 컨디셔닝되지 않은 블록 주소에 기초하여 블록들의 세트 범위가 초기에 프리컨디셔닝되고, 쓰기들이 이들 블록들에 대하여 수행되거나 또는 적절한 타임 아웃 기간 종료시 프리컨디셔닝이 종료된다. 프리컨디셔닝을 경험 중인 주어진 블록에 대한 실제 쓰기는 상기 블록의 추가 프리컨디셔닝을 종료시키도록 동작할 수 있다. 그러나, 이는, 특히 다수의 업데이트된 쓰기들이 예상(또는 검출)되는 경우에는 반드시 요구되지 않는다.

[0043] 도 8의 상이한 블록( $X$ )에 대한 새로운 쓰기 커맨드의 수신은 유사하게, 데이터가 쓰여지거나 또는 타임 아웃 조건이 선언될 때까지, 블록들( $X+1$ ,  $X+2$  및  $X+3$ )에 대한 연속적인 열적 프리컨디셔닝의 적용을 야기한다.

[0044] 메모리 어레이 내의 순차적 쓰기들이 예상되는 충분적으로 증가하는 쓰기 시퀀스(예컨대, 블록들( $N$ ,  $N+1$ ,  $N+2$ ,  $N+3\dots$ )에 종종 기초할 것이 고려되는 반면에, 위의 접근법이 다른 조건들에 적용될 수 있다는 것이 인정될 것이다. 블록 주소들의 감소하는 시퀀스가 검출될 수 있고(예컨대, 블록들( $N$ ,  $N-1$ ,  $N-2$ ,  $N-3$ )), 감소되는 주소들을 갖는 블록들의 예측 프리컨디셔닝이 야기된다. 주어진 범위 내의 연관된 블록들의 충분한 시간적 및 공간적 지역성이 주어진다면, 비-순차적 쓰기 커맨드들의 수신은 상기 범위 내의 다른 블록들에 대한 예측 프리컨디셔닝의 선택을 야기할 수 있다.

[0045] 디바이스(100)에 의해 유지되는 파일 할당 테이블(FAT)들 또는 다른 데이터 구조들은 그렇지 않으면 비-로컬 주소들을 갖는 블록들에 대하여 논리 연관 정보를 제공할 수 있다. 예컨대, 주어진 데이터 구조는 블록들( $N$ ,  $N+2$ ,  $N+6$ ,  $N+17$  등등)과 같은 블록들의 그룹화부의 더 높은 레벨 연관을 제공할 수 있다. 따라서, 상기 그룹 내의 선택된 블록, 즉  $N+2$ 에 대한 쓰기 동작은 이러한 데이터 구조들에 의해 식별된 바와 같은 다른 주소들에 있는 다른 블록들(예컨대, 블록들( $N$ ,  $N+6$ ,  $N+17\dots$ ))에 대한 프리컨디셔닝 결정을 유도할 수 있다.

[0046] 전술된 논의가 106과 같은 메모리 어레이 내의 셀들에 대한 예측 쓰기 프리컨디셔닝의 적용을 고려한 반면에, 이러한 프리컨디셔닝은 캐시들과 같은 다른 타입들의 메모리 구조들 내의 셀들에 쉽게 적용될 수 있다. 인정될 바와 같이, 100과 같은 디바이스들은 호스트 및 어레이(106) 사이의 전달들 동안 데이터의 중간 저장을 제공하기 위해 이러한 캐시들을 사용할 수 있다.

[0047] 하나의 이러한 캐시는 I/F(104) 내의 데이터 버퍼일 수 있고, 상기 I/F(104)는 인코딩 및 저장을 위해 계류중인 입력 사용자 데이터를 일시적으로 어레이(106)에 저장하고 호스트로의 전달을 위해 계류중인 상기 어레이로부터 검색된 리드백(readback) 데이터를 저장한다. 프로그래밍 명령들 또는 상태 데이터와 같은 데이터 및/또는 제어 정보를 저장하기 위해, 로컬화된 캐시들은 또한 L1, L2 및/또는 L3 캐시들과 같이 제어기 레벨에 제공될 수 있다.

[0048] 도 9는 콘텐트 어드레서블 메모리(CAM) 구성을 갖는 연관 메모리(200)(캐시)의 기능도를 제공한다. CAM 기반 연관 메모리들은 컴퓨터 시스템 캐시, 네트워크 라우터들과 같은 다수의 애플리케이션들, 및 다양한 내장 애플리케이션들에서 폭넓게 사용되는 것으로 발견된다.

[0049] 캐시(200)는 다수의 캐시 라인들(행들)을 갖도록 배열되고, 상기 캐시 라인들 각각은 인덱스 필드(202) 및 워드 데이터 필드(204)를 갖는다. 인덱스 필드(202)는 필드(204) 내의 연관된 워드 데이터에 대한 식별자로서 동작하는 태그 데이터를 저장한다. 태그 데이터는 임의의 개수의 원해지는 형태들을 취할 수 있고, 워드 데이터의 어떤 다른 주소(어레이(106)와 같은 메모리 내의 다른 위치 내의 블록 주소와 같은)와 연관된 멀티-비트 값으로서 표현될 수 있다.

[0050] 캐시(200)는, 개별 인덱스 필드들(202) 내의 태그 데이터와 신속히 비교되는 입력 탐색 데이터를 입증함으로써 데이터 검색 동작 동안 일반적으로 액세스된다. 매치가 발견될 때, 연관된 워드 데이터 필드(204)로부터 대응하는 워드 데이터가 출력된다. 캐시(200)의 사이즈 및 어레인지먼트에 따라, 탐색은 단일 클록 주기에 걸쳐 실

행될 수 있고, CAM 구조가 많은 다른 하드웨어 또는 소프트웨어 기반 탐색 시스템들보다 더 신속하게 된다.

[0051] 200과 같은 캐시 내의 데이터에는 캐시 내의 위치들 – 여기에 데이터가 저장됨 –에 대한 시간적 지역성이 제 공된다. 이는, 데이터가 제공된 시퀀스에 관련하여 캐시 내에서 데이터가 순차적으로 순서화될 수 있기 때문이다. 게다가, 다수의 행들의 데이터는 부하 요구사항들에 따라 데이터의 그룹들이 캐시로 이동함과 동시에 캐싱 될 수 있다. 따라서, 쓰여진 캐시 라인에 선행하거나 그리고/또는 후행하는 라인들을 캐싱하기 위해, 특정한 캐시 라인에 대한 쓰기 동작이 가까운 장래에 후속 쓰기 동작들에 의해 이어질 수 있다.

[0052] 프리컨디셔닝은 도 10의 타이밍 다이어그램에 따라 200과 같은 캐시들에 적용될 수 있다. 도 10에서, 새로운 데이터를 선택된 워드 데이터 라인(204)에 쓰기 위해 쓰기 커맨드가 실행된다. 이들 데이터는 본 명세서에서 주소(N)로서 지정될 연관된 블록 주소를 갖는다. 주소(N)는 로컬화된 캐시 주소(예컨대, 인덱스 필드들(202)을 통한 행 표시자)일 수 있거나, 또는 호스트 레벨에서의 LBA, 어레이 레벨에서의 행-블록 주소 등등과 같은 글로벌 블록 주소일 수 있다.

[0053] 도 10에서, 캐시(200) 내의 블록(N)에 대한 데이터의 쓰기는 블록(N)의 주소에 선행하거나 후행하는 블록들 모두, 즉 블록들(N-2, N-1, N+1 및 N+2)에 대한 동시적 예측 열적 프리컨디셔닝 동작을 야기한다. 비대칭 범위들(예컨대, 블록들(N-3 내지 N+4) 등등)을 포함하는 다른 범위들이 사용될 수 있다. 캐시(200)에 대한 데이터의 쓰기가 어레이(106)의 경우에서와 같이 기존 데이터의 덮어쓰기를 야기할 수 있다는 것이 인정될 것이다.

[0054] 블록(N-S)에 대한 데이터의 후속 쓰기는 블록(N-3)의 동시 프리컨디셔닝을 개시하고, 블록(N+2)에 대한 데이터의 후속 쓰기는 블록(N+3)의 프리컨디셔닝을 개시한다. 이전과 같이, 쓰여진 제1 블록(블록 N)은 컨디셔닝되지 않고 그러므로 더 느리거나, 그리고/또는 더 높은 쓰기 전류를 요구하지만, 프리컨디셔닝은 프리컨디셔닝된 블록들의 후속 쓰기에서 더 큰 효율성들을 허용한다. 일단 쓰기 동작들이 중단되면, 도 1, 도 4 및 도 5에서 위에서 논의된 다양한 메커니즘들(138, 140 및/또는 142)과 같은 적절한 타이밍 메커니즘이 추가 프리컨디셔닝 노력들을 중지시키기 위해 사용된다.

[0055] 도 11은 200과 같은 캐시에 데이터를 쓰기 위한 대안적인 타이밍 시퀀스를 제공한다. 도 11에서, 컨디셔닝되지 않은 블록(N)에 대한 초기 쓰기는 더 큰 범위의 블록들(N-3 내지 N+3)의 프리컨디셔닝을 야기한다. 그러나, 이들 다른 블록들에 대한 후속 쓰기들은 추가 프리컨디셔닝 노력들을 트리거링하지 않는다. 이전과 같이, 능동적으로 종료될 때까지, 프리컨디셔닝이 계속된다.

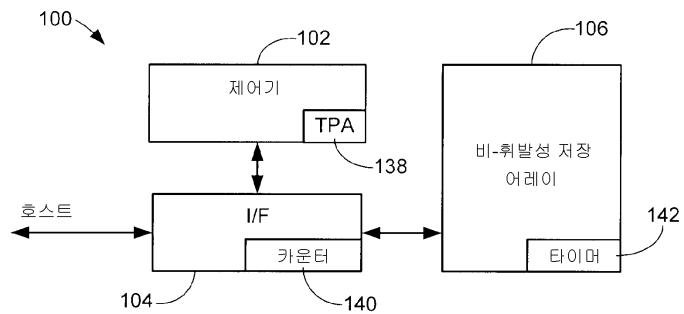
[0056] 당업자에 의해 인정될 수 있는 바와 같이, 본 명세서에 설명된 다양한 실시예들은 프리컨디셔닝된 메모리 셀들에 대한 데이터의 기록 때문에 메모리 셀 효율성 및 정확성 모두에서 장점들을 제공한다. 장래 쓰기 동작들의 예측에 기초하여 프리컨디셔닝되어야 하는 그러한 셀들만의 지능적 선택에 의해 상당한 전력 및 시간 절약들이 경험될 수 있다. 타이밍 메커니즘의 사용은, 데이터 부하 조건들을 변경하는 것에 응답하는 추가 프리컨디셔닝을 종료시키기 위한 방법을 제공함으로써 전력 및 시간 절약들을 추가로 제공한다. 본 명세서에서 논의된 다양한 실시예들은 다수의 잠재적 애플리케이션들을 갖고, 특정 분야의 전자 매체들 또는 특정 타입의 데이터 저장 디바이스들에 제한되지 않는다.

[0057] 첨부된 청구범위의 목적들을 위해, 용어 "동시" 및 유사한 것들은 시간상 겹쳐지는 동작들을 설명하기 위해, 이러한 동작들이 상이한 시간들에서 개별적으로 시작되거나 종료되더라도, 전술된 논의와 부합하게 해석될 것이다. 용어 "컨디셔닝되지 않은" 및 유사한 것들은 쓰기 동작 직전에 열적 프리컨디셔닝이 적용되지 않은 메모리 셀을 설명하기 위해 전술된 논의와 부합하게 해석될 것이다.

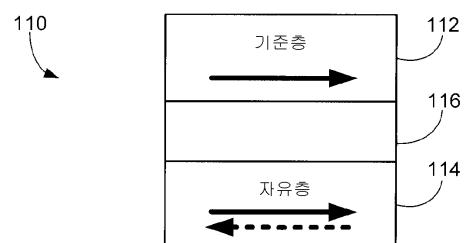
[0058] 본 발명의 다양한 실시예들의 다수의 특징들 및 장점들이 본 발명의 다양한 실시예들의 구조 및 기능의 세부사항들과 함께 전술된 설명에서 전개되더라도, 이 상세한 설명은 단지 예시적이며, 특히 본 발명의 원리를 내의 일부분들의 구조 및 어레인지먼트들의 사항들에서, 첨부된 청구항들이 표현하는 용어들의 광범위한 일반적인 의미에 의해 표시되는 전체 범위까지, 변경들이 세부적으로 이루어질 수 있다.

## 도면

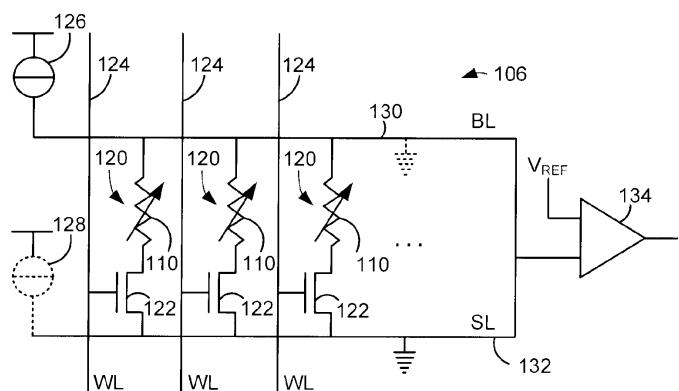
## 도면1



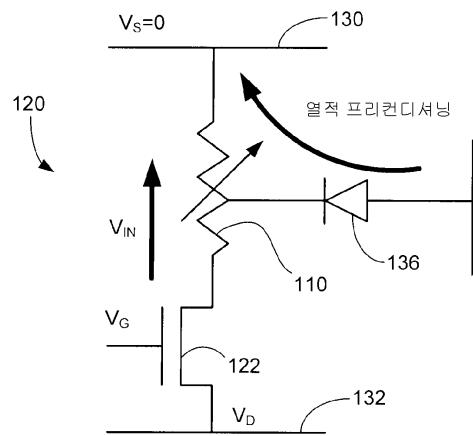
## 도면2



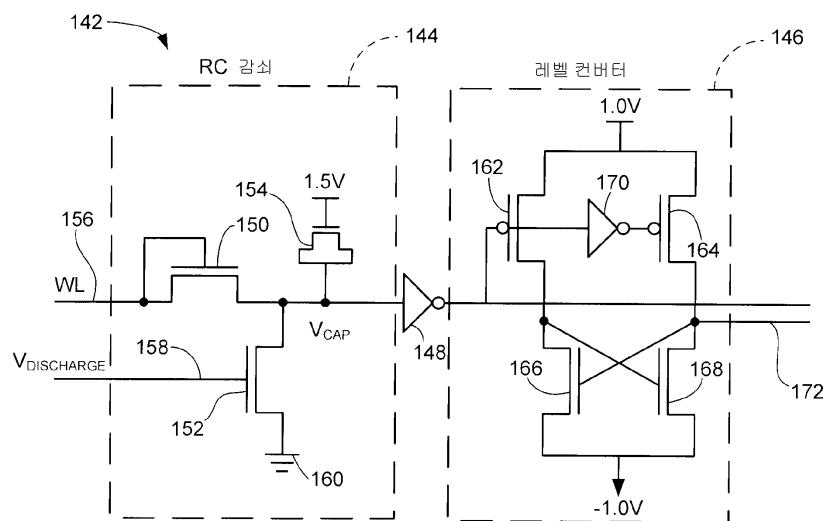
## 도면3



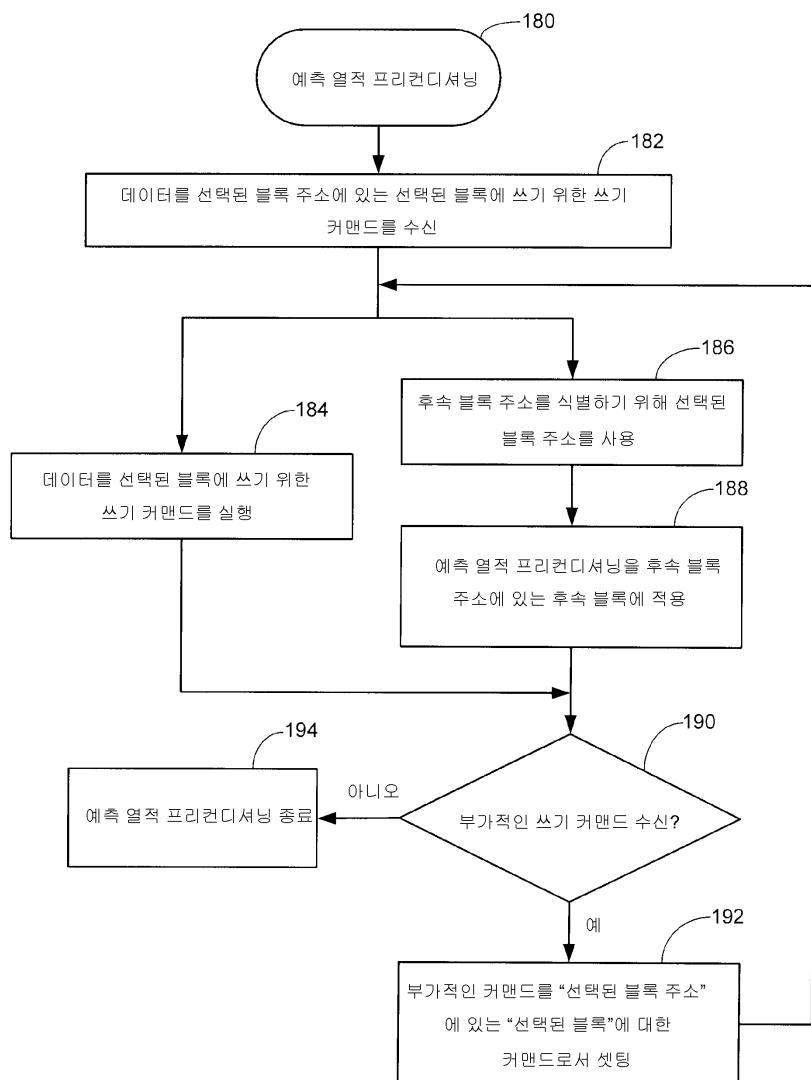
## 도면4



## 도면5



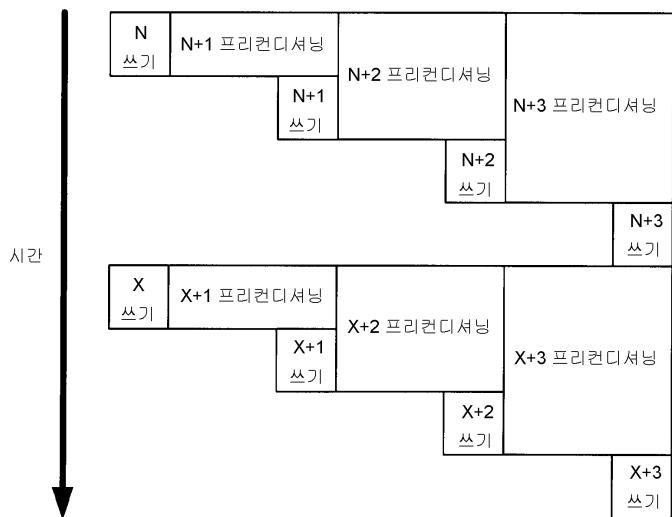
## 도면6



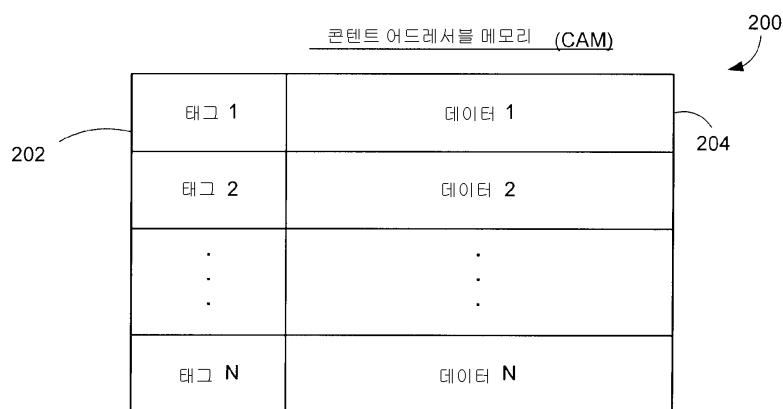
## 도면7



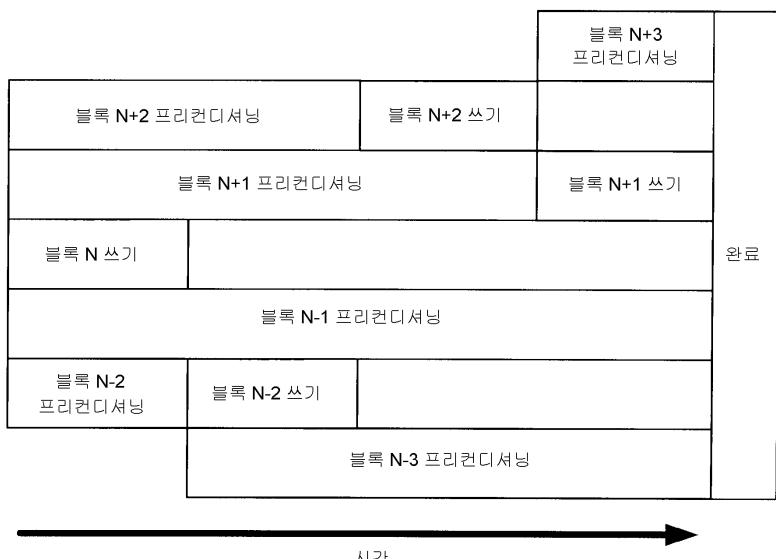
## 도면8



## 도면9



## 도면10



## 도면11

