

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6177573号
(P6177573)

(45) 発行日 平成29年8月9日(2017.8.9)

(24) 登録日 平成29年7月21日(2017.7.21)

(51) Int.Cl.	F 1			
G09G 3/20	(2006.01)	G09G	3/20	622B
G09G 3/30	(2006.01)	G09G	3/30	J
G09G 3/36	(2006.01)	G09G	3/36	
G02F 1/1345	(2006.01)	G09G	3/20	611H
G02F 1/133	(2006.01)	G09G	3/20	622C

請求項の数 9 (全 42 頁) 最終頁に続く

(21) 出願番号	特願2013-87465 (P2013-87465)	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成25年4月18日(2013.4.18)	(72) 発明者	兼安 誠 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開2013-238852 (P2013-238852A)	(72) 発明者	豊高 耕平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成25年11月28日(2013.11.28)		
審査請求日	平成28年3月25日(2016.3.25)		
(31) 優先権主張番号	特願2012-95755 (P2012-95755)		
(32) 優先日	平成24年4月19日(2012.4.19)		
(33) 優先権主張国	日本国(JP)		

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】半導体装置、画像表示装置、記憶装置、及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

選択トランジスタを備える機能回路と、

前記選択トランジスタのゲートと第1の信号線を介して電気的に接続されるバッファ回路と、を有し、

前記バッファ回路は、

順に直列接続された第1～第nのインバータと、ブートストラップ回路と、遅延回路と、を備え、

前記第1のインバータの入力端子は、選択信号が入力される配線が電気的に接続され、

前記第nのインバータの出力端子は、前記第1の信号線と電気的に接続され、

前記第1～第n-1のインバータのそれぞれの高電位入力端子は、第1の電位が入力される第2の信号線と電気的に接続され、

前記第1～第nのインバータのそれぞれの低電位入力端子は、前記第1の電位よりも低い第2の電位が入力される第3の信号線と電気的に接続され、

前記第nのインバータの高電位入力端子は、前記ブートストラップ回路の出力端子と電気的に接続され、

前記遅延回路は、前記選択信号に応じて前記ブートストラップ回路に前記選択信号よりも遅延した遅延信号を出力し、

前記ブートストラップ回路は、前記遅延信号に応じて、前記第1の信号線が前記第2の電位よりも大きく前記第1の電位以下に充電された後に、前記第nのインバータの高電位入

10

20

力端子の電位を前記第1の電位よりも高い第3の電位に昇圧することを特徴とする半導体装置。

【請求項2】

請求項1において、

前記遅延回路は、RC回路で構成されることを特徴とする半導体装置。

【請求項3】

請求項2において、

前記遅延回路は、第n+1のインバータで構成されることを特徴とする半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか一において、

10

前記ポートストラップ回路は、

第n+2のインバータと、容量素子と、スイッチと、を備え、

前記第n+2のインバータは、入力端子に前記遅延信号が入力され、且つ出力端子が前記容量素子の一方の端子と電気的に接続し、

前記スイッチは、一方の端子が前記第2の信号線と電気的に接続し、且つ他方の端子が前記容量素子の他方の端子及び前記第nのインバータの高電位入力端子に電気的に接続し、

前記遅延信号に応じて、前記スイッチがオフ状態となり、且つ前記容量素子の一方の端子に前記n+2のインバータの出力電位が与えられることにより、前記第3の電位が前記第nのインバータの高電位入力端子に出力されることを特徴とする半導体装置。

20

【請求項5】

請求項1乃至請求項3のいずれか一において、

前記ポートストラップ回路は、

第n+2のインバータと、容量素子と、pチャネル型のトランジスタと、を備え、

前記第n+2のインバータは、入力端子に前記遅延信号が入力され、且つ出力端子が前記容量素子の一方の端子と電気的に接続し、

前記トランジスタは、第1端子が前記第2の信号線と電気的に接続し、且つ第2端子が前記容量素子の他方の端子及び前記第nのインバータの高電位入力端子に電気的に接続し、且つゲートが前記第n+2のインバータの出力端子と電気的に接続し、

前記遅延信号に応じて、前記トランジスタがオフ状態となり、且つ前記容量素子の一方の端子に前記n+2のインバータの出力電位が与えられることにより、前記第3の電位が前記第nのインバータの高電位入力端子に出力されることを特徴とする半導体装置。

30

【請求項6】

請求項1乃至請求項5のいずれか一に記載の半導体装置を有し、

前記機能回路は発光素子を備えることを特徴とする画像表示装置。

【請求項7】

請求項1乃至請求項5のいずれか一に記載の半導体装置を有し、

前記機能回路は液晶素子を備えることを特徴とする画像表示装置。

【請求項8】

請求項1乃至請求項5のいずれか一に記載の半導体装置を有し、

40

前記機能回路は記憶素子を備えることを特徴とする記憶装置。

【請求項9】

請求項6及び請求項7に記載の画像表示装置、並びに請求項8に記載の記憶装置の、少なくとも一と、バッテリーと、を備えることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。また当該半導体装置が適用された画像表示装置、記憶装置、及び電子機器に関する。

【0002】

50

なお、本明細書等において半導体装置とは、半導体特性を利用して機能を実現する装置全般を指し、トランジスタ、半導体回路などは半導体装置の一態様である。

【背景技術】

【0003】

選択トランジスタを含む複数の機能回路を備える半導体装置が知られている。選択トランジスタは例えば、液晶素子や有機EL(ELectro Luminescence)素子、電気泳動素子などの表示素子を備える画像表示装置、またはDRAM(Dynamic Random Access Memory)素子、SRAM(Static Random Access Memory)素子などの記憶素子を備える記憶装置などに応用されている。

10

【0004】

例えば、選択トランジスタが適用された表示装置として、特許文献1には有機EL媒体を用いた表示パネルが開示されている。

【0005】

また、上記選択トランジスタには、nチャネル型のトランジスタが用いられることが多い。nチャネル型のトランジスタは、移動度の高い電子をキャリアとするため高速動作が可能である点、また比較的小さいサイズのトランジスタであっても大きな電流を流すことができるため微細化に適している点、などがその理由に挙げられる。

【0006】

一方、近年では携帯電話やタブレット端末といった、小型の携帯機器の開発が進められている。このような機器はバッテリーによって駆動するため、低消費電力化が望まれている。また機器の小型化を実現するため、機器を構成する回路素子や、これらをつなぐ配線の数をできるだけ低減することが望まれている。

20

【0007】

また、半導体装置の駆動周波数を高めることが望まれている。例えば画像表示装置においては表示品位の向上のため、画素数を増大させることや、2倍速、4倍速といった高速表示を行うことが検討されている。また例えば記憶装置においては、データの書き込みや読み出し動作の高速化が求められている。

【先行技術文献】

【特許文献】

30

【0008】

【特許文献1】特開平8-234683号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

上述のように、機能回路に含まれる選択トランジスタにはnチャネル型のトランジスタが多く用いられる。しかしながら、選択トランジスタを介して機能素子に所定の電位を書き込む際、選択トランジスタを確実にオン状態とするため、当該選択トランジスタのゲートには、機能素子に書き込む電位よりも十分に高い電位を入力する必要があった。

【0010】

40

例えば、選択トランジスタのゲートに入力する電位と、書き込むための電位に同じ電位を用いる場合には、選択トランジスタのオン抵抗を十分に低減できずに遅延が生じ、駆動周波数を高速化できない。さらにこのとき、選択トランジスタを介して書き込まれた電位は、当該選択トランジスタのしきい値電圧分低下してしまう場合もある。

【0011】

そのため、当該ゲートに入力する電位を生成する電源回路や、電源回路から当該電位を供給するための配線や端子を別途設ける必要があり、電子機器の低消費電力化や小型化を阻害する要因の一つとなっていた。

【0012】

本発明は、このような技術的背景のもとでなされたものである。したがって本発明の一

50

態様は、消費電力が低減された、選択トランジスタを備える半導体装置を提供することを課題の一とする。また、電源電位を入力する配線及び端子が削減され、且つ高速動作が可能な半導体装置を提供することを課題の一とする。

【0013】

本発明の一態様は、上記課題の少なくとも一を解決するものである。

【課題を解決するための手段】

【0014】

上記課題を解決するために、本発明は、選択トランジスタのゲートに接続されるゲート線に接続する、バッファ回路の構成に着眼した。当該バッファ回路に、単一の高電源電位を用いて、当該高電源電位よりも高い電位を生成する機能を持たせると共に、選択信号に応じて当該電位を出力可能な構成とすればよい。

10

【0015】

すなわち、本発明の一態様は、選択トランジスタを備える機能回路と、選択トランジスタのゲートと第1の信号線を介して電気的に接続されるバッファ回路と、を有する。バッファ回路は、順に直列接続された第1～第nのインバータと、ブートストラップ回路と、遅延回路と、を備える。第1のインバータの入力端子は、選択信号が入力される配線が電気的に接続され、第nのインバータの出力端子は、第1の信号線と電気的に接続され、第1～第n-1のインバータのそれぞれの高電位入力端子は、第1の電位が入力される第2の信号線と電気的に接続され、第1～第nのインバータのそれぞれの低電位入力端子は、第1の電位よりも低い第2の電位が入力される第3の信号線と電気的に接続される。ここで、遅延回路は、選択信号に応じてブートストラップ回路に選択信号よりも遅延した遅延信号を出力する。ブートストラップ回路は、遅延信号に応じて、第nのインバータの高電位入力端子に、第1の電位よりも高い第3の電位を出力する構成とする。

20

【0016】

このような構成の半導体装置は、バッファ回路を構成する複数のインバータのうち、最も出力側に配置されるインバータに入力する高電源電位を、ブートストラップ回路により昇圧することを特徴としている。

【0017】

さらに、バッファ回路に設けられる遅延回路により、選択信号の入力よりも遅れてブートストラップ回路による昇圧が開始されることを特徴とする。

30

【0018】

ここで、バッファ回路に選択信号が入力されると、まずゲート線（第1の信号線）に所定の電位（第1の電位に近い電位）が与えられ、その後にブートストラップ回路により当該ゲート線の電位が昇圧され、その結果バッファ回路はゲート線に所定の電位よりも高い電位（第3の電位）を出力することができる。

【0019】

このようにまずゲート線に所定の電位を与えた後に、ブートストラップ回路により当該電位を昇圧することにより、効率的に昇圧できるだけでなく、ブートストラップ回路を構成する容量素子の容量値を小さくすることができる。例えば、ブートストラップ回路を構成する容量素子の容量値を、ゲート線に接続される容量成分の総和に対して半分以下にまで小さくすることもできる。

40

【0020】

ここで例えば、選択信号の入力と同時にブートストラップ回路によって昇圧を行う構成とした場合、ブートストラップ回路内の容量の容量値がゲート線に接続される容量成分の総和に対して十分大きな容量値でない場合などでは、十分な昇圧が行われない、若しくは逆にゲート線の電位が低下してしまう恐れがある。したがって、このような構成では、ブートストラップ回路内の容量を小さくすることができず、回路の占有面積が極めて大きくなってしまい、装置の小型化を阻害してしまう。

【0021】

また、上記構成とすることにより、ブートストラップ回路は、選択信号が入力されてい

50

ない非選択時（ゲート線の非選択時）には昇圧を行わないため、バッファ回路内の非選択時における消費電力の増大を抑制することができる。

【0022】

なお、上記機能回路は、ソース又はドレインの一方に書き込み電位が入力される信号線（ソース線）が電気的に接続される選択トランジスタと、当該選択トランジスタのソース又はドレインの他方に電気的に接続される機能素子とを有する。当該機能素子は、選択トランジスタを介してソース線から入力される電位によって様々な機能を発現する回路である。

【0023】

例えは機能回路としては、発光素子や液晶素子が適用された画像表示装置における画素や、DRAMやSRAMなどの記憶装置におけるメモリセルに相当する。また、機能素子としては、上記機能回路の選択トランジスタを除いた部分に相当し、例えは発光素子が適用された画像表示装置における、発光素子、保持容量素子、及び電流制御用トランジスタなどからなる回路であり、また記憶装置においては、例えはDRAMにおける容量素子、SRAMにおけるフリップフロップ回路に相当する。

【0024】

また、本発明の他の一態様として、上記遅延回路をRC回路で構成してもよい。

【0025】

また、本発明の他の一態様として、上記遅延回路を第n+1のインバータで構成してもよい。

20

【0026】

このように、遅延回路として容量素子と抵抗素子を備えるRC回路を用いると、簡単な構成で遅延回路を構成することができる。また、遅延回路としてインバータを有する回路を用いると抵抗素子を使用しなくてもよいため、他のインバータと共に工程により遅延回路を作製することができる。ここでインバータを構成するトランジスタのサイズを変更するなどして、インバータの電流供給能力を調整することにより、遅延時間を自由に設定することができる。

【0027】

また、本発明の他の一態様は、上記半導体装置におけるブートストラップ回路が、第n+2のインバータと、容量素子と、スイッチと、を備える構成とする。第n+2のインバータは、入力端子に遅延信号が入力され、且つ出力端子が容量素子の一方の端子と電気的に接続する。またスイッチは、一方の端子が第2の信号線と電気的に接続し、且つ他方の端子が容量素子の他方の端子及び第nのインバータの高電位入力端子に電気的に接続する。また遅延信号に応じて、スイッチがオフ状態となり、且つ容量素子の他方の端子に第1の電位が与えられることにより、第3の電位が第nのインバータの高電位入力端子に出力される構成とする。

30

【0028】

バッファ回路内のブートストラップ回路をこのような構成とすることにより、選択信号が入力されていない非選択状態である期間に、容量素子を充電しておくことができる。したがって、遅延信号が入力された直後に、バッファ回路内の最も出力側のインバータを介して急速にゲート線の電位を所定の電位よりも高い電位に昇圧することができる。

40

【0029】

ここで例えば、バッファ回路の出力端子の電位をブートストラップ回路によって昇圧する構成とすることもできるが、その場合、選択信号が入力された直後から、少なくともブートストラップ回路内の容量素子、及びゲート線に接続される選択トランジスタのゲート容量を充電する必要があるため、ゲート線の電位は低い電位から徐々に上昇し、その電位が安定するまでに長い期間を要する。一方、上記構成とすることにより、ゲート線に高い電位を直接入力できるため、極めて短い期間で書き込み動作を開始でき、駆動周波数が向上する。

【0030】

50

また、本発明の他の一態様は、上記半導体装置におけるブートストラップ回路が、第 $n + 2$ のインバータと、容量素子と、pチャネル型のトランジスタと、を備える構成とする。第 $n + 2$ のインバータは、入力端子に遅延信号が入力され、且つ出力端子が容量素子の一方の端子と電気的に接続する。またトランジスタは、第1端子が第2の信号線と電気的に接続し、且つ第2端子が容量素子の他方の端子及び第 n のインバータの高電位入力端子に電気的に接続し、且つゲートが第 $n + 2$ のインバータの出力端子と電気的に接続する。また遅延信号に応じて、トランジスタがオフ状態となり、且つ容量素子の他方の端子に第1の電位が与えられることにより、第3の電位が第 n のインバータの高電位入力端子に出力される構成とする。

【0031】

10

またこのように、ブートストラップ回路内のスイッチとして、pチャネル型のトランジスタを用いることが好ましい。pチャネル型のトランジスタを用いることで当該スイッチを介してバッファ回路内の最も出力側のインバータの高電位入力端子にあらかじめ入力される電位が、スイッチのしきい値電圧分低下してしまうことが抑制されるため、ブートストラップ回路による昇圧効率を向上させることができる。

【0032】

また、本発明の一態様の画像表示装置は、上記半導体装置において、機能回路が発光素子を備えることを特徴とする。

【0033】

20

また、本発明の他の一態様の画像表示装置は、上記半導体装置において、機能回路が液晶素子を備えることを特徴とする。

【0034】

上述したバッファ回路を、有機EL素子などの発光素子が適用された画像表示装置や、液晶素子が適用された液晶表示装置に適用できる。そのため、低消費電力で且つ駆動周波数が高められた画像表示装置とできる。したがって画素数を増大させられると共に、高速表示に適した画像表示装置を実現できる。

【0035】

また、本発明の一態様の記憶装置は、上記半導体装置において、機能回路が記憶素子を備えることを特徴とする。

【0036】

30

上述したバッファ回路は選択トランジスタを備える記憶装置に適用できる。したがって低消費電力で、且つ高速動作が実現された記憶装置を実現できる。記憶素子としては、例えばDRAMやSRAMなどの揮発性の記憶素子や、フラッシュメモリ、MRAM (Magnetoresistive RAM)、PRAM (Phase change RAM)、ReRAM (Resistance RAM)、FeRAM (Ferroelectric RAM)などの不揮発性の記憶素子などが挙げられる。

【0037】

また、本発明の一態様の電子機器は、上記画像表示装置、並びに上記記憶装置のうちの少なくとも一と、バッテリーと、を備えることを特徴とする。

【0038】

40

また、上述したバッファ回路が適用された画像表示装置や記憶装置を、バッテリーによって電力が供給される携帯機器に適用することにより、駆動期間を延長できるため好ましい。また、電源回路や配線を低減できるため機器の小型化を実現できる。

【発明の効果】

【0039】

本発明の一態様によれば、消費電力が低減された、選択トランジスタを備える半導体装置を提供できる。また、電源電位を入力する配線及び端子が削減され、且つ高速動作が可能な半導体装置を提供できる。

【図面の簡単な説明】

【0040】

50

- 【図1】本発明の一態様の、半導体装置の構成例を説明する図。
- 【図2】本発明の一態様の、半導体装置の構成例を説明する図。
- 【図3】本発明の一態様の、半導体装置の構成例を説明する図。
- 【図4】本発明の一態様の、半導体装置の構成例を説明する図。
- 【図5】本発明の一態様の、半導体装置の構成例を説明する図。
- 【図6】本発明の一態様の、半導体装置の回路動作例を説明する図。
- 【図7】本発明の一態様の、半導体装置の回路動作例を説明する図。
- 【図8】本発明の一態様の、半導体装置の回路動作例を説明する図。
- 【図9】本発明の一態様の、画素の構成例を説明する図。
- 【図10】本発明の一態様の、メモリセルの構成例を説明する図。 10
- 【図11】本発明の一態様の、メモリセルの構成例を説明する図。
- 【図12】本発明の一態様の、表示装置の構成例を説明する図。
- 【図13】本発明の一態様の、表示装置の構成例を説明する図。
- 【図14】本発明の一態様の、表示装置に係る信号の遅延を説明する図。
- 【図15】本発明の一態様の、電子機器の構成例を説明する図。
- 【図16】本発明の一態様の、電子機器の構成例を説明する図。
- 【図17】実施例に係る回路を説明する図。
- 【図18】実施例に係る入出力特性を説明する図。
- 【図19】実施例に係る入出力特性を説明する図。

【発明を実施するための形態】

【0041】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0042】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。 30

【0043】

また、本明細書等において「第1」、「第2」、「第3」等の数詞の付く用語は、要素を区別するために便宜的に用いているものであり、数的に限定するものではなく、また配置及び段階の順序を限定するものでもない。

【0044】

トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) や薄膜トランジスタ (TFT: Thin Film Transistor) を含む。 40

【0045】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0046】

また、本明細書等において、トランジスタのソース、又はドレインのどちらか一方のことを「第1電極」または「第1端子」と呼び、ソース、又はドレインの他方を「第2電極」または「第2端子」とも呼ぶことがある。なお、この際、ゲートについては「ゲート」

10

20

30

40

50

又は「ゲート電極」とも呼ぶ。

【0047】

なお、本明細書等において、ダイオードの2つの電極をそれぞれ「第1の端子」、「第2の端子」や、「第1端子」、「第2端子」、または「第1の電極」、「第2の電極」や、「第1電極」、「第2電極」などと呼ぶことがある。ここで、第1電極から第2電極に向かって電流が流れる向きをダイオードの順方向、その逆を逆方向とする。また、これらの電極の一つを単純に「端子」、「電極」、「一端」、「一方」などと呼ぶこともある。

【0048】

また、本明細書等において、コイルや抵抗、容量などの2端子素子の2つの端子をそれぞれ「第1の端子」、「第2の端子」や、「第1端子」、「第2端子」、または「第1の電極」、「第2の電極」や、「第1電極」、「第2電極」などと呼ぶことがある。また、これらの端子の一つを単純に「端子」、「電極」、「一端」、「一方」などと呼ぶこともある。

10

【0049】

また、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチ、抵抗素子、コイル、容量素子、その他の各種機能を有する素子などが含まれる。

20

【0050】

なお、本明細書等においてノードとは、回路を構成する素子の電気的な接続を可能とする素子（例えば、配線など）のことをいう。したがって、"Aが接続されたノード"とは、Aと電気的に接続され、且つAと同電位と見なせる配線のことをいう。なお、配線の途中に電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が1個以上配置されていても、Aと同電位であれば、その配線はAが接続されたノードと見なせる。

【0051】

また、本明細書等において接地されているとは、接地電位が与えられていることをいう。また本明細書等に記載する接地電位には、基準電位、または共通電位を含む。

30

【0052】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置が適用された画像表示装置の一例として、発光素子が適用された画像表示装置の構成例とその動作例について、図面を参照して説明する。

【0053】

[表示装置について]

図1(A)は、表示装置100の概略図を示している。

【0054】

表示装置100は、マトリクス状に配置された複数の画素102と、第1の駆動回路103と、第2の駆動回路104を備える。

40

【0055】

また画素102のそれぞれは、少なくとも選択トランジスタ121と機能素子123を有し、該機能素子123は選択トランジスタ121の第2端子に接続され、少なくとも発光素子を備える。

【0056】

複数の画素102のうち、行に沿って隣接する複数の画素102のそれぞれの選択トランジスタ121のゲートは、ゲート線GLと電気的に接続されている。また、複数のゲート線GLは、それぞれバッファ回路101に電気的に接続されている。それぞれのバッファ回路101は、第1の駆動回路103と電気的に接続されている。

50

【0057】

また、複数の画素 102 のうち、列に沿って隣接する複数の画素 102 のそれぞれの選択トランジスタ 121 の第 1 端子（ソース又はドレインの一方）は、ソース線 SL と電気的に接続されている。また、複数のソース線 SL のそれぞれは、第 2 の駆動回路 104 と電気的に接続されている。

【0058】

第 1 の駆動回路 103 は、複数のバッファ回路 101 に対して選択信号を送信する。選択信号が入力されたバッファ回路 101 に接続されるゲート線 GL が選択されることにより、行に沿って隣接する複数の画素 102 が選択される。すなわち、当該画素 102 の選択トランジスタ 121 がオン状態となる。

10

【0059】

また、第 2 の駆動回路 104 は、複数のソース線 SL に対して選択的に書き込み信号を送信する。ここで、第 1 の駆動回路 103 によって選択されたゲート線 GL に電気的に接続された複数の画素 102 に対して、当該書き込み信号に応じた書き込みを行うことができる。

【0060】

図 1 (B) は、バッファ回路 101 と、これに電気的に接続される 1 つの画素 102 を抜き出した回路図である。

【0061】

[画素について]

20

画素 102 は、選択トランジスタ 121 と機能素子 123 を備える。機能素子 123 は、発光素子 161 と、容量素子 162 と、トランジスタ 163 を備える。また画素 102 には、ゲート線 GL、ソース線 SL、アノード線 AL、及びカソード線 CL がそれぞれ電気的に接続されている。

【0062】

選択トランジスタ 121 は、ゲートがゲート線 GL と電気的に接続され、第 1 端子がソース線 SL と電気的に接続され、第 2 端子が容量素子 162 の第 1 端子、及びトランジスタ 163 のゲートに電気的に接続される。容量素子 162 は、第 2 端子がアノード線 AL と電気的に接続される。トランジスタ 163 は、第 1 端子が発光素子 161 の第 1 端子に電気的に接続され、第 2 端子がアノード線 AL と電気的に接続される。発光素子 161 は、第 2 端子がカソード線 CL と電気的に接続される。

30

【0063】

ここで、選択トランジスタ 121 の第 2 端子と、容量素子 162 の第 1 端子と、トランジスタ 163 のゲートに電気的に接続されるノードをノード N2 とする。

【0064】

アノード線 AL には、カソード線 CL に入力されるよりも高い電位が入力される。

【0065】

トランジスタ 163 は p チャネル型のトランジスタである。トランジスタ 163 は、発光素子 161 に流れる電流を制御するために設けられる。

【0066】

40

容量素子 162 は、選択トランジスタ 121 を介してノード N2 に書き込まれた電位を保持するために設けられる。ノード N2 に保持された電位によりトランジスタ 163 を介して流れる電流の大きさが制御され、発光素子 161 の発光輝度が制御される。

【0067】

発光素子 161 は、一対の電極間に電圧を印加することにより発光する素子である。代表的には、一対の電極間に発光性の有機化合物を含む層が挟持された有機 EL 素子を用いることができる。また、一対の電極間に発光性の無機化合物を含む層が挟持された無機 EL 素子や、LED 素子などの種々の発光素子を用いることができる。

【0068】

なお、本実施の形態では、画素 102 として、2 つのトランジスタと 1 つの容量素子と

50

、1つの発光素子を組み合わせた構成を例示したが、この構成に限られることなく、様々な構成を探ることができる。例えばトランジスタの特性変動に対する補正回路などを設ける構成としてもよい。また、本構成ではトランジスタ163にpチャネル型のトランジスタを用いる構成としたが、選択トランジスタ121と同様のnチャネル型のトランジスタを用いてもよい。

【0069】

以上が画素102の構成についての説明である。

【0070】

[バッファ回路について]

バッファ回路101には、高電源電位VDDと、低電源電位VSSが入力される。またバッファ回路101の入力側には、第1の駆動回路103から出力された選択信号INが入力される。またバッファ回路101の出力側には、ゲート線GLが電気的に接続される。

【0071】

バッファ回路101は、選択信号INに応じて、高電源電位VDDよりも高い電位を生成し、当該電位をゲート線GLに出力する。

【0072】

バッファ回路101は、少なくとも2つの直列接続されたインバータ（インバータ131及びインバータ133）と、遅延回路110と、ブートストラップ回路111を備える。

【0073】

インバータ133は、入力端子に選択信号INが入力され、高電位入力端子に高電源電位VDDが入力され、低電位入力端子に低電源電位VSSが入力される。また出力端子はインバータ131の入力端子に電気的に接続される。

【0074】

また、インバータ131は、出力端子がゲート線GLと電気的に接続され、高電位入力端子がブートストラップ回路111に電気的に接続され、低電位入力端子に低電源電位VSSが入力される。

【0075】

遅延回路110には、選択信号INが入力される。遅延回路110は、選択信号INに応じて、選択信号INより遅延した遅延信号S（または遅延信号S及び反転遅延信号SB）を生成し、ブートストラップ回路111に出力する。

【0076】

ブートストラップ回路111には、遅延信号S（または遅延信号S及び反転遅延信号SB）、高電源電位VDD、及び低電源電位VSSが入力される。

【0077】

ブートストラップ回路111は、遅延回路110から入力される遅延信号S（または遅延信号S及び反転遅延信号SB）に応じて、インバータ131の高電位入力端子に接続されるノード（ノードN1）に高電源電位VDDよりも高い電位を出力する。

【0078】

図1（B）には、ブートストラップ回路111の構成の一例を示している。図1（B）には、容量素子113と、3つのスイッチ（スイッチ114、スイッチ115、スイッチ116）を備える構成を示している。

【0079】

スイッチ114の第1端子には高電源電位VDDが入力され、第2端子は容量素子113の第1端子、及びインバータ131の高電位入力端子に電気的に接続されている。スイッチ115の第1端子には高電源電位VDDが入力され、第2端子は容量素子113の第2端子、及びスイッチ116の第1端子に電気的に接続されている。またスイッチ116の第2端子には低電源電位VSSが入力されている。

【0080】

10

20

30

40

50

ここで、スイッチ 115 は遅延回路 110 で生成された遅延信号 S によって動作が制御され、スイッチ 114 及びスイッチ 116 は、遅延信号 S に対して位相が反転した反転遅延信号 S_B によって動作が制御される。

【0081】

選択信号 IN によりバッファ回路 101 が非選択状態のときでは、スイッチ 115 がオフ状態であり、スイッチ 114 及びスイッチ 116 がオン状態となるように制御される。このとき、容量素子 113 の第 1 端子には高電源電位 VDD が与えられ、第 2 端子には低電源電位 VSS が与えられており、容量素子 113 は充電された状態となる。

【0082】

ここで、選択信号 IN によりバッファ回路 101 が非選択状態から選択状態に移行すると、まずインバータ 133 及びインバータ 131 を介してゲート線 GL に高電源電位 VDD (または高電源電位 VDD に近い所定の電位) が与えられる。

【0083】

続いて、ゲート線 GL の電位が安定した後に、遅延回路 110 から遅延信号 S 及び反転遅延信号 S_B が出力される。遅延信号 S 及び反転遅延信号 S_B に応じてスイッチ 115 がオン状態に、またスイッチ 114 及びスイッチ 116 がオフ状態にそれぞれ推移する。したがって、容量素子 113 の第 2 端子にはスイッチ 115 を介して高電源電位 VDD に対応した電位が入力され、これに応じてインバータ 131 の高電位入力端子に入力するノード N1 の電位が上昇する。その結果、インバータ 131 の出力端子に電気的に接続されたゲート線 GL の電位が上昇する。

【0084】

このようにして、バッファ回路 101 はゲート線 GL に対して高電源電位 VDD よりも高い電位を出力することができる。

【0085】

上記のようにまずゲート線 GL に高電源電位 VDD を与えた後に、ブートストラップ回路 111 により当該電位を昇圧することにより、効率的に昇圧できるだけでなく、ブートストラップ回路 111 を構成する容量素子 113 の大きさを小さくすることができる。例えば、容量素子 113 の容量値を、ゲート線 GL に接続される容量成分の総和に対して半分以下にまで小さくすることもできる。

【0086】

ここで例えば、選択信号 IN の入力と同時にブートストラップ回路によって昇圧を行う構成とした場合、ブートストラップ回路内の容量の容量値がゲート線に接続される容量成分の総和に対して十分大きな容量値でない場合などでは、十分な昇圧が行われない、若しくは逆にゲート線の電位が低下してしまう恐れがある。したがって、このような構成では、ブートストラップ回路内の容量を小さくすることができず、回路の占有面積が極めて大きくなり、装置の小型化を阻害してしまう。

【0087】

また本発明の一態様のバッファ回路 101 の構成とすることにより、ブートストラップ回路 111 は、非選択時には昇圧を行わないため、バッファ回路 101 の非選択時における消費電力の増大を抑制することができる。

【0088】

なお、上記ではブートストラップ回路 111 の構成が、遅延信号 S と反転遅延信号 S_B の 2 つの信号を必要とする構成であるため、遅延回路 110 が遅延信号 S と反転遅延信号 S_B を生成する構成としたが、ブートストラップ回路 111 が遅延信号 S のみで動作可能な構成の場合では、遅延回路 110 は遅延信号 S のみを出力すればよい。遅延回路 110 の構成は、遅延回路 110 が接続されるブートストラップ回路 111 の構成に応じて様々な形態を取りうる。

【0089】

なお、バッファ回路 101 のより具体的な構成例及び動作例については、後に詳細に説明する。

10

20

30

40

50

【0090】

以上が、図1(B)に示すバッファ回路101についての説明である。

【0091】

なお、図1(B)にはバッファ回路101として、2つの直列接続されたインバータと、遅延回路110とブートストラップ回路111を備える構成としたが、3つ以上のインバータが直列接続された構成としてもよい。

【0092】

図2には、インバータ133とインバータ131の間に、m個のインバータ(インバータ135(1)～インバータ135(m))が直列接続された構成を示している。ここで、直列接続されたm個のインバータの個数が偶数になるように設定することが好ましい。

10

【0093】

また、直列接続された複数のインバータは、入力側から出力側にかけて、すなわちインバータ133からインバータ131に向かって、段階的に電流供給能力が高くなるようにすることが好ましい。

【0094】

[バッファ回路の構成例]

以下では、バッファ回路101のより具体的な構成例について、図面を参照して説明する。

【0095】

<構成例1>

20

図3(A)には、遅延回路110にRC回路を適用した場合の、バッファ回路101の構成の一例を示している。なお、遅延回路110の構成以外は、図1(B)に示すバッファ回路と同じである。

【0096】

図3(A)に示す遅延回路110は、抵抗素子141と容量素子142とインバータ143を備える。抵抗素子141の第1端子には選択信号INが入力され、第2端子は容量素子142の第1端子、インバータ143の入力端子に電気的に接続されている。また容量素子142の第2端子には、低電源電位VSSが入力されている。

【0097】

遅延回路110に入力される選択信号INによりバッファ回路101が選択状態に推移すると、容量素子142の第1端子が接続されるノードの電位が緩やかに変化することで、当該ノードの電位が選択信号INより遅延した遅延信号Sとして、ブートストラップ回路111内のスイッチ115に入力される。また、当該ノードの電位をインバータ143によって反転した信号が、反転遅延信号SBとしてブートストラップ回路111内のスイッチ114及びスイッチ116に入力される。

30

【0098】

なお、ここではブートストラップ回路111の構成が、遅延信号Sと反転遅延信号SBの2つの信号を必要とする構成であるため、反転遅延信号SBを生成するためにインバータ143が設けられている。したがってブートストラップ回路111が遅延信号Sのみで動作可能な構成の場合には、インバータ143を設けなくてもよい。

40

【0099】

このように、RC回路を適用した構成とすることで、簡単な構成で遅延回路110を構成することができる。

【0100】

<構成例2>

図3(B)には、遅延回路110に遅延用のインバータ145を適用し、またブートストラップ回路111の構成を異ならせたバッファ回路101の構成例を示す。なお、遅延回路110及びブートストラップ回路111以外の構成は、図1(B)に示す構成と同じである。

【0101】

50

図3(B)に示すブートストラップ回路111は、図1(B)に示す構成において、スイッチ115とスイッチ116を一つのインバータ117に置き換えた構成である。インバータ117は、入力端子に遅延回路110から出力される遅延信号Sが入力され、出力端子が容量素子113の第2端子に電気的に接続する。またスイッチ114は遅延信号Sによって制御される。

【0102】

遅延回路110として用いるインバータ145は、バッファ回路101に入力される選択信号INに応じてゲート線GLの電位が高電源電位VDDに対応した電位に安定した後に、遅延信号Sを出力する。したがって、インバータ133及びインバータ131の電流供給能力及びゲート線GLに付加する容量成分の総和に依存するゲート線GLを充電するまでの時間や、ブートストラップ回路111内のスイッチ114の状態を反転させるための時間などを考慮して、インバータ145の電流供給能力を決定すればよい。例えば、インバータ145の電流供給能力が少なくともインバータ133、及びインバータ131よりも劣るものを用いる。

【0103】

すなわち、選択信号INが供給された時点からゲート線GLの電位が高電源電位VDDに対応した電位に安定するまでの時間よりも、選択信号INが供給された時点からインバータ117の出力が反転するまでの時間が長くなるように、インバータ145の電流供給能力を決定すればよい。

【0104】

また、遅延時間を長く設定するため、遅延回路110内のインバータ145の出力端子が電気的に接続されるノードに、並列に容量素子を設けてもよい。また、当該ノードに直列に抵抗素子を設ける構成としてもよい。遅延回路110とブートストラップ回路111の間のノードにおける容量成分を大きくする、または抵抗成分を大きくすることにより、遅延時間を大きくすることができる。

【0105】

ここで、バッファ回路101が非選択状態のとき、インバータ145からの出力電位に応じて、スイッチ114はオン状態になるように制御され、またインバータ117を介して容量素子113の第2端子には低電源電位VSSに対応した電位が入力された状態となる。

【0106】

またバッファ回路101に入力される選択信号INに応じてインバータ145から出力される遅延信号Sにより、スイッチ114がオフ状態に推移すると共に、インバータ117を介して容量素子113の第2端子に接続されるノードに高電源電位VDDに対応した電位が与えられ、インバータ131の高電位入力端子に電気的に接続するノードN1の電位が、高電源電位VDDよりも高い電位に上昇する。

【0107】

このように、遅延回路110としてインバータ145を用いると抵抗素子や容量素子などを使用しなくてもよいため、他のインバータと共に遅延回路を作製することができる。ここでインバータの電流供給能力を適宜調整することにより、遅延時間を最適な時間に調整することができる。

【0108】

<構成例3>

本構成例では、構成例2で例示したバッファ回路101において、インバータ及びスイッチをトランジスタで構成した例を示す。

【0109】

図4(A)に示すバッファ回路101では、図3(B)に示した構成におけるインバータ133、インバータ131、インバータ145及びインバータ117に、それぞれCMOS回路で構成したインバータ回路が適用されている。また、スイッチ114としてnチャネル型のトランジスタ151が適用されている。

10

20

30

40

50

【0110】

ここで、トランジスタ151は第1端子に高電源電位VDDが入力され、第2端子が容量素子113の第1端子及びインバータ131の高電位入力端子に電気的に接続され、またゲートがインバータ145とインバータ117の間のノードに電気的に接続されている。

【0111】

このような構成とすることにより、バッファ回路101を構成するインバータとスイッチを同一の工程で作製することができるため、工程が簡略化できる。

【0112】

<構成例4>

10

本構成例では、構成例2で例示したバッファ回路101において、インバータ及びスイッチをトランジスタで構成した、構成例3とは異なる例を示す。

【0113】

図4(B)に示すバッファ回路101は、図4(A)に示した構成におけるトランジスタ151を、pチャネル型のトランジスタ153に置き換えた構成である。

【0114】

トランジスタ153は、第1端子に高電源電位VDDが入力され、第2端子が容量素子113の第1端子、及びインバータ131の高電位入力端子に電気的に接続され、ゲートがインバータ117の出力端子及び容量素子113の第2端子に電気的に接続されている。

20

【0115】

このように、ブーストストラップ回路111内のスイッチ114として、pチャネル型のトランジスタ153を用いることで、当該トランジスタ153を介してバッファ回路101内の最も出力側のインバータ131の高電位入力端子に入力される電位が、トランジスタ153のしきい値電圧分低下してしまうことが抑制される。したがって、選択信号INが入力された直後に、トランジスタ153及びインバータ131を介してゲート線GLに高電源電位VDDに極めて近い電位を与えることができる。そのためブーストストラップ回路111による昇圧効率を向上させることができる。

【0116】

<変形例>

30

上記構成例3及び構成例4では、インバータ回路としてCMOS回路を適用する構成としたが、nチャネル型のトランジスタのみで構成することができる。

【0117】

図5(A)、図5(B)には、nチャネル型のトランジスタのみで構成したインバータの構成例を示す。

【0118】

図5(A)には、2つのnチャネル型のトランジスタで構成されるインバータを示している。このように少ない素子でインバータを構成することにより、バッファ回路101の構成を簡略化できるため好ましい。

【0119】

40

図5(B)には、4つのnチャネル型のトランジスタと一つの容量素子で構成されるインバータを示している。このような構成のインバータは、出力電位が安定するため好ましい。

【0120】

このように、単極性のトランジスタのみでバッファ回路101を構成することにより、作製工程を簡略化できるため好ましい。例えば、酸化物半導体を半導体層としたトランジスタが適用された画像表示装置においては、同一基板上に同時に画素102とバッファ回路を形成することが好ましい。

【0121】

以上がバッファ回路101の構成例についての説明である。

50

【0122】

【回路動作例】

以下では、構成例4に示したバッファ回路101を例に、より具体的な動作例についてタイミングチャートを用いて説明する。

【0123】

図6(A)は、構成例4で例示したバッファ回路101の構成であり、図6(B)は、図6(A)中の選択信号IN、ノードN1、及びゲート線GLにおける電位の時間変化を示すタイミングチャートである。

【0124】

図6(B)中の期間T0はゲート線GLの非選択期間であり、選択信号INとしてローレベル電位が入力されている。また期間T2はゲート線GLの選択期間であり、選択信号INとしてハイレベル電位が入力され、且つブートストラップ回路111によって昇圧された電位がゲート線GLに出力されている期間である。ここで非選択期間(期間T0)から選択期間(期間T2)までの間の期間T1は、選択信号INとしてハイレベル電位が入力されてからブートストラップ回路111が動作するまでの遅延期間である。

10

【0125】

まず、ゲート線GLの非選択期間である期間T0におけるバッファ回路101の動作について、図6(B)及び図7(A)を用いて説明する。

【0126】

期間T0では、選択信号INとしてローレベル電位がインバータ133及びインバータ145に入力される。したがって、インバータ133に直列に接続されるインバータ131を介して、ゲート線GLにはローレベル電位が与えられる。

20

【0127】

また、インバータ145に直列に接続されるインバータ117からはローレベル電位が出力されるため、容量素子113の第2端子、及びトランジスタ153のゲートにはローレベル電位が入力される。したがって、トランジスタ153はオン状態となりトランジスタ153を介してインバータ131の高電位入力端子に接続されるノードN1の電位は高電源電位VDDに近い電位となる。またこのとき、容量素子113にはその2つの端子にかかる電位差に応じて充電された状態が保持される。

【0128】

30

続いて、選択信号INとしてハイレベル電位が入力された直後の遅延期間である期間T1における動作について、図6(B)及び図7(B)を用いて説明する。

【0129】

まず、選択信号INとしてハイレベル電位が入力される。これに応じて、インバータ133とインバータ131の出力電位が反転する。

【0130】

このとき、遅延用のインバータ145により、ブートストラップ回路111は駆動していない状態が保持されている。すなわち遅延期間では、インバータ145の出力端子の電位がインバータ117の出力電位を反転させるだけの電位に到達していないため、インバータ117からの出力電位は期間T0と同様にハイレベル電位が維持された状態となる。したがって、期間T0に引き続いて期間T1においてトランジスタ153はオン状態が維持されているため、ゲート線GLにはインバータ131を介して高電源電位VDDが出力される。

40

【0131】

このように、遅延期間である期間T1では、ゲート線GLの電位はローレベル電位から高電源電位VDDに近い電位に推移する。

【0132】

続いて、遅延期間が終了し、選択期間であるT2に移行した際の動作について、図6(B)及び図8を用いて説明する。

【0133】

50

選択期間 T 2 に移行すると、インバータ 117 の出力電位が反転し、トランジスタ 153 のゲート及び容量素子 113 の第 2 端子には高電源電位 VDD に対応した電位が入力される。したがって、トランジスタ 153 はオン状態からオフ状態に推移すると共に、容量素子 113 の第 2 端子の電位の上昇に伴って、ノード N1 の電位が上昇する。

【 0134 】

このようにして、インバータ 131 を介して、ゲート線 GL の電位は高電源電位 VDD よりも高い電位に昇圧される。

【 0135 】

ここで、選択期間 T 2 において、ゲート線 GL に接続された画素 102 の選択トランジスタ 121 のゲートには、高電源電位 VDD よりも十分に高い電位が与えられた状態となっている。したがって、選択トランジスタ 121 のオン抵抗を十分に低減することができ、当該選択トランジスタ 121 を介して機能素子 123 に所定の電位を書き込む場合に、高速に書き込みを行うことができる。

【 0136 】

さらに、書き込みに用いる電位として高電源電位 VDD を用いた場合であっても、書き込まれる電位が選択トランジスタ 121 のしきい値電圧分低下してしまうことが抑制されるため、書き込みに用いる電位を生成するための電源回路や、当該電源回路から電位を供給するための配線等を別途設ける必要がない。そのため、このようなバッファ回路 101 を用いることにより、電子機器の低消費電力化や小型化を容易に実現することができる。

【 0137 】

その後、選択期間である期間 T 2 から再度非選択期間である期間 T 0 に移行するときは、選択信号 IN としてローレベル電位が入力される。

【 0138 】

このとき、遅延用のインバータ 145 により、ブートストラップ回路 111 が動作を停止するより前に、インバータ 133 及びインバータ 131 の出力が反転し、ゲート線 GL に低電源電位 VSS が与えられる。

【 0139 】

その後、インバータ 145 の出力が反転することにより、インバータ 117 を介してトランジスタ 153 のゲートと容量素子 113 の第 2 端子に低電源電位 VSS に対応した電位が与えられる。したがって、トランジスタ 153 がオン状態となることにより、容量素子 113 の 2 つの端子にかかる電位差に応じて充電が開始され、ノード N1 の電位が高電源電位 VDD に安定する。

【 0140 】

以上が、バッファ回路 101 の回路動作例についての説明である。

【 0141 】

このような構成のバッファ回路 101 を備える表示装置 100 とすることで、選択トランジスタを確実にオン状態とするための電源電位を生成する電源回路を別途設ける必要が無く、消費電力が低減された表示装置を実現できる。さらに、選択トランジスタのゲートに入力するための電源電位を増やすことなく、画素の高速動作を実現できる。

【 0142 】

[变形例]

上記では、表示装置 100 の一例として、発光素子を備える表示装置について説明したが、液晶素子を備える表示装置にも、本実施の形態を適用することができる。図 9 に液晶素子を備えた表示装置に適用可能な画素 102 の構成例を示す。

【 0143 】

図 9 に示す画素 102 は、選択トランジスタ 121、容量素子 165、及び液晶素子 166 を備える。また、画素 102 にはゲート線 GL、ソース線 SL、及びカソード線 CL がそれぞれ電気的に接続されている。なおここでは、容量素子 165 及び液晶素子 166 を含む構成が、機能素子 123 に相当する。

【 0144 】

10

20

30

40

50

選択トランジスタ 121 の第 2 端子は、容量素子 165 の第 1 端子、及び液晶素子 166 の第 1 端子に電気的に接続される。また容量素子 165 の第 2 端子、及び液晶素子 166 の第 2 端子は、カソード線 CL と電気的に接続される。

【0145】

液晶素子 166 は、一対の電極間に液晶材料が挟持された素子である。

【0146】

このような液晶素子 166 が適用された画素 102 においても上記と同様に、選択トランジスタ 121 がオン状態の期間に、ソース線 SL から液晶素子 166 の第 1 端子に所定の電位が書き込まれることにより、所定の階調で表示を行うことができる。

【0147】

なおここで、液晶素子 166 に換えて電気泳動素子やツイストボールなどを用いた場合においても、同様の画素 102 の構成を適用することができる。

【0148】

以上が液晶素子を備える表示装置についての説明である。

【0149】

本実施の形態は、本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【0150】

(実施の形態 2)

本発明の一態様は、DRAM や SRAM などといった種々の記憶装置にも適用することができる。本実施の形態では、本発明の一態様である記憶装置の構成例について、図面を参照して説明する。

【0151】

本発明の一態様の記憶装置は、実施の形態 1 で例示した選択トランジスタを備える画素を、データの保持を行う記憶素子を備えるメモリセルに置き換えたものである。以下では、本発明の一態様の記憶装置に適用可能なメモリセルの構成について説明する。

【0152】

なお、通例では同様の作用をもたらす配線などの一部の構成要素の呼称が、表示装置と記憶装置とで異なる場合があるが、ここでは実施の形態 1 に倣い、共通の呼称を用いる。

【0153】

[構成例 1]

本構成例では、DRAM 素子を備える記憶装置について説明する。

【0154】

図 10 (A) に、DRAM 素子が適用されたメモリセル 171 の構成を示す。メモリセル 171 は、選択トランジスタ 121 と、容量素子 172 を備える。ここで、容量素子 172 を含む構成が機能素子 123 に相当する。

【0155】

選択トランジスタ 121 の第 2 端子は、容量素子 172 の第 1 端子と電気的に接続される。また容量素子 172 の第 2 端子は、カソード線 CL と電気的に接続される。

【0156】

メモリセル 171 は、容量素子 172 の第 1 端子に選択トランジスタ 121 を介して書き込まれた電位を保持することにより、情報を記憶することができる。

【0157】

メモリセル 171 に記憶されたデータを読み出すには、選択トランジスタ 121 をオン状態としたときの、ソース線 SL の電位の変化をセンスアンプ等で検出することによりデータを読み出すことができる。なお、DRAM では読み出しの際に保持されていたデータが消失してしまうため、読み出し動作の直後に同一または異なるメモリセルに再度データを書き込むことが好ましい。

【0158】

また、選択トランジスタ 121 のチャネルが形成される半導体には、単結晶半導体、多

10

20

30

40

50

結晶半導体、微結晶半導体、非晶質半導体を用いることができる。また、これらのうち2以上の積層体を用いてもよい。半導体材料としては、シリコン、ゲルマニウム、シリコングルマニウム、炭化シリコン、またはガリウムヒ素等を挙げることができる。このような半導体材料を用いたトランジスタは、十分な高速動作が可能なため、記憶した情報の読み出しなどを高速に行なうことが可能である。つまり、半導体装置の高速動作が実現される。

【0159】

この様な構成とすることにより、配線数を低減できるため回路を簡略化することができる。さらに、メモリセルもトランジスタと容量素子を一つずつ備えた構成とすることができるため、メモリセルのサイズを縮小することができる。

【0160】

ここで、選択トランジスタ121のチャネルが形成される半導体に酸化物半導体を用いることができる。酸化物半導体は、エネルギーギャップが3.0eV以上と大きく、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては、オフ状態でのソースとドレイン間のリーケ電流（オフ電流）を極めて低いものとすることができます。このため、消費電力の小さい半導体装置を実現することができる。

【0161】

また、用いる酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）、ジルコニウム（Zr）、チタン（Ti）、スカンジウム（Sc）、イットリウム（Y）、ランタノイド（例えば、セリウム（Ce）、ネオジム（Nd）、ガドリニウム（Gd））から選ばれた一種、または複数種が含まれていることが好ましい。

【0162】

好ましくは、酸化物半導体膜は、CAAC-OS（CAxis Aligned Crystaline Oxide Semiconductor）膜とする。

【0163】

CAAC-OS膜に含まれる結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）による観察像では、CAAC-OS膜に含まれる結晶部と結晶部との境界は明確に確認できない場合がある。また、TEMによってCAAC-OS膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。また、明確な粒界を有さないため、不純物が偏析することが少ない。また、明確な粒界を有さないため、欠陥準位密度が高くなることが少ない。

【0164】

CAAC-OS膜は、例えば、複数の結晶部を有し、当該複数の結晶部においてc軸が被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃っている場合がある。また、CAAC-OS膜は、例えば、X線回折（XRD：X-Ray Diffraction）装置を用い、out-of-plane法による分析を行うと、配向を示す2

が31°近傍のピークが現れる場合がある。また、CAAC-OS膜は、例えば、電子線回折像で、スポット（輝点）が観測される場合がある。なお、特に、ビーム径が10nm以下、または5nm以下の電子線を用いて得られる電子線回折像を、極微電子線回折像と呼ぶ。また、CAAC-OS膜は、例えば、異なる結晶部間で、それぞれa軸およびb軸の向きが揃っていない場合がある。CAAC-OSは、例えば、c軸配向し、a軸または/およびb軸はマクロに揃っていない場合がある。

【0165】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつa b面に垂直な方向から見て三

10

20

30

40

50

角形状または六角形状の原子配列を有し、c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、80°以上100°以下、好ましくは85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-10°以上10°以下、好ましくは-5°以上5°以下の範囲も含まれることとする。

【0166】

なお、CAAC-OS 膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAAC-OS 膜へ不純物を添加することにより、当該不純物添加領域において結晶部の結晶性が低下することもある。

【0167】

CAAC-OS 膜に含まれる結晶部の c 軸は、CAAC-OS 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAAC-OS 膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、CAAC-OS 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0168】

また、CAAC-OS 膜は、例えば、欠陥準位密度を低減することで形成することができる。酸化物半導体において、例えば、酸素欠損があると欠陥準位密度が増加する。酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。CAAC-OS 膜を形成するためには、例えば、酸化物半導体に酸素欠損を生じさせないことが重要となる。従って、CAAC-OS 膜は、欠陥準位密度の低い酸化物半導体である。または、CAAC-OS 膜は、酸素欠損の少ない酸化物半導体である。

【0169】

不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる場合がある。従って、当該酸化物半導体をチャネル形成領域に用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、キャリアトラップが少ない場合がある。従って、当該酸化物半導体をチャネル形成領域に用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる場合がある。なお、酸化物半導体のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、欠陥準位密度の高い酸化物半導体をチャネル形成領域に用いたトランジスタは、電気特性が不安定となる場合がある。

【0170】

酸化物半導体膜として、CAAC-OS 膜を適用する場合、該 CAAC-OS 膜を形成する方法としては、三つ挙げられる。

【0171】

一つめは、成膜温度を200°以上450°以下として酸化物半導体膜の成膜を行うことで、酸化物半導体膜に含まれる結晶部の c 軸が、被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0172】

二つめは、酸化物半導体膜を薄い膜厚で成膜した後、200°以上700°以下の熱処理を行うことで、酸化物半導体膜に含まれる結晶部の c 軸が、被形成面の法線ベクトルま

10

20

30

40

50

たは表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0173】

三つめは、一層目の酸化物半導体膜を薄く成膜した後、200以上700以下の熱処理を行い、さらに二層目の酸化物半導体膜の成膜を行うことで、酸化物半導体膜に含まれる結晶部のc軸が、被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃った結晶部を形成する方法である。

【0174】

CAAC-O₅膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0175】

さらに、酸化物半導体膜の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜から、水素、または水分を除去して不純物が極力含まれないように高純度化し、脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。また、本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理と記す場合がある。

10

【0176】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型（真性）の、またはi型に限りなく近い酸化物半導体膜とすることができます。このような酸化物半導体膜中には、ドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、より好ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。

20

【0177】

またこのように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠損に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、室温（25）でのオフ電流（ここでは、単位チャネル幅（1 μm）あたりの値）は、100zA（1zA（ゼプトアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは、10zA以下となる。また、85では、100zA以下、望ましくは10zA以下となる。このように、i型（真性）化または実質的にi型化された酸化物半導体層を用いることで、極めて優れたオフ電流特性のトランジスタを得ることができる。

30

【0178】

このような酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴から、選択トランジスタ121をオフ状態とすることで、容量素子172に保持される電位を極めて長時間にわたって保持することが可能である。従って、従来のDRAMとくらべて、リフレッシュ動作をなくす、もしくはリフレッシュ動作の間隔を極めて長くすることが可能となる。

【0179】

なお酸化物半導体は、例えば多結晶を有してもよい。なお、多結晶を有する酸化物半導体を、多結晶酸化物半導体と呼ぶ。多結晶酸化物半導体は複数の結晶粒を含む。多結晶酸化物半導体は、例えば、非晶質部を有している場合がある。

40

【0180】

また酸化物半導体は、例えば微結晶を有してもよい。なお、微結晶を有する酸化物半導体を、微結晶酸化物半導体と呼ぶ。微結晶酸化物半導体は、完全な非晶質ではない。

【0181】

酸化物半導体は、例えば非晶質部を有してもよい。なお、非晶質部を有する酸化物半導体を、非晶質酸化物半導体と呼ぶ。非晶質酸化物半導体は、例えば、原子配列が無秩序であり、結晶部を有さない。または、非晶質酸化物半導体は、例えば、石英のような無定形状態を有し、原子配列に規則性が見られない。

【0182】

50

なお、酸化物半導体膜が、C A A C - O S、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体の二種以上を有する混合膜であってもよい。混合膜は、例えば、非晶質酸化物半導体の領域、微結晶酸化物半導体の領域、多結晶酸化物半導体の領域、C A A C - O Sの領域、のいずれか二種以上の領域を有する場合がある。また、混合膜は、例えば、非晶質酸化物半導体の領域、微結晶酸化物半導体の領域、多結晶酸化物半導体の領域、C A A C - O Sの領域、のいずれか二種以上の領域の積層構造を有する場合がある。

【0183】

以上が、D R A M 素子が適用された記憶装置の説明である。

【0184】

[構成例2]

10

本構成例では、S R A M 素子を備える記憶装置について説明する。

【0185】

図10(B)に、S R A M 素子が適用されたメモリセル181の構成を示す。メモリセル181は、2つの選択トランジスタ(選択トランジスタ121a、選択トランジスタ121b)と、2つのインバータ(インバータ182、インバータ183)を備える。また、メモリセル181には、ゲート線G L、2本のソース線(ソース線S L 1、ソース線S L 2)、アノード線A L、カソード線C Lが電気的に接続される。ここで、2つのインバータを含む構成が、機能素子123に相当する。

【0186】

選択トランジスタ121aは、ゲートがゲート線G Lに電気的に接続し、第1端子がソース線S L 1に電気的に接続し、第2端子がインバータ182の入力端子、及びインバータ183の出力端子に電気的に接続する。選択トランジスタ121bは、第2端子がソース線S L 2と電気的に接続し、第1端子がインバータ182の出力端子、及びインバータ183の入力端子に電気的に接続する。また、インバータ182とインバータ183のそれぞれは、高電位入力端子がアノード線A Lに、低電位入力端子がカソード線C Lに電気的に接続している。さらにインバータ182とインバータ183は、一方のインバータの出力端子が他方のインバータの入力端子に接続する、いわゆるインバータループを構成している。

20

【0187】

メモリセル181へのデータの書き込みは、ソース線S L 1とソース線S L 2から、これと電気的に接続される選択トランジスタ121a及び選択トランジスタ121bを介して書き込み信号を入力することにより行われる。このとき、ソース線S L 1とソース線S L 2には論理反転した信号が入力される。

30

【0188】

例えば、選択トランジスタ121a及び選択トランジスタ121bをオン状態とし、選択トランジスタ121aを介してソース線S L 1からハイレベル電位を、また選択トランジスタ121bを介してソース線S L 2からローレベル電位を入力することにより、メモリセル181にデータを書き込むことができる。このとき、インバータ182の入力端子に接続されるノードの電位がハイレベル電位に推移すると共に、インバータ182の出力端子に接続されるノードの電位がローレベル電位に推移する。この状態が保持されることにより、メモリセル181にデータを記憶することができる。

40

【0189】

またメモリセル181からのデータの読み出しこそは、ソース線S L 1及びソース線S L 2のいずれか一方または両方に、これらと電気的に接続される選択トランジスタ121aまたは選択トランジスタ121bを介して出力される電位を検出することにより行われる。

【0190】

例えば、選択トランジスタ121a及び選択トランジスタ121bをオン状態としたときに、選択トランジスタ121a又は選択トランジスタ121bを介してソース線S L 1又はソース線S L 2に出力される電位の少なくとも一方を検知することにより、データが読み出される。

50

【0191】

このような構成とすることにより、メモリセル内に容量素子を用いないため書き込みや、読み出し動作を極めて高速で行うことができる。

【0192】

以上が、S R A M 素子が適用された記憶装置の説明である。

【0193】

[構成例3]

本構成例では、上記構成例とは異なる構成の記憶装置について説明する。

【0194】

図11(A)には、本構成例で例示するメモリセル191の構成を示す。メモリセル191は、選択トランジスタ121、容量素子192、及びトランジスタ193を備える。またメモリセル191には、ゲート線G L、ソース線S L、カソード線C Lに加え、読み出しデータを出力するデータ線D L、及びデータを読み出すメモリセルを選択するための読み出し線R Lが電気的に接続されている。ここで、容量素子192及びトランジスタ193を備える構成が、機能素子123に相当する。

【0195】

選択トランジスタ121は、ゲートがゲート線G Lに電気的に接続し、第1端子がソース線S Lと電気的に接続し、第2端子が容量素子192の第1端子、及びトランジスタ193のゲートに電気的に接続する。また、容量素子192は、第2端子が読み出し線R Lに電気的に接続する。また、トランジスタ193は、第1端子がカソード線C Lと電気的に接続し、第2端子がデータ線D Lと電気的に接続する。

【0196】

メモリセル191へのデータの書き込みは、ソース線S Lから、選択トランジスタ121を介して容量素子192の第1端子に接続されるノードに電位を入力することにより行われる。

【0197】

メモリセル191からのデータの読み出しは、データ線D Lの電位をセンスアンプなどにより検出することにより行われる。例えば、読み出し動作を行う前に、データ線D Lの電位をハイレベル電位にプリチャージしておくことが好ましい。ここで、上記ノードにハイレベル電位が書き込まれている場合には、トランジスタ193がオン状態となり、カソード線C Lにあらかじめ与えられている電位に近い電位がデータ線D Lに出力される。一方、上記ノードにローレベル電位が書き込まれている場合には、トランジスタ193がオフ状態となるため、データ線D Lの電位はハイレベル電位のまま変化しない。

【0198】

ここで、一つのデータ線D Lに接続された複数のメモリセル191のうち、読み出しを行わないメモリセル191では、読み出し線R Lにローレベル電位よりもさらに低い電位(例えば負の電源電位)を与える。したがって、読み出しを行わないメモリセル191では、容量素子192の第1端子に接続されるノードに書き込まれた電位によらず、常にトランジスタ193がオフ状態となる。そのため読み出しを行わないメモリセル191は非選択状態となるため、目的のメモリセルのみのデータを読み出すことができる。

【0199】

ここで、図11(B)に示すように、トランジスタ193に換えてpチャネル型のトランジスタ197を用いる構成とすると、負の電源電位を用いることなく読み出しを行うことができる。

【0200】

図11(B)に示すメモリセル195は、トランジスタ193に換えてpチャネル型のトランジスタ197が適用されている点、またカソード線C Lに換えてアノード線A Lを用いている点で、上記メモリセル191の構成と相違している。

【0201】

データの読み出しは、まず読み出し動作を行う前にデータ線D Lの電位をローレベル電

10

20

30

40

50

位にプリチャージしておく。容量素子 192 の第 1 端子に接続されるノードに、ハイレベル電位が書き込まれている場合には、トランジスタ 197 がオフ状態となり、データ線 D_L の電位はローレベル電位のまま変化しない。一方、当該ノードにローレベル電位が書き込まれている場合には、トランジスタ 197 がオン状態となり、アノード線 A_L の電位に近い電位がデータ線 D_L に出力される。

【0202】

一方、読み出しを行わない他のメモリセル 195 においては、読み出し線 R_L にハイレベル電位を与える。したがって、上記ノードに書き込まれた電位によらず、常にトランジスタ 197 がオフ状態となるため、当該メモリセル 195 非選択状態とすることができます。

10

【0203】

このような構成とすることにより、電源電位を増やすことがないため、回路構成を簡略化できる。

【0204】

ここで、選択トランジスタ 121 として、構成例 1 で例示したような極めてオフ電流が低減されたトランジスタを用いることができる。したがって、データの保持期間を極めて長くできるため、実質的に不揮発性の記憶装置として用いることができる。

【0205】

以上が本構成例で例示する記憶装置についての説明である。

【0206】

本実施の形態で例示した記憶装置には、実施の形態 1 で例示したバッファ回路が適用されている。したがって、選択トランジスタのオン抵抗を低く抑えることができるため、書き込みに要する時間が低減され、且つ書き込まれる電位の損失を抑制することができる。さらに、その書き込みを開始するまでの期間を含め、書き込みに要する期間を極めて短くでき、駆動周波数が高められた半導体装置とすることができます。また、バッファ回路に接続するゲート線 G_L の電位に対して、選択状態の期間でのみ昇圧動作を行い、非選択状態である期間では昇圧動作を行わないと、消費電力が低減された半導体装置とすることができます。

20

【0207】

本実施の形態は、本明細書中に記載する他の実施の形態及び実施例と適宜組み合わせて実施することができる。

30

【0208】

(実施の形態 3)

本実施の形態では、画像信号としてシリアル信号を用いて極めて端子数が低減された表示装置の例について、図面を参照して説明する。

【0209】

図 12 (A) に、表示装置 200 の回路の構成を示すブロック図を示す。なお、図中の ESD は保護回路を、BUF は増幅バッファ回路を示している。増幅バッファ回路の一例を図 12 (B) に示す。増幅バッファ回路を設けることで、立ち上がりが鈍った波形を整形することができる。

40

【0210】

表示装置 200 は、マトリクス状に複数の画素が設けられた表示部 210 と、表示部 210 と電気的に接続された走査線駆動回路 202 と、表示部 210 と電気的に接続された信号線駆動回路 203 と、信号線駆動回路 203 にパラレル信号を供給するシリアルパラレル変換回路 204 と、走査線駆動回路 202、信号線駆動回路 203、及びシリアルパラレル変換回路 204 のそれぞれにタイミング信号を出力するタイミング信号生成回路 206 と、を備える。

【0211】

また表示部 210 と走査線駆動回路 202 の間に、バッファ回路群 220 を有する。バッファ回路群 220 は、上記実施の形態で例示したバッファ回路を複数備えている。

50

【0212】

また、シリアルパラレル変換回路204は、表示部210が形成された第1の基板201に形成された結晶性シリコン膜を備えるトランジスタを含む。さらに、第1の外部接続端子205aとシリアルパラレル変換回路204の間のRC負荷をRCとしたとき、RCが数式(1)を満たす。

【0213】

【数1】

$$RC < \frac{1}{H \cdot V \cdot fps \cdot \ln(2m)} \quad \dots \dots \quad (1)$$

10

【0214】

ここで、第1の外部接続端子205aは、表示装置200の外部から画像信号を含むシリアル信号VIDEOSを入力する端子であり、入力されたシリアル信号VIDEOSをシリアルパラレル変換回路204に供給する。

【0215】

第2の外部接続端子205bは、表示装置200の外部からクロック信号CLKを入力する端子であり、入力されたクロック信号CLKをタイミング信号生成回路206とシリアルパラレル変換回路204に供給する。

【0216】

第3の外部接続端子205cは、表示装置200の外部からスタートパルス信号SPを入力する端子であり、入力されたスタートパルス信号SPをタイミング信号生成回路206に供給する。

20

【0217】

第4の外部接続端子205dは、表示装置200の外部から高電源電位VDDを入力する端子であり、高電源電位VDDを必要とする各要素に供給する。

【0218】

第5の外部接続端子205eは、表示装置200の外部から低電源電位VSSを入力する端子であり、低電源電位VSSを必要とする各要素に供給する。

【0219】

第6の外部接続端子205fは、表示装置200の外部から接地電位GNDを入力する端子であり、接地電位GNDを必要とする各要素に供給する。

30

【0220】

タイミング信号生成回路206は、入力されたクロック信号CLKとスタートパルス信号SPから、シリアルパラレル変換スタートパルス信号SPC_SSPを生成して、シリアルパラレル変換回路に供給する。同様に、タイミング信号生成回路206は、入力されたクロック信号CLKとスタートパルス信号SPから、ソースクロック信号S_CLK、ソーススタートパルス信号S_SSPを生成して、信号線駆動回路203に供給し、ゲートクロック信号G_CLK、ゲートスタートパルス信号G_SSPおよびパルス幅制御信号G_PWCを生成して、走査線駆動回路202に供給する。

【0221】

40

シリアルパラレル変換回路204は、入力されたシリアル信号VIDEOSとシリアルパラレル変換スタートパルス信号SPC_SSPから、画像信号を含むパラレル信号VIDEを生成して、信号線駆動回路203に供給する。

【0222】

本実施の形態で例示する表示装置200は、シリアルパラレル変換回路にシリアル信号を供給する第1の外部接続端子と、タイミング信号生成回路にクロック信号を供給する第2の外部接続端子と、タイミング信号生成回路にスタートパルス信号を供給する第3の外部接続端子と、高電源電位が供給される第4の外部接続端子と、低電源電位が供給される第5の外部接続端子と、接地電位が供給される第6の外部接続端子と、を含んで構成される。その結果、端子数が削減され、且つ高画質な自発光性の表示装置を提供できる。

50

【0223】

図13(A)に、表示装置200の上面概略図を示す。また図13(B)には、図13(A)中の切断線A-B-C、及び切断線D-E-Fで切断した際の断面概略図を示す。

【0224】

なお、説明の便宜のために、図13(A)は、図13(B)に記載された構成の一部を省略した図となっている。具体的には、カラーフィルタ334が形成された第2の基板304と、シール材305が省略されている。

【0225】

表示装置200は外部接続端子群205を有し、外部接続端子群205は、第1の外部接続端子205aの他、第2の外部接続端子205b、第3の外部接続端子205c、第4の外部接続端子205d、第5の外部接続端子205e、第6の外部接続端子205fを含む。なお、外部接続端子群205は外部接続線219と電気的に接続されている。

10

【0226】

また、表示装置200は、共通接続部209a及び共通接続部209bを有する。

【0227】

図13(B)に表示装置200の断面概略図を示す。表示部210には、一の画素の断面が記されている。一の画素はトランジスタ311、トランジスタ312及び発光素子318を備える。発光素子318は第1の電極313と、第2の電極317と、これらの間に発光性の有機化合物を含む層316と、を含む。

20

【0228】

第1の電極313又は第2の電極317のいずれか一方は、発光性の有機化合物を含む層316が発光する光を透過する。本実施の形態で例示する発光素子318は、第2の電極317が透光性を有し、第2の電極317側から光が取り出される。

【0229】

第1の電極313は、その端部が隔壁314で覆われ、トランジスタ312のソース電極又はドレイン電極の一方と電気的に接続されている。第2の電極317は表示部210の外側にまで延在し、共通接続部209aを介して、共通配線と電気的に接続されている。なお、共通配線は第5の外部接続端子205eと電気的に接続されている。

【0230】

信号線駆動回路203はトランジスタ323とトランジスタ324を含む。

30

【0231】

表示部210の画素、信号線駆動回路203または走査線駆動回路202に含まれるトランジスタは、バッファ回路群220、シリアルパラレル変換回路204、タイミング信号生成回路206などに含まれるトランジスタと同一の工程で一体形成できる。これにより、工程数が削減され、高画質な表示装置200の作製が容易になる。

【0232】

また、表示部210の画素に含まれるトランジスタは、バッファ回路群220、シリアルパラレル変換回路204、タイミング信号生成回路206などに含まれるトランジスタと異なる工程で形成しても良い。例えば、表示部210の画素に含まれるトランジスタを、アモルファス半導体膜を備えるトランジスタ、多結晶半導体膜を備えるトランジスタ、または酸化物半導体膜を備えるトランジスタとすることができる。

40

【0233】

アモルファス半導体としては、代表的には水素化アモルファスシリコンがあげられる。また、多結晶半導体としては、代表的にはポリシリコン(多結晶シリコン)があげられる。ポリシリコンには、800以上 のプロセス温度を経て形成されるポリシリコンを主材料として用いた所謂高温ポリシリコンや、600以下のプロセス温度で形成されるポリシリコンを主材料として用いた所謂低温ポリシリコン、また結晶化を促進する元素などを用いて、非晶質シリコンを結晶化させたポリシリコンなどを含んでいる。もちろん、微結晶半導体又は半導体層の一部に結晶相を含む半導体を用いることもできる。

【0234】

50

また、酸化物半導体を用いてもよく、酸化物半導体としては、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。また、上記酸化物半導体にInとGaとSnとZn以外の元素、例えばSiを含ませてもよい。

【0235】

ここで、例えば、In-Ga-Zn系酸化物半導体とは、インジウム（In）、ガリウム（Ga）、亜鉛（Zn）を有する酸化物半導体、という意味であり、その組成は問わない。

【0236】

酸化物半導体膜をチャネル形成領域に備えるトランジスタはオフ電流を極めて少なくできるため、当該トランジスタを用いて記憶素子を構成できる。具体的には、表示部210の各画素に、酸化物半導体膜を備えるトランジスタを選択トランジスタに用い、そのソース電極またはドレイン電極を、表示素子を駆動する駆動トランジスタのゲート電極に接続する構成を設ける。各画素の選択トランジスタのオフ電流は極めて少ないため、入力された画像信号が駆動トランジスタのゲート電極の電位として記憶される。これにより、表示部210はメモリ機能を備えることができる。その結果、例えば表示部210は1フレーム分の表示情報を保持することができる。

【0237】

表示装置200は第2の基板304とシール材305を有する。表示部210に設けられた発光素子318は、第1の基板201と第2の基板304と表示部210を囲むシール材305とで囲まれた空間307に封止されている。

【0238】

本実施の形態で例示する第2の基板304には、カラーフィルタ334が、表示部210の画素に重なるように設けられている。画素に白色を呈する光を発する発光素子318を設け、赤色表示用画素に赤色を呈する光を透過するカラーフィルタを、緑色表示用画素に緑色を呈する光を透過するカラーフィルタを、青色表示用画素に青色の光を透過するカラーフィルタをそれぞれ設けて、フルカラー表示が可能な表示装置を提供できる。

【0239】

以下に、表示装置200を構成する個々の要素について説明する。なお、本実施の形態で例示する表示装置200はアクティブマトリクス型の表示装置であるが、これに限られず、パッシブマトリクス型の表示装置にも適用できる。

【0240】

<表示部>

表示部210は複数の副画素を備える複数の画素が設けられている。また表示部210はH個の副画素が設けられた走査線をV行備える。ここで、それぞれの画素には図示されていない3つの副画素（具体的には、赤色表示用画素R、緑色表示用画素G、青色表示用画素B）が設けられている。なお、上記に加えて白色表示用画素Wや、黄色表示用画素Yを設け、4つまたは5つの副画素が設けられた構成としてもよい。

【0241】

副画素は走査線と信号線とが交差する部分に設けられ、走査線から入力される選択信号

10

20

30

40

50

と信号線から入力される画像信号に応じて動作する。なお、本実施の形態で例示する副画素は、それぞれm階調の表示をする。

【0242】

また、表示装置200は、表示部210に画像をフレームレートf_{ps}で表示する。

【0243】

<走査線駆動回路>

走査線駆動回路202は、表示部210に設けられた走査線に電気的に接続するバッファ回路のそれぞれに選択信号を出力する。

【0244】

<信号線駆動回路>

信号線駆動回路203は、表示部210に設けられた信号線のそれぞれに画像信号を出力する。

10

【0245】

<シリアルパラレル変換回路>

シリアルパラレル変換回路204は、第1の基板201に形成された結晶性シリコン膜を備えるトランジスタを含み、入力されたシリアル信号をパラレル信号に変換して信号線駆動回路203に出力する。これにより端子数が削減でき、またボンディングのための空間及び配線が不要になり、配線をさらに短縮できる。

【0246】

また、第1の基板201に形成された結晶性シリコン膜に換えて、様々な単結晶半導体を用いることができる。トランジスタのチャネル形成領域に単結晶半導体を用いると、シリアルパラレル変換回路204の動作を高速にできる。

20

【0247】

単結晶半導体としては、代表的には、単結晶シリコン基板、単結晶ゲルマニウム基板、単結晶シリコンゲルマニウム基板など、第14族元素でなる単結晶半導体基板、化合物半導体基板(SiC基板、サファイア基板、GaN基板等)などの半導体基板を用いることができる。好適には、絶縁表面上に単結晶半導体層が設けられたSOI(Silicon On Insulator)基板を用いることができる。

【0248】

SOI基板の作製方法としては、鏡面研磨ウェハーに酸素イオンを注入した後、高温加熱することにより、表面から一定の深さに酸化層を形成させるとともに、表面層に生じた欠陥を消滅させて作る方法、水素イオン照射により形成された微小ボイドの熱処理による成長を利用して半導体基板を劈開する方法や、絶縁表面上に結晶成長により単結晶半導体層を形成する方法等を用いることができる。

30

【0249】

本実施の形態では、単結晶半導体基板の一つの面からイオンを添加して、単結晶半導体基板の一つの面から一定の深さに脆弱化層を形成する。次いで、単結晶半導体基板の一つの面上、または第1の基板201上のどちらか一方に絶縁層を形成する。次いで、脆弱化層が形成された単結晶半導体基板と第1の基板201を、絶縁層を挟んで重ね合わせた状態で、脆弱化層に亀裂を生じさせて、単結晶半導体基板を脆弱化層で分離する熱処理を行い、単結晶半導体基板より半導体層として単結晶半導体層を第1の基板201上に形成する。なお、第1の基板201としては、ガラス基板を用いることができる。

40

【0250】

また、単結晶半導体基板に絶縁分離領域を形成し、絶縁分離された半導体領域を用いてシリアルパラレル変換回路204に含まれるトランジスタを形成してもよい。

【0251】

また、チャネル形成領域に単結晶半導体を備えるトランジスタは、発光素子318と共に、表示部210の画素に用いる構成に好適である。なぜなら、結晶粒界における結合の欠陥に起因する、トランジスタのしきい値電圧等の電気的特性のばらつきを軽減できるからである。これにより、表示装置200は、各画素にしきい値電圧補償用の回路を配置し

50

なくても正常に発光素子 318 を動作させることができる。したがって、一画素における回路要素を削減することができるため、レイアウトの自由度が向上する。よって、発光装置の高精細化を図ることができる。例えば、マトリクス状に配置された複数の画素を一インチあたり 350 以上含む（水平解像度が 350 p p i (pixels per inch) 以上である）構成、さらに好ましくは 400 以上含む（水平解像度が 400 p p i 以上である）構成とすることができます。

【0252】

さらに、単結晶半導体をチャネル形成領域として用いたトランジスタは、高い電流駆動能力を維持したまま、微細化が可能である。当該微細なトランジスタを用いることで表示に寄与しない回路部の面積を縮小することができるため、表示部 210 においては表示面積が拡大し、且つ表示装置 200 の狭額縁化が達成できる。

10

【0253】

また、信号線駆動回路 203 が表示部 210 の行に沿って設けられ、走査線駆動回路 202 が表示部 210 の列に沿って設けられ、シリアルパラレル変換回路 204 が信号線駆動回路 203 と走査線駆動回路 202 が近接する角部の、表示部 210 からみて走査線駆動回路 202 よりも外側（第 1 の基板 201 の外周に近い位置）に、設けられている。そして、シリアルパラレル変換回路 204 が信号線駆動回路 203 にパラレル信号を供給する信号線 251a が、表示部 210 の行に沿って、表示部 210 と信号線駆動回路 203 の間に設けられている。

【0254】

20

これにより、シリアルパラレル変換回路 204 と信号線駆動回路 203 を接続する配線を、他の配置よりも短くでき、信号の遅延を生じにくくできる。その結果、高画質な表示装置を提供できる。

【0255】

< R C 負荷 R C >

本実施の形態で例示する表示装置 200 の、第 1 の外部接続端子 205a とシリアルパラレル変換回路 204 の間の R C 負荷について説明する。

【0256】

シリアルパラレル変換回路 204 のセトリング時間 t_{set} は、1 つの副画素に転送するのに許容される時間 t_{sample} よりも短い必要がある。

30

【0257】

第 1 の外部接続端子 205a とシリアルパラレル変換回路 204 の間の R C 負荷 R C があると、第 1 の外部接続端子 205a に入力される信号 V_{in} は、シリアルパラレル変換回路 204 に遅延して入力される（図 14 参照）。シリアルパラレル変換回路 204 に遅延して入力される V_{out} は、下記の数式（2）で表される。

【0258】

【数 2】

$$\frac{V_{out}}{V_{in}} = \left(1 - \exp\left(-\frac{t}{RC} \right) \right) \quad \dots \dots (2)$$

40

【0259】

ここで、p 番目（p は 1 以上 m 以下）の階調表示を行うときの、第 1 の外部接続端子 205a に入力される信号 $V_{in}(p)$ と、当該信号が遅延してシリアルパラレル変換回路 204 に入力される V_{out} との差が、1 / 2 階調分となる時間を、シリアルパラレル変換回路 204 のセトリング時間 t_{set} とする（図 14 参照）。セトリング時間 t_{set} は下記の数式（3）で表される。

【0260】

【数3】

$$tset = -RC \cdot \ln \left(1 - \frac{Vin(p) \cdot ((2p-1)/2p)}{Vin(p)} \right) = RC \cdot \ln(2p) \quad \dots \quad (3)$$

【0261】

一方、一つの副画素に、一つのアナログ信号を転送するのに許容される t_{sample} は、下記の数式(4)で表される。

【0262】

【数4】

$$tsamp = \frac{1}{H \cdot V \cdot fps} \quad \dots \dots \quad (4)$$

10

【0263】

ここで、セトリング時間 t_{set} は、一つの副画素に転送するのに許容される時間 t_{sample} よりも短い必要がある。また、セトリング時間 t_{set} は、第1の外部接続端子 205a に入力される信号 V_{in} の値が大きいほど長く、m番目の階調表示を行うときに最大となる。よって、表示装置 200において、第1の外部接続端子 205a とシリアルパラレル変換回路 204 の間の RC 負荷 RC は、以下の数式(1)を満たす。

【0264】

【数5】

$$RC < \frac{1}{H \cdot V \cdot fps \cdot \ln(2m)} \quad \dots \dots \quad (1)$$

20

【0265】

ただし、数式(1)中、H は走査線 1 行に含まれる副画素数（水平画素数ともいう）、V は走査線の行数（垂直画素数ともいう）、fps はフレームレート、m は階調数をそれぞれ示す。

【0266】

<タイミング信号生成回路>

タイミング信号生成回路 206 は、第1の基板 201 に形成された結晶性シリコン膜を備えるトランジスタを含み、第2の外部接続端子 205b に入力されたクロック信号と、第3の外部接続端子 205c に入力されたスタートパルス信号に基づいて、走査線駆動回路 202 と、信号線駆動回路 203 と、シリアルパラレル変換回路 204 とに、タイミング信号を出力する。

30

【0267】

また表示装置 200 は、移動度が高い結晶性シリコン膜をチャネル形成領域に備え、高速に動作するトランジスタを含むタイミング信号生成回路 206 を備え、第2の外部接続端子 205b から供給されるクロック信号から、2 以上のタイミング信号を生成できる。これにより、タイミング信号に係る外部接続端子を設けることなく、2 以上のタイミング信号を用いて表示装置 200 を駆動できる。その結果、端子数が削減され、且つ高画質な表示装置 200 を提供できる。

40

【0268】

また表示装置 200 は、タイミング信号生成回路 206 が、クロック信号を供給する第2の外部接続端子 205b に近接し、シリアルパラレル変換回路 204 に隣接して、表示部 210 から離れて、設けられている。これにより、タイミング信号生成回路 206 と第2の外部接続端子 205b を接続する配線を他の配置より短くでき、遅延を生じがたくできる。その結果、端子数が削減され、且つ高画質な表示装置を提供できる。

【0269】

<発光素子>

表示装置 200 が備える副画素には、発光素子 318 が設けられている。表示装置 20

50

0に適用可能な発光素子318は、第1の電極313と第2の電極317と、その間に発光性の有機化合物を含む層316を備える。第1の電極313と第2の電極317は、一方が陽極で他方が陰極である。発光素子318のしきい値電圧より高い電圧を第1の電極313と第2の電極317の間に印加すると、陽極から正孔が、陰極から電子が、発光性の有機化合物を含む層316に注入される。注入された正孔と電子は再結合し、発光性の有機化合物が発光する。

【0270】

正孔と電子が再結合する領域を一つ含む層または積層体を発光ユニットとすると、発光性の有機化合物を含む層は、発光ユニットを一つ以上含んでいればよく、二以上の発光ユニットを重ねて設けてもよい。例えば、2つの発光ユニットの一方を、他方の発光ユニットが発光する光の色と補色の関係にある色を呈するものとすることで、白色を呈する光を発する発光素子とすることができます。

【0271】

<共通接続部>

発光素子318の第1の電極313は第1の基板201上に設けられており、トランジスタ312を介して電力が供給される。なお、表示部210に設けられた複数の画素は、いずれも同様の構成を備える。

【0272】

一方、第2の電極317は、表示部210の外側にまで延在して設けられ、共通接続部209a及び共通接続部209bを介して電力が供給される。ここで、共通接続部209a及び共通接続部209bを、表示部210を囲うように設ける構成とする。これにより、第2の電極317の抵抗成分に由来する電圧降下を表示部210全体で低減し、表示ムラを低減できる。その結果、端子数が削減され、且つ高画質な自発光性の表示装置を実現できる。なお、共通接続部209aと共通接続部209bは、それぞれに重なる、図示されていない導電層を介して互いに電気的に接続している。

【0273】

特に、表示部210のシリアルパラレル変換回路204が設けられる側に、シリアルパラレル変換回路204よりも幅の広い共通接続部209aを設ける構成とすると、共通接続部209aと、第2の電極317が広い面積で接するため、これらの電気的接続が確実なものとなる。また、共通接続部209aの配線の幅を広くすることにより、配線抵抗を低減できる。

【0274】

以上が本実施の形態で例示する表示装置200についての説明である。

【0275】

このような構成の表示装置は、表示装置に入力される画像信号としてシリアル信号を用いることにより、端子数が極めて低減された表示装置とすることができます。

【0276】

さらに、上記実施の形態で例示したバッファ回路101を備える表示装置200とすることで、選択トランジスタを確実にオン状態とするための電源回路を別途設ける必要が無く、消費電力が低減された表示装置を実現できる。さらに、選択トランジスタのゲートに入力するための電源電位を増やすことなく、画素の高速動作を実現できる。

【0277】

本実施の形態は、本明細書中に記載する他の実施の形態及び実施例と適宜組み合わせて実施することができる。

【0278】

(実施の形態4)

本実施の形態では、本発明の一態様の表示装置または記憶装置を適用した電子機器の一例について、図面を用いて説明する。

【0279】

上記実施の形態で例示した表示装置や記憶装置は、様々な電子機器に適用することができます。

10

20

30

40

50

きる。例えば表示装置または記憶装置を適用した電子機器として、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニター、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯用ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。特に上記実施の形態で例示した表示装置や記憶装置は駆動にかかる消費電力が低減され、且つ小型化に適しているため、バッテリーによって供給される電力で駆動する携帯型の電子機器に好適に適用できる。

【0280】

図15（A）は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702内には、前述の実施の形態に示す半導体装置が設けられている。そのため、低消費電力で、且つ高速動作が実現されたノート型のパーソナルコンピュータが実現される。

10

【0281】

図15（B）は、携帯情報端末（PDA）であり、本体711には、表示部713と、インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスタイラス712などを備えている。本体711内には、前述の実施の形態に示す半導体装置が設けられている。そのため、低消費電力で、且つ高速動作が実現された携帯情報端末が実現される。

【0282】

図15（C）は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。そのため、低消費電力で、且つ高速動作が実現された電子書籍が実現される。

20

【0283】

図15（D）は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図15（D）のように展開している状態から重なり合った状態とすることができる、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一には、前述の実施の形態に示す半導体装置が設けられている。そのため、低消費電力で、且つ高速動作が実現された携帯電話機が実現される。

30

【0284】

図15（E）は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、前述の実施の形態に示す半導体装置が設けられている。そのため、低消費電力で、且つ高速動作が実現されたデジタルカメラが実現される。

40

【0285】

図15（F）は、テレビジョン装置770であり、筐体771、表示部773、スタンダ775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操作機780には、前述の実施の形態に示す半導体装置が搭載されている。そのため、低消費電力で、且つ高速動作が実現されたテレビジョン装置が実現される。

【0286】

図16（A）は、携帯情報端末の一例を示している。携帯情報端末7210は、本体7211と表示装置7212がケーブル7213で接続されている。ケーブル7213は、

50

本体 7211 から表示装置 7212 に画像データを含むシリアルデータを伝送するだけでなく、表示装置 7212 に行った操作を、本体 7211 に伝送する。また、落下による表示装置の破損を防止する機能も兼ねる。

【0287】

図 16 (B) は、デジタルカメラの一例を示している。デジタルカメラ 7310 は、本体 7311 と表示装置 7312 がケーブル 7313 で接続されている。ケーブル 7313 は、本体 7311 から表示装置 7312 に画像データを含むシリアルデータを伝送するだけでなく、表示装置 7312 に行った操作を、本体 7311 に伝送する。

【0288】

図 16 (C) は、ヘッドマウントディスプレイの一例を示している。ヘッドマウントディスプレイ 7410 は、本体 7411 と表示装置 7412 がケーブル 7413 で接続されている。ケーブル 7413 は、本体 7411 から筐体に納められた表示装置 7412 に画像データを含むシリアルデータを伝送する。また、筐体に設けたカメラで使用者の眼球やまぶたの動きを捉えて、その情報を本体 7411 に伝達することもできる。本体 7411 は眼球やまぶたの動きの情報からその視点の座標を算出し、使用者は視点をポインティングデバイスに用いることができる。

【0289】

本発明の一態様の表示装置は、端子数が削減されている。これにより、外部装置との接続ケーブルに設ける配線の数を低減できるだけでなく、ケーブルがしなやかに屈曲し、軽量なものとなる。その結果、本体をポケットや鞄に収納したまま、重量の軽い表示部のみを例えれば手に持って、表示を確認することができる。また、表示部を用いて本体を操作することができる。

【0290】

以上のように、本実施の形態に示す電子機器には、前述の実施の形態に係る半導体装置が搭載されている。このため、低消費電力で、且つ高速動作が実現された電子機器が実現される。また、電源回路や配線数を低減できるため、小型化された電子機器が実現される。さらに、バッテリーによって電力が供給される形態とする場合には特に、駆動期間を延長するために好ましい。

【0291】

本実施の形態は、本明細書中に記載する他の実施の形態及び実施例と適宜組み合わせて実施することができる。

【実施例】

【0292】

本実施例では、本発明の一態様の半導体装置について、その入出力特性について計算を行った結果について示す。

【0293】

[回路構成]

まず、計算に用いた回路の構成について、図 17 を用いて説明する。図 17 は本実施例にかかる回路図である。

【0294】

回路は、トランジスタ 401、トランジスタ 402、トランジスタ 403、トランジスタ 404、トランジスタ 405、トランジスタ 411、トランジスタ 412、トランジスタ 413、トランジスタ 414、容量素子 421、容量素子 422 を有する。また回路は、選択信号 IN が与えられる端子 431、高電源電位 VDD が与えられる端子 432、及び低電源電位 VSS が与えられる端子 433 を有する。

【0295】

ここで、トランジスタ 401、トランジスタ 402、トランジスタ 403、トランジスタ 404、トランジスタ 405 は p チャネル型のトランジスタであり、トランジスタ 411、トランジスタ 412、トランジスタ 413、トランジスタ 414 は n チャネル型のトランジスタである。

10

20

30

40

50

【0296】

トランジスタ401は、ゲートが端子431、トランジスタ411のゲート、トランジスタ402のゲート、及びトランジスタ412のゲートに接続し、第1端子が端子432と接続し、第2端子がトランジスタ411の第1端子、トランジスタ404のゲート、及びトランジスタ414のゲートに接続する。トランジスタ411は、第2端子が端子433に接続する。トランジスタ402は、第1端子が端子432と接続し、第2端子がトランジスタ412の第1端子、トランジスタ403のゲート、及びトランジスタ413のゲートに接続する。トランジスタ412は、第2端子が端子433に接続する。トランジスタ403は、第1端子が端子432と接続し、第2端子がトランジスタ413の第1端子、トランジスタ405のゲート、容量素子421の第2端子に接続する。トランジスタ413は第2端子が端子433と接続する。トランジスタ405は、第1端子が端子432と接続し、第2端子が容量素子421の第1端子、及びトランジスタ404の第1端子に接続する。トランジスタ404は、第2端子がトランジスタ414の第1端子、及び容量素子422の第1端子と接続する。トランジスタ414は、第2端子が端子433と接続する。容量素子422は、第2端子が端子433と接続する。

10

【0297】

ここで、本実施例の計算に用いたトランジスタ特性には、ガラス基板上に転載した単結晶シリコン膜を半導体層に用いた薄膜トランジスタを作製し、その実測から見積もったトランジスタの各種特性値を用いた。

20

【0298】

作製した薄膜トランジスタのチャネル長は $2 \mu m$ 、チャネル幅は $3 \mu m$ である。実測した薄膜トランジスタのしきい値電圧は、nチャネル型のトランジスタのしきい値電圧が $0.73 V$ であり、pチャネル型のトランジスタのしきい値電圧が $1.49 V$ であった。

30

【0299】

また、トランジスタのサイズ (W / L : チャネル長 (L) に対するチャネル幅 (W) の比) としては、pチャネル型のトランジスタでは、トランジスタ401のサイズを基準としたときに、トランジスタ402を500分の1のサイズ、トランジスタ403とトランジスタ405を同じサイズ、トランジスタ404をその2倍のサイズとした。一方、nチャネル型のトランジスタでは、トランジスタ411のサイズを基準としたときに、トランジスタ412をその250分の1のサイズ、トランジスタ413と同じサイズ、トランジスタ414をその2倍のサイズとした。

【0300】

また、回路内の容量素子の容量の大きさとしては、容量素子421は $2.0 pF$ とし、容量素子422は $5.0 pF$ とした。

【0301】

また、回路に入力する電位として、高電源電位VDDを $3.0 V$ とし、低電源電位VSSを $0 V$ とした。また選択信号INとしては、ハイレベル電位が $3.0 V$ 、ローレベル電位が $0 V$ であるパルス信号を用いた。

【0302】

[入出力特性]

40

続いて、図17に示す回路を用いて計算した入出力特性について説明する。本実施例では、端子431にパルス幅が $11.23 \mu sec$ であるパルス信号を入力したときの、トランジスタ404の第1端子が接続されるノード(ノードN1)と、トランジスタ404の第2端子が接続されるノード(ノードN2、ゲート線GLに相当)における電位の時間変化について計算を行った。

【0303】

図18(A)は端子431から入力した選択信号INの電位の時間変化である。図18(B)は、ノードN1の電位の時間推移である。図18(C)は、ノードN2の電位の時間推移である。また図19(A)～(C)は、それぞれ図18(A)～(C)における横軸を拡大した図である。

50

【0304】

選択信号INは、0sec.から11.23μsec.の間で3.0Vの電圧が維持されている。

【0305】

ノードN1は、選択信号INが立ち上がる直前まで約3.0Vの電位が保持されている。また選択信号INの立ち上がりと共に瞬間に電位が降下するが、その後0.15μsec.までの期間では約3.0Vの電位に収束した。さらに、0.15μsec.から0.30μsec.の間で約3.5Vの電位に急速に電位が上昇して、その後当該電位が維持されている。

【0306】

ノードN2は、選択信号INの立ち上がりと共に、まず3.0Vまで電位が上昇し、その後、ノードN1の電位の上昇と共に、約3.5Vまで電位が上昇して、その後当該電位が維持されている。

【0307】

以上の結果から、本発明の一態様の半導体装置は、選択信号INが入力された後に、まずゲート線GLの電位を高電源電位VDDまで上昇させ、その後ゲート線GLの電位を高電源電位VDDよりも高い電位に昇圧し、選択信号のパルス電位が入力されている期間中当該電位を維持できることが分かった。また、回路内のブートストラップ回路に用いる容量素子の容量値が、ゲート線GLに接続される負荷容量の容量値よりも小さくても、十分に高い電位にまでゲート線GLを昇圧することが可能であることが分かった。

【0308】

したがって、本発明の一態様の半導体装置を用いることにより、低消費電力で、且つ電源電位を増やすことなく高速に書き込み可能な半導体装置を実現できる。

【0309】

本実施例は、本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

【0310】

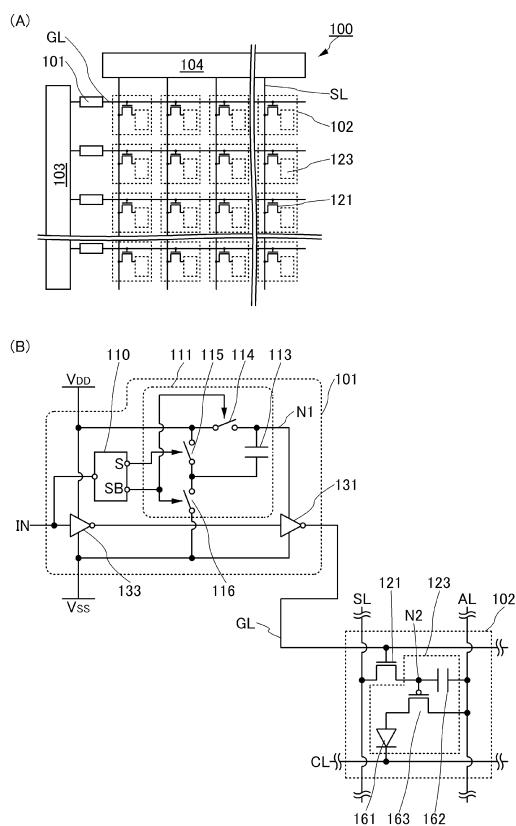
100	表示装置	30
101	バッファ回路	
102	画素	
103	第1の駆動回路	
104	第2の駆動回路	
110	遅延回路	
111	ブートストラップ回路	
113	容量素子	
114	スイッチ	
115	スイッチ	
116	スイッチ	
117	インバータ	40
121	選択トランジスタ	
121a	選択トランジスタ	
121b	選択トランジスタ	
123	機能素子	
131	インバータ	
133	インバータ	
135	インバータ	
141	抵抗素子	
142	容量素子	
143	インバータ	50

1 4 5	インバータ	
1 5 1	トランジスタ	
1 5 3	トランジスタ	
1 6 1	発光素子	
1 6 2	容量素子	
1 6 3	トランジスタ	
1 6 5	容量素子	
1 6 6	液晶素子	
1 7 1	メモリセル	
1 7 2	容量素子	10
1 8 1	メモリセル	
1 8 2	インバータ	
1 8 3	インバータ	
1 9 1	メモリセル	
1 9 2	容量素子	
1 9 3	トランジスタ	
1 9 5	メモリセル	
1 9 7	トランジスタ	
2 0 0	表示装置	
2 0 1	第1の基板	20
2 0 2	走査線駆動回路	
2 0 3	信号線駆動回路	
2 0 4	シリアルパラレル変換回路	
2 0 5	外部接続端子群	
2 0 5 a	外部接続端子	
2 0 5 b	外部接続端子	
2 0 5 c	外部接続端子	
2 0 5 d	外部接続端子	
2 0 5 e	外部接続端子	
2 0 5 f	外部接続端子	30
2 0 6	タイミング信号生成回路	
2 0 9 a	共通接続部	
2 0 9 b	共通接続部	
2 1 0	表示部	
2 1 9	外部接続線	
2 2 0	バッファ回路群	
2 5 1 a	信号線	
3 0 4	基板	
3 0 5	シール材	
3 0 7	空間	40
3 1 1	トランジスタ	
3 1 2	トランジスタ	
3 1 3	電極	
3 1 4	隔壁	
3 1 6	層	
3 1 7	電極	
3 1 8	発光素子	
3 2 3	トランジスタ	
3 2 4	トランジスタ	
3 3 4	カラーフィルタ	50

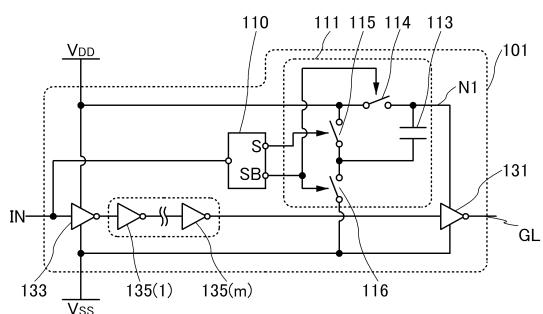
4 0 1	トランジスタ	
4 0 2	トランジスタ	
4 0 3	トランジスタ	
4 0 4	トランジスタ	
4 0 5	トランジスタ	
4 1 1	トランジスタ	
4 1 2	トランジスタ	
4 1 3	トランジスタ	
4 1 4	トランジスタ	
4 2 1	容量素子	10
4 2 2	容量素子	
4 3 1	端子	
4 3 2	端子	
4 3 3	端子	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	20
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	30
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	40
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	50

7 7 3	表示部
7 7 5	スタンド
7 8 0	リモコン操作機
7 2 1 0	携帯情報端末
7 2 1 1	本体
7 2 1 2	表示装置
7 2 1 3	ケーブル
7 3 1 0	デジタルカメラ
7 3 1 1	本体
7 3 1 2	表示装置
7 3 1 3	ケーブル
7 4 1 0	ヘッドマウントディスプレイ
7 4 1 1	本体
7 4 1 2	表示装置
7 4 1 3	ケーブル

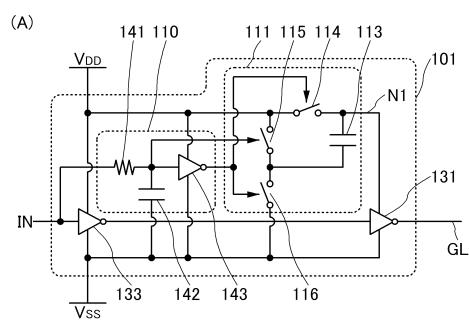
【 図 1 】



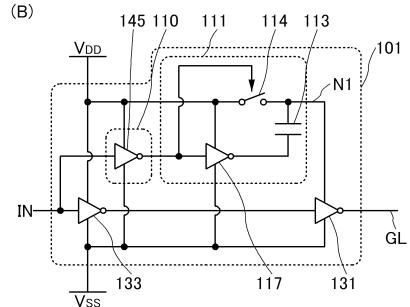
【 図 2 】



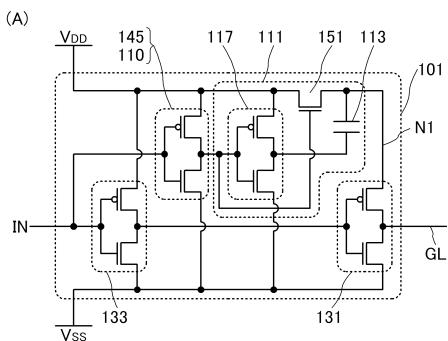
【図3】



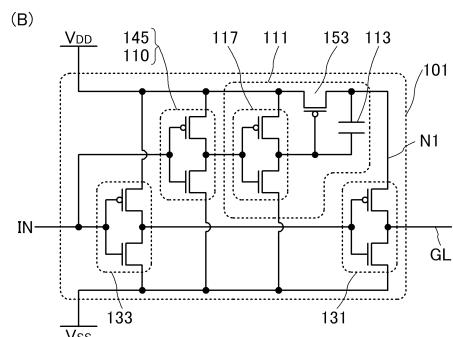
(B)



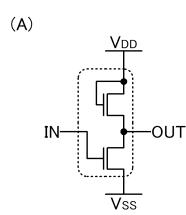
【 図 4 】



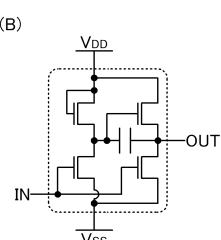
(B)



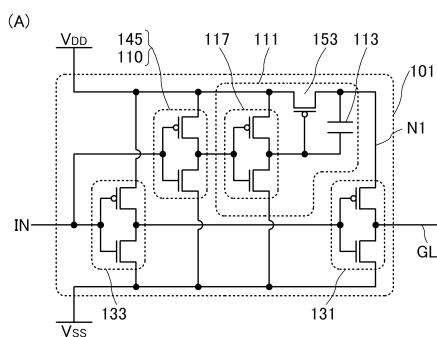
【 図 5 】



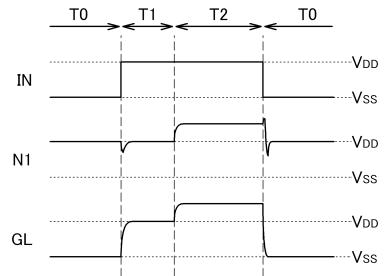
(B)



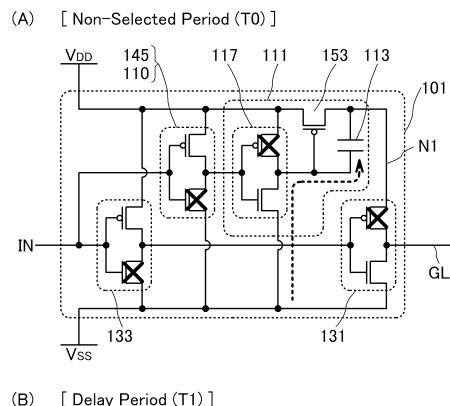
【 义 6 】



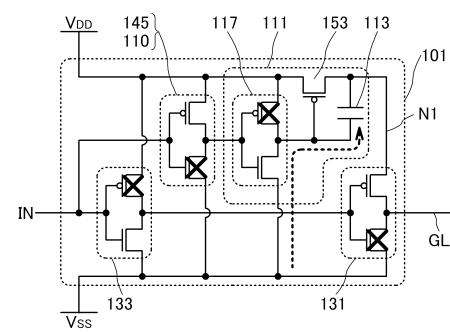
(B)



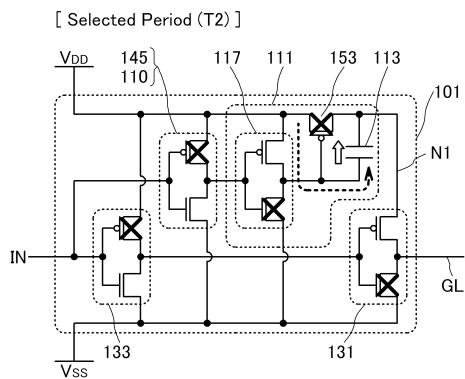
【図7】



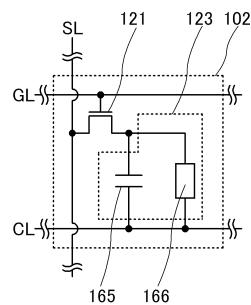
(B) [Delay Period (T1)]



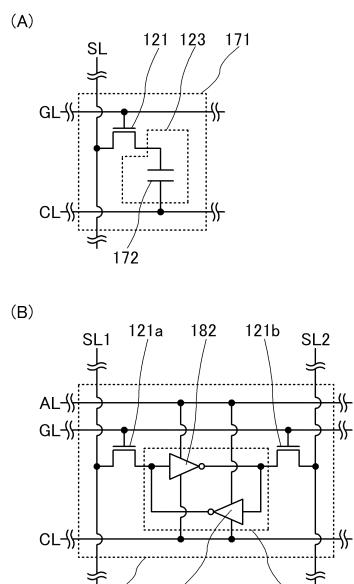
【図8】



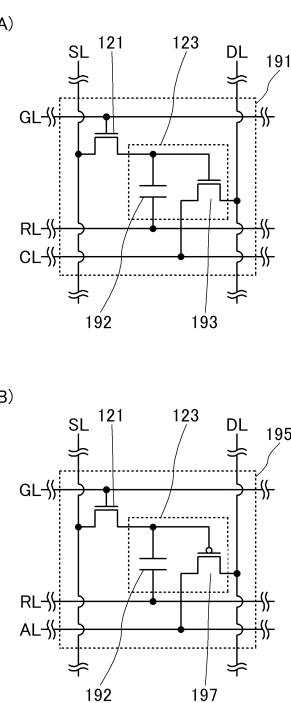
【図9】



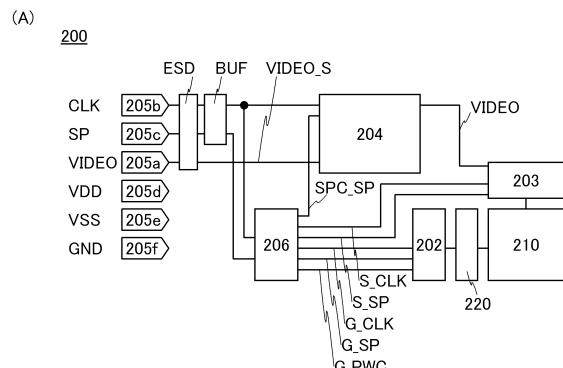
【図10】



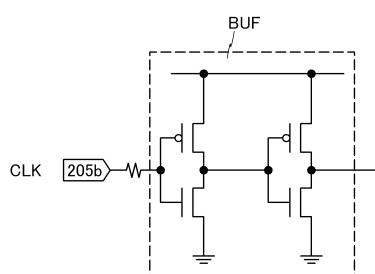
【図11】



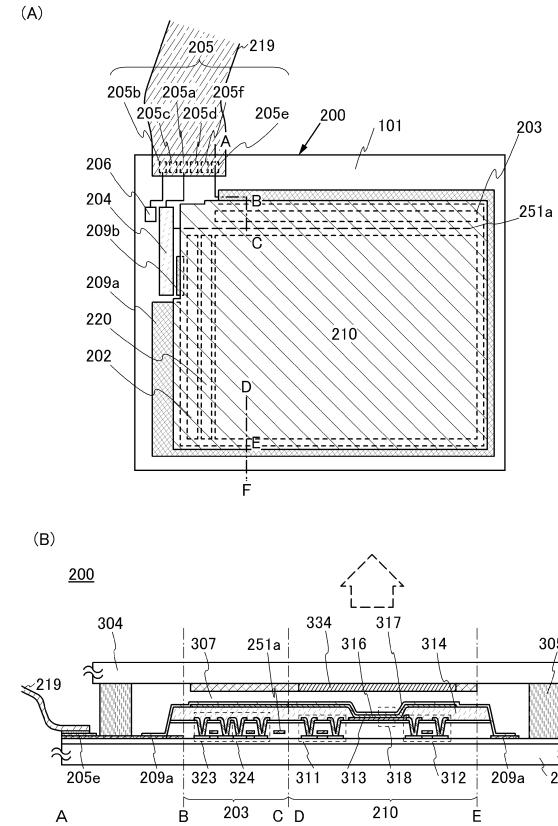
【図12】



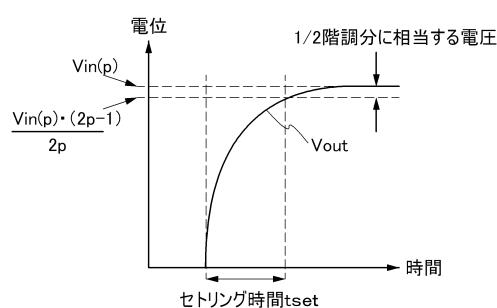
(B)



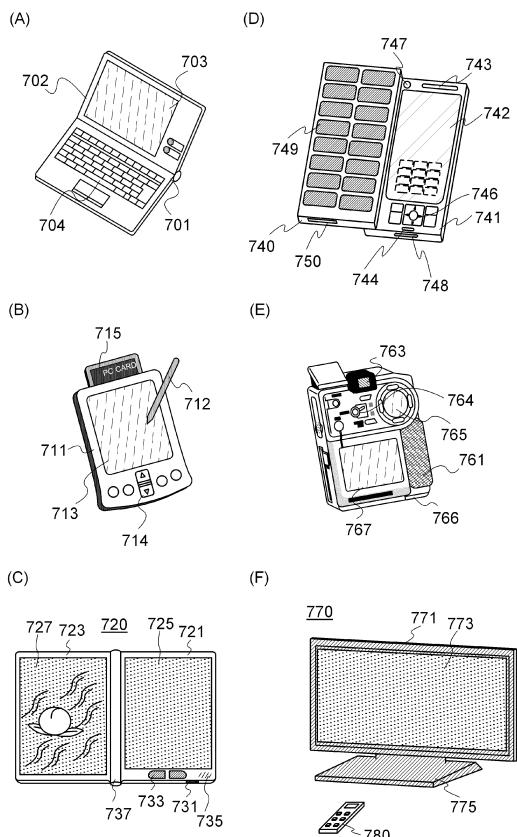
【図13】



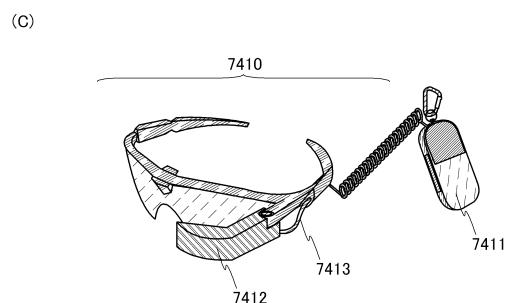
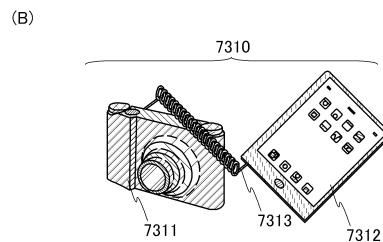
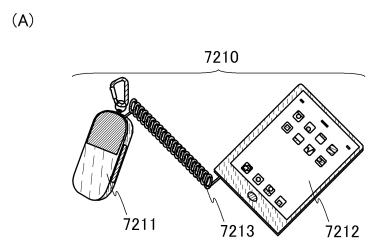
【図14】



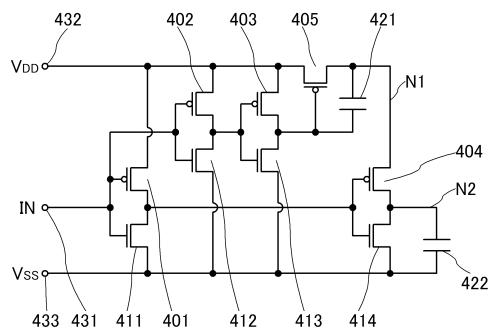
【図15】



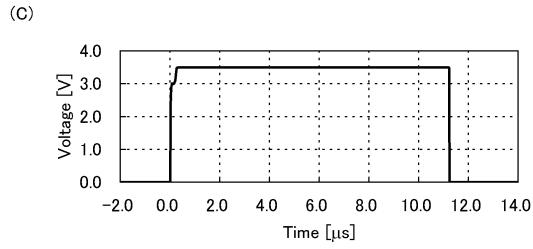
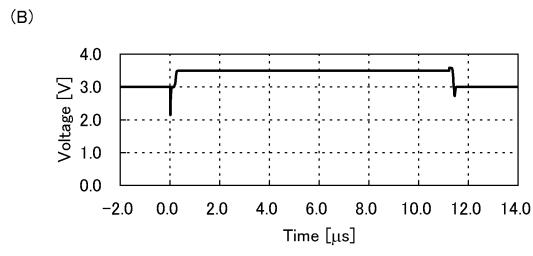
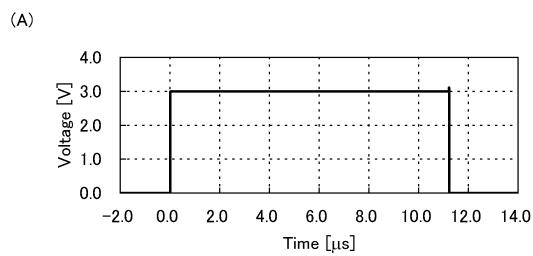
【図16】



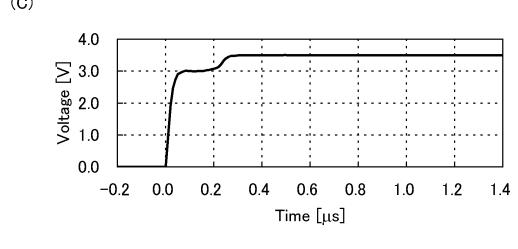
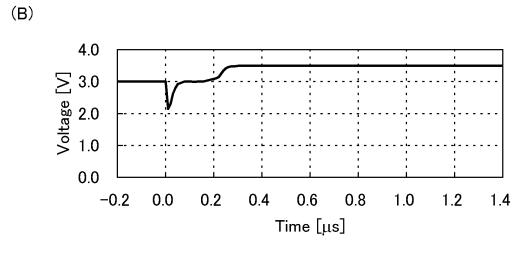
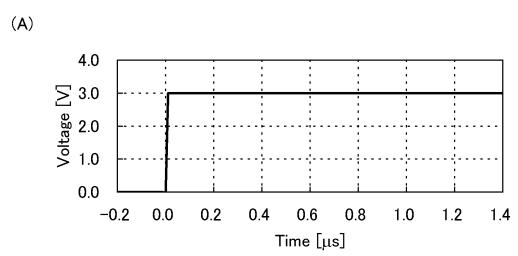
【図17】



【図18】



【図19】



フロントページの続き

(51)Int.Cl.		F I	
<i>H 01 L</i>	<i>51/50</i>	<i>G 02 F</i>	<i>1/1345</i>
<i>H 05 B</i>	<i>33/14</i>	<i>G 02 F</i>	<i>1/133</i> <i>5 5 0</i>
		<i>H 05 B</i>	<i>33/14</i> <i>A</i>
		<i>H 05 B</i>	<i>33/14</i> <i>Z</i>

(56)参考文献 特開平08-293781 (JP, A)
特開平08-065137 (JP, A)
特開平05-290582 (JP, A)
米国特許出願公開第2009/0002357 (US, A1)
特開2013-130802 (JP, A)
特開2001-183702 (JP, A)
特開2006-251010 (JP, A)
特開2008-205767 (JP, A)

(58)調査した分野(Int.Cl., DB名)

<i>G 09 G</i>	<i>3 / 00 - 3 / 38</i>
<i>G 02 F</i>	<i>1 / 133</i>
<i>G 02 F</i>	<i>1 / 1345</i>
<i>H 01 L</i>	<i>5 1 / 5 0</i>
<i>H 05 B</i>	<i>3 3 / 1 4</i>