

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007年2月8日 (08.02.2007)

PCT

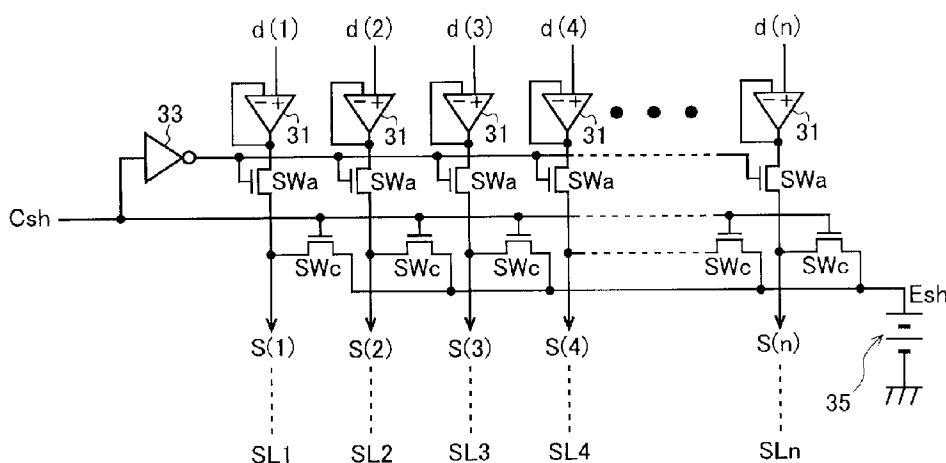
(10) 国際公開番号
WO 2007/015348 A1

- (51) 国際特許分類: *G09G 3/36* (2006.01) *G09G 3/20* (2006.01) *G02F 1/133* (2006.01) 5458522 大阪府大阪市阿倍野区長池町2番2号 2 2 番 2 2 号 Osaka (JP).
- (21) 国際出願番号: PCT/JP2006/313314 (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 澤幡 純一 (SAWA-HATA, Junichi) [JP/—].
- (22) 国際出願日: 2006年7月4日 (04.07.2006) (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (25) 国際出願の言語: 日本語 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH,
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2005-226401 2005年8月4日 (04.08.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒

[続葉有]

(54) Title: DISPLAY DEVICE AND ITS DRIVE METHOD

(54) 発明の名称: 液晶表示装置およびその駆動方法



(57) Abstract: It is possible to make display a pseudo-impulse while suppressing complication of a drive circuit or increase of operation frequency in a hold type display device. In an active matrix type liquid crystal display device of the dot reverse drive method configured so as to short-circuit adjacent source lines for a predetermined period T_{sh} in every one horizontal scan period, a gate driver successively applies a pixel data write pulse P_w in each frame period and applies a black voltage application pulse P_b within the predetermined period T_{sh} after elapse of a period of about 2/3 frame from application of the pixel data write pulse P_w for each gate line. The source driver connects each source line to a charge share voltage fixing power source (35) during the predetermined period T_{sh} while the adjacent source lines are short-circuited. Thus, the charge share voltage may be the same value regardless of the display gradation. The present invention may be applied to an active matrix type liquid crystal display device.

(57) 要約: 本発明は、ホールド型の表示装置において駆動回路の複雑化や動作周波数の増大を抑えつつ表示を(擬似的に)インパルス化することを目的とする。

[続葉有]



WO 2007/015348 A1



PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

1 水平走査期間毎に所定期間 T_{sh} だけ隣接ソースラインを互いに短絡させるように構成されたドット反転駆動方式のアクティブマトリクス型液晶表示装置において、ゲートドライバは、各フレーム期間内において、画素データ書込パルス P_w をゲートラインに順次印加し、各ゲートラインについての画素データ書込パルス P_w の印加から2/3フレーム程度の期間経過した後の上記所定期間 T_{sh} 内に黒電圧印加パルス P_b を印加する。ソースドライバは、隣接ソースラインが短絡される上記所定期間 T_{sh} に各ソースラインをチャージシェア電圧固定用電源 (35) に接続することで、表示階調に拘わらずチャージシェア電圧を同一値とする。本発明は、アクティブマトリクス型の液晶表示装置に適している。

明 細 書

液晶表示装置およびその駆動方法

技術分野

- [0001] 本発明は、薄膜トランジスタ等のスイッチング素子を用いたアクティブマトリクス型の液晶表示装置およびその駆動方法に関し、更に詳しくは、そのような液晶表示装置における動画表示性能の改善に関する。

背景技術

- [0002] CRT (Cathode Ray Tube: 陰極線管) のようなインパルス型の表示装置においては、個々の画素に着目すると、画像が表示される点灯期間と画像が表示されない消灯期間とが交互に繰り返される。例えば動画の表示が行われた場合にも、1画面分の画像の書き換えが行われる際に消灯期間が挿入されるため、人間の視覚に動いている物体の残像が生じることがない。このため、背景と物体とが明瞭に見分けられ、違和感なく動画が視認される。
- [0003] これに対し、TFT (Thin Film Transistor: 薄膜トランジスタ) を使用した液晶表示装置のようなホールド型の表示装置では、個々の画素の輝度は各画素容量に保持される電圧によって決まり、画素容量における保持電圧は、一旦書き換えられると1フレーム期間維持される。このようにホールド型の表示装置では、画素データとして画素容量に保持すべき電圧は、一旦書き込まれると次に書き換えられるまで保持されるので、各フレームの画像は、その1フレーム前の画像と時間的に近接することになる。これにより、動画が表示される場合に、人間の視覚には動いている物体の残像が生じる。例えば図13に示すように、動いている物体を表す画像OIが尾を引くように残像AIが生じる(以下、この残像を「尾引残像」という)。
- [0004] アクティブマトリクス型の液晶表示装置等のようなホールド型の表示装置では、動画表示の際にこのような尾引残像が生じるので、主として動画表示が行われるテレビ等のディスプレイには従来よりインパルス型の表示装置が採用されるのが一般的である。ところが、近年、テレビ等のディスプレイについて軽量化や薄型化が強く要求されており、そのようなディスプレイについて軽量化や薄型化が容易な液晶表示装置のよう

なホールド型の表示装置の採用が急速に進んでいる。

特許文献1: 日本の特開平9-243998号公報

特許文献2: 日本の特開平11-85115号公報

特許文献3: 日本の特開2003-66918号公報

特許文献4: 日本の特開2004-279626号公報

特許文献5: 日本の特開2005-121911号公報

発明の開示

発明が解決しようとする課題

[0005] アクティブマトリクス型の液晶表示装置等のようなホールド型の表示装置において上記の尾引残像を改善する方法として、1フレーム期間中に黒表示を行う期間を挿入する(以下「黒挿入」という)等により液晶表示装置における表示を(擬似的に)インパルス化するという方法が知られている(例えば日本の特開2003-66918号公報(特許文献3))。

[0006] しかし、ホールド型表示装置としてのアクティブマトリクス型液晶表示装置において、従来の方法によってインパルス化を実現しようすると、黒挿入のために駆動回路等が複雑化すると共に、駆動回路の動作周波数も増大し、画素容量の充電のために確保できる時間も短くなる。

[0007] そこで本発明は、駆動回路等の複雑化や動作周波数の増大を抑えつつ表示を(擬似的に)インパルス化できるアクティブマトリクス型の液晶表示装置およびそのための駆動方法を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の第1の局面は、アクティブマトリクス型の液晶表示装置であって、
複数のデータ信号線と、
前記複数のデータ信号線と交差する複数の走査信号線と、
前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部であって、それぞれは対応する交差点を通過する走査信号線が選択されているときに対応する交差点を通過するデータ信号線の電圧を画素値として取り込む複数の画素形成部と、

表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線にそれぞれ印加するデータ信号線駆動回路であって、互いに隣接するデータ信号線にそれぞれ印加されるべきデータ信号の極性が互いに異なると共に前記複数のデータ信号の極性が各フレーム期間内で所定周期毎に反転するように前記複数のデータ信号を生成するデータ信号線駆動回路と、

前記データ信号線駆動回路の内部または外部に設けられ、前記複数のデータ信号の極性が反転する時に、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡するスイッチ回路と、

前記スイッチ回路によって前記複数のデータ信号線が互いに短絡されている時に所定の黒信号挿入期間だけ前記複数のデータ信号線に黒表示に相当する固定電圧を与える電圧供給部と、

前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも1回は前記黒信号挿入期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも1回は前記黒信号挿入期間で選択状態となるように、前記複数の走査信号線を選択的に駆動する走査信号線駆動回路とを備えることを特徴とする。

[0009] 本発明の第2の局面は、本発明の第1の局面において、

前記データ信号線駆動回路は、各データ信号線に印加すべきデータ信号を出力する出力バッファを含み、

前記スイッチ回路は、

各データ信号線と前記出力バッファとの間に設けられ、前記黒信号挿入期間に遮断状態となる第1のスイッチング素子と、

隣接するデータ信号線間に設けられ、前記黒信号挿入期間に導通状態となる第2のスイッチング素子と、

前記複数のデータ信号線のいずれかと前記電圧供給部との間に設けられ、前記黒信号挿入期間に導通状態となる第3のスイッチング素子とを含むことを特徴とする

。

- [0010] 本発明の第3の局面は、本発明の第1の局面において、
前記データ信号線駆動回路は、各データ信号線に印加すべきデータ信号を出力する出力バッファを含み、
前記スイッチ回路は、
各データ信号線と前記出力バッファとの間に設けられ、前記黒信号挿入期間に遮断状態となる第1のスイッチング素子と、
各データ信号線と前記電圧供給部との間に設けられ、前記黒信号挿入期間に導通状態となる第2のスイッチング素子とを含むことを特徴とする。
- [0011] 本発明の第4の局面は、本発明の第1の局面において、
前記走査信号線駆動回路は、前記有効走査期間に選択状態とされた走査信号線を、当該選択状態から非選択状態に変化する時点から前記画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、前記黒信号挿入期間で選択状態とすることを特徴とする。
- [0012] 本発明の第5の局面は、複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、それぞれは対応する交差点を通過する走査信号線が選択されているときに対応する交差点を通過するデータ信号線の電圧を画素値として取り込む複数の画素形成部とを備えたアクティブマトリクス型の液晶表示装置の駆動方法であって、
表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線にそれぞれ印加するデータ信号線駆動ステップであって、互いに隣接するデータ信号線にそれぞれ印加されるべきデータ信号の極性が互いに異なると共に前記複数のデータ信号の極性が各フレーム期間内で所定周期毎に反転するように前記複数のデータ信号を生成するデータ信号線駆動ステップと、
前記複数のデータ信号の極性が反転する時に、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡する接続切換ステップと、

前記複数のデータ信号線が互いに短絡されている時に所定の黒信号挿入期間だけ前記複数のデータ信号線に黒表示に相当する固定電圧を与える電圧供給ステップと、

前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも1回は前記黒信号挿入期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも1回は前記黒信号挿入期間で選択状態となるように、前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップとを有することを特徴とする。

発明の効果

- [0013] 本発明の第1または第5の局面によれば、データ信号の極性反転時の黒信号挿入期間には各データ信号線の電圧は黒表示に相当する値となっており、各走査信号線は、画素値書込のために有効走査期間で選択されてから所定の画素値保持期間が経過した後に少なくとも1回は黒信号挿入期間で選択状態となる。これにより、次に画素値書込のために有効走査期間で選択状態となるまでは黒表示の期間となるので、全ての表示ラインにつき同じ長さの黒挿入を行い、画素値書込のための画素容量での充電期間を短縮することなく、十分な黒挿入期間の確保によるインパルス化によって動画像の表示性能を改善することができる。また、黒挿入のためにデータ信号線駆動回路等の動作速度を上げる必要もない。これに加えて、黒信号挿入期間では各データ信号線に黒表示に相当する固定電圧が与えられるので、各画素形成部内の寄生容量に基づく引き込み電圧の階調依存性を補償するためにデータ信号の補正量が表示階調によって異なっても、黒信号挿入期間における各データ信号線の電圧が常に同一の電圧となる。これにより、黒挿入によってパターン影が発生すること等による表示品位の低下を防止することができる。

- [0014] 本発明の第2の局面によれば、黒信号挿入期間では、第1のスイッチング素子が遮断状態となることで各データ信号線がデータ信号線駆動回路内の出力バッファから電氣的に切り離されると共に、第2のスイッチング素子が導通状態となることで隣接デ

ータ信号線が互いに短絡され、かつ、第3のスイッチング素子が導通状態となることで各データ信号線に黒表示に相当する固定電圧が与えられる。これにより、各画素形成部内の寄生容量に基づく引き込み電圧の階調依存性を補償するためにデータ信号の補正量が表示階調によって異なっても、黒信号挿入期間における各データ信号線の電圧が常に同一の電圧となり、黒挿入によってパターンの影が発生すること等による表示品位の低下を防止することができる。

[0015] 本発明の第3の局面によれば、黒信号挿入期間では、第1のスイッチング素子が遮断状態となることで各データ信号線がデータ信号線駆動回路内の出力バッファから電氣的に切り離されると共に、第2のスイッチング素子が導通状態となることで各データ信号線に黒表示に相当する固定電圧が与えられる。これにより、各画素形成部内の寄生容量に基づく引き込み電圧の階調依存性を補償するためにデータ信号の補正量が表示階調によって異なっても、黒信号挿入期間における各データ信号線の電圧が常に同一の電圧となる。しかも、黒信号挿入期間において各データ信号線には、1つのスイッチング素子のみを介して上記固定電圧が与えられるので、各データ信号線の電圧を短時間で黒表示に相当する同一の電圧にすることができる。これにより、黒挿入によってパターンの影が発生すること等による表示品位の低下を確実に防止することができる。

[0016] 本発明の第4の局面によれば、有効走査期間に選択状態とされた走査信号線は、当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、黒信号挿入期間で選択状態とされる。これにより、インパルス化のための黒表示期間において表示輝度を十分な黒レベルとすることができる。

図面の簡単な説明

[0017] [図1]本発明の一実施形態およびその基本となる構成(基本構成)に係る液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。

[図2]上記基本構成におけるソースドライバの出力部の構成を示す回路図である。

[図3]上記実施形態および基本構成に係る液晶表示装置の動作を説明するための信号波形図(A～F)である。

[図4]液晶パネルの画素形成部における薄膜トランジスタ(TFT)のゲート・ドレイン間の寄生容量を説明するための回路図である。

[図5]液晶パネルの画素形成部におけるTFTのゲート・ドレイン間の寄生容量に起因して生じる引き込み電圧を説明するための電圧波形図(A, B)である。

[図6]チャージシェアリング方式の液晶表示装置において引き込み電圧の階調依存性を補償するためにソース電圧が補正された場合の画素電圧およびソース電圧を示す電圧波形図(A, B)である。

[図7]上記基本構成に係る液晶表示装置において黒挿入により生じる問題点を説明するための図である。

[図8]上記実施形態に係る液晶表示装置におけるソースドライバの構成を示すブロック図である。

[図9]上記実施形態におけるソースドライバの出力部の第1の構成例を示す回路図である。

[図10]上記実施形態におけるソースドライバの出力部の第2の構成例を示す回路図である。

[図11]上記実施形態におけるゲートドライバの一構成例を示すブロック図(A, B)である。

[図12]上記一構成例によるゲートドライバの動作を説明するための信号波形図(A～F)である。

[図13]ホールド型表示装置での動画表示における課題を説明するための図である。

符号の説明

[0018]	10	…TFT(スイッチング素子)
	31	…出力バッファ
	33	…インバータ
	40	…シフトレジスタ
	41, 43	…ANDゲート
	45	…出力部
	47	…切換スイッチ

100	…表示部
200	…表示制御回路
300	…ソースドライバ(データ信号線駆動回路)
302	…データ信号生成部
304	…出力部
400	…ゲートドライバ(走査信号線駆動回路)
411, 412, …, 41q	…ゲートドライバ用ICチップ
Cp	…画素容量
Ec	…共通電極
SWa	…第1のMOSTランジスタ(第1のスイッチング素子)
SWb	…第2のMOSTランジスタ(第2のスイッチング素子)
SWb2	…第3のMOSTランジスタ(第3のスイッチング素子)
SWc	…第2のMOSTランジスタ(第2のスイッチング素子)
SLi	…ソースライン(データ信号線) (i=1, 2, …, n)
GLj	…ゲートライン(走査信号線) (j=1, 2, …, m)
DA	…デジタル画像信号
SSP	…データスタートパルス信号
SCK	…データクロック信号
GSP	…ゲートスタートパルス信号
GCK	…ゲートクロック信号
Csh	…チャージシェア制御信号
GOE	…ゲートドライバ出力制御信号
GOEr	…ゲートドライバ出力制御信号(r=1, 2, …, q)
S(i)	…データ信号(i=1, 2, …, n)
G(j)	…走査信号(j=1, 2, …, m)
Pw	…画素データ書込パルス
Pb	…黒電圧印加パルス
Thd	…画素データ保持期間(画素値保持期間)

Tbk …黒表示期間

Tsh …チャージシェア期間(黒信号挿入期間)

発明を実施するための最良の形態

[0019] 以下、添付図面を参照して本発明の実施形態について説明する。

<1. 基本構成およびその動作>

まず、本発明の実施形態の基本となる構成の液晶表示装置(以下「基本構成に係る液晶表示装置」という)について説明する。

[0020] 図1は、上記液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。この液晶表示装置は、データ信号線駆動回路としてのソースドライバ300と、走査信号線駆動回路としてのゲートドライバ400と、アクティブマトリクス形の表示部100と、ソースドライバ300およびゲートドライバ400を制御するための表示制御回路200とを備えている。

[0021] 上記液晶表示装置における表示部100は、複数本(m本)の走査信号線としてのゲートラインGL1～GLmと、それらのゲートラインGL1～GLmのそれぞれと交差する複数本(n本)のデータ信号線としてのソースラインSL1～SLnと、それらのゲートラインGL1～GLmとソースラインSL1～SLnとの交差点にそれぞれ対応して設けられた複数個(m×n個)の画素形成部とを含む。これらの画素形成部はマトリクス状に配置されて画素アレイを構成し、各画素形成部は、対応する交差点を通過するゲートラインGLjにゲート端子が接続される共に当該交差点を通過するソースラインSLiにソース端子が接続されたスイッチング素子であるTFT10と、そのTFT10のドレイン端子に接続された画素電極と、上記複数の画素形成部に共通的に設けられた対向電極である共通電極Ecと、上記複数の画素形成部に共通的に設けられ画素電極と共通電極Ecとの間に挟持された液晶層とからなる。そして、画素電極と共通電極Ecとにより形成される液晶容量により画素容量Cpが構成される。なお通常、画素容量に確実に電圧を保持すべく、液晶容量に並列に補助容量が設けられるが、補助容量は本発明には直接に関係しないのでその説明および図示を省略する。

[0022] 各画素形成部における画素電極には、後述のように動作するソースドライバ300およびゲートドライバ400により、表示すべき画像に応じた電位が与えられ、共通電極E

cには、図示しない電源回路から所定電位 V_{com} が与えられる。これにより、画素電極と共通電極 E_c との間の電位差に応じた電圧が液晶に印加され、この電圧印加によって液晶層に対する光の透過量が制御されることで画像表示が行われる。ただし、液晶層への電圧印加によって光の透過量を制御するためには偏光板が使用され、本基本構成に係る液晶表示装置では、ノーマリブラックとなるように偏光板が配置されているものとする。

[0023] 表示制御回路200は、外部の信号源から、表示すべき画像を表すデジタルビデオ信号 D_v と、当該デジタルビデオ信号 D_v に対応する水平同期信号 HSY および垂直同期信号 VS_Y と、表示動作を制御するための制御信号 D_c とを受け取り、それらの信号 D_v , HSY , VS_Y , D_c に基づき、そのデジタルビデオ信号 D_v の表す画像を表示部100に表示させるための信号として、データスタートパルス信号 SSP と、データクロック信号 SCK と、チャージシェア制御信号 Csh と、表示すべき画像を表すデジタル画像信号 DA (ビデオ信号 D_v に相当する信号)と、ゲートスタートパルス信号 GSP と、ゲートクロック信号 GCK と、ゲートドライバ出力制御信号 GOE とを生成し出力する。より詳しくは、ビデオ信号 D_v を内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号 DA として表示制御回路200から出力し、そのデジタル画像信号 DA の表す画像の各画素に対応するパルスからなる信号としてデータクロック信号 SCK を生成し、水平同期信号 HSY に基づき1水平走査期間毎に所定期間だけハイレベル(Hレベル)となる信号としてデータスタートパルス信号 SSP を生成し、垂直同期信号 VS_Y に基づき1フレーム期間(1垂直走査期間)毎に所定期間だけHレベルとなる信号としてゲートスタートパルス信号 GSP を生成し、水平同期信号 HSY に基づきゲートクロック信号 GCK を生成し、水平同期信号 HSY および制御信号 D_c に基づきチャージシェア制御信号 Csh およびゲートドライバ出力制御信号 GOE ($GOE_1 \sim GOE_q$)を生成する。

[0024] 上記のようにして表示制御回路200において生成された信号のうち、デジタル画像信号 DA とチャージシェア制御信号 Csh とデータスタートパルス信号 SSP およびデータクロック信号 SCK とは、ソースドライバ300に入力され、ゲートスタートパルス信号 GSP およびゲートクロック信号 GCK とゲートドライバ出力制御信号 GOE とは、ゲートド

ライバ400に入力される。

[0025] ソースドライバ300は、デジタル画像信号DAとデータスタートパルス信号SSPおよびデータクロック信号SCKとに基づき、デジタル画像信号DAの表す画像の各水平走査線における画素値に相当するアナログ電圧としてデータ信号S(1)～S(n)を1水平走査期間毎に順次生成し、これらのデータ信号S(1)～S(n)をソースラインSL1～SLnにそれぞれ印加する。本基本構成におけるソースドライバ300は、液晶層への印加電圧の極性が1フレーム期間毎に反転されると共に各フレーム内において1ゲートライン毎かつ1ソースライン毎にも反転されるようにデータ信号S(1)～S(n)が出力される駆動方式すなわちドット反転駆動方式が採用されている。したがって、ソースドライバ300は、ソースラインSL1～SLnへの印加電圧の極性をソースライン毎に反転させ、かつ、各ソースラインSLiに印加されるデータ信号S(i)の電圧極性を1水平走査期間毎に反転させる。ここで、ソースラインへの印加電圧の極性反転の基準となる電位は、データ信号S(1)～S(n)の直流レベル(直流成分に相当する電位)であり、この直流レベルは、一般的には共通電極Ecの直流レベルとは一致せず、各画素形成部におけるTFTのゲート・ドレイン間の寄生容量Cgdによる引き込み電圧 ΔV_d だけ共通電極Ecの直流レベルと異なる。ただし、寄生容量Cgdによる引き込み電圧 ΔV_d が液晶の光学的しきい値電圧Vthに対して十分に小さい場合には、データ信号S(1)～S(n)の直流レベルは共通電極Ecの直流レベルに等しいとみなせるので、データ信号S(1)～S(n)の極性すなわちソースラインへの印加電圧の極性は共通電極Ecの電位(対向電圧)を基準として1水平走査期間毎に反転すると考えてもよい。

[0026] また、このソースドライバ300では、消費電力を低減するためにデータ信号S(1)～S(n)の極性反転時に隣接ソースライン間が短絡されるチャージシェアリング方式が採用されている。このため、ソースドライバ300においてデータ信号S(1)～S(n)を出力する部分である出力部は、図2に示すように構成されている。すなわち、この出力部は、デジタル画像信号DAに基づき生成されたアナログ電圧信号d(1)～d(n)を受け取り、これらのアナログ電圧信号d(1)～d(n)をインピーダンス変換することによって、ソースラインSL1～SLnで伝達すべき映像信号としてデータ信号S(1)～S(n)を生成し、このインピーダンス変換のための電圧ホロワとしてn個の出力バッファ31

を有している。各バッファ31の出力端子にはスイッチング素子としての第1のMOSTランジスタSWaが接続され、各バッファ31からのデータ信号S(i)は第1のMOSTランジスタSWaを介してソースドライバ300の出力端子から出力される($i=1, 2, \dots, n$)。また、ソースドライバ300の隣接する出力端子間は、スイッチング素子としての第2のMOSTランジスタSWbによって接続されている(これにより隣接ソースライン間が第2のMOSTランジスタSWbによって接続されることになる)。そして、これらの出力端子間の第2のMOSTランジスタSWbのゲート端子には、チャージシェア制御信号Cshが与えられ、各バッファ31の出力端子に接続された第1のMOSTランジスタSWaのゲート端子には、インバータ33の出力信号すなわちチャージシェア制御信号Cshの論理反転信号が与えられる。

[0027] したがって、チャージシェア制御信号Cshが非アクティブ(ローレベル)のときには、第1のMOSTランジスタSWaがオンし(導通状態となり)、第2のMOSTランジスタSWbがオフする(遮断状態となる)ので、各バッファ31からのデータ信号は、第1のMOSTランジスタSWaを介してソースドライバ300から出力される。一方、チャージシェア制御信号Cshがアクティブ(ハイレベル)のときには、第1のMOSTランジスタSWaがオフし(遮断状態となり)、第2のMOSTランジスタSWbがオンする(導通状態となる)ので、各バッファ31からのデータ信号は出力されず(すなわちデータ信号S(1)～S(n)のソースラインSL1～SLnへの印加は遮断され)、表示部100における隣接ソースラインが、第2のMOSTランジスタSWbを介して短絡される。

[0028] 本基本構成におけるソースドライバ300では、図3(A)に示すように、1水平走査期間(1H)毎に極性の反転する映像信号としてアナログ電圧信号d(i)が生成され、表示制御回路200では、図3(B)に示すように、各アナログ電圧信号d(i)の極性の反転時に所定期間(1水平ブランキング期間程度の短い期間)Tshだけハイレベル(Hレベル)となるチャージシェア制御信号Cshが生成される(以下、チャージシェア制御信号CshがHレベルとなる期間を「チャージシェア期間」という)。上記のように、チャージシェア制御信号Cshがローレベル(Lレベル)のときには各アナログ電圧信号d(i)がデータ信号S(i)として出力され、チャージシェア制御信号CshがHレベルのときには、データ信号S(1)～S(n)のソースラインSL1～SLnへの印加が遮断されると

共に隣接ソースラインが互いに短絡される。そして本基本構成では、ドット反転駆動方式が採用されていることから隣接ソースラインの電圧は互いに逆極性であって、しかも、その絶対値はほぼ等しい。したがって、各データ信号 $S(i)$ の値すなわち各ソースライン SLi の電圧は、チャージシェア期間 T_{sh} において、黒表示に相当する電圧(以下、単に「黒電圧」ともいう)となる。本液晶表示装置では、各データ信号 $S(i)$ は、データ信号 $S(i)$ の直流レベル VS_{dc} を基準として極性が反転するので、図3(C)に示すようにチャージシェア期間 T_{sh} においてデータ信号 $S(i)$ の直流レベル VS_{dc} にほぼ等しくなる。なお、このようにデータ信号の極性反転時に隣接ソースラインを短絡することで各ソースラインの電圧を黒電圧(データ信号 $S(i)$ の直流レベル VS_{dc})に等しくするという構成は、消費電力を低減するための手段として従来より提案されており(例えば日本の特開平9-243998号公報(特許文献1)、日本の特開平11-85115号公報(特許文献2)参照)、図2に示した構成に限定されるものではない。

[0029] ゲートドライバ400は、ゲートスタートパルス信号 GSP およびゲートクロック信号 GCK と、ゲートドライバ出力制御信号 $GOEr$ ($r=1, 2, \dots, q$)とに基づき、各データ信号 $S(1) \sim S(n)$ を各画素形成部(の画素容量)に書き込むために、デジタル画像信号 DA の各フレーム期間(各垂直走査期間)においてゲートライン $GL1 \sim GLm$ をほぼ1水平走査期間ずつ順次選択すると共に、後述の黒挿入のために、データ信号 $S(i)$ の極性反転時に所定期間だけゲートライン GLj を選択する($j=1 \sim m$)。すなわち、ゲートドライバ400は、図3(D)および図3(E)に示すような画素データ書込パルス Pw と黒電圧印加パルス Pb とを含む走査信号 $G(1) \sim G(m)$ をゲートライン $GL1 \sim GLm$ にそれぞれ印加し、これらのパルス Pw, Pb が印加されているゲートライン GLj は選択状態となり、選択状態のゲートライン GLj に接続されたTFT10がオン状態となる(非選択状態のゲートラインに接続されたTFT10はオフ状態となる)。ここで、画素データ書込パルス Pw は水平走査期間(1H)のうち表示期間に相当する有効走査期間でHレベルとなるのに対し、黒電圧印加パルス Pb は水平走査期間(1H)のうちブランキング期間に相当するチャージシェア期間 T_{sh} 内でHレベルとなる。本基本構成では図3(D)および図3(E)に示すように、各走査信号 $G(j)$ において、画素データ書込パルス Pw と当該画素データ書込パルス Pw の後に最初に現れる黒電圧印加パルス Pb と

の間は2/3フレーム期間であり、黒電圧印加パルスPbは、1フレーム期間(1V)において1水平走査期間(1H)の間隔で続いて3個現れる。

[0030] 次に図3を参照しつつ、上記のソースドライバ300およびゲートドライバ400による表示部100(図1参照)の駆動について説明する。表示部100における各画素形成部では、それに含まれるTFT10のゲート端子に接続されるゲートラインGLjに画素データ書込パルスPwが印加されることにより、当該TFT10がオンし、当該TFT10のソース端子に接続されるソースラインSLiの電圧がデータ信号S(i)の値として当該画素形成部に書き込まれる。すなわちソースラインSLiの電圧が画素容量Cpに保持される。その後、当該ゲートラインGLjは黒電圧印加パルスPbが現れるまでの期間Thdは非選択状態となるので、当該画素形成部に書き込まれた電圧がそのまま保持される。

[0031] 黒電圧印加パルスPbは、その非選択状態の期間(以下「画素データ保持期間」という)Thdの後のチャージシェア期間TshにゲートラインGLjに印加される。既述のようにチャージシェア期間Tshでは、各データ信号S(i)の値すなわち各ソースラインSLiの電圧は、データ信号S(i)の直流レベルにほぼ等しくなる(すなわち黒電圧となる)。したがって、当該ゲートラインGLjへの黒電圧印加パルスPbの印加により、当該画素形成部の画素容量Cpに保持される電圧は黒電圧に向かって変化する。しかし、黒電圧印加パルスPbのパルス幅は短いので、画素容量Cpにおける保持電圧を確実に黒電圧にするために、図3(D)および図3(E)に示すように、各フレーム期間において1水平走査期間(1H)間隔で3個の黒電圧印加パルスPbが続けて当該ゲートラインGLjに印加される。これにより、当該ゲートラインGLjに接続される画素形成部によって形成される画素の輝度(画素容量での保持電圧によって決まる透過光量)L(j, i)は、図3(F)に示すように変化する。

[0032] したがって、各ゲートラインGLjに接続される画素形成部に対応する1表示ラインにおいて、画素データ保持期間Thdではデジタル画像信号DAに基づく表示が行われ、その後に上記3個の黒電圧印加パルスPbが印加されてから次に当該ゲートラインGLjに画素データ書込パルスPwが印加される時点までの期間Tbkでは黒表示が行われる。このようにして、黒表示の行われる期間(以下「黒表示期間」という)Tbkが各

フレーム期間に挿入されることにより、液晶表示装置による表示のインパルス化が行われる。

[0033] 図3(D)および図3(E)からもわかるように、画素データ書込パルスPwの現れる時点は走査信号G(j)毎に1水平走査期間(1H)ずつずれているので、黒電圧印加パルスPbの現れる時点も走査信号G(j)毎に1水平走査期間(1H)ずつずれている。したがって、黒表示期間Tbkも1表示ライン毎に1水平走査期間(1H)ずつずれて、全ての表示ラインにつき同じ長さの黒挿入が行われる。このようにして、画素データ書込のための画素容量Cpでの充電期間を短縮することなく、十分な黒挿入期間が確保される。また、黒挿入のためにソースドライバ300等の動作速度を上げる必要もない。

[0034] <2. 基本構成における問題点>

一般に、TFTを使用したアクティブマトリクス型の液晶表示装置では、図4に示すように、各画素形成部におけるTFT10のゲート・ドレイン間に寄生容量Cgdが存在する。この寄生容量Cgdの存在により、各画素形成部における画素電極の電圧(以下「画素電圧」という)Vdは、その画素電極に接続されるTFT10がオン状態(導通状態)からオフ状態(遮断状態)へと切り替わる時に、画素容量Cpと寄生容量Cgdとの比に応じて低下する(以下、寄生容量Cgdに起因するこのような画素電圧の変化を「レベルシフト」と呼び、この変化量を「引き込み電圧」と呼んで記号“ ΔV_d ”で示すものとする)。具体的には、図5(A)および図5(B)に示すように、いずれかのゲートラインGLjに印加される走査信号G(j)の電圧であるゲート電圧Vg(j)がオン電圧Vghとなって(時刻t1またはt3)、当該ゲートラインGLjに接続されたTFT10を介してソースラインSLiの電圧VsnまたはVspが画素電極に与えられた後に、そのゲート電圧Vg(j)がオフ電圧Vglへと変化すると(時刻t2またはt4)、画素電圧Vdは、次式で表される引き込み電圧 ΔV_d だけ低下する($j=1, 2, \dots, m$; $i=1, 2, \dots, n$)。

$$\Delta V_d = (V_{gh} - V_{gl}) \cdot C_{gd} / (C_p + C_{gd}) \quad \dots (1)$$

液晶はそれに印加される電圧によって誘電率が変化するので、画素容量Cpは画素の階調によって異なる値を持つ。したがって、上記引き込み電圧 ΔV_d も画素の階調によって異なる。

- [0035] 一般に液晶表示装置では、液晶への印加電圧の極性が共通電極 E_c の電位すなわち対向電圧を基準として所定周期で反転し、液晶における光の透過率はそれへの印加電圧の実効値に応じて変化する。したがって、フリッカの無い表示を得るには、液晶への印加電圧の平均値が“0”になるように対向電圧に対してソースラインの電圧(ソース電圧)すなわちデータ信号の値を上記引き込み電圧 ΔV_d だけ補正する必要がある。この引き込み電圧 ΔV_d は、上記のように、画素の階調によって異なる。そこで、全ての階調についてフリッカの無い表示を得るために、ソース電圧は、表示すべき画素の階調に応じて補正される。すなわち、ソース電圧の補正量は表示階調によって異なる。
- [0036] ところで、チャージシェア期間 T_{sh} でのソース電圧(以下「チャージシェア電圧」という)は、そのチャージシェア期間直前における各ソースドライバの全ソースラインについての電圧の平均値にほぼ等しい。上記のようにソース電圧の補正量が画素の階調によって異なるので、図6に示すように、チャージシェア電圧は表示階調によって異なる。
- [0037] 図6は、輝度の高い画素を表示する場合の画素電圧(以下「高輝度画素電圧」という) $V_d(B)$ の電圧波形 $W_d(B)$ と、輝度の低い画素を表示する場合の画素電圧(以下「低輝度画素電圧」という) $V_d(D)$ の電圧波形 $W_d(D)$ と、高輝度画素電圧 $V_d(B)$ を与えるためのデータ信号の電圧電圧(以下「高輝度ソース電圧」という) $V_s(B)$ の電圧波形 $W_s(B)$ と、低輝度画素電圧 $V_d(D)$ を与えるためのデータ信号の電圧(以下「低輝度ソース電圧」という) $V_s(D)$ の電圧波形 $W_s(D)$ とを示している。ただし、高輝度画素電圧の電圧波形 $W_d(B)$ および低輝度画素電圧の電圧波形 $W_d(D)$ と、高輝度ソース電圧の電圧波形 $W_s(B)$ および低輝度ソース電圧の電圧波形 $W_s(D)$ とでは、時間軸のスケールが異なっている。なお、この図6において、“ $V_{sp}(B)$ ”は高輝度ソース電圧 $V_s(B)$ の最大値を、“ $V_{sn}(B)$ ”は高輝度ソース電圧 $V_s(B)$ の最小値をそれぞれ示し、“ $V_{sp}(D)$ ”は低輝度ソース電圧 $V_s(D)$ の最大値を、“ $V_{sn}(D)$ ”は低輝度ソース電圧 $V_s(D)$ の最小値をそれぞれ示している。また、“ $V_{csh}(B)$ ”は、高輝度ソース電圧 $V_s(B)$ がソースラインに与えられた場合のチャージシェア電圧を、“ $V_{csh}(D)$ ”は、低輝度ソース電圧 $V_s(D)$ がソースラインに与えられた場合のチャージシェ

ア電圧をそれぞれ示している。

[0038] この図6からわかるように、高輝度画素電圧 $V_d(B)$ と低輝度画素電圧 $V_d(D)$ とで引き込み電圧 ΔV_d が異なり、高輝度ソース電圧 $V_s(B)$ と低輝度ソース電圧 $V_s(D)$ とで上記補正量が異なることから、ソースラインに高輝度ソース電圧 $V_s(B)$ が与えられる場合のチャージシェア電圧 $V_{csh}(B)$ と低輝度ソース電圧 $V_s(D)$ が与えられる場合のチャージシェア電圧 $V_{csh}(D)$ とは、異なっている。すなわち、表示階調によってチャージシェア電圧 V_{csh} が異なる。

[0039] 上記基本構成の液晶表示装置では、図3に示したように、チャージシェア期間 T_{sh} のソース電圧であるチャージシェア電圧(図3(A)および図3(C)に示されている電圧 V_{Sdc})が黒表示に相当する電圧となることから、チャージシェア期間 T_{sh} でHレベルとなる黒電圧印加パルス P_b をゲートライン GL_j に印加することで黒挿入を行い($j=1 \sim m$)、これにより表示を疑似的にインパルス化している。ここで、黒電圧印加パルス P_b のパルス幅が短いことから、黒電圧の書き込み不足を補うべく複数のチャージシェア期間 T_{sh} (図3(E)および図3(F)に示した例では3つのチャージシェア期間 T_{sh})で黒挿入を行っている。ところで、チャージシェア電圧 V_{csh} は、黒表示に相当する電圧であっても、上記のようにソース電圧が補正されることから表示階調によって異なる(図6(B)参照)。その結果、表示パターンによっては当該パターンの影が視認される場合がある。例えば、図7に示すように、液晶表示装置の画面において本来の表示パターン D_{pat} の下方に、黒電圧としてのチャージシェア電圧 V_{csh} の書き込みに基づき表示パターン D_{pat} に相当する影のパターン S_{pat} が現れ、これが表示パターン D_{pat} の影として視認されることがある。

[0040] <3. 実施形態>

以下、上記基本構成における問題を解決すべくなされた発明の一実施形態に係る液晶表示装置について説明する。

[0041] 本実施形態に係る液晶表示装置の全体的な構成は、上記基本構成に係る液晶表示装置と同様であって図1に示す通りであり、同一または対応する部分には同一の参照符号を付すものとし、詳しい説明を省略する。本実施形態では、ソースドライバの内部構成が上記基本構成におけるソースドライバ300と異なる点があるので、まず

、ソースドライバの構成について説明する。

[0042] <3.1 ソースドライバ>

図8は、本実施形態におけるソースドライバの構成を示すブロック図である。このソースドライバは、データ信号生成部302と出力部304とから構成されている。データ信号生成部302は、データスタートパルス信号SSPおよびデータクロック信号SCKに基づきデジタル画像信号DAから、ソースラインSL1～SLnにそれぞれ対応するアナログ電圧信号d(1)～d(n)を生成する。このデータ信号生成部302の構成は、従来のソースドライバと同様(上記基本構成のソースドライバとも同様)であるので説明を省略する。出力部304は、データ信号生成部302で生成されるアナログ電圧信号d(i)毎に設けられた電圧ホロワからなる出力バッファを含み、このバッファにより各アナログ電圧信号d(i)をインピーダンス変換しデータ信号S(i)として出力する(i=1, 2, …, n)。ただし、後述のように、チャージシェア制御信号Cshに基づき、チャージシェア期間Tshにおいて、データ信号S(1)～S(n)のソースラインSL1～SLnへの印加が遮断されると共に、ソースラインSL1～SLnが互いに短絡される。出力部304には、このような動作を実現するためのスイッチ回路と電源が含まれている(詳細は後述)。

[0043] 図9は、本実施形態におけるソースドライバの出力部304の第1の構成例を示す回路図である。この構成例による出力部304は、スイッチング素子としてのn個の第1のMOSTランジスタSWaおよび(n-1)個の第2のMOSTランジスタSWbと、インバータ33とからなるスイッチ回路を含んでおり、この点では、基本構成におけるソースドライバ300の出力バッファと同様である。しかし、第1の構成例による出力部304は、基本構成におけるソースドライバ300の出力部と異なり、チャージシェア電圧固定用電源35を含み、このチャージシェア電圧固定用電源35の正極がスイッチング素子としての第3のMOSTランジスタSWb2を介して、いずれかのソースラインSL(i)に接続されるべきソースドライバの出力端子に接続されている(図9に示した例では、n番目のソースラインSLnに接続されるべき出力端子に接続されている)。そして、第3のMOSTランジスタSWb2のゲート端子には、チャージシェア制御信号Cshが入力され、チャージシェア電圧固定用電源35の負極は接地されている。このチャージシェア電圧

固定用電源35は、黒表示に相当する固定電圧 E_{sh} を与える電圧供給部であり、この電圧 E_{sh} は、0階調の負極性のデータ信号 $S(i)$ の値から0階調における正極性のデータ信号 $S(i)$ の値までの電圧範囲にあればよい。なお、この電圧 E_{sh} は、チャージシェア期間 T_{sh} において黒電圧印加パルス P_b により画素電極に印加されるが(図3参照)、その画素電極の電圧(画素電圧)は、寄生容量 C_{gd} の存在により、黒電圧印加パルスの立ち下がり時に引き込み電圧 ΔV_d だけ低下する。したがって、この電源電圧 E_{sh} は、引き込み電圧 ΔV_d の補正を考慮する必要があるため、電源電圧 E_{sh} を対向電圧に近い値にしても画素電圧が必ずしも黒表示に相当する電圧になるとは限らない。

[0044] 上記のような第1の構成例によっても、基本構成におけるソースドライバと同様、チャージシェア制御信号 C_{sh} に基づき、チャージシェア期間 T_{sh} 以外(の有効走査期間)では、データ信号生成部302で生成されたアナログ電圧信号 $d(1) \sim d(n)$ がバッファ31を介してデータ信号 $S(1) \sim S(n)$ として出力されてソースライン $SL_1 \sim SL_n$ に印加され、チャージシェア期間 T_{sh} では、データ信号 $S(1) \sim S(n)$ のソースライン $SL_1 \sim SL_n$ への印加が遮断されると共に隣接ソースラインが互いに短絡される(結果的に全ソースライン $SL_1 \sim SL_n$ が互いに短絡される)。これに加えて、この第1の構成例によれば、チャージシェア期間 T_{sh} において各ソースライン $SL_i(i=1 \sim n)$ にチャージシェア電圧固定用電源35の電圧 E_{sh} が与えられる(図9参照)。このため、引き込み電圧 ΔV_d の階調依存性を補償するためにソース電圧の補正量が表示階調によって異なっても、黒信号挿入期間としてのチャージシェア期間 T_{sh} においてチャージシェア電圧を常に同一の電圧 E_{sh} とすることができる。これにより、図7に示したようなパターンの影の発生を抑制することができる。

[0045] しかし、図9からわかるように上記第1の構成例では、多くのソースラインは複数のMOSトランジスタ SW_b を介してチャージシェア電圧固定用電源35に接続される。このため、全てのソースライン $SL_1 \sim SL_n$ の電圧が同一のチャージシェア電圧 E_{sh} に落ち着くまでに時間を要する。その結果、チャージシェア期間 T_{sh} の長さによっては、黒挿入において各画素形成部の画素容量に保持されるべき黒電圧を同一にすることができず、上記パターンの影の発生を十分に抑制できないことも考えられる。

- [0046] そこで次に、チャージシェア期間 T_{sh} において全てのソースライン $SL_1 \sim SL_n$ が短時間で同一の電圧 E_{sh} となるように構成されたソースドライバの出力部を第2の構成例として説明する。
- [0047] 図10は、本実施形態におけるソースドライバの出力部304の第2の構成例を示す回路図である。この構成例による出力部304における構成要素のうち第1の構成例におけるものと同一の構成要素については、同一の参照符号を付して説明を省略する。
- [0048] 本構成例による出力部304も、第1の構成例と同様、各ソースライン SL_i ($i=1 \sim n$) に対しスイッチング素子としての第2のMOSTランジスタ SW_c が1個ずつ設けられている。しかし、第1の構成例では、隣接ソースライン間に1個ずつ第2のMOSTランジスタ SW_b が挿入されるようにスイッチ回路が構成されるのに対し、本構成例では、各ソースライン SL_i とチャージシェア電圧固定用電源35との間に1個ずつ第2のMOSTランジスタ SW_c が挿入されるようにスイッチ回路が構成される。すなわち本構成例では、各ソースライン SL_i に接続されるべきソースドライバの出力端子は、これら第2のMOSTランジスタ SW_c のいずれか1つを介してチャージシェア電圧固定用電源35の正極に接続されている。そして、これら第2のMOSTランジスタ SW_c のゲート端子のいずれにもチャージシェア制御信号 C_{sh} が与えられる。
- [0049] 上記のような第2の構成例によっても、第1の構成例や基本構成におけるソースドライバと同様、チャージシェア制御信号 C_{sh} に基づき、チャージシェア期間 T_{sh} 以外(の有効走査期間)では、データ信号生成部302で生成されたアナログ電圧信号 $d(1) \sim d(n)$ がバッファ31を介してデータ信号 $S(1) \sim S(n)$ として出力されてソースライン $SL_1 \sim SL_n$ に印加され、チャージシェア期間 T_{sh} では、データ信号 $S(1) \sim S(n)$ のソースライン $SL_1 \sim SL_n$ への印加が遮断されると共に隣接ソースラインが互いに短絡される(結果的に全ソースライン $SL_1 \sim SL_n$ が互いに短絡される)。これに加えて、この第2の構成例によれば、チャージシェア期間 T_{sh} において各ソースライン SL_i ($i=1 \sim n$) にチャージシェア電圧固定用電源35の電圧 E_{sh} が与えられる(図10参照)。このため、引き込み電圧 ΔV_d の階調依存性を補償するためにソース電圧の補正量が表示階調によって異なっても、黒信号挿入期間としてのチャージシェア期間 T_{sh} に

においてチャージシェア電圧を常に同一の電圧 E_{sh} とすることができる。しかも、チャージシェア期間 T_{sh} において各ソースライン SL_i ($i=1\sim n$)には、1つのMOSトランジスタ SW_c のみを介してチャージシェア電圧固定用電源35の電圧 E_{sh} が与えられる。したがって、黒信号挿入期間としてのチャージシェア期間 T_{sh} において各ソースライン SL_i の電圧を短時間で同一の電圧 E_{sh} にすることができ、これにより、図7に示したようなパターンの影の発生を確実に抑制することができる。

[0050] <3. 1 ゲートドライバ>

次に、本実施形態におけるゲートドライバ400の構成について説明する。

図11(A)および図11(B)は、図3(D)および図3(E)に示すように動作するゲートドライバ400の一構成例を示すブロック図である。この構成例によるゲートドライバ400は、シフトレジスタを含む複数個(q 個)の部分回路としてのゲートドライバ用IC(Integrated Circuit)チップ411, 412, ..., 41 q からなる。

[0051] 各ゲートドライバ用ICチップは、図11(B)に示すように、シフトレジスタ40と、当該シフトレジスタ40の各段に対応して設けられた第1および第2のANDゲート41, 43と、第2のANDゲート43の出力信号 $g_1\sim g_p$ に基づき走査信号 $G_1\sim G_p$ を出力する出力部45とを備え、外部からスタートパルス信号 SP_i 、クロック信号 CK および出力制御信号 OE を受け取る。スタートパルス信号 SP_i はシフトレジスタ40の入力端に与えられ、シフトレジスタ40の出力端からは、後続のゲートドライバ用ICチップに入力されるべきスタートパルス信号 SP_o を出力する。また、第1のANDゲート41のそれぞれにはクロック信号 CK の論理反転信号が入力され、第2のANDゲート43のそれぞれには出力制御信号 OE の論理反転信号が入力される。そして、シフトレジスタ40の各段の出力信号 Q_k ($k=1\sim p$)は、当該段に対応する第1のANDゲート41に入力され、当該第1のANDゲート41の出力信号は当該段に対応する第2のANDゲート43に入力される。

[0052] 本構成例によるゲートドライバ400は、図11(A)に示すように、上記構成の複数(q 個)のゲートドライバ用ICチップ411~41 q が縦続接続されることによって実現される。すなわち、ゲートドライバ用ICチップ411~41 q 内のシフトレジスタ40が1つのシフトレジスタを形成するように(以下、このように縦続接続によって形成されるシフトレジ

スタを「結合シフトレジスタ」という)、各ゲートドライバ用ICチップ内のシフトレジスタの出力端(スタートパルス信号SPoの出力端子)が次のゲートドライバ用ICチップ内のシフトレジスタの入力端(スタートパルス信号SPiの入力端子)に接続される。ただし、先頭のゲートドライバ用ICチップ411内のシフトレジスタの入力端には、表示制御回路200からゲートスタートパルス信号GSPが入力され、最後尾のゲートドライバ用ICチップ41q内のシフトレジスタの出力端は外部と未接続となっている。また、表示制御回路200からのゲートクロック信号GCKは、各ゲートドライバ用ICチップ411~41qにクロック信号CKとして共通に入力される。一方、表示制御回路200において生成されるゲートドライバ出力制御信号GOEは第1~第qのゲートドライバ出力制御信号GOE1~GOEqからなり、これらのゲートドライバ出力制御信号GOE1~GOEqは、ゲートドライバ用ICチップ411~41qに出力制御信号OEとしてそれぞれ個別に入力される。

[0053] 次に、図12を参照しつつ上記構成例によるゲートドライバ400の動作について説明する。表示制御回路200は、図12(A)に示すように、画素データ書込パルスPwに対応する期間Tspwと3個の黒電圧印加パルスPbに対応する期間TspbwだけHレベル(アクティブ)となる信号をゲートスタートパルス信号GSPとして生成するとともに、図12(B)に示すように、1水平走査期間(1H)毎に所定期間だけHレベルとなるゲートクロック信号GCKを生成する。このようなゲートスタートパルス信号GSPおよびゲートクロック信号GCKが図11のゲートドライバ400に入力されると、先頭のゲートドライバ用ICチップ411のシフトレジスタ40の初段の出力信号Q1として、図12(C)に示すような信号が出力される。この出力信号Q1は、各フレーム期間において、画素データ書込パルスPwに対応する1個のパルスPqwと、3個の黒電圧印加パルスPbに対応する1個のパルスPqbwとを含み、これらの2個のパルスPqwとPqbwとの間はほぼ画素データ保持期間Thdだけ離れている。このような2個のパルスPqwおよびPqbwがゲートクロック信号GCKに従ってゲートドライバ400内の結合シフトレジスタを順次転送されていく。それに応じて結合シフトレジスタの各段から、図12(C)に示すような波形の信号が1水平走査期間(1H)ずつ順次ずれて出力される。

[0054] また、表示制御回路200は、既述のように、ゲートドライバ400を構成するゲートドラ

イバ用ICチップ411～41qに与えるべきゲートドライバ出力制御信号GOE1～GOEqを生成する。ここで、r番目のゲートドライバ用ICチップ41rに与えるべきゲートドライバ出力制御信号GOErは、当該ゲートドライバ用ICチップ41r内のシフトレジスタ40のいずれかの段から画素データ書込パルスPwに対応するパルスPqwが出力されている期間では、画素データ書込パルスPwの調整のためにゲートクロック信号GCKのパルス近傍の所定期間でHレベルとなることを除きLレベルとなり、それ以外の期間では、ゲートクロック信号GCKがHレベルからLレベルに変化した直後の所定期間Toe(この所定期間Toeはチャージシェア期間Tshに含まれるように設定される)だけLレベルとなることを除きHレベルとなる。例えば、先頭のゲートドライバ用ICチップ411には、図12(D)に示すようなゲートドライバ出力制御信号GOE1が与えられる。なお、画素データ書込パルスPwの調整のためにゲートドライバ出力制御信号GOE1～GOEqに含まれるパルス(これは上記所定期間でHレベルとなることに相当し、以下「書込期間調整パルス」という)は、必要な画素データ書込パルスPwに応じて、ゲートクロック信号GCKの立ち上がりよりも早く立ち上がったり、ゲートクロック信号GCKの立ち下がりよりも遅く立ち下がったりする。また、このような書込期間調整パルスを使用せずに、ゲートクロック信号GCKのパルスだけで画素データ書込パルスPwを調整するようにしてもよい。

- [0055] 各ゲートドライバ用ICチップ41r(r=1～q)では、上記のようなシフトレジスタ40各段の出力信号Qk(k=1～p)、ゲートクロック信号GCKおよびゲートドライバ出力制御信号GOErに基づき、第1および第2のANDゲート41, 43により、内部走査信号g1～gpが生成され、それらの内部走査信号g1～gpが出力部45でレベル変換されて、ゲートラインに印加すべき走査信号G1～Gpが出力される。これにより、図12(E)および図12(F)に示すように、ゲートラインGL1～GLmには、順次画素データ書込パルスPwが印加されると共に、各ゲートラインGLj(j=1～m)では、画素データ書込パルスの印加時点から画素データ保持期間Thdだけ経過した時点で、黒電圧印加パルスPbが印加され、その後、1水平走査期間(1H)間隔で2個の黒電圧印加パルスPbが印加される。このようにして3個の黒電圧印加パルスPbが印加された後は、次のフレーム期間の画素データ書込パルスPwが印加されるまでLレベルが維持される

。すなわち、上記3個の黒電圧印加パルスPbが印加されてから次の画素データ書込パルスPwが印加されるまでは黒表示期間Tbkとなる。

[0056] 上記のようにして、図11(A)および図11(B)に示した構成のゲートドライバ400により、液晶表示装置において図3(C)～図3(F)に示したようなインパルス化駆動を実現することができる。

[0057] <3.3 効果>

以上のように本実施形態によれば、データ信号S(i)の極性反転時の各チャージシェア期間Tshには各ソースラインSLiの電圧は黒表示に相当する値となり(図3(C))、各ゲートラインGLjには、画素データ書込パルスPwが印加されてから2/3フレーム期間の長さの画素データ保持期間Thdが経過した後に、1水平走査期間間隔で3個の黒電圧印加パルスPbがそれぞれチャージシェア期間Tsh内に印加される(図3(D)および図3(E))。これにより、次に画素データ書込パルスPwが印加されるまでは黒表示の期間Tbkとなるので、各フレームにつき、ほぼ1/3フレーム期間程度の黒挿入が行われる。すなわち、インパルス化駆動のための黒表示期間Tbkが1表示ライン毎に1水平走査期間(1H)ずつずれて、全ての表示ラインにつき同じ長さの黒挿入が行われる(図3(D)および図3(E))。これにより、画素データ書込のための画素容量Cpでの充電期間を短縮することなく、十分な黒挿入期間が確保され、しかも、黒挿入のためにソースドライバ300等の動作速度を上げる必要もない。

[0058] また、本実施形態によれば、チャージシェア期間Tshにおいて各ソースラインSLi(i=1～n)にチャージシェア電圧固定用電源35の電圧Eshが与えられるので(図9、図10参照)、引き込み電圧 ΔV_d の階調依存性を補償するためにソース電圧の補正量が表示階調によって異なっても、チャージシェア期間Tshにおいてチャージシェア電圧を常に同一の電圧Eshとすることができる。これにより、図7に示したようなパターンの影が黒挿入によって発生するのを抑制することができる。したがって、チャージシェア方式の液晶表示装置において、表示品質を損なうことなく黒挿入を行って動画表示の性能を改善することができる。なお、日本の特開平11-85115号公報(特許文献2)、日本の特開2005-121911号公報(特許文献5)には、上記チャージシェア期間Tshに相当する期間に各ソースライン(各データ信号ライン)に所定電位を与

える手段を設けた液晶表示装置が開示されているが、これらは、消費電力の低減やプリチャージの高速化等を目的としており、上記実施形態のように黒挿入による表示品位低下を防止すべくチャージシェア電圧を固定化することを企図するものではない。

[0059] <4. 変形例>

上記実施形態におけるゲートドライバ400は、図11(A)および図11(B)に示した構成に限定されるものではなく、図3(D)および図3(E)に示すような走査信号G(1)～G(m)を生成するものであればよい。また、上記実施形態では、図3(D)および図3(E)に示すように、各ゲートラインGL_jには1フレーム期間毎に3個の黒電圧印加パルスP_bが印加されるが、1フレーム期間における黒電圧印加パルスP_bの個数すなわち1つのゲートラインが黒信号挿入期間で選択状態となる1フレーム期間当たりの回数は3に限定されるものではなく、表示を黒レベルとすることができるような1以上の数であればよい。図3(F)からわかるように、1フレーム期間における黒電圧印加パルスP_bの個数を変えることにより黒表示期間T_{bk}における黒レベル(表示輝度)を所望の値に設定することができる。

[0060] また、上記実施形態では、各ゲートラインGL_jに対し、画素データ書込パルスP_wが印加されてから2/3フレーム期間の長さの画素データ保持期間T_{hd}が経過した時点で黒電圧印加パルスP_bが印加され(図3(D)および図3(E))、各フレームにつき、ほぼ1/3フレーム期間程度の黒挿入が行われるが、黒表示期間T_{bk}は1/3フレーム期間に限定されるものではない。黒表示期間T_{bk}を長くすればインパルス化の効果が大きくなり動画表示性能の改善(尾引残像の抑制等)には有効であるが、表示輝度が低下することになるので、インパルス化の効果と表示輝度とを勘案して適切な黒表示期間T_{bk}が設定されることになる。

[0061] なお上記実施形態では、図9および図10に示すように、第1のMOSTランジスタS_{Wa}と、第2のMOSTランジスタS_{Wb}および第3のMOSTランジスタS_{Wb2}または第2のMOSTランジスタS_{Wc}と、インバータ33とにより、チャージシェア期間T_{sh}においてソースラインSL₁～SL_nへのデータ信号S(1)～S(n)の印加を遮断すると共にそれらのソースラインSL₁～SL_n(各隣接ソースライン)を互いに短絡するスイッチ回路

が構成され、このスイッチ回路はソースドライバ300に含まれる。しかし、このスイッチ回路の一部または全部をソースドライバ300の外部に設ける構成、例えばTFTを用いて表示部100内に画素アレイと一体化して設ける構成としてもよい。

産業上の利用可能性

[0062] 本発明は、薄膜トランジスタ等のスイッチング素子を用いたアクティブマトリクス型の液晶表示装置に適用することができる。

請求の範囲

- [1] アクティブマトリクス型の液晶表示装置であって、
 複数のデータ信号線と、
 前記複数のデータ信号線と交差する複数の走査信号線と、
 前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部であって、それぞれは対応する交差点を通過する走査信号線が選択されているときに対応する交差点を通過するデータ信号線の電圧を画素値として取り込む複数の画素形成部と、
 表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線にそれぞれ印加するデータ信号線駆動回路であって、互いに隣接するデータ信号線にそれぞれ印加されるべきデータ信号の極性が互いに異なると共に前記複数のデータ信号の極性が各フレーム期間内で所定周期毎に反転するように前記複数のデータ信号を生成するデータ信号線駆動回路と、
 前記データ信号線駆動回路の内部または外部に設けられ、前記複数のデータ信号の極性が反転する時に、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡するスイッチ回路と、
 前記スイッチ回路によって前記複数のデータ信号線が互いに短絡されている時に所定の黒信号挿入期間だけ前記複数のデータ信号線に黒表示に相当する固定電圧を与える電圧供給部と、
 前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも1回は前記黒信号挿入期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも1回は前記黒信号挿入期間で選択状態となるように、前記複数の走査信号線を選択的に駆動する走査信号線駆動回路とを備えることを特徴とする、液晶表示装置。
- [2] 前記データ信号線駆動回路は、各データ信号線に印加すべきデータ信号を出力する出力バッファを含み、

前記スイッチ回路は、

各データ信号線と前記出力バッファとの間に設けられ、前記黒信号挿入期間に遮断状態となる第1のスイッチング素子と、

隣接するデータ信号線間に設けられ、前記黒信号挿入期間に導通状態となる第2のスイッチング素子と、

前記複数のデータ信号線のいずれかと前記電圧供給部との間に設けられ、前記黒信号挿入期間に導通状態となる第3のスイッチング素子とを含むことを特徴とする、請求項1に記載の液晶表示装置。

- [3] 前記データ信号線駆動回路は、各データ信号線に印加すべきデータ信号を出力する出力バッファを含み、

前記スイッチ回路は、

各データ信号線と前記出力バッファとの間に設けられ、前記黒信号挿入期間に遮断状態となる第1のスイッチング素子と、

各データ信号線と前記電圧供給部との間に設けられ、前記黒信号挿入期間に導通状態となる第2のスイッチング素子とを含むことを特徴とする、請求項1に記載の液晶表示装置。

- [4] 前記走査信号線駆動回路は、前記有効走査期間に選択状態とされた走査信号線を、当該選択状態から非選択状態に変化する時点から前記画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に、複数回、前記黒信号挿入期間で選択状態とすることを特徴とする、請求項1に記載の液晶表示装置。

- [5] 複数のデータ信号線と、前記複数のデータ信号線と交差する複数の走査信号線と、前記複数のデータ信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置され、それぞれは対応する交差点を通過する走査信号線が選択されているときに対応する交差点を通過するデータ信号線の電圧を画素値として取り込む複数の画素形成部とを備えたアクティブマトリクス型の液晶表示装置の駆動方法であって、

表示すべき画像を表す複数のデータ信号を前記複数のデータ信号線にそれぞれ

印加するデータ信号線駆動ステップであって、互いに隣接するデータ信号線にそれぞれ印加されるべきデータ信号の極性が互いに異なると共に前記複数のデータ信号の極性が各フレーム期間内で所定周期毎に反転するように前記複数のデータ信号を生成するデータ信号線駆動ステップと、

前記複数のデータ信号の極性が反転する時に、前記複数のデータ信号線への前記複数のデータ信号の印加を遮断すると共に前記複数のデータ信号線を互いに短絡する接続切換ステップと、

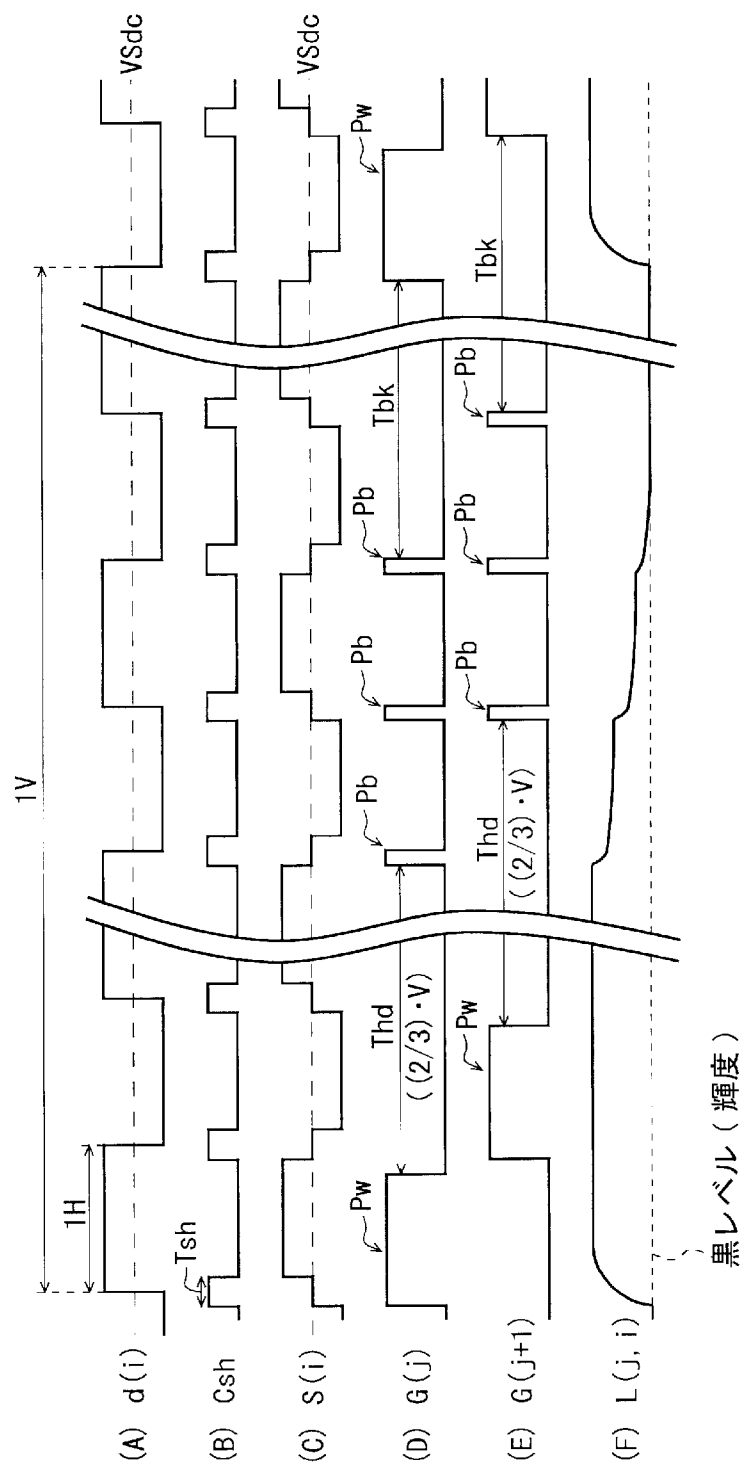
前記複数のデータ信号線が互いに短絡されている時に所定の黒信号挿入期間だけ前記複数のデータ信号線に黒表示に相当する固定電圧を与える電圧供給ステップと、

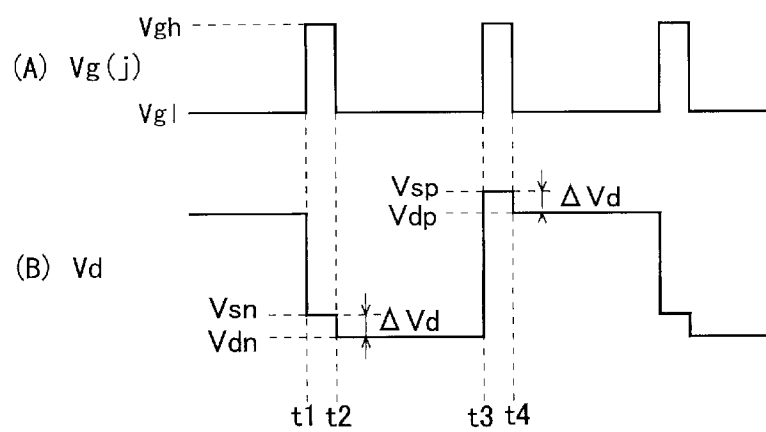
前記複数の走査信号線のそれぞれは各フレーム期間において少なくとも1回は前記黒信号挿入期間以外の期間である有効走査期間で選択状態となり、当該有効走査期間で選択状態となった走査信号線は当該選択状態から非選択状態に変化する時点から所定の画素値保持期間が経過した後であって次のフレーム期間における有効走査期間で選択状態となる前に少なくとも1回は前記黒信号挿入期間で選択状態となるように、前記複数の走査信号線を選択的に駆動する走査信号線駆動ステップと

を有することを特徴とする、駆動方法。

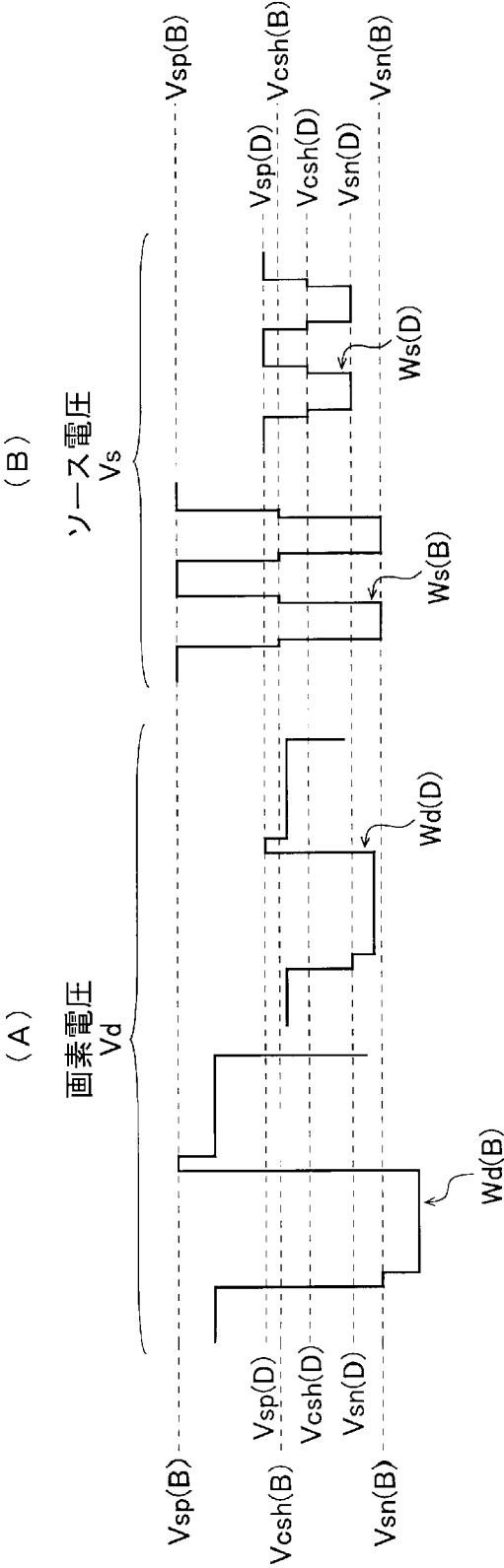
[illegible][illegible]

[図3]

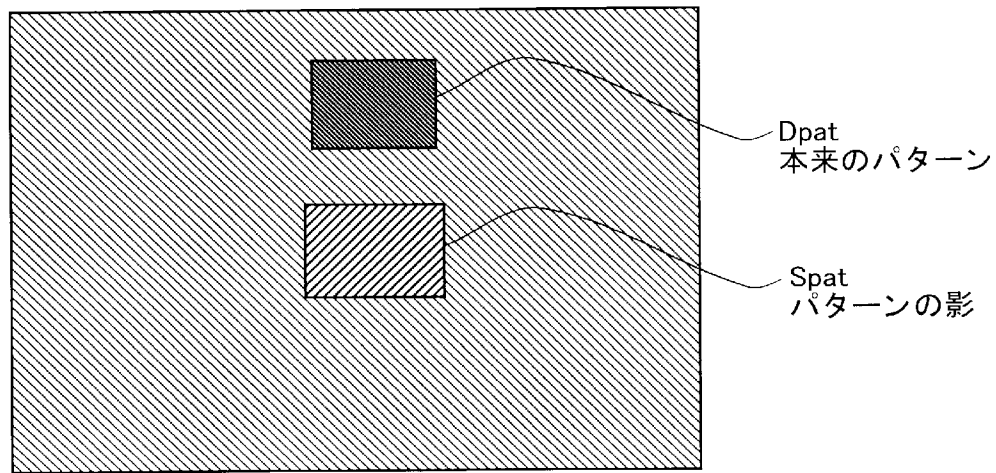




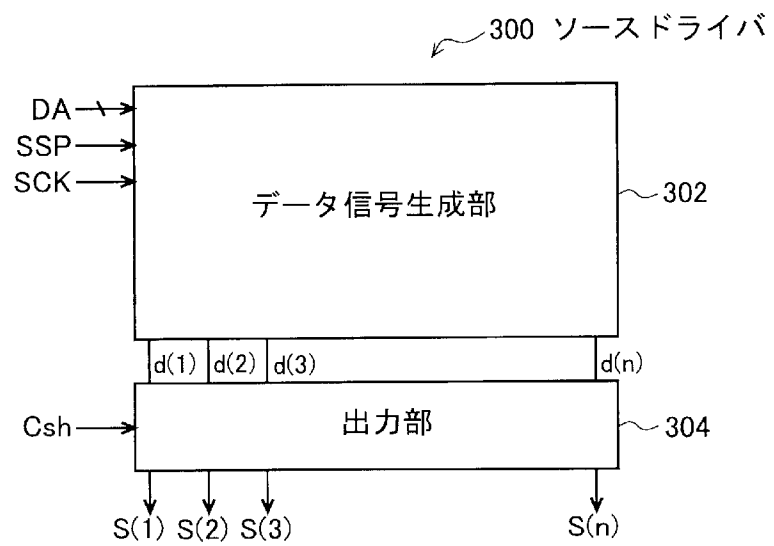
[図6]



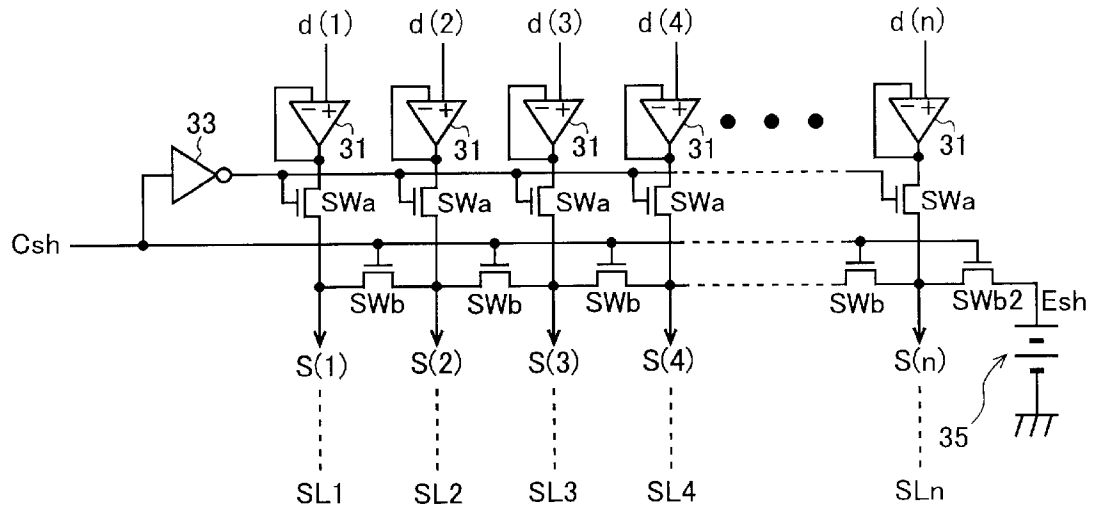
[図7]



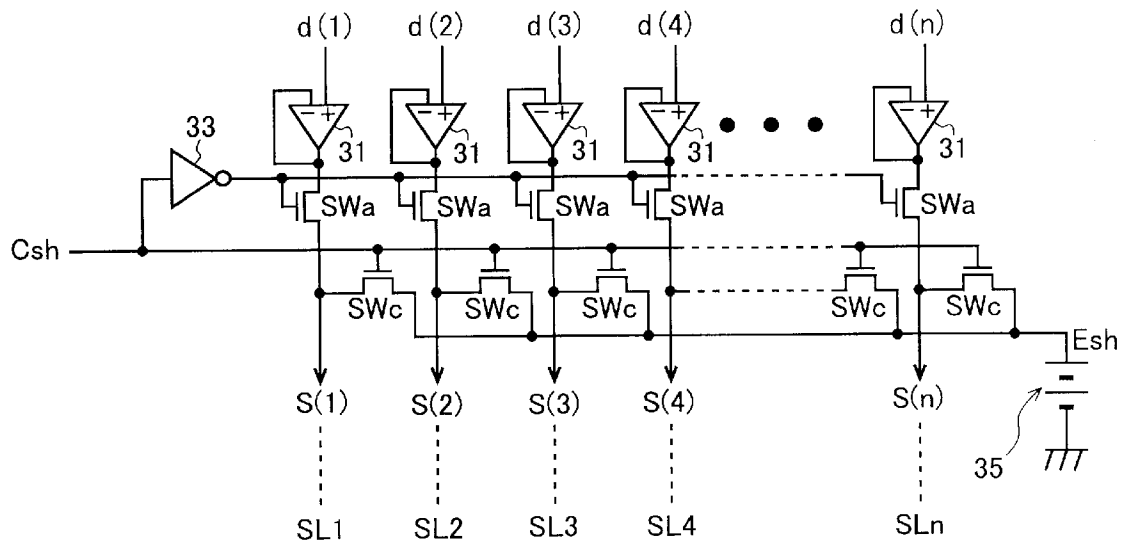
[図8]



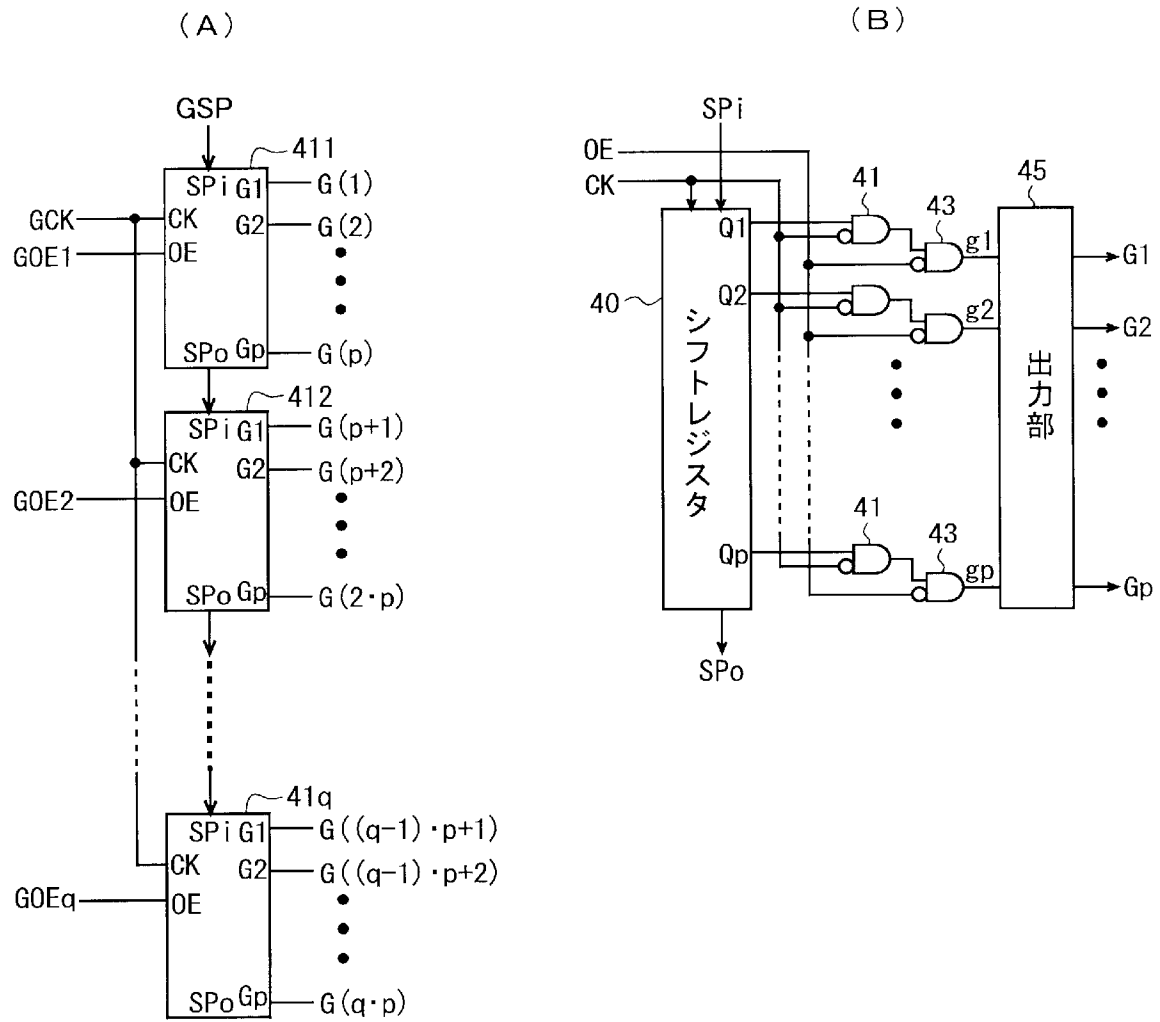
[図9]



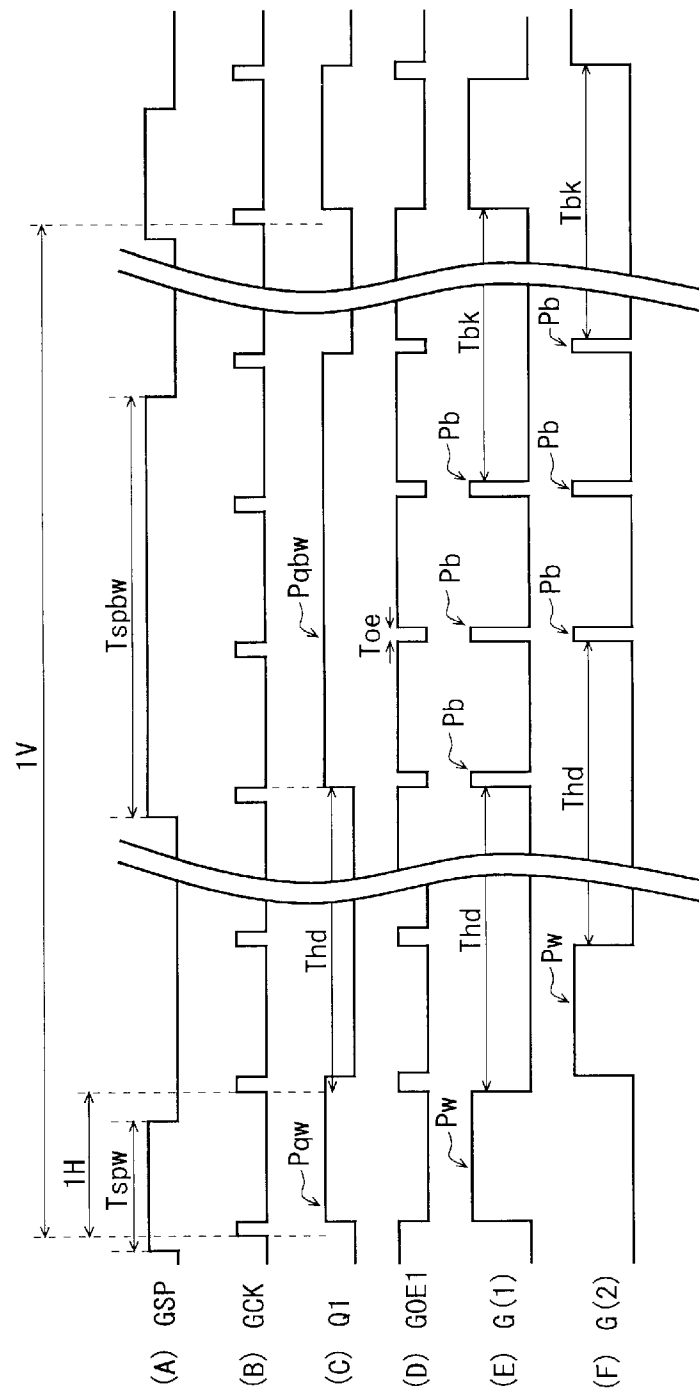
[図10]



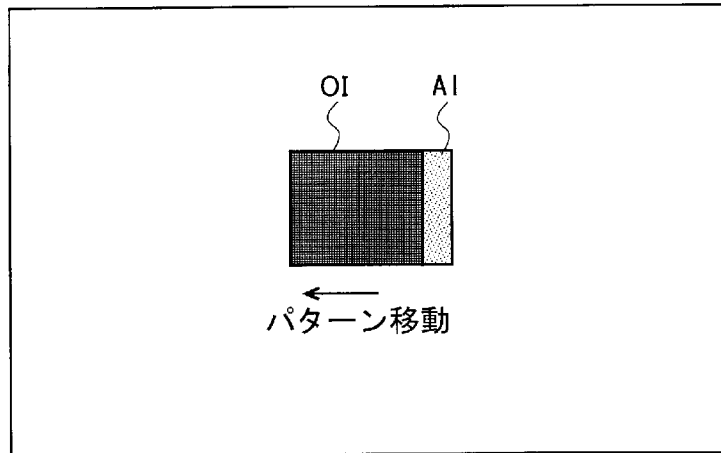
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/313314

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01) i, G02F1/133(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/36, G02F1/133, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-61552 A (Victor Company Of Japan, Ltd.), 26 February, 2004 (26.02.04), Full text; all drawings & US 2004/0104881 A1	1-3, 5
Y	JP 2003-140624 A (Victor Company Of Japan, Ltd.), 16 May, 2003 (16.05.03), Full text; all drawings (Family: none)	1-5
Y	JP 2-204718 A (Sony Corp.), 14 August, 1990 (14.08.90), Full text; all drawings (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 August, 2006 (14.08.06)

Date of mailing of the international search report
22 August, 2006 (22.08.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料（国際特許分類（I P C））
 Int.Cl. G09G3/36, G02F1/133, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2006年
 日本国実用新案登録公報 1996-2006年
 日本国登録実用新案公報 1994-2006年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P 2 0 0 4 - 6 1 5 5 2 A (日本ビクター株式会社) 2 0 0 4 . 0 2 . 2 6 , 全文全図 & U S 2 0 0 4 / 0 1 0 4 8 8 1 A 1	1-3, 5
Y	J P 2 0 0 3 - 1 4 0 6 2 4 A (日本ビクター株式会社) 2 0 0 3 . 0 5 . 1 6 , 全文全図 (ファミリーなし)	1-5
Y	J P 2 - 2 0 4 7 1 8 A (ソニー株式会社) 1 9 9 0 . 0 8 . 1 4 , 全文全図 (ファミリーなし)	1-5

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 14.08.2006	国際調査報告の発送日 22.08.2006
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 濱本 慎広 電話番号 03-3581-1101 内線 3226