

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4106083号
(P4106083)

(45) 発行日 平成20年6月25日(2008.6.25)

(24) 登録日 平成20年4月4日(2008.4.4)

(51) Int. Cl. F 1
G 0 6 F 1 5 / 1 6 7 (2 0 0 6 . 0 1) G 0 6 F 1 5 / 1 6 7 6 1 5 Z

請求項の数 9 (全 9 頁)

(21) 出願番号	特願平7-506136	(73) 特許権者	505168126 コップ, マルティン
(86) (22) 出願日	平成6年7月22日(1994.7.22)		ドイツ連邦共和国 D-68259 マン
(65) 公表番号	特表平9-501524		ハイム フランケンシュトラーセ 34
(43) 公表日	平成9年2月10日(1997.2.10)	(74) 代理人	100061815
(86) 国際出願番号	PCT/DE1994/000848		弁理士 矢野 敏雄
(87) 国際公開番号	W01995/004973	(74) 代理人	100094798
(87) 国際公開日	平成7年2月16日(1995.2.16)		弁理士 山崎 利臣
審査請求日	平成13年7月23日(2001.7.23)	(74) 代理人	100099483
審査番号	不服2005-8574(P2005-8574/J1)		弁理士 久野 琢也
審査請求日	平成17年5月9日(2005.5.9)	(74) 代理人	230100044
(31) 優先権主張番号	P4326740.8		弁護士 ラインハルト・アインゼル
(32) 優先日	平成5年8月9日(1993.8.9)	(72) 発明者	コップ, マルティン
(33) 優先権主張国	ドイツ(DE)		ドイツ連邦共和国 D-68259 マン
			ハイム フランケンシュトラーセ 34 最終頁に続く

(54) 【発明の名称】 計算装置用アーキテクチャ

(57) 【特許請求の範囲】

【請求項1】

ユーザインターフェースを有する計算装置であって、
該計算装置は複数のプロセッサユニット(101、102)を有し、
該複数のプロセッサユニットは、それぞれ別個の内部バスシステムを使用し、
前記計算装置は、データおよび通信を伝送するためのインターフェース(103)を有し、
並びにグラフィックユーザインターフェースを実現するためのソフトウェアを有する形式の計算装置において、

a) 前記計算装置のハードウェアコンポーネントは3つの部分に分割されており、
前記第1の部分(101)はもっぱら、グラフィックユーザインターフェースの表示および機能を実現するために前記ソフトウェアを実行し、
前記第2の部分(102)はもっぱら、ユーザインターフェースからトリガされるアプリケーションプログラムおよびそのために必要な動作プログラムの処理を実行し、
前記第3の部分は、計算装置の他のコンポーネント(107、108、109、110)、並びに当該コンポーネントにアクセスするのに適した端末バス(104)またはクロスバススイッチを有し、

前記第1、第2および第3の部分は、外部端末コンポーネント(110)を別にして、1つの器機ユニットとして実現されており、当該器機ユニットはモジュール構成されており、

b) 前記第1の部分、前記第2の部分および前記第3の部分は内部タスクのために、それ

それぞれ他の部分とは別の固有のアクセス経路(105, 106)を有し、

c) 前記器機ユニット内の前記第1の部分(101)と前記第2の部分(102)との間に前記インターフェース(103)が設けられており、

該インターフェース(103)は、通信およびデータの交換をサポートし、該インターフェースの接続は、前記第1の部分および第2の部分での独立した処理フローを妨げず、

d) 前記第1の部分および前記第2の部分に対する前記固有のアクセス経路(105, 106)は、前記第3の部分において共通に使用される前記コンポーネントへの接続のために設けられており、

前記固有のアクセス経路(105, 106)は、それぞれ他の部分での独立した処理フローを妨げない、

ことを特徴とする計算装置。

【請求項2】

第1の部分(201)は、所属のメモリ(210)と、第2の部分(202)と共通に使用される、第3の部分のコンポーネントへのアクセス装置(209)とを備えた少なくとも1つの固有のプロセッサ(212)によって構成されている、請求項1記載の計算装置。

【請求項3】

第2の部分(202)は、所属のメモリ(214)と、第1の部分(201)と共通に使用される、第3の部分のコンポーネントへのアクセス装置(213)とを備えた少なくとも1つの固有のプロセッサ(216)によって構成されている、請求項1または2記載の計算装置。

【請求項4】

第1の部分と第2の部分との間のインターフェースは、割り込み信号とキューイングの適用によってデータ(204)および通信(205)の効率的交換をサポートする、請求項1から3までのいずれか1項記載の計算装置。

【請求項5】

第1の部分および/または第2の部分に対して付加的な固有のアクセス経路が設けられており、

該固有のアクセス経路は、当該部分にだけ配属された、第3の部分のコンポーネントへのアクセス経路である、請求項1から4までのいずれか1項記載の計算装置。

【請求項6】

付加的な固有の装置(211)が第1の部分に設けられており、

前記固有の装置は、有利にはグラフィックス構成(350, 351, 352, ...)の促進、および/または種々の入/出力装置(309...313)および/またはローカル大容量メモリおよび/またはデータ(330, 331, ...)の圧縮/伸長のサポート(306, 307, 308)等の機能をサポートする、請求項1から5までのいずれか1項記載の計算装置。

【請求項7】

付加的な固有の装置(215)が第2の部分に設けられており、

前記固有の装置は、有利には数値演算機能および/またはデータ保持機能、例えばテキスト中の音声検索および/またはローカル大容量メモリのそれぞれの機能をサポートする、請求項1から6までのいずれ以下1項記載の計算装置。

【請求項8】

第1の部分および第2の部分のアクセス装置(209, 213)間に接続部(203)が設けられており、

前記アクセス装置は、共通に使用される、第3の部分のコンポーネントへのアクセスを可能にするものであり、

前記接続部は、有利には優先制御される指示によって、共通に使用されるデータ経路での衝突を調整し、すなわち阻止し、または適切に投入する、請求項1から7までのいずれか1項記載の計算装置。

10

20

30

40

50

【請求項 9】

前記接続部(203)は、優先制御される指示によって実現され、該指示は有利にはダイナミックに変化する優先権を用い、例えば特別の場合に優先権を第1の部分または第2の部分の片方に有利なように基本構成に対して変更する、請求項8記載の計算装置。

【発明の詳細な説明】

計算装置のユーザインターフェースの領域では、大容量データが取り扱われ、高い計算能力が要求される。なぜなら一方では、使用される画像システムの解像度がますます上昇し、動画やデスクトップビデオの適用では高いデータスループートが構造化グラフィックないし非構造化グラフィックで必要だからであり、他方では、操作構造の複雑さがますます増大するので、さらに短い応答時間がこのようなインタラクティブシステムに要求されるからである。

10

画像再生装置によりユーザフレンドリーな表示を行うため、計算装置のメインプロセッサの他に場合により付加的なパッシブ素子またはアクティブ素子を使用することが公知である。(Foley, van Dam, Feiner, Hughes-Computer Graphics, Principles and Practice-Second Editin, Addison-Wesley Publishing Company, Reading, Massachusetts-ISBN 0-2-1-12110-7およびサービスプロセッサに対するEP0350911A2明細書)刊行物D1(EP-A-0528396)、3頁、2~9行から、工業プロセス制御のネットワークでユーザインターフェースを管理するためのタスクを固有のプログラム(ユーザインターフェースサービスプログラム)に移すことが公知である。このプログラムは各ノード(クライアントターミナル)で入/出力を行うことができる。刊行物D2(US-A4570220)には、データおよび通信を交換するための複数のバスシステムと固有の装置を有する計算アーキテクチャが記載されている。

20

現在のシステム構造では、ユーザインターフェースの操作機能の実現のために必要な高い要求が考慮されておらず、また将来、グラフィックサブシステムおよびメインプロセッサの外で、例えば大容量メモリ、入/出力インターフェース等により記憶され、そこで保存されなければならない大容量データについても考慮されていない。例えば、所期の1600×1200画素の解像度と画素毎に32ビットのカラー濃度を有するシステムの画像メモリは約7.5Mバイトを占有する。表示された画像を更新するためには、毎秒25フレームの動画の場合、約187Mバイト/秒の新たなデータをこのメモリに記憶しなければならない。しかし所期の画像反復レートが100Hzの場合には、同時に750Mバイト/秒でこのメモリから読み出し、表示しなければならない。

30

このことは、本来のアプリケーションを処理し、計算、データ保持等を実行しなければならない計算装置のユニットにとって大きな負荷となる。ここで計算装置のこのユニットは、グラフィックサブシステムとのデータ交換のためのデータ経路の高い負荷によって(この高い負荷はメインプロセッサまたはこれに配属された他のユニットのフリーズにつながる)、その処理能力が大きく阻害される。(これについては、マルチプロセッサシステムの例として、EP0350911A2を参照。ここには、この密に結合されたマルチプロセッサシステムの共通メインメモリが主たるブレーキであることが記載されている。)さらに前記計算装置のユニットは、ユーザ入力に直ちに応答するため、または表示更新を維持するための作業フローに頻繁な中断によってその処理能力が大きく損なわれる。さらにこのアーキテクチャでは、ユーザの問い合わせに対してシステムの使用を制限しないと、処理能力の予測を行うことができない(システムサポートプロセッサが割り込み、セマフォ等の処理によって負荷される場合にはEP0350911A2参照)。

40

本発明の課題は、本来のアプリケーションを処理する計算装置のユニットの負荷を低減し(この負荷は表示および機能におけるユーザインターフェースの実現により発生する)、これにより効率の良い計算装置を提供することである。この計算装置においては、公知のサブコンポーネントを維持した場合でも、またユーザインターフェースの品質に対する要求が上昇した場合でも、アプリケーションに使用可能な能力を大きく上昇させ、また能力の良好な予測が可能となる。

ユーザインターフェースを備えた本発明の解決手段は、複数のプロセッサユニット(10

50

1、102)を有し、別個の内部バスシステムを使用し、データおよび通信を伝送するための装置(103)を有し、さらにグラフィックユーザインターフェースをシステム管理するためのソフトウェアを備えており、さらに以下の特徴を有する。

a) 計算装置のハードコンポーネントおよびソフトコンポーネントが次のように3つの部分に分けられている。第1の部分(101)は、もっぱら表示および機能におけるユーザインターフェースの実現のためのタスクを処理する。第2の部分(102)はもっぱら、ユーザインターフェースからトリガされたアプリケーションプログラムとそのために必要な動作プログラムの処理を行う。そして第3の部分(107、108、109、110)は計算装置の残りの部分と、これらコンポーネントにアクセスするのに適した接続構造体(104)とを含む。これらの第1、第2、第3の部分は、外部端末コンポーネント(110)を別にして、1つの機器ユニットとして実現され、この器機ユニットはモジュール構成される。

10

b) 第1の部分、第2の部分、第3の部分は内部タスクのために、固有の別個のデータ経路を有する。

c) 第1の部分(101)と第2の部分(102)との間にソフトウェアおよびハードウェアインターフェース(103)を設け、これらインターフェースは通信およびデータの交換をサポートする。その際に、第1の部分と第2の部分での独立した処理フローを阻害する常時の直接接続は形成されない。

d) それぞれ第1の部分と第2の部分に対して、固有のアクセス経路(105、106)を、第3の部分の共通に使用される付加的装置に設ける。

20

本発明の構成は従属請求項に記載されている。

本発明により得られる利点は、以下のとおりである。

ユーザインターフェースを実現する第1の部分を、本来のアプリケーション処理、例えば計算、データ管理または論理結合を実行する第2の部分から分離することにより、これら領域を分離することができ、これによりさらに効率的な計算装置が得られる。例えばプロセッサによるコンテキスト交換は、今日のアーキテクチャでは通常のことであるが、多くの場合必要ない。

第1の部分と第2の部分はそれぞれのタスクに対して、2つのタスクを1つの部分(例えばプロセッサ、メモリおよび入/出力部からなるただ1つの処理ユニット)により処理するシステムの場合よりも格段に良好に適應することができる(請求項2、3、5、6、7参照)。

30

第3の部分(請求項1 a、1 d、2、3、5、8、9参照)からなる共通のコンポーネントへの、第1の部分と第2の部分の専用のアクセス経路はシステムの潜在能力を向上させる。なぜなら、第1の部分が第3の部分からなるコンポーネントに、例えば動画データを大容量メモリまたはネットワークからロードするためにアクセスしている間、第2の部分はそのローカルデータ経路(請求項1 b、1 c、3、7参照)で妨害を受けずに処理することができる。今日通常のシステムではこのアクセスを、メインプロセッサ自身により実現するか、少なくともメインプロセッサのバスシステムが使用され、メインプロセッサは多少とも中断される。メインプロセッサ自身によるアクセスは、例えばプロセッサがデータを大容量メモリから読み出し、これをグラフィックカードにさらに送付することにより行われる。

40

第1の部分と第2の部分が、第3の部分からなる共通に使用されるコンポーネントへアクセスするための適切な同期装置を備えた本発明の構成(請求項1 d、8、9参照)によって、それぞれ最優先される部分の最大スループット能力を使用している場合でも最小の遅延でアクセスできることが保証される。場合により必要な同期は例えば第1の部分と第2の部分との間のソフトウェアおよびハードウェアインターフェースを介して行われる(請求項1 c、4参照)。または第1の部分と第2の部分のアクセスを行うコンポーネントの接続によって行われる(請求項8、9参照)。

データ表示と、ユーザインターフェースの操作機能を管轄する計算装置部分の構造的統一により広範な最適化が可能である。この最適化はこれらコンポーネントが分離している場

50

合には不可能であろう。現在一般的なアーキテクチャでは、なるほど表示は適切なプロセッサにより促進することができるが、ユーザへのフィードバックの実現、すなわちユーザインターフェースの機能は相変わらずメインプロセッサにより処理しなければならず、メインプロセッサはそのために連続計算等を中断し、その間停止しなければならない。例えばオブジェクト指向構造の現代のユーザインターフェースは、請求項1の新しいアーキテクチャでさらに良好に計算器のアーキテクチャにシミュレートすることができる。なぜなら、ユーザインターフェースのオブジェクトは一般的に表示および機能からなるからである。この表示および機能はここでは1つの同じユニットにより処理される（請求項1 a、1 b、2、6 参照）。

データ表示は比較的になる。なぜなら、グラフィック表示が行われる個所で直接、画面上の座標点のアクセスを行うことができるからである（請求項1 a、1 b、2、6 参照）。すなわち、例えばポインタの位置を個々のオブジェクトないしユーザインターフェースの構造毎に行うことができるからである。例えばこのようなオブジェクトの相互カバールの計算は1回だけ実行すればよい。

計算器のアーキテクチャにより定義される構造は、現代のオペレーティングシステム/ユーザインターフェースコンビネーションのクライアント/サーバソフトウェア構造に似ている。ここでも通信交換とデータ伝送による分割が行われる（請求項1 c、4 参照）。これによって、このようなシステムを新たなアーキテクチャにとくに簡単に適合することができる。比較的古いシステムは適切な手段によって同じようにシミュレートすることができる（請求項1 c 参照）。これは例えばマルチウェイアクセスを備えたメモリ領域（デュアルポートメモリ）によって行われる。

例えばいわゆるXターミナルの使用の際に見られる真のクライアント/サーバ構造とは異なり、本発明のアーキテクチャでは、アプリケーション用の固有の計算能力を有する分散型ハードウェアの利点がすべて保持される（請求項5、6、7 参照）。さらに特許EP 4 0 1 8 0 3 等に掲示された手段（複数の別個の計算ユニットの接続）とは異なり、短い接続を介して器機内でも実現される技術を使用することもできる（請求項1 a、1 c、4、8、9 参照）。

本発明のアーキテクチャは、実現の上では必ずしも物理的または空間的形態で必要ない場合でも、明瞭なモジュール化を特徴とする（請求項1 a、1 b、1 c、1 d、1 0 参照）。このことにより、能力適合、能力向上、または種々異なるプロセッサまたは素子を3つの部分に使用するため、これら部分を簡単に交換することができる。

ここに示されたモジュール化の利点および現代のオペレーティングシステムへの類似性により、このアーキテクチャを部分コンポーネントの構成に依存しないで使用することができる。このアーキテクチャはまた、種々異なるプロセッサおよび種々異なるオペレーティングシステム/ユーザインターフェース・コンビネーションを有するすべての公知のシステムに適用することができる（請求項1 a、1 c、1 d、2、3 参照）。

以下本発明を3つの実施例に基づいて説明する。実施例は図面に示されている。

図1は、計算装置の概略的实施例に対するアーキテクチャ、

図2は、第1の部分と2の構成を示す図、

図3は、第1の部分の構成を示す図である。

図面に使用される符号はテキスト中に説明する。

本発明を以下、3つの実施例の図面に基づいて、構成および作用について説明する。

実施例に示された詳細、例えばプロセッサ、バスシステム等は本発明の理解のためにのみ用いるものである。当業者にとって、本発明はこのような特別な詳細なしに実現可能である。図面は、本発明を不必要な詳細によって分かりにくくしないため概略的に示してある。

図1には、アーキテクチャ移植の例が示されている。第1のプロセッサユニットは例えばメモリの周辺インターフェースを備えたマイクロプロセッサからなる（請求項2 参照）。この第1のプロセッサユニットの第1の部分1 0 1はインターフェース1 0 3を有する。このインターフェース1 0 3は、同じように構成された第2のプロセッサユニットの第

10

20

30

40

50

2の部分102とのデータ通信のためのものである(請求項1a、1c参照)。2つのプロセッサユニットの別個の外部バスシステムは図示されていない(請求項1b参照)。

第3の部分は、この実施例では、付加的装置107(大容量メモリ)、108

(ネットワーク/DFÜ)

および109(入/出力制御部、E/A)、これらの素子を接続する端末バス104、およびE/A109に接続された外部周辺機器110(プリンタ、スキャナ等)により示されている(請求項1a参照)。

第1のプロセッサユニット101は固有のアクセス経路105を介して、第3の部分からの端末バス104と接続されている(請求項1d参照)。相応にして第2のプロセッサユニット102も固有のアクセス経路106を介して端末バス104およびひいては、第3の部分の共通に使用されるコンポーネント107、108、109および110と接続されている。端末バス104の交互の占有は、第1のプロセッサユニット101と第2のプロセッサユニット102により、例えば衝突検出法(Ethernetで使用されるものと同様)によって実現される。

端末バス104による個々のコンポーネント107、108、109、110へのアクセス形式、並びにコンポーネントの選択は例として示されているだけであり、本発明の特徴ではない。これらは例えばクロスバースイッチによって実現することもできる。クロスバースイッチは、制御されるコンポーネント群が論理和結合されていれば、図示された第1および第2のプロセッサユニットが第3の部分のコンポーネントに同時にアクセスすることを可能にする。

第1および第2のプロセッサユニット(請求項1には第1の部分、第2の部分として示されている)の構成も1つの実施例である。別の発展的構成が図2に示されている。プロセッサユニットはこの図2では201(第1のプロセッサユニットPE1)と202(第2のプロセッサユニットPE2)により示されている。というのは、これらは別の実施例だからである(請求項1a、2、3、6、7参照)。

PE1、201は固有のアクセス経路207により端末バス206と接続されている(請求項1d参照)。このアクセス経路207はここでは例としてSCSIバスまたはIEEEバスの形態で移植することができる。必ずしも必要ではないが、PE2、202も同じように208を介して206と接続されている。アクセス装置209(第1の端末バスコントローラ、PBK1)および213(第2の端末バスコントローラ、PBK2)として、SCSIホストアダプタないしIEEEホストアダプタが使用されると仮定する。PBK1とPBK2との間のデータ通信交換のための接続路203はオプションであり(請求項8、9参照)、例えばホストアダプタ間の付加的接続、または端末バス206での固有のプロトコルまたは迂回路を介して行うこともできる。迂回路はデータに対するアクセス経路204または通信に対するアクセス経路205を使用する。

PBK1、209はさらに210(第1のメモリ、S1)と接続されている。このことはメモリS1へのダイレクトアクセス制御(DMA)により実現可能である。PBK1、209は211(第1の拡張ユニット、EE1)とも接続されている。EE1、211(請求項6参照)は例えば、画像出力部217(画像出力装置BAG)ないし入力装置218(EG)に対するアダプタを有する。さらにEE1はPBK1への前記の接続の他に、それぞれS1、210およびプロセッサ212(第1のプロセッサP1)への接続路を有する。このプロセッサは、S1、210への別のPE1、201内部接続路を有する。これにより、PE1、201内の内部独立バスシステムを表す第1の部分が明らかである(請求項1b参照)。

PE2、202の内部構成は同じである。PBK2、213はS2、214(第2のメモリ、S2)およびEE2、215(第2の拡張ユニット、EE2)と接続されている。このEE2、215はこの実施例では数値演算コプロセッサとすることができる(請求項7参照)。S2、214はPBK2、213、EE2、215およびプロセッサP2、216との接続路を有する。プロセッサP2、216はEE2、215とも接続している。P

10

20

30

40

50

2, 216は任意のマイクロプロセッサとすることができる。この個所では、本発明は容易に既存のアーキテクチャに適合することができる。これは、古いアーキテクチャが第2の部分、ここではPE2, 202を表し、この第2の部分に適切に、例えば前記の方法の1つによって第1の部分、ここではPE1, 201を補充し、これと接続することによって達成される。その際、場合により元のアーキテクチャのコンポーネント、例えばグラフィックカードをPE1, 201で使用することができる。

S1, 210とS2, 214との間のデータに対する接続路204はDMA伝送により実現することができる。このDMA伝送はプロセッサP1, 212とP2, 216により初期化することができる。通信に対する接続路205は割り込み線路により実現することができる。この割り込み線路によりプロセッサは相互にイベントについて通報することができる。このイベントには場合により204での伝送が伴うことがある。択一的にキューイングもハードウェアに移植することができる(例えばFIFOメモリとして)(請求項1c、4参照)。

10

接続路203、204、205が明瞭に定義されれば、必要に応じて、PE1, 201を後からでも例えば図3に示した変形PE1, 301と交換することができる。このことはもちろん反対に、PE2, 202の他方の仮想移植に対しても当てはまる。このことは可能なモジュールコンセプトを明らかにする(請求項10参照)。

図3のPE1, 301はその基本構造の点でPE1, 201と同じであり、基本機能の点で次の関係がある: P1, 302はP1, 212に相応する。しかしこの場合、P1はむしろ汎用プロセッサとして移植される。なぜならグラフィック機能は後で説明するよう、他のコンポーネントにより引き受けられることができるからである。このプロセッサはS1, 303(S1, 210に相応する)と接続されているが、しかし他の特性データも有する。このプロセッサはさらにPBK1, 304と接続されており、これはPBK1, 209に相応する。P1, 302とS1, 303とPBK1, 304はすべて、PE1の他の部分との1つまたは複数の接続路を有する。この他の部分はEE1, 211と等価である。ここでは例として、EE1, 211の次のコンポーネントを詳しく説明する。デジタルシグナルプロセッサ(DSP)308はS1, 303および312(オーディオ入力装置AEG)と313(オーディオ出力装置AAG)へのインターフェースと接続されている。入力処理ユニットEPE307は1つまたは複数の入力装置EG311へのインターフェースを有する。ビデオ処理ユニット(VPE)306は309(画像出力装置BAG)と310(画像入力装置BEG)へのインターフェースを有する。また数量化可能な数の画像処理ユニット(BPE1, BPE2, BPE3, ...)350、351、352、...へのアクセス部を有する。複数のBPEは簡単なグラフィックプロセッサからなる小さなモジュールとすることができる。グラフィックプロセッサは場合により、BITBLT機能、画像メモリの一部を備える。これらBPEは並列にプレゼンテーションを発生し、このプレゼンテーションはVPE306により読み出され、ビデオ信号として出力される。ないしはビデオ信号としてVPE306に到来し、これにより複数BPEへ変換後に分割される。複数BPEは個別にまたは群で、圧縮伸長ユニット(KDE1, KDE2, ...)330、331、...と接続されている。これら圧縮伸長ユニットはPBK1, 304と種々のKDEとの間でデータ流を交換し、その際これらを所望に応じて変換する。

20

30

40

もちろん、PBK1も例えば複数のパラレルアクセスユニットとすることができる。これは比較的大きな帯域幅を得るためである。

これらのコンポーネントすべてがコンフィギュレーション/通信バス305によって制御される。このバスを介してプロセッサP1, 302はすべてを調整する。割り込み信号または非常に小さなデータ量(例えば個々の符号)もキーボードからこのバスに伝送することができる(請求項1a、2、6参照)。

PE1ないしPE2の別の可能な固有のアクセス経路(第3の部分の固有のコンポーネントへの)は示されていない。これらは例えばモデムとすることができる。モデムはPE2に対して排他的なインターフェースを介して接続される。

【図1】

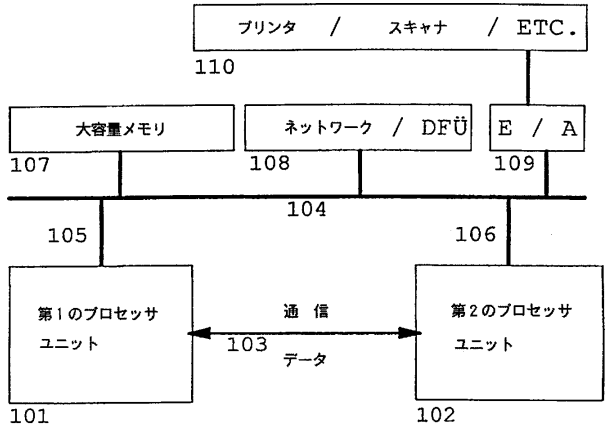


FIG. 1

【図2】

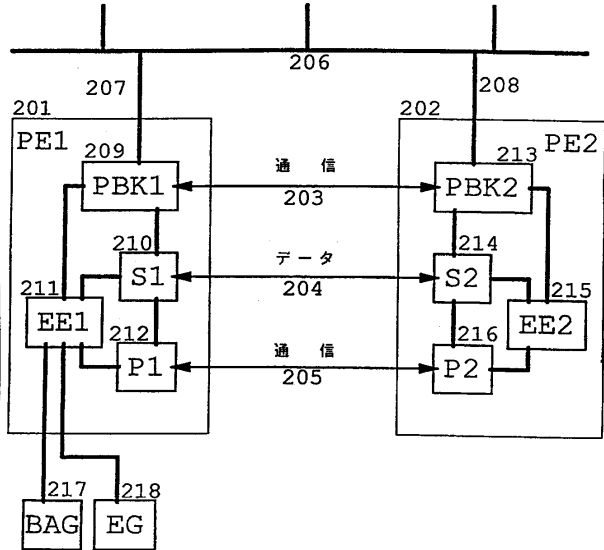


FIG. 2

【図3】

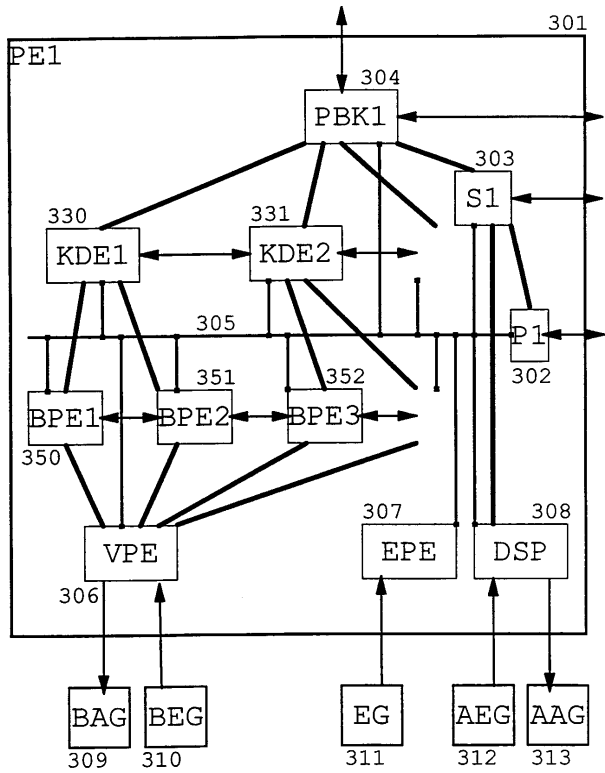


FIG. 3

フロントページの続き

合議体

審判長 吉岡 浩

審判官 相崎 裕恒

審判官 桑江 晃

- (56)参考文献 特開昭61-241785(JP,A)
特開昭62-11958(JP,A)
特開平4-10137(JP,A)
特開昭63-120330(JP,A)
特開平5-94272(JP,A)
特開平5-35623(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 15/16-177,G06F 3/00-3/048