POLSKA RZECZPOSPOLITA LUDOWA

URZĄD PATENTOWY PRL

OPIS PATENTOWY

109901

Patent dodatkowy do patentu nr ————

Zgłoszono: 21.12.76 (P. 200202)

Pierwszeństwo: ————

Zgłoszenie ogłoszono: 02.01.79

Opis patentowy opublikowano: **31.03.1983**

Int. Cl.[2] **G06F 7/38**
G06F 7/48

Twórca wynalazku: Stanisław Majerski

Uprawniony z patentu: Instytut Maszyn Matematycznych, Warszawa (Polska)

Układ cyfrowy mnożenia binarnego liczby przez sumę dwóch liczb

1

Przedmiotem wynalazku jest układ cyfrowy mnożenia binarnego liczby przez sumę dwóch liczb. Wynalazek jest przeznaczony do zastosowania w komputerach i systemach komputerowych, zwłaszcza w szybkich specjalizowanych procesorach do obliczeń numerycznych, oraz w innych szybkich urządzeniach cyfrowych realizujących operacje arytmetyczne.

W znanych rozwiązaniach cyfrowych układów mnożących szybkie wykonanie mnożenia binarnego liczby przez sumę dwóch liczb-składników sprowadza się do szybkiego wykonania dodawania tych składników i następnie do szybkiego wykonania mnożenia wspomnianej liczby przez wynik wykonanego dodawania. Dużą szybkość dodawania uzyskuje się w maszynach cyfrowych stosując równoległe układy dodawania wyposażone w dodatkowe, często bardzo rozbudowane, układy zmniejszające czas propagacji przeniesień. Bardziej istotne jest skrócenie czasu wykonania mnożenia jako operacji znacznie dłuższej niż dodawanie. Mnożenie binarne w maszynach cyfrowych sprowadza się zwykle do dodawania szeregu iloczynów częściowych, stanowiących wzajemnie przesunięte wielokrotności mnożnej, uzyskane przez pomnożenie mnożnej przez części składowe mnożnika, reprezentowane w układach mnożenia binarnego przez bity lub grupy bitów mnożnika. Bardzo duże szybkości mnożenia binarnego uzyskuje się dodając równocześnie do siebie w sposób równoległy wiele iloczynów częściowych, z których każdy odpowiada grupie kilku pozycji binarnych mnożnika.

2

Najszybszym ze znanych sposobów równoczesnego dodawania wielu wielobitowych iloczynów częściowych jest sposób przedstawiony w pracach: C. S. Wallace'a pt. „A sugestion for a fast multiplier", The Institute of Electrical and Electronics Engineers Transactions of Electronic Computers, tom EC-13 strony 14—17, luty 1964 r., oraz T. G. Hallin'a, M. J. Flynn'a pt. „Pipelining of arithmetic functions", The Institute of Electrical and Electronics Engineers Transactions of Electronic Computers tom EC-21 strony 880—886 sierpień 1972. Wykorzystanie tego sposobu w układach cyfrowych przedstawiono w wymienionych opracowaniach na przykładzie układu złożonego z dużej liczby sumatorów z pamiętaniem przeniesień (carry save adders) tworzących strukturę drzewiastką z dołączonym na wyjściu drzewa sumatorów jednym sumatorem z propagacją przeniesień (carry propagating adder), wyposażonym w układy maksymalnie przyspieszające propagację przeniesień. Łączna liczba iloczynów częściowych wprowadzanych na wejścia tego drzewa sumatorów i dodawanych w trakcie wykonywania mnożenia może być kilkakrotnie mniejsza od liczby bitów mnożnika, jeśli tylko pojedyncze iloczyny częściowe stanowić będą wielokrotności mnożnej odpowiadające kilkubitowym grupom bitów mnożnika.

Występujące stosunkowo często w obliczeniach numerycznych wykonywanie na przemian dodawania i mnożenia, wymaga zarezerwowania pewnego czasu na propagację przeniesień w czasie dodawania. Musi być ona wykonana po propagacji przeniesień kończącej poprzednie mnożenie. Przy zastosowaniu opisanego bardzo szybkiego układu mnożenia względna strata czasu na wykonanie dodawania może być dość znaczna. Stanowi to istotną wadę znanych dotychczas rozwiązań bardzo szybkich układów realizujących mnożenie binarne liczby przez sumę liczb.

Celem niniejszego wynalazku jest usunięcie tej wady i całkowite wyeliminowanie wykonania efektywnego dodawania dwóch liczb stanowiących składniki jednego z czynników mnożenia binarnego.

Cel ten osiąga się przez zastosowanie układu według wynalazku, zawierającego zespół przekształcający równolegle sygnały, reprezentujące bity składników mnożnika, na sygnały, reprezentujące cyfry redundancyjnego zapisu pozycyjnego mnożnika o symetrycznym wzlędem zera zapisie cyfr, określających krotności mnożnej dla poszczególnych iloczynów częściowych.

Zgodnie z wynalazkiem, układ cyfrowy do wykonywania mnożenia binarnego liczby przez sumę dwóch liczb przedstawionych w zapisie binarnym zawiera: dwa równoległe rejestry pamiętające składniki sumy stanowiącej mnożnik, rejestr równoległy pamiętający mnożną, zespół przygotowujący iloczyny częściowe oraz zespół sumujący iloczyny częściowe.

Układ zawiera również zespół przetwarzający, który przekształca równolegle dwie liczby stanowiące składniki mnożnika w grupy bitów reprezentujące liczby całkowite z zakresu od -2^{g-1} do $+2^{g-1}$ gdzie g przyjmuje jedną z wartości całkowitych od 1 do 4. Wspomniane liczby całkowite przedstawiają cyfry mnożnika w pozycyjnym zapisie redundancyjnym o podstawie 2^g i stanowią wielokrotności mnożnej służące do utworzenia iloczynów częściowych. Przekształcenie składników mnożnika w zapis mnożnika w postaci jednej liczby przedstawionej w pozycyjnym zapisie redundancyjnym o symetrycznym względem zera zakresie cyfr od -2^{g-1} do $+2^{g-1}$ odbywa się przy tym bez wykonywania efektywnego dodawania składników mnożnika, to znaczy bez propagacji przeniesień wzdłuż przekształconych składników. Składniki mnożnika przedstawione są przy tym najczęściej w zapisie binarnym uzupełnieniowym, lub w zapisie binarnym postaci znak-moduł. Ich pozycje binarne dzieli się jednakowo w obu składnikach mnożnika na ustalone grupy pozycji.

Korzystne jest stosowanie podziału zapisu obu składników mnożnika na grupy pozycji binarnych o jednakowej liczbie „g" pozycji w grupach, z ewentualnymi niewielkimi odchyleniami od tej reguły, w przypadku niepodzielności liczby pozycji składnika przez przyjętą liczbę pozycji binarnych w grupie. Korzystne jest przyjęcie jako „g" wartości 2 lub 3. Zespół przetwarzający składniki

mnożnika ma strukturę równoległą dostosowaną do identycznego pogrupowania bitów w obu składnikach mnożnika w g bitowe grupy oraz do przyporządkowania każdej parze odpowiadających sobie grup bitów, wziętych z obu składników mnożnika, jednej grupy bitów reprezentujących liczbę całkowitą ze wspomnianego zakresu od -2^{g-1} do $+2^{g-1}$. Dla wyznaczenia w zespole przetwarzającym jednej grupy bitów reprezentujących liczbę całkowitą z zakresu od -2^{g-1} do $+2^{g-1}$ wykorzystywane są co najwyżej trzy grupy bitów każdego ze składników mnożnika, jeśli te składniki są przedstawione w zapisie binarnym uzupełnieniowym.

W przypadku zapisu składników mnożnika w postaci znak-moduł wykorzystywane są ponadto ich bity znakowe. Sygnały reprezentujące liczby z zakresu od -2^{g-1} do $+2^{g-1}$, otrzymane z zespołu przetwarzającego składniki mnożnika, oraz sygnały reprezentujące mnożną z rejestru mnożnej przesyłane są do zespołu przygotowującego iloczyny częściowe, gdzie służą do wyznaczania iloczynów częściowych. Zespół ten ma strukturę dostosowaną do równoczesnego równoległego wyznaczania wszystkich iloczynów częściowych potrzebnych do wyznaczenia iloczynu końcowego, lub znacznej ich części. Wyznaczenie iloczynów częściowych odbywa się w sposób znany z szybkich układów mnożenia na podstawie mnożnej, lub kilku kolejnych wcześniej przygotowanych nieparzystych wielokrotności mnożnej, oraz na podstawie grup bitów reprezentujących liczby z zakresu od -2^{g-1} do $+2^{g-1}$ wyrażające krotności mnożnej. Dla $g=1$ i $g=2$ oraz odpowiadających im krotności mnożnej $-1, 0, +1$ i $-2, -1, 0, +1, +2$ wystarcza do wyznaczenia iloczynów częściowych tylko pojedyncza mnożna, dla $g=3$ i krotności od -4 do $+4$ jest potrzebna ponadto potrojona mnożna, a dla $g=4$ i krotności od -8 do $+8$ jest jeszcze potrzebna ponadto pięciokrotna i siedmiokrotna mnożna. Parzyste wielokrotności mnożnej uzyskuje się przez przesunięcie wielokrotności nieparzystych o odpowiednią liczbę pozycji binarnych w lewo, a ujemne wielokrotności mnożnej przez negację bitów wielokrotności dodatnich i dodanie jedynki na najmniej znaczącej pozycji binarnej zanegowanej wielokrotności mnożnej. Otrzymane wzajemnie przesunięte wielokrotności mnożnej stanowiące iloczyny częściowe sumuje się następnie w zespole sumującym iloczyny częściowe, przy czym korzystne jest równoległe sumowanie równocześnie wszystkich iloczynów częściowych, lub równocześnie wielu iloczynów częściowych. W wyniku sumowania iloczynów częściowych otrzymuje się końcowy iloczyn liczby przez sumę dwóch liczb.

Zgodnie z wynalazkiem, przekształcenie składników mnożnika w cyfrowym zespole przetwarzającym w grupy bitów reprezentujące liczby całkowite z zakresu od -2^{g-1} do $+2^{g-1}$ jest wykonywane w szczególności przez negowanie bitów wybranych z jednego lub obu składników mnożnika. Negowanie bitów, czyli zamianę bitów zerowych na jedynkowe a jedynkowych na zerowe, przeprowadza się wykorzystując regułę zamiany binarne-

go zapisu liczb na równoważny binarny uzupełnieniowy zapis tych liczb. Zgodnie z wzorami

$$\sum_{i=0}^{n-1} a_i\, 2^i = 1 \cdot 2^n - \sum_{i=0}^{n-1} (1-a_i)\, 2^i - 1 \cdot 2^0$$

$$-\sum_{i=0}^{n-1} a_i\, 2^i = -1 \cdot 2^n + \sum_{i=0}^{n-1} (1-a_i)\, 2^i + 1 \cdot 2^0$$

można mianowicie zastąpić bity $a_i (i=0,1,...,n-1)$ w zapisie binarnym liczby $\sum_{i=0}^{n-1} a_i\, 2^i$ przez ich negacje $1-a_i$, zmieniając równocześnie „wagi" tych bitów z dodatnich na ujemne i odwrotnie, oraz uzupełniając zapisy liczb o korekcyjne jedynki na najmniej i najbardziej znaczących pozycjach. W szczególności zgodnie z wynalazkiem zastępuje się również w wybranych grupach bitów mnożnika bity jedynkowe reprezentujące wartości —1, na najbardziej znaczących pozycjach w grupie, przez równorzędne im pary bitów jedynkowych reprezentujących $\overset{-}{1}\ \overset{+}{1}$ i analogicznie wartości +1 przez $\overset{+}{1}\ \overset{-}{1}$, zgodnie z regułą $-1 \cdot 2^i = -1 \cdot 2^{i+1} + 1 \cdot 2^i$ oraz regułą $+1 \cdot 2^i = +1 \cdot 2^{i+1} - 1 \cdot 2^i$, gdzie bardziej znaczące jedynki w parach bitów zalicza się już do sąsiednich bardziej znaczących grup.

O zastąpieniu jedynek, na najbardziej znaczących pozycjach w grupach bitów składników mnożnika, przez pary $\overset{-}{1}\ \overset{+}{1}$ i $\overset{+}{1}\ \overset{-}{1}$ decydują wartości jakie reprezentują poszczególne pary grup bitów składników mnożnika łącznie z najbardziej znaczącymi bitami w sąsiednich mniej znaczących parach grup bitów składników mnożnika. Zarówno negowanie bitów lub ciągów bitów w obu składnikach mnożnika, jak i zastępowanie najbardziej znaczących bitów jedynkowych w grupach przez pary jedynek, dokonywane jest zgodnie z podanymi wyżej regułami, a zatem bez zmiany wartości całego mnożnika. Uzyskane w ten sposób bity w grupach, z których każda grupa bitów reprezentuje liczbę całkowitą z zakresu od -2^{g-1} do $+2^{g-1}$ „sumuje" się oddzielnie w ramach każdej grupy z uwzględnieniem wag i znaków jakie reprezentują poszczególne bity. W wyniku uzyskuje się ciąg liczb całkowitych z zakresu od -2^{g-1} do $+2^{g-1}$ zakodowanych binarnie w wymaganej dogodnie postaci. Korzystne jest takie kodowanie tych liczb, że poszczególnym liczbom całkowitym od -2^{g-1} do $+2^{g-1}$ za wyjątkiem zera odpowiadają pojedyncze bity jedynkowe, lub takie kodowanie, że modułom tych liczb odpowiadają pojedyncze bity jedynkowe, a znaki liczb „plus" i „minus" są kodowane przez dwa oddzielne bity jedynkowe.

Zgodnie z wynalazkiem zespół przekształcający składniki mnożnika, wchodzący w skład układu cyfrowego mnożenia binarnego liczby przez sumę dwóch liczb, zawiera w szczególności niepołączone bezpośrednio ze sobą równolegle pracujące sieci przełączające, korzystnie sieci o jednakowej strukturze logicznej dla grup o stałej liczbie „g" pozycji binarnych mnożnika w grupach. Jako połączenia bezpośrednie rozumie się tu połączenia służące do przesyłania sygnałów zerojedynkowych, wytwarzanych w jednej sieci przełączającej, bezpośrednio do innej. Każda z sieci przełączających zespołu przekształcającego posiada wyjście połączone z wyjściami nie więcej niż trzech, zwykle kolejnych grup pozycji binarnych każdego z dwóch rejestrów pamiętających składniki mnożnika i ewentualnie z wyjściami pozycji znakowych tych rejestrów, co ma miejsce na przykład w przypadku zapisów binarnych w postaci znak-moduł. Każda z tych sieci przełączających przetwarza sygnały reprezentujące bity należące do nie więcej niż trzech, zwykle kolejnych grup pozycji binarnych każdego ze składników mnożnika i ewentualnie bity znakowe składników mnożnika. W wyniku tego przetwarzania na wyjściach każdej z tych sieci otrzymuje się sygnały reprezentujące liczbę całkowitą z przedziału od -2^{g-1} do $+2^{g-1}$, określającą krotność mnożnej dla jednego iloczynu częściowego. Korzystne jest stosowanie sieci przełączających o strukturze logicznej zapewniającej otrzymanie takich zerojedynkowych sygnałów wyjściowych, aby każdej niezerowej liczbie całkowitej z przedziału od -2^{g-1} do $+2^{g-1}$ odpowiadał jeden sygnał jedynkowy na innym wyjściu sieci, lub, aby każdej wartości bezwzględnej niezerowej liczby całkowitej z podanego przedziału odpowiadał jeden sygnał jedynkowy na innym wyjściu sieci i każdemu ze znaków „plus" i „minus" odpowiadał również jeden sygnał jedynkowy na odpowiednim wyjściu sieci.

Odmiana układu według wynalazku charakteryzuje się tym, że zespół przekształcający składniki mnożnika zawiera dwie lub trzy warstwy, niepołączonych bezpośrednio ze sobą w ramach tej samej warstwy sieci przełączających. Wejścia każdej z tych sieci przełączających połączone są z takimi wyjściami sieci przełączających z poprzednich warstw i/lub z takimi wyjściami rejestrów pamiętających składniki mnożnika, że sygnały na wyjściach każdej z sieci przełączających ostatniej warstwy, reprezentujące liczbę określającą krotność mnożnej dla jednego iloczynu częściowego, są zależne tylko od sygnałów wyjściowych z nie więcej niż trzech, zwykle kolejnych grup pozycji binarnych każdego z rejestrów pamiętających składniki mnożnika i ewentualnie od sygnałów wyjściowych z pozycji znakowych obu tych rejestrów, co ma miejsce na przykład w przypadku zapisów binarnych w postaci znak-moduł. Stosowanie dwóch lub trzech warstw sieci przełączających w zespole przekształcającym składniki mnożnika ma na celu uproszczenie struktury logicz-

nej tego zespołu i bardziej oszczędne jego rozwiązanie. W przypadku niepołączonych ze sobą sieci przełączających, w skład sieci przyporządkowanych sąsiednim grupom pozycji binarnych mnożnika wchodzą mianowicie między innymi mniejsze sieci realizujące tę samą funkcję logiczną. Wydzielenie takich składowych sieci przełączających i włączenie ich w osobną warstwę sieci pozwala znacznie uprościć cały zespół przekształcający. Mniej oszczędne rozwiązanie, omówione poprzednio, stosuje się natomiast w przypadku, gdy ważniejsze jest skrócenie czasu działania zespołu przekształcającego i zmniejszenie liczby warstw jego składowych elementów logicznych, niż zmniejszenie łącznej liczby tych elementów i zmniejszenie kosztu całego zespołu.

Układ mnożenia binarnego liczby przez sumę dwóch liczb, zgodnie z wynalazkiem, pozwala, w stosunku do znanych rozwiązań, na znaczne przyspieszenie wykonywania sumomnożenia w bardzo szybkich arytmometrach maszyn cyfrowych. Podstawową zaletą tego układu jest uniknięcie efektywnego dodawania przed wykonaniem mnożenia, a zatem zaoszczędzenie czasu na propagację przeniesień w trakcie tego dodawania. Jest to szczególnie istotne w odniesieniu do bardzo szybkich układów cyfrowych, w których czas propagacji pojedynczego dodawania stanowi znaczący procent czasu trwania mnożenia, czyli w odniesieniu do układów, w których dodawane są równocześnie w sposób równoległy wszystkie iloczyny częściowe, stanowiące składniki iloczynu końcowego, lub przynajmniej znaczna ich część. Zaletą tego układu jest również stosunkowo mała liczba iloczynów częściowych dodawanych w trakcie mnożenia, oraz bardzo mała liczba różnych wielokrotności mnożnej potrzebnych do utworzenia tych iloczynów częściowych. Przykładowo przy podziale zapisu składników mnożnika na trójbitowe grupy, jednej parze grup z obu składników, a więc sześciu bitom składników mnożnika, odpowiada jeden iloczyn częściowy. Dla utworzenia każdego takiego iloczynu częściowego wystarczy tylko, oprócz mnożnej, przygotowanie i zapamiętanie potrojonej mnożnej. Przez przesunięcie i negowanie bitów tej mnożnej i potrojonej mnożnej można otrzymać 9 kolejnych wielokrotności mnożnej wyrażonych liczbami całkowitymi: —4, —3, —2, —1, 0, +1, +2, +3, +4. Analogicznie parom grup dwubitowych składników mnożnika, a zatem czwórkom bitów składników mnożnika, odpowiadają iloczyny stanowiące wielokrotności mnożnej o krotnościach —2, —1, 0, +1, +2. Wielokrotności te otrzymać można przez przesunięcie i negowanie pojedynczej mnożnej.

Działanie układu według wynalazku jest przedstawione na przykładzie liczbowym, w którym podano kolejne etapy mnożenia binarnego liczby przez sumę dwóch liczb, w tym w szczególności sposobu przekształcania dwóch składników mnożnika w ciąg liczb całkowitych z zakresu od -2^{g-1} do $+2^{g-1}$ dla dwupozycyjnych grup bitów, czyli dla g=2 i liczb całkowitych od —2 do +2.

Przyjęto, że mnożnikiem jest suma dwóch składników „a" i „b", gdzie jeden składnik mnożnika a=+688, a drugi składnik mnożnika b=—783.

Liczby te są przedstawione w zapisie binarnym uzupełnieniowym, w którym mają postać

a = 0 1 0 1 0 1 1 0 0 0 0 +688

b = 1 0 0 1 1 1 1 0 0 0 1 —783

Pozycje binarne tych liczb dzielimy jednakowo w obu składnikach na ustalone grupy o jednakowej liczbie g=2 pozycji w poszczególnych grupach. Otrzymujemy zapis mnożnika

a+b= | 0 | 1 0 | 1 0 | 1 1 | 0 0 | 0 0 |
| 1 | 0 0 | 1 1 | 1 1 | 0 0 | 0 1 |

w którym kolejne pary grup bitów z obu składników reprezentują liczby całkowite

—1, +2, +5, +6, 0, +1

W przyjętym tu zapisie liczb, a mianowicie zapisie binarnym uzupełnieniowym, oprócz pierwszej od lewej pary bitów reprezentujących znaki liczb, pozostałe pary grup bitów reprezentują liczby całkowite mieszczące się w zakresie od 0 do $-2^{g+1}-2$ czyli dla g=2 w zakresie od 0 do 6. Przedstawiony ciąg liczb całkowitych wyraża wartość mnożnika w zapisie o podstawie $2^g=4$ czyli w zapisie czwórkowym zgodnie z wzorem

$$-1 \cdot 4^5+2 \cdot 4^4+5 \cdot 4^3+6 \cdot 4^2+0 \cdot 4^1+1 \cdot 4^0=-95$$

co odpowiada przyjętej wartości mnożnika

a+b=+688—783=—95

Pary grup bitów należy obecnie przekształcić w grupy bitów reprezentujące liczby z zakresu od $-2^{g-1}=-2$ do $+2^{g-1}=+2$, które wyrażać będą krotności mnożnej. Przekształcenia tego należy dokonać tak, aby nie uległa zmianie wartość całego mnożnika.

Przy zapisie binarnym uzupełnieniowym w skład takiego przekształcenia mogą wchodzić na przykład niżej opisane dwie czynności. Pierwszą z nich jest negacja bitu znakowego składnika „a" i wszystkich oprócz znakowego bitów składnika „b", wykorzystująca zasadę zmiany zapisu binarnego na jego uzupełnienie dwójkowe, wymagająca odjęcia dodatkowej jedynki na najmniej znaczącej pozycji. Po tej czynności grupy bitów składników mnożnika przyjmują postać

a + b =	1	1 0	1 0	1 1	0 0	0 0	+
	1	1 1	0 0	0 0	1 1	1 0	—
						1	—

gdzie pierwszy rząd bitów reprezentuje wartości dodatnie, a drugi i trzeci reprezentuje wartości ujemne. Powyższe grupy bitów przedstawiają obecnie liczby całkowite

0, —1, +2, +3, —3, —3

reprezentujące w zapisie czwórkowym wartość mnożnika

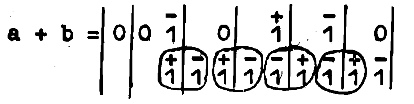
$$0 \cdot 4^5-1 \cdot 4^4+2 \cdot 4^3+3 \cdot 4^2-3 \cdot 4^1-3 \cdot 4^0=-95$$

W bardziej przejrzystej formie ostatnią postać mnożnika a+b można zapisać za pomocą zer i jedynek zaopatrzonych znakami, jako

a + b =	0	0	1	$\overset{-}{1}$	$\overset{+}{1}$	0	$\overset{+}{1}$	1	$\overset{+}{1}$	$\overset{-}{1}$	1	$\overset{-}{1}$	$\overset{-}{1}$	0
														$\overset{=}{1}$

Drugą ze wspomnianych czynności jest zastąpienie w niektórych grupach bitów mnożnika najbardziej znaczących bitów jedynkowych reprezentu-

jących wartości —1 i +1 przez równorzędne im pary bitów jedynkowych reprezentujących $\overset{-}{1}\,\overset{+}{1}$ i $\overset{+}{1}\,\overset{-}{1}$, w których bardziej znaczące jedynki zalicza się już do sąsiednich bardziej znaczących grup. Zastąpieniu podlegają przy tym bardziej znaczące cyfry $\overset{-}{1}$ w grupach, jeżeli zawartość dwóch sąsiednich mniej znaczących pozycji binarnych jest ujemna, oraz bardziej znaczące cyfry $\overset{+}{1}$ w grupach, jeśli zawartość dwóch sąsiednich mniej znaczących pozycji binarnych jest dodatnia. W omawianym przykładzie warunek ten spełniają wszystkie cztery jedynki objęte wyżej kółkami. Jedynki te zastępuje się zatem parami jedynek o różnych znakach, przedstawionych poniżej i objętych również w kółka



Uzyskuje się przez to zmianę zawartości poszczególnych grup pozycji mnożnika, a mianowicie otrzymuje się w każdej z grup liczby całkowite z zakresu od $-2^{g-1}=-2$ do $+2^{g-1}=+2$.

Podany wyżej zapis mnożnika można przedstawić w bardziej przejrzystej formie, w postaci

$$a+b=\left|\,0\,\right|\,0\;0\,\left|\,0\;\bar{1}\,\right|\,\bar{1}\;0\,\left|\,0\;0\,\right|\,0\;\overset{+}{1}\,\right|$$

gdzie kolejne grupy reprezentują liczby całkowite

0, 0, —1, —2, 0, +1

których ciąg przedstawia w zapisie czwórkowym wartość mnożnika

$$0\cdot4^5+0\cdot4^4-1\cdot4^3-2\cdot4^2+0\cdot4^1+1\cdot4^0=-95$$

Omówione równoległe przekształcenie grup bitów składników mnożnika przeprowadzono tak, że do wyznaczenia krotności mnożnej przyporządkowanej danej parze grup bitów z obu składników mnożnika wykorzystano bity należące do nie więcej niż trzech kolejnych grup pozycji każdego ze składników mnożnika, co stanowi istotną dla niniejszego wynalazku cechę. O zastąpieniu cyfry $\overset{+}{1}$ parą $\overset{+}{1}\,\overset{-}{1}$, a cyfry $\overset{-}{1}$ parą $\overset{-}{1}\,\overset{+}{1}$, decydowały mianowicie dwie poprzednie cyfry, z których mniej znacząca należała do poprzedniej mniej znaczącej grupy, a między innymi od niej zależała bardziej znacząca cyfra z podanych par $\overset{+}{1}\,\overset{-}{1}$ i $\overset{-}{1}\,\overset{+}{1}$, która zaliczała się już do następnej bardziej znaczącej grupy.

Otrzymane liczby

0, 0, —1, —2, 0, +1

stanowią całkowite krotności mnożnej służące do wyznaczania wielokrotności mnożnej dla poszczególnych iloczynów częściowych. Te wielokrotności mnożnej wyznacza się tak, że liczbom dodatnim +1 i +2 przyporządkowuje się mnożną i mnożną przesuniętą o jedną pozycję binarną w lewo, a liczbom —1 i —2 negację mnożnej i negację mnożnej przesuniętą o jedną pozycję w lewo, przy czym przy negowaniu mnożnej wymagane jest dodanie korekcyjnej jedynki na najmniej znaczącej p

cji mnożnej. Zakres krotności mnożnej od -2^{g-1} do $+2^{g-1}$ obejmujący w omawianym przykładzie, tzn. dla g=2, liczby —2, —1, 0, +1, +2 nie wymaga obliczania kolejnych nieparzystych wielokrotności mnożnej, jak na przykład obliczania potrójnej mnożnej wymaganego w przypadku g=3, to znaczy dla podziału składników mnożnika na grupy trójbitowe.

Przyjmując w omawianym przykładzie mnożną c=+1000, mającą w postaci binarnej uzupełnieniowej postać

c=0 1 1 1 1 1 0 1 0 0 0 /+1000/

przeprowadzamy następujące dodawanie trzech wielokrotności mnożnej odpowiadających otrzymanym poprzednio trzem niezerowym grupom cyfr mnożnika a+b

```
                    a + b = 0 |0 0 |0 -1 |-1 0 |0 0 |0 +1 |
  | 1 1 1 1 0 0 0 0 0 1 0 1 1 1 }
  |                           1 }
  | 1 1 1 1 1 0 0 0 0 0 1 0 1 1 1 }
  |                             1 }
  | 0 0 0 0 0 0 0 0 0 0 1 1 1 1 1 0 1 0 0 0
-----------------------------------------------
1 | 1 1 1 0 1 0 0 0 1 1 0 0 1 1 1 0 1 0 0 0
```

Kolejne składniki w powyższym dodawaniu przedstawiają: negację mnożnej, korekcyjną jedynkę, negację mnożnej, korekcyjną jedynkę i niezanegowaną mnożną. Nie wypisano w dodawaniu zerowych wielokrotności mnożnej odpowiadających zerowym grupom bitów mnożnika. Strzałkami pokazano najmniej znaczące cyfry wielokrotności mnożnej odpowiadających poszczególnym jedynkom przekształconego zapisu mnożnika.

Otrzymana w wyniku liczba binarna przedstawia w zapisie binarnym uzupełnieniowym liczbę —95000 stanowiącą wynik mnożenia mnożnej c= =1000 przez sumę składników mnożnika a=+688 i b=—783.

Wynalazek zostanie również bliżej wyjaśniony w przykładzie wykonania układu mnożenia pokazanym na rysunku, gdzie fig. 1 przedstawia układ mnożenia w schemacie blokowym według wynalazku, fig. 2 — część zespołu **D** przekształcającego składniki mnożnika w schemacie blokowym według wynalazku, a fig. 3 — część zespołu **D** przekształcającego składniki mnożnika w schemacie blokowym w odmianie według wynalazku.

Przykład wykonania układu mnożenia binarnego liczby przez sumę dwóch liczb, pokazano na rysunku. Zgodnie z fig. 1 układ zawiera dwa rejestry równoległe **A, B,** pamiętające składniki mnożnika, rejestr równoległy **C** pamiętający mnożną, zespół **D** przekształcający równolegle składniki mnożnika wprowadzane z rejestrów **A, B,** zespół **P** przygotowujący iloczyny częściowe stanowiące wzajemnie przesunięte wielokrotności mnożnej, do którego wprowadzana jest równolegle mnożna z rejestru **C** i przekształcony mnożnik z zespołu **D,** oraz zespół **S** sumujący równolegle równocześnie wszystkie iloczyny częściowe wprowadzane z zes-

połu **P**. Strukturę zespołu **D** przekształcającego składniki mnożnika, zawierającego niepołączone bezpośrednio ze sobą sieci przełączające pokazano na fig. 2, przedstawiającej schemat blokowy części tego zespołu obejmującej cztery kolejne jednakowe sieci przełączające D_0, D_2, D_4, D_8, przyporządkowane czterem kolejnym parom dwupozycyjnym grup pozycji binarnych składników mnożnika. Symbole a_0, b_0, a_1, b_1,..., a_7, b_7 na fig. 2 oznaczają jednobitowe wejścia z ośmiu kolejnych pozycji binarnych rejestrów **A**, **B**, począwszy od pozycji najmniej znaczącej, a symbole d_0, d_2, d_4, d_6 oznaczają czterobitowe wyjścia równoległe kolejnych sieci przełączających D_0, D_2, D_4, D_6. Każda z sieci przełączających D_{2_i} (i=0, 1, 2, 3) posiada taką strukturę logiczną, że w wyniku sygnałów zerojedynkowych, dostarczanych na jej wejście z wyjść

$$a_{2i-3}, b_{2i-3}, a_{2i-2}, b_{2i-2}, \ldots, a_{2i+1}, b_{2i+1}$$

rejestrów **A**, **B**, pojawiają się na jej czterech jednobitowch wyjściach, oznaczonych na rysunku jednym wspólnym symbolem d_{2_i}(i=0, 1, 2, 3), sygnały zerojedynkowe f_{2i}^{-2}, f_{2i}^{-1}, f_{2i}^{+1}, f_{2i}^{+2}, takie, że sygnał jedynkowy na jednym z czterech wyjść odpowiada jednej z liczb —2, —1, +1, +2. Opis struktury logicznej sieci przełączającej D_{2_i} podano niżej w formie równań boolowskich, przedstawiających równocześnie sygnały f^{-}, $^{-}$, $^{+1}$, $^{+}$ jako funkcje stanów wyjść $a_{2i-3}, b_{2i-3}, a_{2i-2}, b_{2i-2}, \ldots, a_{2i+1}, b_{2i+1}$ rejestrów **A**, **B**. Równania te mają postać

$$x_j = a_j b_j,\ y_j = \bar{a}_j \bar{b}_j,\ z_j = a_j \bar{b}_j \vee \bar{a}_j b_j,\ j = 0,1,2,\ldots$$

$$v_{2i} = x_{2i-1}(y_{2i-2} \vee z_{2i-2}\, y_{2i-3} \vee z_{2i-2}\, z_{2i-3})$$

$$w_{2i} = y_{2i-1}(x_{2i-2} \vee z_{2i-2}\, x_{2i-3} \vee z_{2i-2}\, z_{2i-3})$$

$$r_{2i} = v_{2i} \vee w_{2i} \vee z_{2i-1}$$

$$p_{2i} = x_{2i-1}(x_{2i-2} \vee z_{2i-2}\, x_{2i-3})$$

$$q_{2i} = y_{2i-1}(y_{2i-2} \vee z_{2i-2}\, y_{2i-3})$$

$$f_{2i}^{+2} = (x_{2i+1} \vee y_{2i+1}) z_{2i}\, w_{2i} \vee x_{2i+1}\, z_{2i}\, z_{2i-1} \vee \vee z_{2i+1} x_{2i}\, p_{2i} \vee x_{2i+1}\, y_{2i}\, p_{2i}$$

$$f_{2i}^{-2} = (x_{2i+1} \vee y_{2i+1}) z_{2i}\, v_{2i-1} \vee y_{2i+1}\, z_{2i}\, z_{2i-1} \vee \vee z_{2i+1}\, y_{2i}\, q_{2i} \vee y_{2i+1} x_{2i}\, q_{2i}$$

$$f_{2i}^{+} = (x_{2i+1} \vee y_{2i+1})(y_{2i}\, r_{2i} \vee z_{2i}\, q_{2i}) \vee \vee z_{2i+1}(x_{2i}\, r_{2i} \vee z_{2i}\, p_{2i})$$

$$f_{2i}^{-1} = (x_{2i+1} \vee y_{2i+1})(x_{2i}\, r_{2i} \vee z_{2i}\, p_{2i}) \vee \vee z_{2i+1}(y_{2i}\, r_{2i} \vee z_{2i}\, q_{2i})$$

gdzie i=0, 1, 2, 3, ... Symbole $\vee$ oznaczają w powyższych wzorach boolowskich sumy logiczne, jak również odpowiadające im w strukturze sieci przełączających bramki sum logicznych. Kreski poziome nad literami oznaczają negacje. Iloczyny logiczne i odpowiadające im w strukturze sieci przełączających bramki iloczynów logicznych, przedstawiono w powyższych wzorach jak zwykłe iloczyny w wyrażeniach algebraicznych. Wszystkie dolne indeksy odpowiadają numerom pozycji binarnych mnożnika. Dla wejść a_j, b_j o ujemnych wartościach indeksów j przyjmuje się jako stały stan zerowy.

W odmianie układu według wynalazku, pokazana na fig. 3 część zespołu **D** obejmuje cztery kolejne jednakowe sieci przełączające D'_0 D'_2, D'_4, D'_6 pierwszej warstwy sieci i cztery kolejne jednakowe sieci przełączające D''_0, D''_2, D''_4, D''_6 drugiej warstwy sieci. Takie rozwiązanie zespołu przekształcającego charakteryzuje się tym, że wytworzone w każdej z sieci pierwszej warstwy sygnały, reprezentujące przedstawione poprzednio funkcje logiczne x_j, y_j, z_j (j=0, 1, 2, 3, ...), wykorzystane są dwukrotnie, w dwóch sąsiednich sieciach drugiej warstwy. W szczególności każda z sieci przełączających pierwszej warstwy D_{2i} (i=0, 1, 2, 3) wytwarza sygnały, reprezentujące wartości następujących jedenastu funkcji

$$x_{2i},\ y_{2j},\ z_{2i},\ x_{2i+1},\ y_{2i+1},\ z_{2i+1},\ v_{2i+2},\ w_{2i+2},\ p_{2i+2},\ q_{2i+2},\ r_{2i+2}.$$

Pierwsze sześć z tych funkcji reprezentowane są przez sygnały przesyłane przez sześciobitowe równoległe połączenie d'_{2i} do sieci D''_{2i} należącej do drugiej warstwy, ostatnie sześć z nich, z funkcją z_{2i+1} włącznie, reprezentowane są przez sygnały, przesyłane przez sześciobitowe równoległe połączenia d'_{2i} do sąsiedniej sieci D''_{2i+2} drugiej warstwy. Na czterobitowym wyjściu d_{2i} sieci D''_{2i} drugiej warstwy otrzymujemy analogicznie jak w poprzednim przykładzie, sygnały f_{2i}^{-2}, f_{2i}^{-1}, f_{2i}^{+1}, f_{2i}^{+2} reprezentujące liczby —2, —1, +1, +2. Struktura logiczna poszczególnych sieci przełączających z obu warstw sieci opisana jest przez te z funkcji logicznych podanych poprzednio, dla których sygnały są w tych sieciach wytwarzane.

Zastrzeżenia patentowe

1. Układ cyfrowy do wykonywania mnożenia binarnego liczby przez sumę dwóch liczb przedstawionych w zapisie binarnym, w skład którego wchodzą dwa równoległe rejestry pamiętające składniki sumy stanowiącej mnożnik, rejestr równoległy pamiętający mnożną, zespół przygotowujący iloczyny częściowe oraz zespół sumujący iloczyny częściowe **znamienny tym**, że zawiera cyfrowy zespół przetwarzający /**D**/, który przekształca równoległe składniki /**a**, **b**/ mnożnika bez wykonania efektywnego dodawania tych składników w grupy bitów reprezentujące liczby całkowite z zakresu od $-2g^{-1}$ do $+2g^{-1}$, gdzie g przyjmuje jedną z wartości całkowitych od 1 do 4, a wspomniane liczby przedstawiają cyfry pozycyjnego zapisu redundancyjnego o podstawie 2g i stanowią wielokrotności mnożnej /**c**/ służące do utworzenia iloczynów częściowych, przy czym zespół przetwarzający /**D**/ ma strukturę równoległą dostosowaną do pogrupowania bitów w obu składniakch /**a**, **b**/ mnożnika identycznie, w g-bitowe grupy oraz do przyporządkowania każdej parze odpowiadających sobie grup bitów, wziętych z obu składników /**a**, **b**/ mnożnika, jednej grupy bitów reprezentujących jedną liczbę całkowitą z wspomnianego zakresu od $-2g^{-1}$ do $+2g^{-1}$, przy czym dla wyznaczenia w zespole przetwarzającym /**D**/ jednej grupy bitów reprezentujących liczbę całkowitą z zakresu od

-2^{g-1} do $+2^{g-1}$ wykorzystywane są co najwyżej trzy grupy bitów każdego ze składników /a, b/ mnożnika jeśli te składniki są przedstawione w zapisie binarnym uzupełnionym, i dodatkowo bity znakowe składników /a, b/ w przypadku zapisu binarnego znak-moduł.

2. Układ według zastrz. 1, **znamienny tym,** że w cyfrowym zespole przetwarzającym /D/ przekształcenie składników /a, b/ mnożnika jest wykonywane przez negowanie bitów wybranych z jednego lub obu składników mnożnika zgodnie z regułą zamiany binarnego zapisu liczb w równoważny binarny uzupełnieniowy zapis tych liczb i/lub przez zastąpienie w wybranych grupach bitów, najbardziej znaczących bitów jedynkowych, reprezentujących wartości —1 przez równoważne pary bitów jedynkowych reprezentujące wartości $\overset{-}{1}\ \overset{+}{1} = -1$, oraz +1 przez równoważne pary bitów jedynkowych $\overset{+}{1}\ \overset{-}{1} = +1$, zgodnie z regułą $-1 \cdot 2^i = -1 \cdot 2^{i+1} + 1 \cdot 2^i$ i z regułą $+1 \cdot 2^i = +1 \cdot 2^{i+1} - 1 \cdot 2^i$, gdzie bardziej znaczące jedynki w tych parach są włączane w sąsiednie bardziej znaczące grupy bitów.

3. Układ według zastrz. 1, **znamienny tym,** że zespół /D/ przekształcający składniki mnożnika, zawiera niepołączone bezpośrednio ze sobą równolegle pracujące sieci przełączające /D_0, D_2, D_4 D_6/, z których każda posiada wejścia połączone z wyjściami nie więcej niż trzech grup pozycji binarnych każdego z dwóch rejestrów /A, B/ pamiętających składniki mnożnika i ewentualnie z wyjściami pozycji znakowych tych rejestrów, oraz z których każda przetwarza sygnały reprezentujące bity należące do nie więcej niż trzech grup bitów każdego ze składników mnożnika i ewentualnie bity znakowe składników mnożnika, w wyniku czego na jej wyjściach otrzymuje się sygnały reprezentujące liczbę określającą krotność mnożnej dla jednego iloczynu częściowego.

4. Układ według zastrz. 1, **znamienny tym,** że zespół /D/ przekształcający składniki mnożnika zawiera dwie lub trzy warstwy, niepołączonych bezpośrednio ze sobą w ramach tej samej warstwy, sieci przełączających /D'_0, D'_2, D'_4, D'_6 i D''_0, D''_2, D''_4, D''_6/, przy czym wejścia każdej z tych sieci przełączających połączone są z takimi wyjściami sieci przełączających z poprzednich warstw i/lub z takimi wyjściami rejestrów /A, B/ pamiętających składniki mnożnika, że sygnały na wyjściach każdej z sieci przełączających ostatniej warstwy /D''_0, D''_2, D''_4, D''_6/, reprezentujące liczbę określającą krotność mnożnej dla jednego iloczynu częściowego, są zależne tylko od sygnałów wyjściowych z nie więcej niż trzech grup pozycji binarnych każdego z rejestrów /A, B/ pamiętających składniki mnożnika i ewentualnie od sygnałów wyjściowych z pozycji znakowych obu tych rejestrów /A, B/.

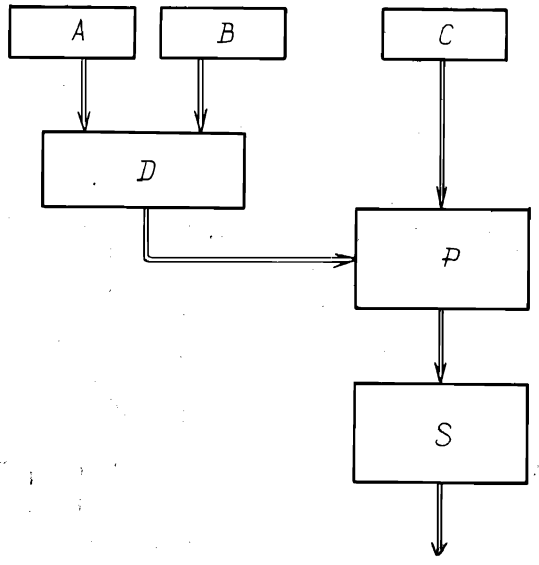


Fig. 1

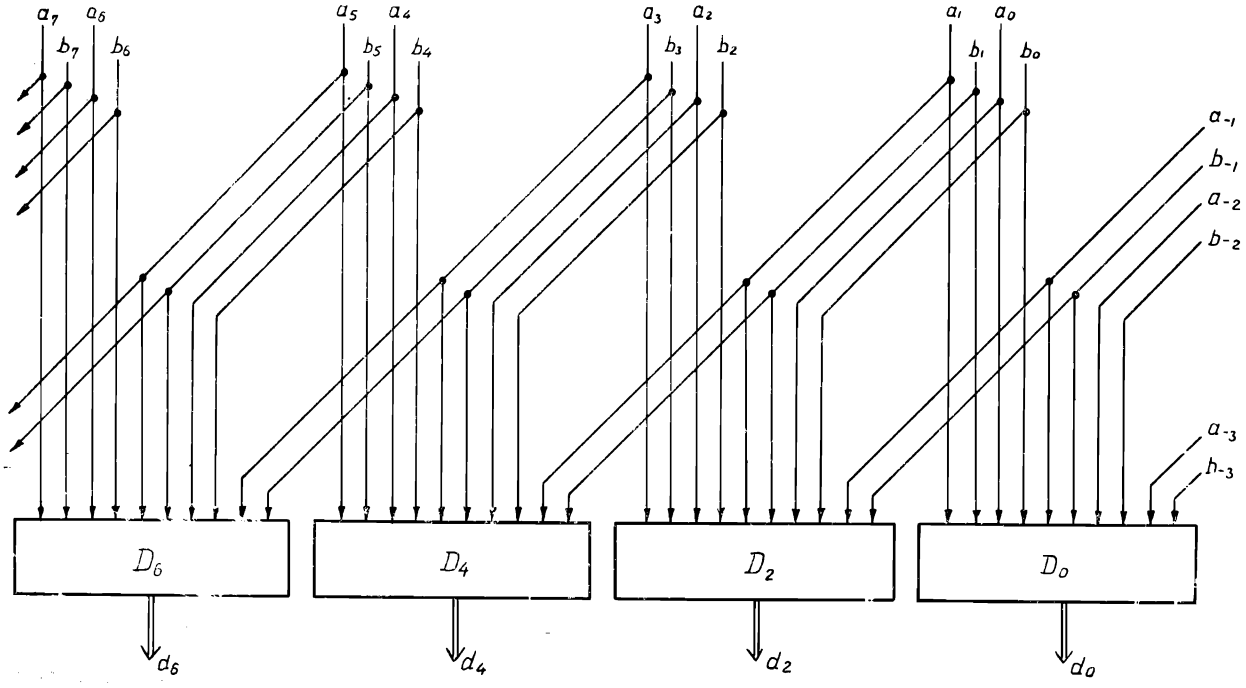

a7 a6 b7 b6
a5 a4 b5 b4
a3 a2 b3 b2
a1 a0 b1 b0
a-1 b-1 a-2 b-2
a-3 b-3
D6 D4 D2 D0
d6 d4 d2 d0

Fig. 2

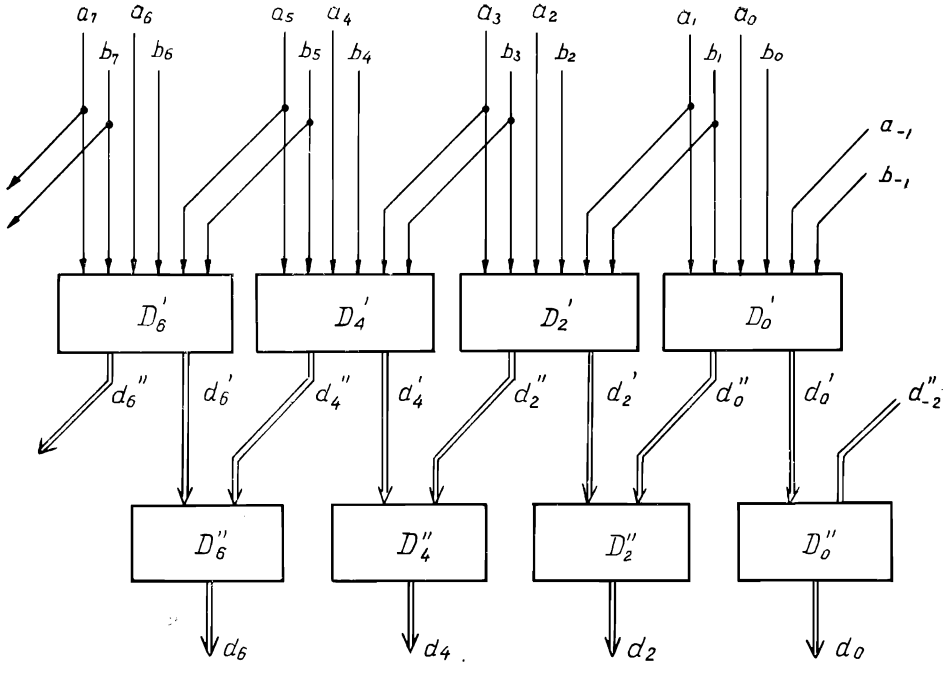

a7 a6 b7 b6
a5 a4 b5 b4
a3 a2 b3 b2
a1 a0 b1 b0
a-1 b-1
D6' D4' D2' D0'
d6'' d6' d4'' d4' d2'' d2' d0'' d0' d-2''
D6'' D4'' D2'' D0''
d6 d4 d2 d0

Fig. 3

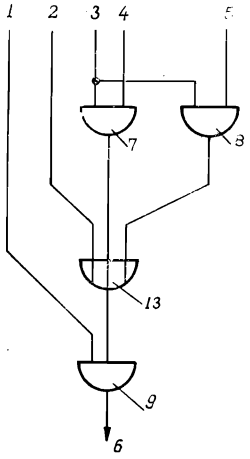


Fig. 4a

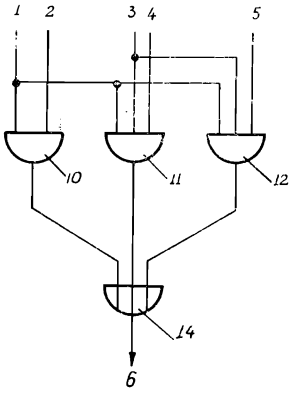


Fig. 4b