

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007 年 2 月 15 日 (15.02.2007)

PCT

(10) 国際公開番号
WO 2007/018030 A1

(51) 国際特許分類:
H03B 21/00 (2006.01)

(21) 国際出願番号: PCT/JP2006/314553

(22) 国際出願日: 2006 年 7 月 24 日 (24.07.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2005-230617 2005 年 8 月 9 日 (09.08.2005) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 兒玉 浩志 (KODAMA, Hiroshi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 田中 昭生 (TANAKA, Akio) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

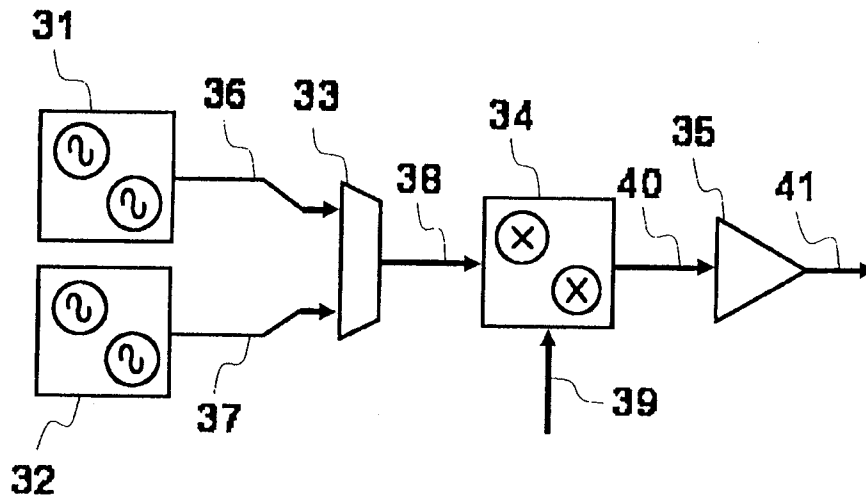
(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 20 号 第 16 興和ビル 8 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK,

[続葉有]

(54) Title: FREQUENCY SYNTHESIZER

(54) 発明の名称: 周波数シンセサイザ



(57) Abstract: A frequency synthesizer which switches the frequency at high rate, has a high signal/noise ratio with reduced power consumption, and is arranged such that a CMOS orthogonal VCO (31, 32) outputs a four-phase signal (36, 37), respectively. A CMOS selector (33) selects any one of the two four-phase signals (36, 37) generated from the CMOS orthogonal VCO (31, 32) and delivers it as an output signal (38). A CMOS SSB mixer (34) multiplies the output signal (38) selected by the CMOS selector (33) by an externally inputted four-phase input signal (39) to produce a signal having a frequency equal to the sum of or difference between frequencies of the output signal (38) and the four-phase input signal (39) and deliver it as an output signal (40). A CML buffer (35) adjusts the level of the output signal (40) from the CMOS SSB mixer (34) before delivering it to other circuits.

(57) 要約: 本発明は、高速に周波数を切り替える周波数シンセサイザにおいて、低消費電力かつ、高信号対雑音比の周波数シンセサイザを提供することを目的とし、その構成は、CMOS直交VCO 31、32は、それぞれ、4相信号36、37を発生して出力する。CMOSセレクタ33は、CMOS直交VCO 31、32により生成された2つの4相信号36、37のうちのいずれか1つを選択して出力信号38として出力する。CMOS SSBミキサ34は、CMOSセレクタ33により選択された出力信号38と外部から入力された4相信号39とを乗算することにより、この出力信号38の周波数と4相信号39の周波数との和あるいは差の周波数の信号を生成して出力信号40として出力する。CMLバッ

[続葉有]

WO 2007/018030 A1



MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

周波数シンセサイザ

技術分野

[0001] 本発明は、周波数を合成することにより任意の周波数を生成するための回路である周波数シンセサイザに関し、特に、高速な周波数の切り替えが可能な周波数ホッピング用の周波数シンセサイザに関する。

背景技術

[0002] 無線通信システム等において多様な周波数を合成することができる周波数シンセサイザが広く使用される。周波数ホッピングスペクトラム拡散通信等においてこのような周波数シンセサイザを使用した場合、高速に周波数を切り替えることが要求される。

[0003] 従来、この種の周波数シンセサイザとしては、例えば非特許文献1の405頁、図1に示されるような、高周波クロックの周波数を高速にホッピングして切り替えが可能な周波数ホッピング用周波数シンセサイザが使用されている。

[0004] 図26はこのような従来の周波数シンセサイザの回路構成例を示す図である。図26に示すように、従来例の周波数シンセサイザは、VCO (Voltage Controlled Oscillator: 電圧制御発振器) 1、2と、分周器3、4と、CML (Current Mode Logic) セレクタ5と、CML SSB (Single Side Band) ミキサ6と、CMLバッファ7とから構成される。

[0005] 次に、図26に示した従来の周波数シンセサイザの動作について説明する。VCO 1、2は、それぞれ周波数が異なる差動信号を生成して出力する。次に、分周器3、4は、VCO 1、2からの出力信号を分周することにより周波数を半分にしてCMLセレクタ5に出力する。なお、この分周器3、4からの出力信号は、4相信号 (0° 、 90° 、 180° 、 270° の位相の信号) となっている。

[0006] 次に、CMLセレクタ5では、分周器3、4から入力された2つの信号のうち、いずれかの信号を選択してCML SSBミキサ6に出力する。CML SSBミキサ6では、CMLセレクタ5からの出力信号と入力信号13とを入力して、出力信号14を出力する。このとき、出力信号14の周波数は、CMLセレクタ5の出力信号12の周波数と入力信

号13の周波数の和あるいは差となる。なお、入力信号13は、CMLセクタ5からの出力信号と同じく4相信号である。

[0007] 最後に、CML SSBミキサ6の出力信号14はCMLバッファ7に入力され、CMLバッファ7はゲイン調整を行った後に生成された信号15を他回路へ伝達する。

[0008] この図26に示した従来の周波数シンセサイザでは、CMLセクタ5において選択する信号を切り替えることにより、高速な周波数の切り替えが実現される。

[0009] しかし、このような従来の周波数シンセサイザでは、VCO1、2により生成された高周波数信号を分周器3、4により分周することにより4相信号を生成しているため、高周波で動作するVCO1、2が存在することにより消費電力が大きくなってしまふという問題点を有している。

[0010] また、上記の従来の周波数シンセサイザは、CML回路を用いて実現されているが、CML回路において使用される信号は信号振幅が小さいため、生成される信号のSN比(信号対雑音比)が小さくなってしまふという問題も発生する。

[0011] さらに、一般的に、周波数シンセサイザにより生成する周波数が高くなるほど低電圧での動作することが要求される。具体的には、10GHz動作を実現するために必要となる微細な90nm CMOSプロセスでは、1V以下の電源電圧で動作する必要がある。しかし、上述した従来の周波数シンセサイザでは、CML回路により構成されているため、MOSTランジスタの縦積み段数が多くなってしまふ低電圧動作を実現することは難しい。

非特許文献1: Christoph Sandner et al., "A 3GHz to 7GHz Fast-Hopping Frequency Synthesizer for UWB", IWUWBT(International Workshop on UWB Technologies)2004, p.405-409

発明の開示

発明が解決しようとする課題

[0012] 上述した従来の周波数シンセサイザでは、下記のような問題点があった。

[0013] (1) 高周波数で動作する回路が存在することにより消費電力が大きい。

[0014] (2) CML回路により構成されているためSN比が小さくなってしまふとともに、低電圧動作の実現が困難である。

[0015] 本発明の目的は、消費電力を削減できるとともにSN比を高くできる周波数シンセサイザを提供することにある。また、高速ホッピング、超広帯域、低電圧動作の周波数シンセサイザを提供することにある。

課題を解決するための手段

[0016] 上記目的を達成するために、本発明の周波数シンセサイザは、4相信号を発生する第1および第2のCMOS直交電圧制御発振器と、

前記第1および第2のCMOS直交電圧制御発振器により生成された2つの4相信号のうちのいずれか1つを選択するCMOSセクタと、

前記CMOSセクタにより選択された4相信号と外部から入力された4相入力信号とを乗算することにより、該4相信号の周波数と該4相入力信号の周波数との和あるいは差の周波数の信号を生成して出力するCMOS SSBミキサと、

前記CMOS SSBミキサからの出力信号のレベル調整を行って他回路へ出力するためのCMLバッファとを備えている。

[0017] 本発明の周波数シンセサイザでは、CMOS直交電圧制御発振器を用いることで、一般的な電圧制御発振器の周波数に比べて動作周波数を半分にできるとともに分周器が不要となる。また、このように動作周波数を低減することで、CMLセクタに比べて動作周波数は遅いものの消費電力の少ないCMOSセクタを用いることができる。そして、CMLレベルの信号ではなくCMOSレベルを用いるため、信号振幅を拡大できる。さらに、CMOS回路を用いていることによりトランジスタの縦積み段数を削減することが可能なため低電圧動作を実現することが可能になる。

[0018] また、本発明の他の周波数シンセサイザは、4相信号を発生するCMOS直交電圧制御発振器と、

前記CMOS直交電圧制御発振器により生成された4相信号を分周する分周器と、

前記CMOS直交電圧制御発振器により生成された4相信号または前記分周器により分周された4相信号のうちのいずれか1つを選択するCMOSセクタと、

前記CMOSセクタにより選択された4相信号と外部から入力された4相入力信号とを乗算することにより、該4相信号の周波数と該4相入力信号の周波数との和あるいは差の周波数の信号を生成して出力するCMOS SSBミキサと、

前記CMOS SSBミキサからの出力信号のレベル調整を行って他回路へ出力するためのCMLバッファとを備えている。

[0019] 本発明によれば、CMOS直交電圧制御発振器により生成された4相信号を分周器により分周し、CMOSセクタによりこの2つの4相信号のいずれかを選択するようにしているので、1つのCMOS直交電圧制御発振器のみで周波数シンセサイザを構成することが可能となり、回路構成を簡素化することができる。

[0020] またね前記CMOS SSBミキサと前記CMLバッファとの間に、カットオフ周波数切り替え可能なフィを設けるようにしてもよいし、前記CMLバッファが、カットオフ周波数を切り替え可能なフィルタを有するようにしてもよい。

[0021] 本発明によれば、ミキサにより発生した不要な雑音となるスプリアス電力を、カットオフ周波数切り替え可能なフィルタにより低減するため、SN比をさらに高くすることができる。

発明の効果

[0022] 以上説明したように、本発明の周波数シンセサイザでは、CMOS直交VCOを用いるとともにCMOS回路により構成するようにしているので、消費電力を削減できるとともにSN比を高くすることができるという効果を得ることができる。

図面の簡単な説明

[0023] [図1]本発明の第1の実施形態における周波数シンセサイザの構成を示すブロック図である。

[図2]本発明の第1の実施形態における、CMOS直交VCO31、32の構成を示すブロック図である。

[図3]図2のCMOS直交LC-VCOのブロック図において、差動LC-VCOの具体的な回路構成を示す図である。

[図4]本発明の第1の実施形態における、CMOSセクタ33の具体的な回路構成を示す図である。

[図5]本発明の第1の実施形態における、CMOSセクタ33の他の具体的な回路構成を示す図である。

[図6]本発明の第1の実施形態における、CMOS SSBミキサ34の具体的な回路構

成を示す図である。

[図7]本発明の第1の実施形態における、CMLバッファ35の具体的な回路構成を示す図である。

[図8]本発明の第2の実施形態における周波数シンセサイザの構成を示すブロック図である。

[図9]本発明の第2の実施形態における、分周器82の具体的な回路構成を示す図である。

[図10]本発明の第3の実施形態における周波数シンセサイザの構成を示すブロック図である。

[図11]本発明の第3の実施形態における、フィルタ105の具体的な回路構成を示す図である。

[図12]本発明の第4の実施形態における周波数シンセサイザの構成を示すブロック図である。

[図13]本発明の第4の実施形態における、フィルタ機能付きCMLバッファ125の具体的な回路構成を示す図である。

[図14]本発明の第5の実施形態における周波数シンセサイザの構成を示すブロック図である。

[図15]本発明の第5の実施形態における、高速周波数可変VCO141の具体的な回路構成を示す図である。

[図16]本発明の第5の実施形態における、高速周波数可変VCO141の他の具体的な回路構成を示す図である。

[図17]本発明の第6の実施形態における周波数シンセサイザの構成を示すブロック図である。

[図18]本発明の第6の実施形態における、ハーモニクス周波数可変CMOS SSBミキサ162の具体的な回路構成を示す図である。

[図19]本発明の第7の実施形態における周波数シンセサイザの構成を示すブロック図である。

[図20]本発明の第8の実施形態における周波数シンセサイザの構成を示すブロック

図である。

[図21]本発明の第8の実施形態における、位相補正回路202の具体的な回路構成を示す図である。

[図22]本発明の第9の実施形態における周波数シンセサイザのレイアウト図である。

[図23]本発明の第10の実施形態における周波数シンセサイザのレイアウト図である。

[図24]本発明の第11の実施形態における周波数シンセサイザの構成を示すブロック図である。

[図25]本発明の第12の実施形態における周波数シンセサイザの構成を示すブロック図である。

[図26]非特許文献1に開示された従来の周波数シンセサイザの構成を示すブロック図である。

符号の説明

- [0024]
- 1、2 VCO
 - 3、4 分周器
 - 5 CMLセレクト
 - 6 CML SSBミキサ
 - 7 CMLバッファ
 - 13 入力信号
 - 14、15 出力信号
 - 31、32 CMOS直交VCO
 - 33 CMOSセレクト
 - 34 CMOS SSBミキサ
 - 35 CMLバッファ
 - 36、37 4相クロック信号
 - 38 4相出力信号
 - 39 4相入力信号
 - 40、41 出力信号
 - 60、61 インダクタ

- 82 分周器
- 86 4相出力信号
- 88 4相出力信号
- 105 フィルタ
- 112 出力信号
- 125 CMLバッファ
- 131 出力信号
- 141 高速周波数可変CMOS直交VCO
- 144 4相出力信号
- 161 CMOS8相VCO
- 162 ハーモニクス周波数可変CMOS SSBミキサ
- 164 8相信号
- 166 出力信号
- 185 2相の差動信号
- 186 出力信号
- 202 位相補正回路(MPC)
- 206 補正後の8相信号
- 232、233 ウェル
- 301、302 差動LC-VCO(D-LC-VCO)
- 303 コントロール端子
- 304~307 入出力信号
- 321、322 CMOSインバータ
- 323、324 CMOSインバータ323、324
- 325 インダクタ
- 326、327 バラクタダイオード(可変容量ダイオード)
- 328、329 差動入力端子
- 330、331 差動出力端子
- 332 コントロール端子

- 340、341 NAND回路
- 342、343 nMOSスイッチ付きCMOSインバータ
- 344、345 入力端子
- 346 出力端子
- 347 入力端子
- 361、362 第1の差動対
- 363、364 第2の差動対
- 365、366 第3の差動対
- 367、368 第4の差動対
- 369、370 負荷抵抗
- 371、372 スイッチ付きキャパシタ
- 373～376 ソース端子
- 401、402 バッファの差動対
- 404、405 レプリカの差動対
- 403 バッファの電流源
- 406 レプリカの電流源
- 407、408 バッファの負荷抵抗
- 409、410 レプリカの負荷抵抗
- 411、412 インダクタ
- 413 オペアンプ
- 414、415 入力端子
- 416、417 出力端子
- 418 反転入力端子
- 421～427 nMOSTランジスタ
- 428～434 nMOSTランジスタ
- 435～438 インバータ
- 439、440 差動入力信号端子
- 441～444 4相出力信号端子

451～453 インダクタ
454～456 スイッチ
457 端子
478、479 スイッチ付きキャパシタ
501、502 スイッチ付きVCO
503、504 コントロール端子
505 出力端子
521、522 インダクタの両端子
523、524 キャパシタ
525、526 スイッチ付きインバータ
527、528 スイッチ付き2段インバータ
529、530 出力端子
551～558 nMOSTランジスタの差動対
559～562 EXOR(排他的論理和)回路
563～566 セレクタ
567～573 入力端子
574、575 出力端子
591～594 4相位相補正回路
595～600 入力端子
601～604 出力端子
701、702 入力端子
703 出力端子
704、705 キャパシタ
706～709 スイッチ
710 バイアス電圧発生回路
806 CMLバッファ
811 CMLレベルの信号
905、906 ゲイン可変CMLバッファ

911 出力信号

913 出力信号

発明を実施するための最良の形態

[0025] 次に、本発明の実施の形態について図面を参照して詳細に説明する。

[0026] (第1の実施形態)

図1は、本発明の第1の実施形態による周波数シンセサイザの全体構成を示すブロック図である。本実施形態の周波数シンセサイザは、図1に示されるように、CMOS直交(Quadrature)VCO31、32と、CMOSセクタ33と、CMOS SSBミキサ34と、ゲイン調整を行うためのCMLバッファ35とから構成されている。なお、4相入力信号39にはCMOSセクタ33の4相出力信号38に比べて低速なCML(Current Mode Logic)レベルを入力する。具体的には、4相出力信号38には4～8GHzの高周波信号を、4相入力信号39には数百MHz～2GHzの低周波信号を入力する。

[0027] CMOS直交VCO31、32は、それぞれ、4相信号36、37を発生して出力する。CMOSセクタ33は、CMOS直交VCO31、32により生成された2つの4相信号36、37のうちのいずれか1つを選択して出力信号38として出力する。

[0028] CMOS SSBミキサ34は、CMOSセクタ33により選択された出力信号38と外部から入力された4相入力信号39とを乗算することにより、この出力信号38の周波数と4相入力信号39の周波数との和あるいは差の周波数の信号を生成して出力信号40として出力する。

[0029] CMLバッファ35は、CMOS SSBミキサ34からの出力信号40のレベル調整を行って他回路へ出力するためのバッファ回路である。

[0030] 次に、図2、図3を用いて、図1中のCMOS直交VCO31、32の構成の詳細について説明する。

[0031] 図2は、図1中のCMOS直交VCO31、32を、LC発信回路を用いたLC-VCOにより構成した場合のブロック図である。

[0032] この場合、CMOS直交VCO31、32は、図2に示されるように、2つの差動LC-VCO301、302の入出力信号304～307をお互いに結合することにより実現することができる。また、2つの差動LC-VCO301、302は、共通の周波数コントロール端子

303を有する。

- [0033] また、図2に示したCMOS直交VCOのブロック図における差動LC-VCO301、302の具体的な回路を図3に示す。図2中の差動LC-VCO301、302は、図3に示されるように、クロスカップルしたCMOSインバータ321、322と、インダクタ325と、容量可変なバラクタダイオード(可変容量ダイオード)326、327と、差動入力端子328、329と差動出力端子330、331間に接続したCMOSインバータ323、324とから構成される。なお、コントロール端子332はコントロール端子303と、入力端子328は差動LC-VCO301の入力端子304と、入力端子329は入力端子305と、差動出力端子330は出力端子306と、差動出力端子331は出力端子307と同じ端子である。
- [0034] 次に、図1中のCMOSセクタ33を論理回路により実現した場合の構成を図4に示す。CMOSセクタ33は、図4に示されるように、NAND回路340、341と、nMOSスイッチ付きCMOSインバータ342、343とから構成される。このとき、NAND回路341には入力端子347からの信号を、NAND回路340にはその反転信号を入力する。入力端子344、345には、図1中のCMOS直交VCO31、32からの信号が入力され、出力端子346からは選択された信号が出力される。
- [0035] 次に、図1中のCMOSセクタ33をAC結合を用いて実現した場合の構成を図5に示す。この場合、CMOSセクタ33は、スイッチ706～709と、キャパシタ704、705と、バイアス電圧発生回路710とから構成されている。入力端子701、702には、図1中のCMOS直交VCO31、32からの信号が入力され、出力端子703からは選択された信号が4相出力信号38としてCMOS SSBミキサ34に出力される。
- [0036] 次に、図1中のCMOS SSBミキサ34の回路構成を図6に示す。CMOS SSBミキサ34は、図6に示されるように、第1の差動対361、362と、第2の差動対363、364と、第3の差動対365、366と、第4の差動対367、368と、負荷抵抗369、370と、スイッチ付きキャパシタ371、372とから構成される。そして、差動対361～368のソース端子373～376には、CMOSセクタ33からの4相出力信号38が入力され、ゲート端子377～380には同じく4相入力信号39が入力される。
- [0037] 次に、図1中のCMLバッファ41の回路構成を図7に示す。CMLバッファ41は、図7に示されるように、バッファの差動対401、402と、レプリカの差動対404、405と、

バッファの電流源403と、レプリカの電流源406と、バッファの負荷抵抗407、408と、レプリカの負荷抵抗409、410と、インダクタ411、412と、オペアンプ413とから構成される。そして、入力端子414、415には入力信号40を、出力端子416、417には出力信号41を接続する。また、オペアンプ413の反転入力端子418には、外部参照電圧を印加する。なお、CMLバッファ35とレプリカのトランジスタサイズは同一または定数倍の関係、抵抗値は同一または定数分の1の関係にある。

[0038] 次に、本実施形態の周波数シンセサイザの動作について図面を参照して詳細に説明する。

[0039] 図1において、直交VCO31、32は、周波数の異なる4相CMOSレベルの4相クロック信号36、37を発振する。また、CMOSセクタ33は、直交VCO31、32から出力された4相クロック信号36あるいは4相クロック信号37のうちどちらかを選択しCMOSレベルで出力する。さらに、CMOS SSBミキサ34は、このCMOSセクタ33の4相出力信号38ともう1つの4相入力信号39の和あるいは差の周波数を有する信号40を出力する。そして、CMLバッファ35は、CMOS SSBミキサ34の出力信号40を他回路へ伝達する。したがって、CMOSセクタ33から出力される4相出力信号38の周波数を切り替えることで、出力信号41の周波数が高速に切り替わる。このとき、低周波信号の高調波によりスプリアスが所望のRF信号帯域内に発生するため、低周波の信号はCML回路により高調波電力を低減できる。なお、一般にCML回路はCMOS回路に比べ消費電流が多いものの、低周波信号であるためその消費電流は少ない。逆に、高周波信号の場合、高周波信号の高調波により発生するスプリアスがRF信号帯域外にあれば、CMOS回路のような高調波電力の高い回路を用いることができる。

[0040] ここで言うCMOSレベルとは、接地電位から電源電位までフルスイングする信号はもとより、例えば20%から80%程度までスイングするものでも本発明の効果が期待できる。すなわち、定常的なバイアス電流が流れないことによる低電力性がある。20%から80%程度までスイングすることでCMLレベルに対して大きな信号振幅が得られる。またCMLレベルは通常電源電圧の $1/2 \sim 1/3$ 程度の振幅がある。CML回路(CMLレベル)の特徴としては、定常的にバイアス電流を消費するものの、高速で歪

みの少ない信号伝達ができるところにある。

- [0041] 図3において、差動出力端子330、331の信号は、インダクタ325とバラクタダイオード326、327の共振と、クロスカップルされたCMOSインバータ321、322による負性抵抗とから、差動CMOS信号となる。また、図2において、差動VCO 301、302の入出力が結合されることで位相関係が決定されるため、0° 信号304、90° 信号307、180° 信号305、270° 信号306のCMOS4相信号が発生する。
- [0042] 図4において、セクタ信号347のステートがハイ(High)レベル(以下、Hレベル。)になると、NAND回路340の出力ステートは常にHレベルに、NAND回路341は入力信号345の反転信号を出力する。またこのとき、nMOSスイッチ付きCMOSインバータ342の出力インピーダンスは高くなるとともに、nMOSスイッチ付きCMOSインバータ343はNAND回路341の出力信号の反転信号を出力端子346に出力する。
- [0043] 図5において、スイッチ706とスイッチ707、スイッチ708とスイッチ709は相補に動作する。また、スイッチ706とスイッチ708も相補動作することで、スイッチがオンした側の入力信号701または入力信号702が出力端子703に出力される。逆にスイッチがオフした側のキャパシタンス端は、GNDに接続されて低インピーダンスになることで、入力信号の703出力端子への洩れを低減する。また、バイアス電圧発生回路710により発生する電圧をCMOSレベルの閾値電圧に設定することで、次段のCMOS SSBミキサ34へ信号を伝達できる。
- [0044] 図6において、ソース端子373～376のCMOS入力のステートがHレベルになると差動対361～368はオフに、逆にロウ(Low)レベル(以下、Lレベル。)になると差動対361～368はオンにスイッチングする。また、差動対361～368によりゲート端子の信号377～380は電流に変換されて、さらにこの電流は負荷抵抗369、370により電圧に変換されて出力信号となる。このとき、出力信号381、382には、ソース端子373～376の入力信号とゲート端子377～380の入力信号との乗算結果が現れるため、出力信号の周波数は和あるいは差の周波数となる。さらに、出力信号381、382の周波数あるいはソース端子373～376の周波数の切り替えに応じてスイッチをオンまたはオフすることで、スイッチ付きキャパシタ371、372のキャパシタの容量値が切り替わる。これにより、出力信号381、382におけるカットオフ周波数が切り替わることで

、スプリアス電力が低減される。具体的には、4GHzと1GHzをミキサで周波数合成するときは、8GHz以上(4GHzの2倍)の高調波電力が減衰される。一方、8GHzと1GHzを周波数合成するときは、フィルタをオフにすることで8GHzの信号は減衰されことなく出力される。なお、CMOSレベルではあるが、回路は擬似差動動作するため、基板雑音等の外乱に対する影響は小さい。

[0045] このようにUWB(Ultra-Wideband)に代表される超広帯域通信では例えば3~10GHzの広い周波数範囲をカバーするために、このような周波数切り替えを行う必要がある。たとえばマルチバンドOFDM(Orthogonal Frequency Division Multiplexing)規格においては、3.1~10.6GHzの範囲内に14個のサブバンドを持つ。しかも連続する3サブバンドを10ns程度のインターバルで高速にホッピングする必要がある。このような14個のサブバンドの切り替えに応じて、カットオフ周波数の切り替えを行い、高調波電力を減衰させることで、基本波の周波数を減衰させることなく、高調波を低減させることができる。つまりは例えば3~10GHzの広い周波数範囲にわたって基本波信号レベルがフラットで、スプリアスの小さなシンセサイザが実現できる。

[0046] 図7において、入力信号414、415は増幅されて出力信号416、417となる。また、CMLバッファ35のレプリカ回路とオペアンプ413とで、CMLバッファのコモンモード電圧が制御される。

[0047] 本実施形態の周波数シンセサイザによれば、CMOS直交VCO31、32の採用により動作周波数を低減することで、CML回路からCMOS回路へ置き換えができることと、4相信号を発生するために用いていた分周器が不要になるため、低消費電力を実現することが可能となる。

[0048] また、CMOS回路はPMOSTランジスタとNMOSTランジスタの2段で構成されるためトランジスタの縦積み段数を削減できる。そのため、CMOS回路では、電源電圧と同じかほぼ等しい信号振幅が得られる。つまり、小振幅なCMLレベルに比べて、CMOSレベルでは大振幅を得られるため、CMOS回路を用いることで高SN比の周波数シンセサイザを実現することが可能となる。

[0049] さらに、CMOS回路はトランジスタの縦積み段数を削減できることにより、低電圧動作が可能になり、微細プロセスを用いた10GHzレベルの超広帯域な周波数シンセ

サイズを実現することが可能となる。

[0050] (第2の実施形態)

次に、本発明の第2の実施形態について図面を参照して詳細に説明する。

[0051] 図8は、本発明の第2の実施形態による周波数シンセサイザの全体構成を示すブロック図である。図8において、図1中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

[0052] 本実施形態の周波数シンセサイザは、図8に示されるように、CMOS直交VCO31と、分周器(DIV)82と、CMOSセクタ33と、CMOS SSBミキサ34と、CMLバッファ35とから構成されている。本実施形態の周波数シンセサイザは、図1に示した第1の実施形態の周波数シンセサイザに対して、CMOS直交VCO32を分周器82に置き換えた構成となっている。

[0053] 本実施形態の周波数シンセサイザでは、分周器82は、CMOS直交VCO31からの4相出力信号86を入力して分周した後に、分周した後の4相出力信号88をCMOSセクタ33に入力する。

[0054] 次に、図9を用いて、図8中の分周器82の回路の詳細について説明する。分周器82では、図9に示されるように、nMOSTランジスタ421～427によりラッチ回路が構成され、同様にnMOSTランジスタ428～434により別のラッチ回路が構成される。また、これらのラッチ回路の出力にはそれぞれインバータ435～438が接続される。なお、この分周器82は、差動入力信号端子439、440と、4相出力信号端子441～444とを備えている。

[0055] 次に、本実施形態の周波数シンセサイザの動作について図面を参照して詳細に説明する。

[0056] 図8において、分周器82は、入力されたCMOS直交VCO31の4相出力信号86を分周した4相信号88を出力する。なお、この4相出力信号88はCMOSレベルの信号である。そして、この4相出力信号88とCMOS直交VCO31からの4相出力信号36のうちどちらかが、CMOSセクタ回路33により選択される。

[0057] 図9において、差動入力信号439、440の同ステート遷移時LレベルからHレベルまたはHレベルからLレベルにラッチ回路のステートが変化することで、その周波数

は入力の方分の1となる。そして、インバータによりCMOSレベルに変換されて4相信号441～444として出力される。

[0058] 本実施形態によれば、1つのCMOS直交VCO31のみで周波数シンセサイザを構成することが可能となり、回路構成を簡素化することができる。

[0059] (第3の実施形態)

次に、本発明の第3の実施形態について図面を参照して詳細に説明する。

[0060] 図10は、本発明の第3の実施形態による周波数シンセサイザの全体構成を示すブロック図である。図10において、図1中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

[0061] 本実施形態の周波数シンセサイザは、図10に示されるように、CMOS直交VCO31、32と、CMOSセレクタ33と、CMOS SSBミキサ34と、フィルタ105と、CMLバッファ35とから構成されている。本実施形態の周波数シンセサイザは、図1に示した第1の実施形態の周波数シンセサイザに対して、カットオフ周波数可変のフィルタ105が、CMOS SSBミキサ34の出力とCMLバッファ35の入力との間に設けられた構成となっている。

[0062] フィルタ105は、CMOS SSBミキサ34からの出力信号40のフィルタリングを行った後に出力信号112としてCMLバッファ41に出力する。

[0063] このフィルタ105はカットオフ周波数が切り替え可能となっていて、フィルタ105のカットオフ周波数をCMOS SSBミキサ34の出力信号40の周波数に比例して切り替えることで、CMOS SSBミキサ34の出力信号40に含まれたスプリアス電力を低減する。したがって、CMLバッファ35から出力される出力信号41のSN比が改善する。

[0064] 次に、図10中のフィルタ105の回路の詳細を図11に示す。フィルタ105は、図11に示されるように、スイッチ454～456がそれぞれ直列に接続されたインダクタ451～453を、並列に接続した構成となっている。なお、端子457はCMOS SSBミキサ34の出力端子かつCMLバッファ35の入力端子に接続される。

[0065] 次に、本実施形態の周波数シンセサイザの動作について図面を参照して詳細に説明する。

[0066] 図11において、インダクタ451～453に接続した各スイッチ454～546をオンまた

はオフすることで、端子457からみたインダクタ値が切り替わる。このインダクタ値と図6におけるスイッチ付きキャパシタ371～372の容量値により、フィルタのカットオフ周波数が切り替わる。

[0067] 本実施形態では、カットオフ周波数を切り替え可能なフィルタ105によってスプリアス電力を低減することができるため、生成する信号のSN比をさらに高くすることが可能となる。

[0068] (第4の実施形態)

次に、本発明の第4の実施形態について図面を参照して詳細に説明する。

[0069] 図12は、本発明の第4の実施形態による周波数シンセサイザの全体構成を示すブロック図である。図12において、図1中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

[0070] 本実施形態の周波数シンセサイザは、図12に示されるように、CMOS直交VCO31、32と、CMOSセクタ33と、CMOS SSBミキサ34と、カットオフ周波数可変のフィルタ機能を有するCMLバッファ125とから構成されている。本実施形態の周波数シンセサイザは、図1に示した第1の実施形態の周波数シンセサイザに対して、CMLバッファ35が、カットオフ周波数可変のフィルタ機能を有するCMLバッファ125に置き換えられた構成となっている。

[0071] 本実施形態におけるCMLバッファ125は、CMOS SSBミキサ34からの出力信号40のフィルタリングを行って、レベル調整等をした後に出力信号131として他の回路に出力する。つまり、CMLバッファ125は、図1に示したCMLバッファ35に対して、カットオフ周波数を切り替え可能なフィルタを有するようにしたものである。

[0072] 本実施形態におけるCMLバッファ125は、図10に示したフィルタ105とCMLバッファ35を合わせた機能を有している。本実施形態の周波数シンセサイザでは、CMLバッファ125のカットオフ周波数をCMOS SSBミキサ34の出力信号40の周波数に比例して切り替えることで、CMOS SSBミキサ34の出力信号に含まれたスプリアス電力を低減する。

[0073] 次に、図13を用いて、CMLバッファ125の回路の詳細について説明する。本実施形態におけるフィルタ機能を有するCMLバッファ125は、図7に示したような構成に

において、出力端子416、417にそれぞれスイッチ付きキャパシタ478、479が接続された構成となっている。

[0074] 本実施形態におけるCMLバッファ125では、図13において、スイッチ付きキャパシタ478、479におけるスイッチをオンまたはオフすることで、出力端子416、417からみえる容量値が切り替わる。この容量値によって、CMLバッファ125のカットオフ周波数が切り替わる。なお、図11に示したスイッチ付きインダクタを用いることでもカットオフ周波数が切り替わる。

[0075] 本実施形態の周波数シンセサイザによれば、CMLバッファ125にフィルタ機能を持たせることにより、図10に示した第4の実施形態の周波数シンセサイザのようにフィルタ105を独立して構成させることなくスプリアス電力の低減を行うことが可能となる。

[0076] (第5の実施形態)

次に、本発明の第5の実施形態について図面を参照して詳細に説明する。

[0077] 図14は、本発明の第5の実施形態による周波数シンセサイザの全体構成を示すブロック図である。図14において、図1中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

[0078] 本実施形態の周波数シンセサイザは、図14に示されるように、高速周波数可変CMOS直交VCO141と、CMOS SSBミキサ34と、CMLバッファ35とから構成されている。本実施形態の周波数シンセサイザは、図1に示した第1の実施形態の周波数シンセサイザに対して、CMOS直交VCO31、32、CMOSセクタ33が、高速周波数可変CMOS直交VCO141に置き換えられた構成となっている。

[0079] 本実施形態における高速周波数可変CMOS直交VCO141は、高速に周波数の切り替えが可能な信号を4相出力信号144としてCMOS SSBミキサ34に出力する。つまり、高速周波数可変CMOS直交VCO141は、4相信号を生成して出力する際に、2種類の周波数を高速に切り替えることが可能な構成となっている。

[0080] 図1に示した第1の実施形態の周波数シンセサイザでは、CMOSセクタ33において切り替えを行うことにより、CMOS SSBミキサ34への入力周波数の切り替えが行われていたが、図14に示した本実施形態の周波数シンセサイザでは、高速周波数可変VCO141の周波数を広帯域に可変することでCMOS SSBミキサ34への入

力周波数の切り替えが行われる。

[0081] 次に、図15を用いて、高速周波数可変CMOS直交VCO141の詳細について説明する。高速周波数可変VCO141は、図15に示されるように、スイッチ付きVCO501、502とから構成される。そして、スイッチ付きVCO501、502の出力端子505はお互いに接続される。また、スイッチ付きVCO501、502には、それぞれコントロール端子503、504が接続されている。

[0082] 次に、高速周波数可変CMOS直交VCO141を、高速周波数可変LC-VCOにより構成した場合の例を図16に示す。この場合、高速周波数可変CMOS直交VCO141は、図16に示されるように、インダクタの両端子521、522にそれぞれ並列にキャパシタ523、524、スイッチ付きインバータ525、526、スイッチ付き2段インバータ527、528を接続する。また、並列に接続されたキャパシタ523、524、インバータ525、526の出力を接続することで、出力端子529、530とする。また、インバータを用いる代わりに、入力信号のステートと同じか反転するかを切り替えられる論理回路を用いることもできる。

[0083] 図15において、スイッチ付きVCO501、502のどちらかのスイッチをオンオフすることで、出力端子505に出力される信号の周波数が切り替わる。このとき、オフしている側の出力インピーダンスは高くなるようにする。

[0084] 図16において、1段インバータ525、526または2段インバータ527、528をオンオフすることで、キャパシタ523、524の容量値にミラー効果が発生する。この効果により、VCOの発振周波数が大きく変化する。

[0085] (第6の実施形態)

次に、本発明の第6の実施形態について図面を参照して詳細に説明する。

[0086] 図17は、本発明の第6の実施形態による周波数シンセサイザの全体構成を示すブロック図である。図17において、図1中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

[0087] 本実施形態の周波数シンセサイザは、図17に示されるように、CMOS8相VCO161と、ハーモニクス周波数可変CMOS SSBミキサ162と、CMLバッファ35とから構成されている。本実施形態の周波数シンセサイザは、図1に示した第1の実施形態の

周波数シンセサイザに対して、CMOS直交VCO31、32およびCMOSセクタ33が、CMOS8相VCO161に置き換えられ、CMOS SSBミキサ34がハーモニクス周波数可変CMOS SSBミキサ162に置き換えられた構成となっている。

[0088] CMOS8相VCO161は、8相信号164を生成して出力する。

[0089] ハーモニクス周波数可変CMOS SSBミキサ162は、CMOS8相VCO161により生成された8相信号164と外部から入力された4相入力信号39とを入力して、8相信号164の周波数の1倍または2倍の周波数と4相入力信号39の周波数との和あるいは差の信号を生成して出力信号166として出力する。

[0090] 次に、図18を用いて、ハーモニクス周波数可変CMOS SSBミキサ162の詳細について説明する。ハーモニクス周波数可変CMOS SSBミキサ162は、図18に示されるように、nMOSTランジスタの各差動対551～558のソース端子にEXOR(排他的論理和)回路559～562が接続され、EXOR回路559～562の入力にセクタ563～566が接続された構成となっている。このとき、各セクタ563～566の入力には入力端子567～573から入力される8相信号164のうち3相の信号とLレベルの信号が入力される。なお、入力端子567には0°の位相の信号が入力され、入力端子568には90°の位相の信号が入力され、入力端子569には180°の位相の信号が入力され、入力端子570には45°の位相の信号が入力され、入力端子571には135°の位相の信号が入力され、入力端子572には225°の位相の信号が入力され、入力端子573には270°の位相の信号が入力される。そして、出力端子574、575からは出力信号166が出力される。

[0091] 次に、本実施形態の周波数シンセサイザの動作について図面を参照して詳細に説明する。

[0092] 図17において、ハーモニクス周波数可変CMOS SSBミキサ162は、CMOS8相VCO161で発生した8相信号164を1倍の周波数または2倍の周波数に変換することで、出力信号41の周波数を切り替える。

[0093] 図18において、セクタ563～566がLレベル側を選択するとき、EXOR回路559～562の出力は入力と同じ周波数かつ4相の信号を出力する。また、EXOR回路559～562が逆側を選択するとき、2倍の周波数かつ4相の信号を出力する。このEXO

R回路559～562の出力信号が差動対551～558に入力されることで、ハーモニクス周波数可変CMOS SSBミキサ162は、1倍の周波数あるいは2倍の周波数のミキサとして動作する。

[0094] (第7の実施形態)

次に、本発明の第7の実施形態について図面を参照して詳細に説明する。

[0095] 図19は、本発明の第7の実施形態による周波数シンセサイザの全体構成を示すブロック図である。図19において、図18中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

[0096] 本実施形態の周波数シンセサイザは、図19に示されるように、CMOS 差動VCO 181と、8相クロック発生回路(MPCG:Multi Phase Clock Generator) 182と、ハーモニクス周波数可変CMOS SSBミキサ162と、CMLバッファ35とから構成されている。このとき、8相クロック発生回路182には、下記の非特許文献2の1667頁、図2に記載された回路を用いることができる。

[0097] 非特許文献2: Kouichi Ymaguchi et al., "A 2.5-GHz Four-Phase Clock Generator With Scalable No-Feedback-Loop Architecture", IEEE JSSC(Journal of Solid-State Circuits), Vol. 36, No.11, November 2001, p.1666-1672

本実施形態の周波数シンセサイザは、図17に示した第6の実施形態の周波数シンセサイザに対して、CMOS 8相VCO161を、CMOS 差動VCO181と、8相クロック発生回路182とにより実現した構成となっている。

[0098] CMOS 差動VCO181は、2相の差動信号185を発生して出力する。8相クロック発生回路182は、CMOS 差動VCO181により生成された2相の差動信号185から8相の出力信号186を生成して出力する。

[0099] 次に、本実施形態の周波数シンセサイザの動作について図面を参照して詳細に説明する。

[0100] 図19において、8相クロック発生回路182は、2相の差動信号185から8相の出力信号186を出力する。この8相の出力信号186をハーモニクス周波数可変CMOS SSBミキサ162に入力することで、出力信号41の周波数を切り替える。

[0101] (第8の実施形態)

次に、本発明の第8の実施形態について図面を参照して詳細に説明する。

[0102] 図20は、本発明の第8の実施形態による周波数シンセサイザの全体構成を示すブロック図である。図20において、図17中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

[0103] 本実施形態の周波数シンセサイザは、図20に示されるように、CMOS8相VCO201と、位相補正回路202と、ハーモニクス周波数可変CMOS SSBミキサ162と、CMLバッファ35とから構成されている。本実施形態の周波数シンセサイザは、図17に示した第6の実施形態の周波数シンセサイザに対して、CMOS8相VCO161と、ハーモニクス周波数可変CMOS SSBミキサ162との間に位相補正回路(MPC)202が新たに追加された構成となっている。

[0104] 位相補正回路202は、CMOS8相VCO161から入力された8相信号164を入力し、この8相信号164の位相ずれを補正して、補正後の8相信号206として出力する。

[0105] 次に、図21を用いて、位相補正回路202の詳細について説明する。位相補正回路202は、図21に示されるように、4相 位相補正回路591～594により構成されている。この4相位相補正回路591～594には、上記の非特許文献2の1671頁、図19に記載された回路を用いることができる。

[0106] 4相位相補正回路591～594には、入力端子595～600から位相ずれのある8相信号164が入力され、位相補正された信号が出力端子601～604から補正後の8相信号206として出力される。

[0107] 次に、本実施形態の周波数シンセサイザの動作について図面を参照して詳細に説明する。

[0108] 図20において、8相VCO161で発生した8相信号164に位相ずれがある場合、位相補正回路202はこの位相ずれを補正してCMOS SSBミキサ162に入力する。そして、出力信号41の周波数を切り替える。

[0109] 図21において、まず4相位相補正回路591と4相位相補正回路592とにより、 0° の位相の信号と 90° の位相の信号の位相、および、 45° の位相の信号と 135° の位相の信号との位相をそれぞれ補正する。次に、4相位相補正回路593と第4の4相位相補正回路594とにより、 0° の位相の信号と 45° の位相の信号との位相、およ

び、 90° の位相の信号と 135° の位相の信号との位相を補正する。

[0110] 本実施形態の周波数シンセサイザによれば、CMOS 8相VCO161により生成された8相信号164に位相ずれがある場合でも、位相補正回路202により位相ずれが補正されるため正常な動作を実現することが可能となる。

[0111] (第9の実施形態)

次に、本発明の第9の実施形態について図面を参照して詳細に説明する。

[0112] 図22は、本発明の第9の実施形態によるLC-VCOを用いた周波数シンセサイザの全体構成を示すレイアウト図である。本実施形態の周波数シンセサイザは、図1に示した第1の実施形態の周波数シンセサイザを半導体基板上に構成した場合を示したものである。図22において、図1中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

[0113] このレイアウト図では、左右対称に配置されたインダクタ60、61間にCMOS SSBミキサ34が配置される。そして、このCMOS SSBミキサ34の上下にCMOSセクタ33、およびCMLバッファ35が配置される。インダクタ60、61は、それぞれ、CMOS直交VCO31、32を直交LC-VCOにより構成する回路素子の一部である。

[0114] 本実施形態のようなレイアウト構成とすることにより、回路ブロック間の配線を短くすることができ寄生素子を減らすことが可能となる。そのため、回路の高速動作を実現することが可能となる。

[0115] (第10の実施形態)

次に、本発明の第10の実施形態について図面を参照して詳細に説明する。

[0116] 図23は、本発明の第10の実施形態によるLC-VCOを用いた周波数シンセサイザの全体構成を示すレイアウト図である。図23において、図22中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

[0117] 本実施形態の周波数シンセサイザは、図22に示した第9の実施形態の周波数シンセサイザに加えて、CML回路であるCMLバッファ35の周囲がウェル233で囲まれ、CMOS回路であるインダクタ60、61、CMOS SSBミキサ34、CMOSセクタ33の周囲がウェル232で囲まれた構成となっている。

[0118] 本実施形態の周波数シンセサイザによれば、上記で説明した第9の実施形態によ

る効果に加えて、基板を伝わる雑音を低減することが可能となる。

[0119] (第11の実施形態)

次に、本発明の第11の実施形態について図面を参照して詳細に説明する。

[0120] 図24は、本発明の第11の実施形態による周波数シンセサイザの全体構成を示すブロック図である。図24において、図1中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

[0121] 本実施形態の周波数シンセサイザは、図24に示されるように、CMOS直交VCO31、32と、CMOSセクタ33と、CMOS SSBミキサ34と、CMLバッファ35と、CMLバッファ806とから構成されている。本実施形態の周波数シンセサイザは、図1に示した第1の実施形態の周波数シンセサイザに対して、4相入力信号レベル調整用のCMLバッファ806が新たに追加された構成となっている。

[0122] 本実施形態の周波数シンセサイザでは、4相入力信号39は、CMLバッファ806に入力され、CMLレベルの信号811に変換された後にCMOS SSBミキサ34に入力される。

[0123] 本実施形態の周波数シンセサイザによれば、4相入力信号39がCMLレベルの信号でない場合であっても、CMLバッファ811においてCMLレベルの信号811に変換された後にCMOS SSBミキサ34に入力されるため、4相入力信号39がCMLレベルの信号で無い場合にも対応することが可能となる。

[0124] (第12の実施形態)

次に、本発明の第12の実施形態について図面を参照して詳細に説明する。

[0125] 図25は、本発明の第12の実施形態による周波数シンセサイザの全体構成を示すブロック図である。図25において、図24中の構成要素と同一の構成要素には同一の符号を付し、説明を省略するものとする。

[0126] 本実施形態の周波数シンセサイザは、図25に示されるように、CMOS直交VCO31、32と、CMOSセクタ33と、CMOS SSBミキサ34と、ゲイン可変CMLバッファ905、906とから構成されている。本実施形態の周波数シンセサイザは、図24に示した第11の実施形態の周波数シンセサイザに対して、CMLバッファ35、806をゲイン可変CMLバッファ905、906に置き換えた構成となっている。

[0127] 図24において、ゲイン可変CMLバッファ905は、CMOS SSBミキサ34の出力信号40の信号振幅を周波数ごとに調整して出力する。また、ゲイン可変CMLバッファ906は、CMOS SSBミキサ34に入力される出力信号911の振幅を調整することでCMOS SSBミキサ34から出力される出力信号40のスプリアス電力を制御する。

請求の範囲

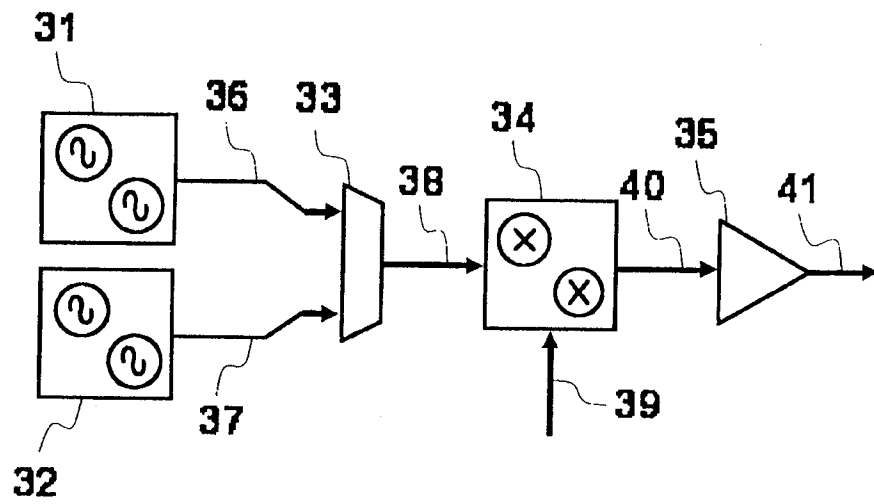
- [1] 4相信号を発生する第1および第2のCMOS直交電圧制御発振器と、
前記第1および第2のCMOS直交電圧制御発振器により生成された2つの4相信号のうちのいずれか1つを選択するCMOSセクタと、
前記CMOSセクタにより選択された4相信号と外部から入力された4相入力信号とを乗算することにより、該4相信号の周波数と該4相入力信号の周波数との和あるいは差の周波数の信号を生成して出力するCMOS SSBミキサと、
前記CMOS SSBミキサからの出力信号のレベル調整を行って他回路へ出力するためのCMLバッファとを備えた周波数シンセサイザ。
- [2] 4相信号を発生するCMOS直交電圧制御発振器と、
前記CMOS直交電圧制御発振器により生成された4相信号を分周する分周器と、
前記CMOS直交電圧制御発振器により生成された4相信号または前記分周器により分周された4相信号のうちのいずれか1つを選択するCMOSセクタと、
前記CMOSセクタにより選択された4相信号と外部から入力された4相入力信号とを乗算することにより、該4相信号の周波数と該4相入力信号の周波数との和あるいは差の周波数の信号を生成して出力するCMOS SSBミキサと、
前記CMOS SSBミキサからの出力信号のレベル調整を行って他回路へ出力するためのCMLバッファとを備えた周波数シンセサイザ。
- [3] 前記CMOS SSBミキサと前記CMLバッファとの間に、カットオフ周波数切り替え可能なフィルタが設けられている請求項1または2記載の周波数シンセサイザ。
- [4] 前記CMLバッファが、カットオフ周波数を切り替え可能なフィルタを有する請求項1または2記載の周波数シンセサイザ。
- [5] 4相信号を生成して出力する際に、2種類の周波数を高速に切り替え可能なCMOS直交電圧制御発振器と、
前記CMOS直交電圧制御発振器により生成された4相信号と外部から入力された4相入力信号とを乗算することにより、該4相信号と該4相入力信号の周波数との和あるいは差の周波数の信号を生成して出力するCMOS SSBミキサと、
前記CMOS SSBミキサからの出力信号のレベル調整を行って他回路へ出力す

るためのCMLバッファとを備えた周波数シンセサイザ。

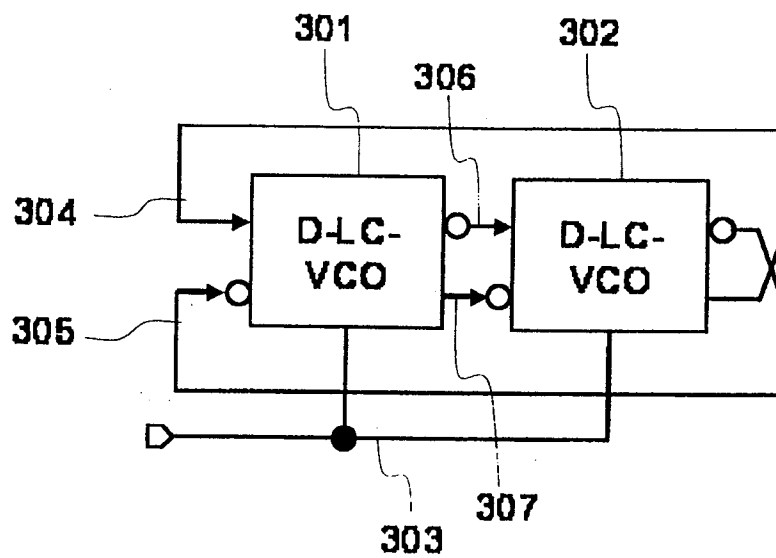
- [6] 8相信号を発生するCMOS8相電圧制御発振器と、
前記CMOS8相電圧制御発振器により生成された8相信号と外部から入力された4相入力信号とを入力して、該8相信号の周波数の1倍または2倍の周波数と該4相入力信号の周波数との和あるいは差の信号を生成して出力するハーモニクス周波数可変CMOS SSBミキサと、
前記ハーモニクス周波数可変CMOS SSBミキサからの出力信号のレベル調整を行って他回路へ出力するためのCMLバッファとを備えた周波数シンセサイザ。
- [7] 前記CMOS8相電圧制御発振器が、
2相の差動信号を発生するCMOS差動電圧制御発振器と、
前記CMOS差動電圧制御発振器により生成された2相の差動信号から8相信号を生成して出力する8相クロック発生回路と、から構成されている請求項6記載の周波数シンセサイザ。
- [8] 前記CMOS8相電圧制御発振器と前記ハーモニクス周波数可変CMOS SSBミキサとの間に、前記CMOS8相電圧制御発振器により生成された8相信号の位相ずれを補正するための位相補正回路が設けられている請求項6または7記載の周波数シンセサイザ。
- [9] 前記4相入力信号をCMLレベルの信号に変換するための4相入力信号レベル調整用CMLバッファをさらに有する請求項1から8のいずれか1項記載の周波数シンセサイザ。
- [10] 前記CMLバッファおよび前記4相入力信号レベル調整用CMLバッファが、ゲイン切り替え機能を有する請求項9記載の周波数シンセサイザ。
- [11] 前記第1および第2のCMOS直交電圧制御発振器を構成するための第1のインダクタと第2のインダクタとが半導体基板上に左右対称に配置され、該第1のインダクタと該第2のインダクタとの間に前記CMOS SSBミキサが配置され、該CMOS SSBミキサの上下に前記CMOSセレクタと前記CMLバッファとが配置された請求項1記載の周波数シンセサイザ。
- [12] 前記第1および第2のインダクタ、前記CMOS SSBミキサおよび前記CMOSセレ

クタの周囲が第1のウェルで囲まれ、前記CMLバッファの周囲が第2のウェルで囲まれた請求項11記載の周波数シンセサイザ。

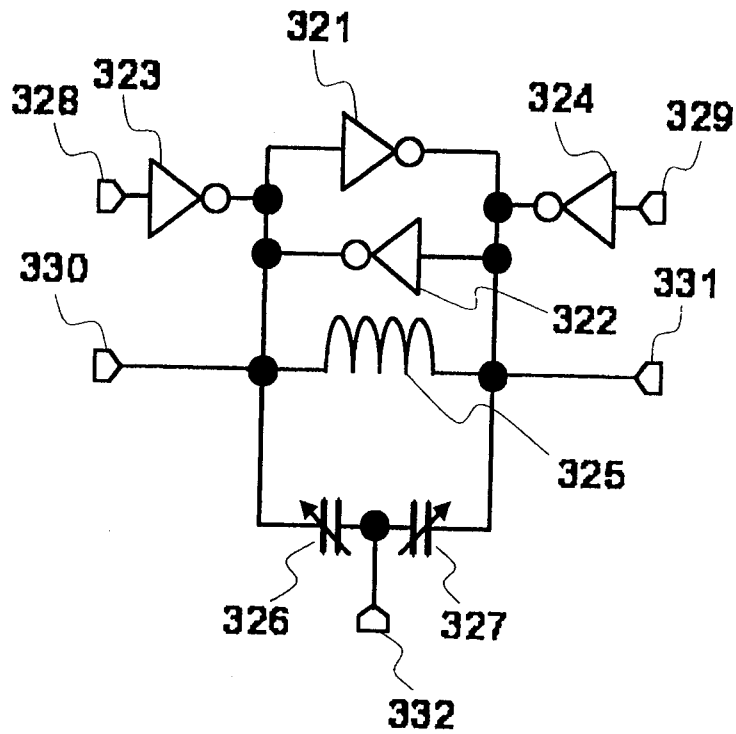
[図1]



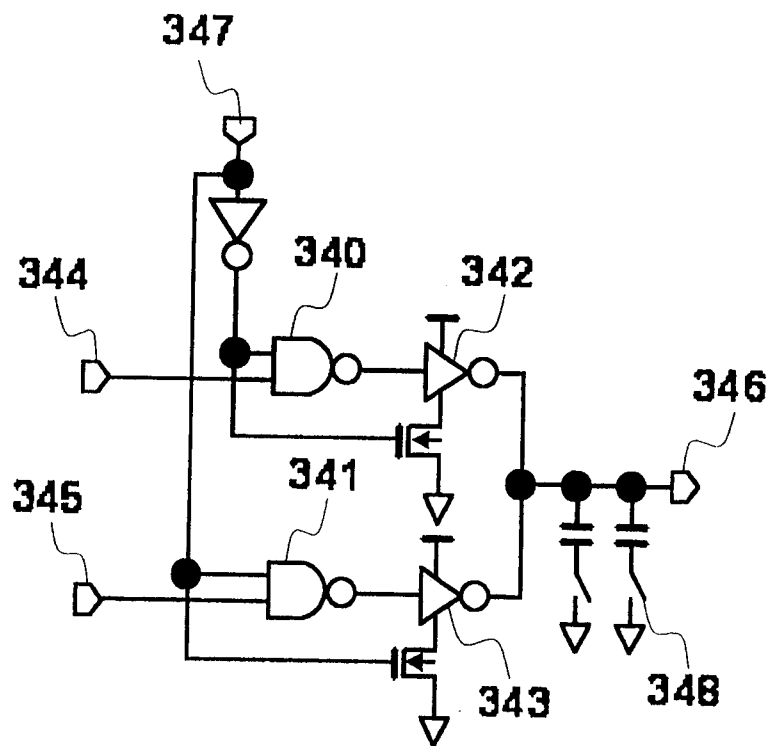
[図2]



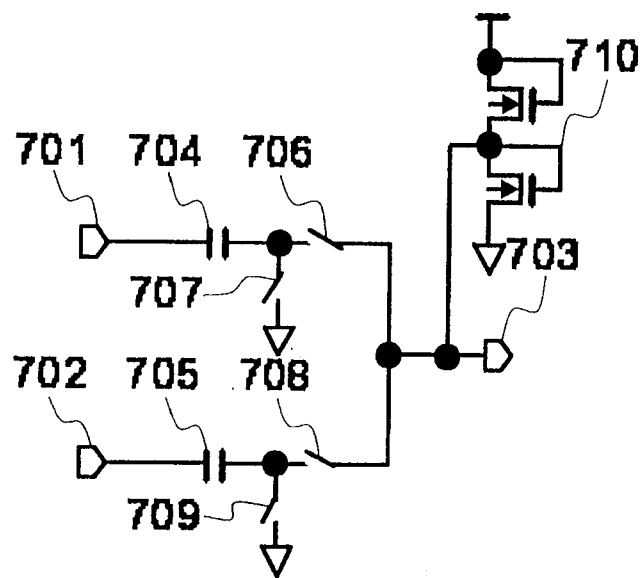
[図3]



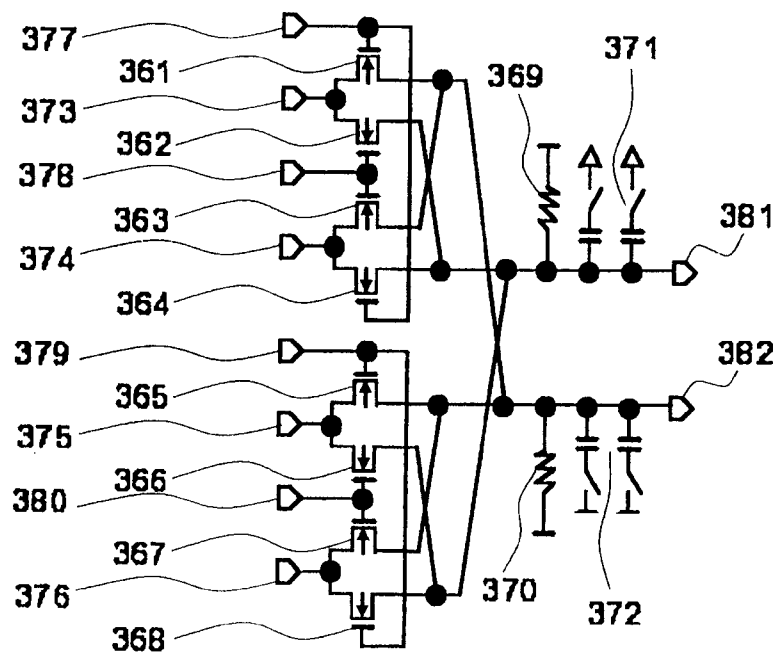
[図4]



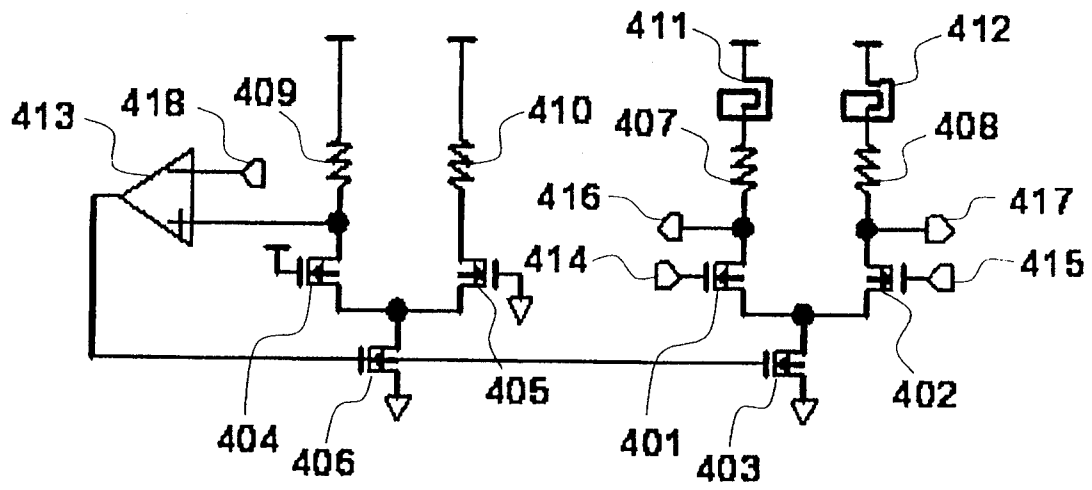
[図5]



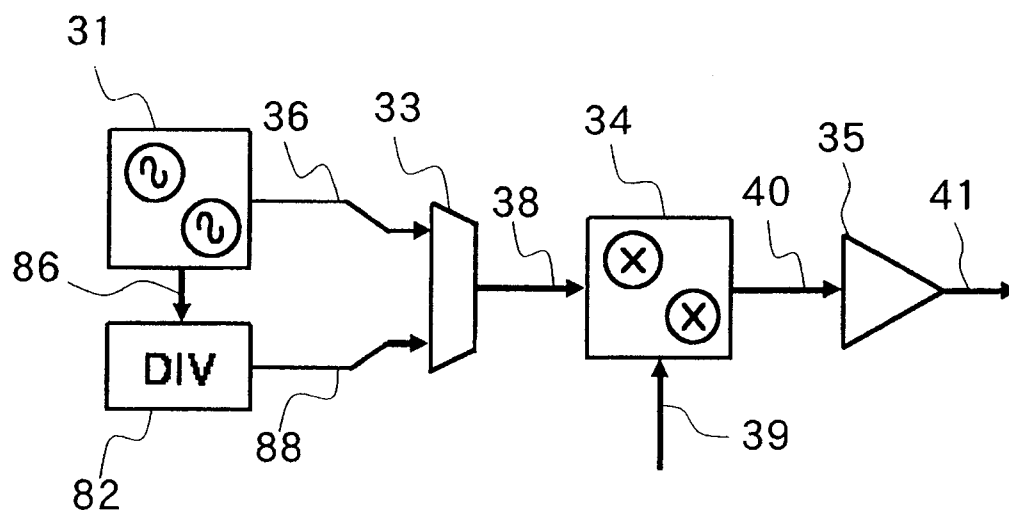
[図6]



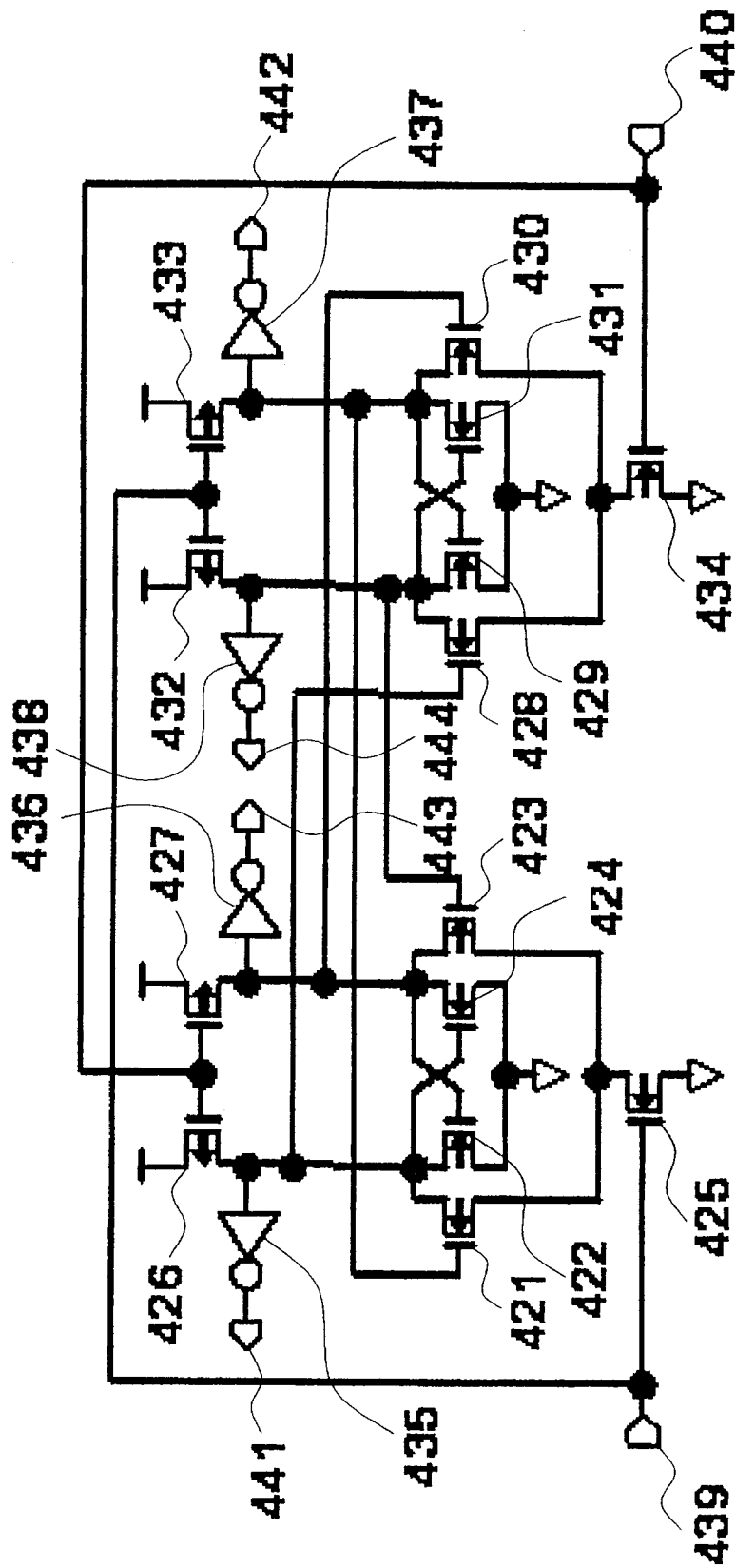
[図7]



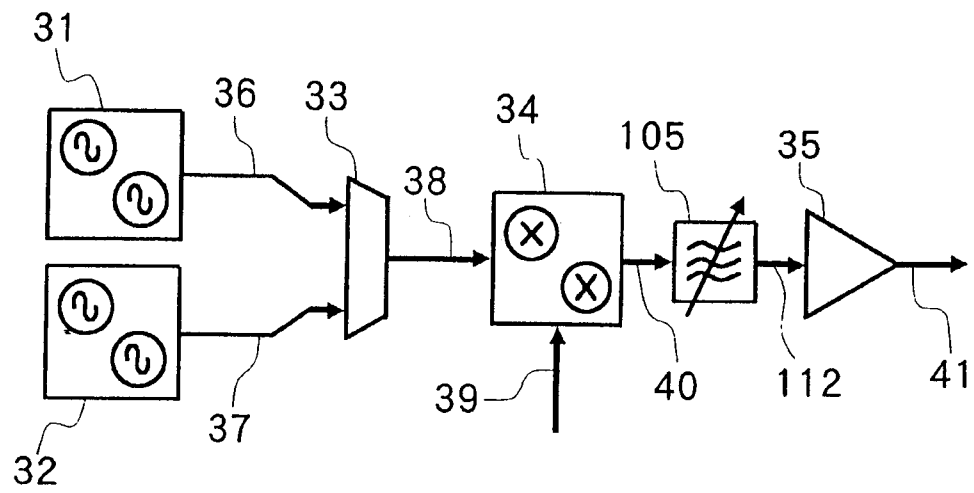
[図8]



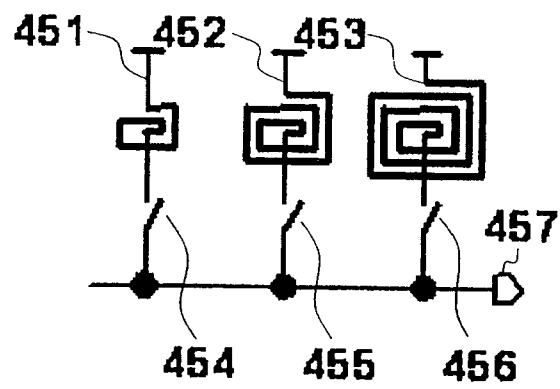
[図9]



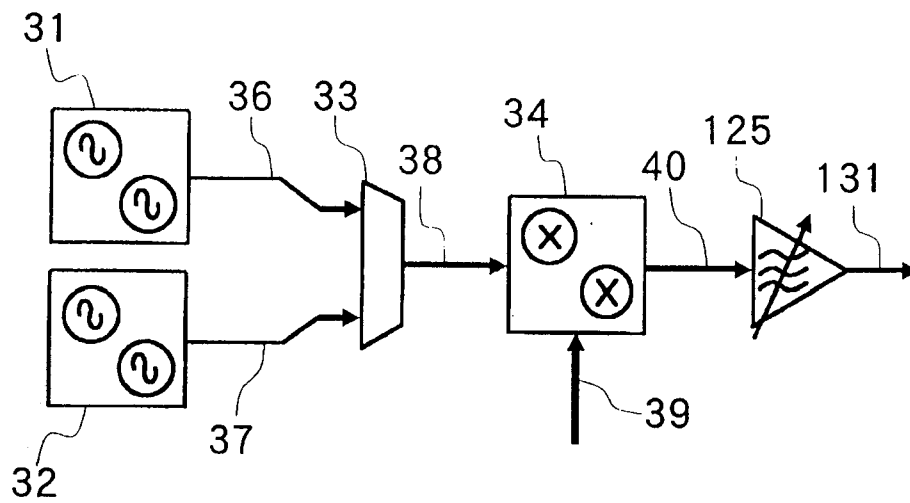
[図10]



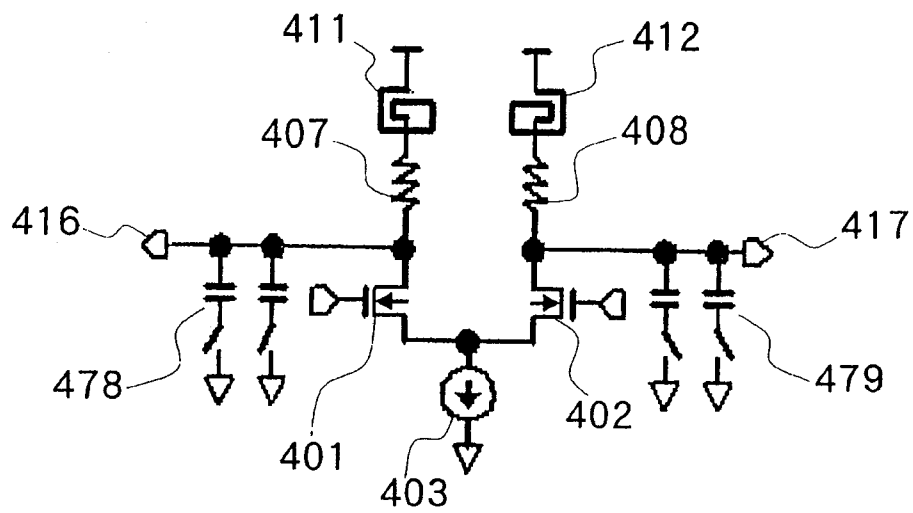
[図11]



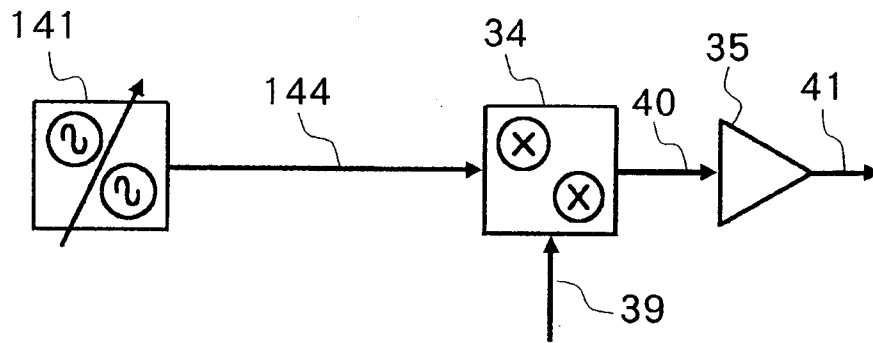
[図12]



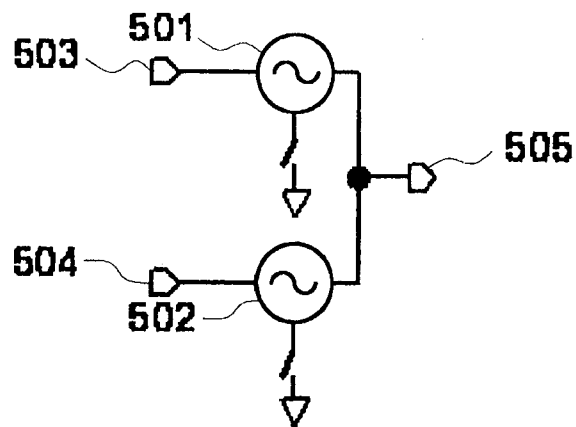
[図13]



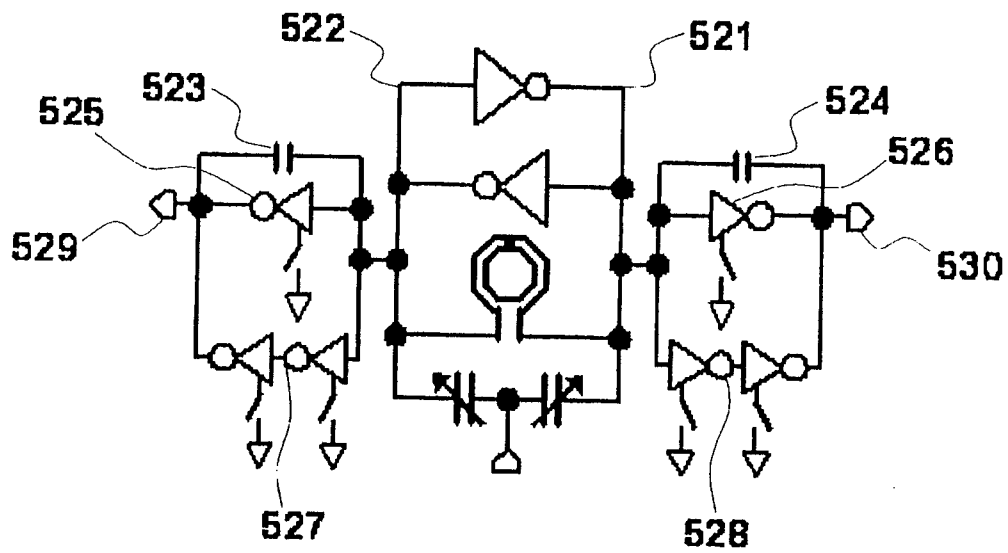
[図14]



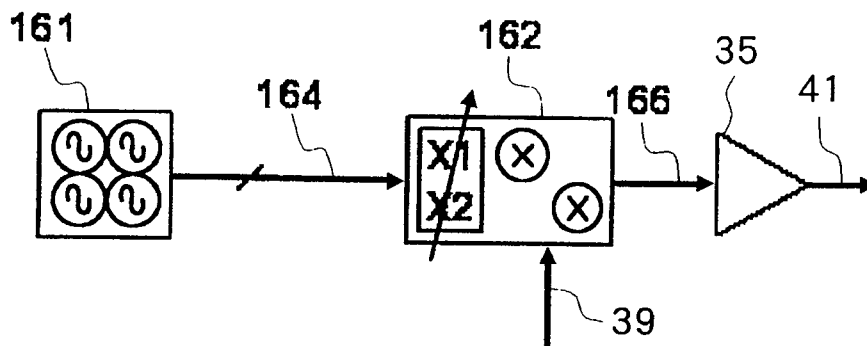
[図15]



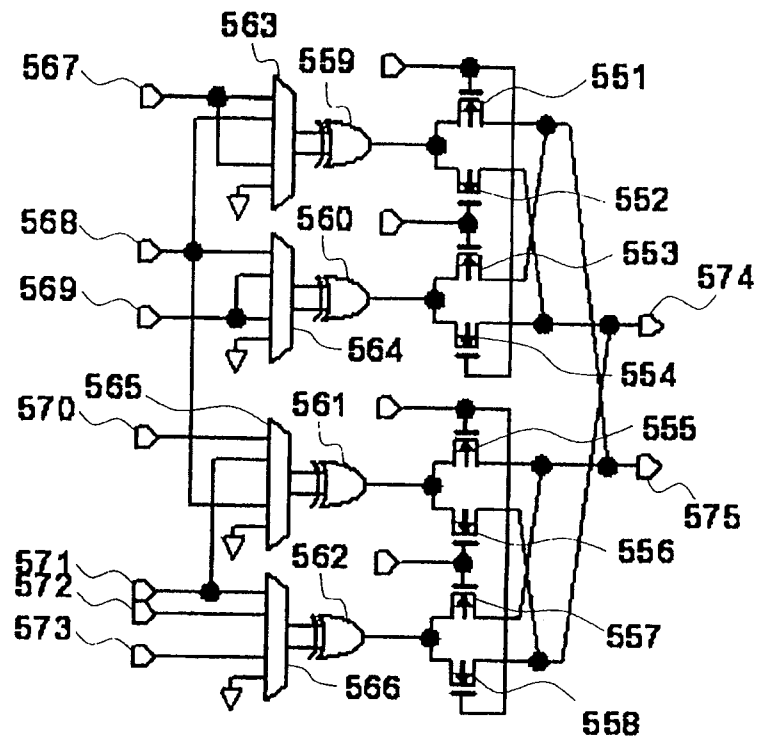
[図16]



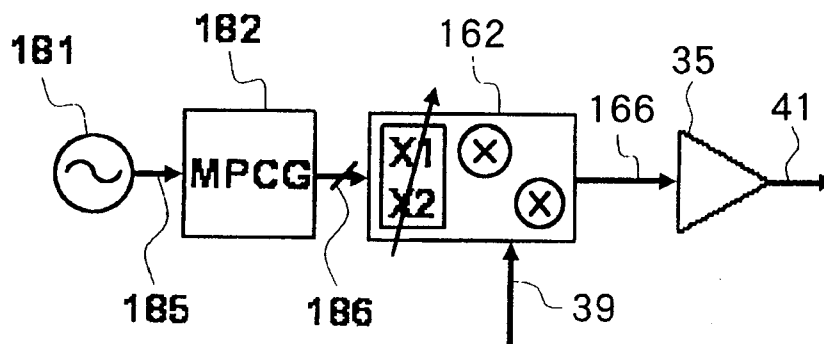
[図17]



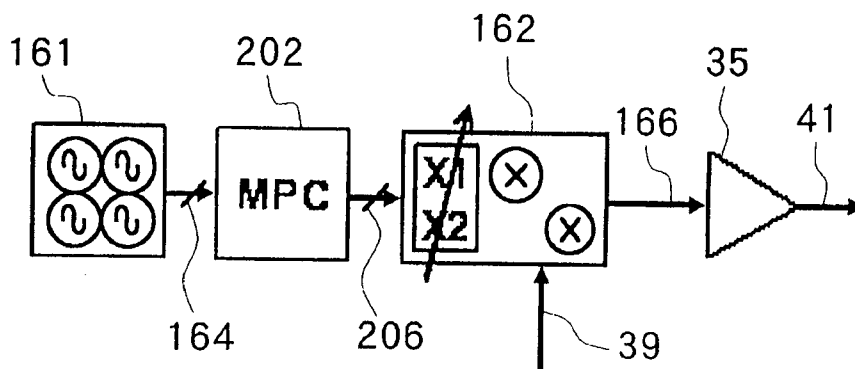
[図18]



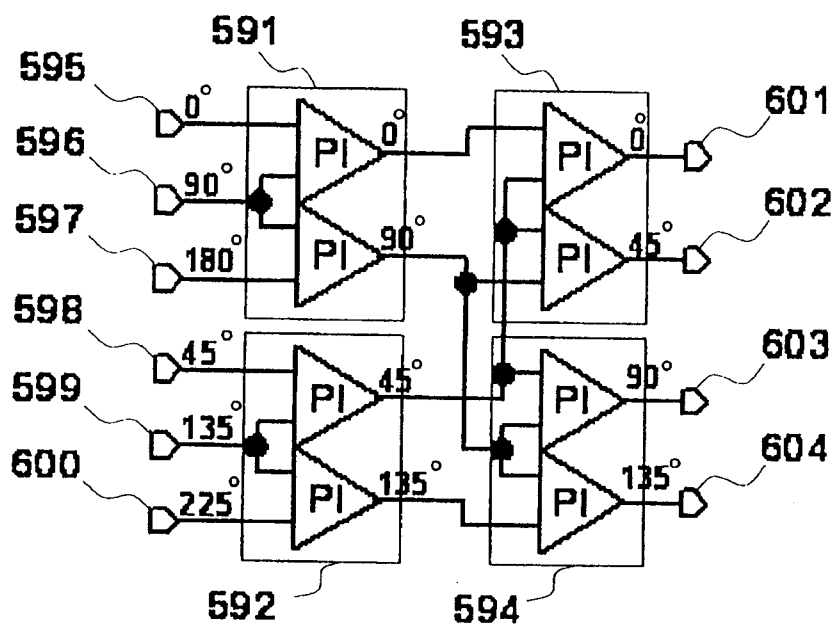
[図19]



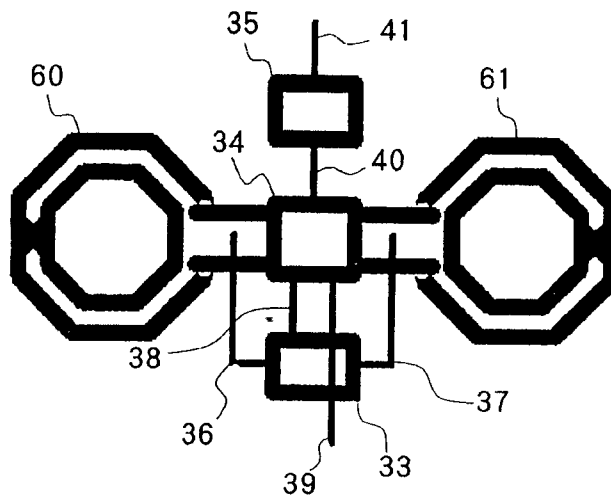
[図20]



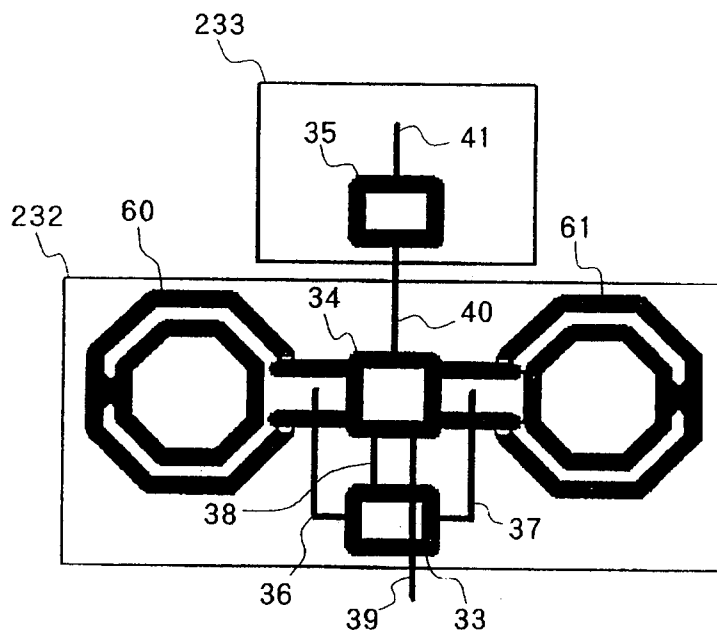
[図21]



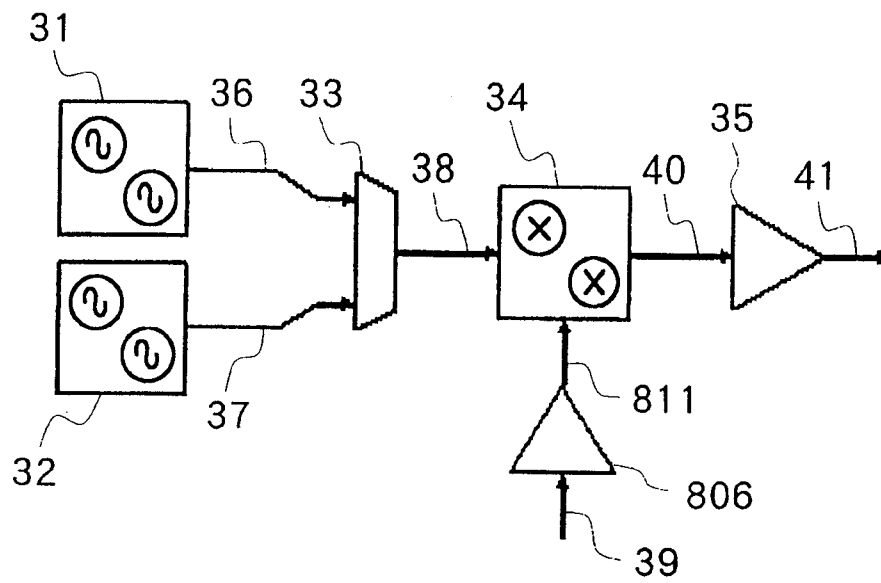
[図22]



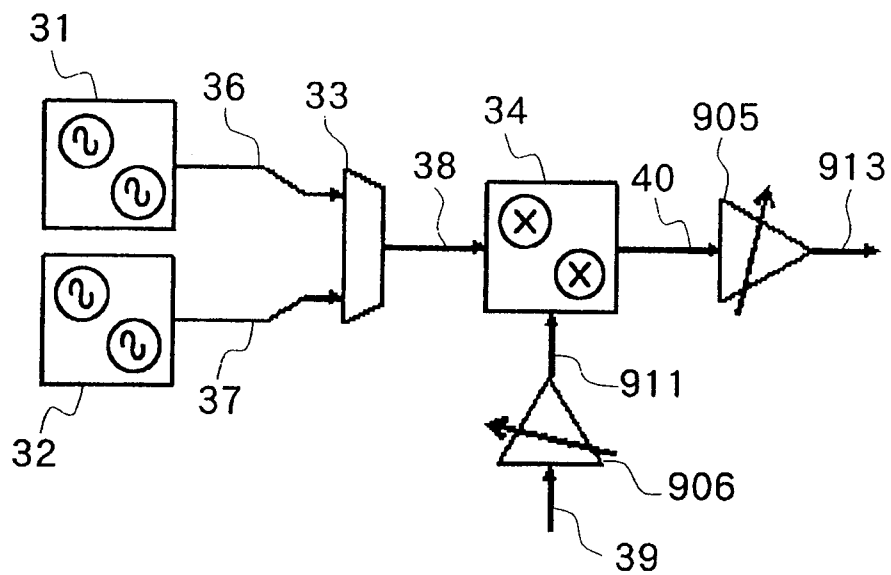
[図23]



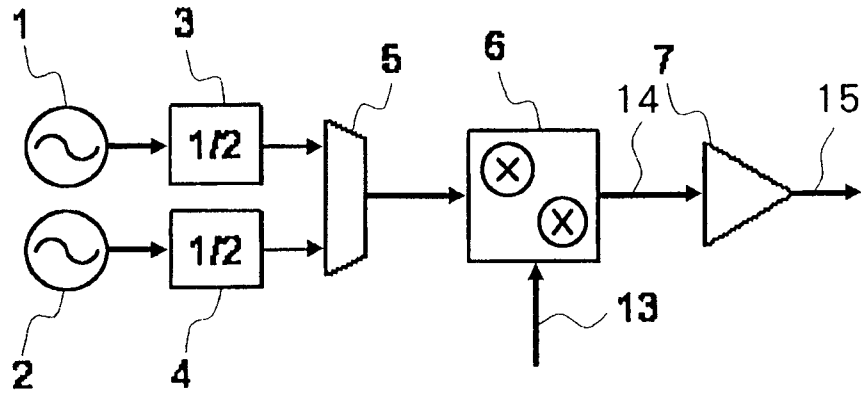
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/314553

A. CLASSIFICATION OF SUBJECT MATTER

H03B21/00(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03B21/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	D.Leenaerts A et al., SiGe BiCMOS lns fast hopping frequency synthesizer for UWB radio, Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International, 2005.2.10, p202-p.203, p.593	1-10 11-12
Y A	Christoph Sandner et al., A 3GHz to 7GHz fast-hopping frequency synthesizer for UWB, International Workshop on UWB Technologies, 2004.5.21, p.405-p.409	1-10 11-12
Y A	JP 2003-198329 A (RF Chips Technology, Inc.), 11 July, 2003 (11.07.03), Fig. 1; Par. Nos. [0047] to [0055] (Family: none)	1-10 11-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 October, 2006 (17.10.06)

Date of mailing of the international search report
24 October, 2006 (24.10.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/314553

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-175698 A (Toshiba Corp.), 30 June, 2005 (30.06.05), Fig. 14; Par. Nos. [0005] to [0007] (Family: none)	2, 5
Y	JP 2003-258666 A (Matsushita Electric Industrial Co., Ltd.), 12 September, 2003 (12.09.03), Fig. 4 (Family: none)	3-4
Y	Kouichi Yamaguch et al., A 2.5-GHz four-phase clock generator with scalable no-feedback-loop architecture, IEEE Journal of Solid-State Circuits, 2001.11, p.1666-p.1672	6-8
Y	JP 2001-077632 A (NEC Saitama, Ltd.), 23 March, 2001 (23.03.01), Fig. 1 (Family: none)	9-10
A	Ali Hajimiri et al., Design issues in CMOS differential LC oscillators, IEEE Journal of Solid-State Circuits, 1999.05, p.717-p.724	11-12

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03B21/00 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03B21/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	D. Leenaerts 他 8 名, A SiGe BiCMOS lns fast hopping frequency synthesizer for UWB radio , Solid-State Circuits Conference, 2005. Digest of Technical Papers. ISSCC. 2005 IEEE International, 2005. 2. 10 , p202-p. 203, p. 593	1-10 11-12

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 1 0 . 2 0 0 6

国際調査報告の発送日

2 4 . 1 0 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

崎間 伸洋

5 W

3 5 7 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	Christoph Sandner 他 6 名, A 3GHz to 7GHz fast-hopping frequency synthesizer for UWB, International Workshop on UWB Technologies, 2004. 5. 21, p. 405-p. 409	1-10 11-12
Y A	JP 2003-198329 A (アールエフ・チップス・テクノロジー株式会社) 2003. 07. 11, 図 1、[0047]-[0055] (ファミリーなし)	1-10 11-12
Y	JP 2005-175698 A (株式会社東芝) 2005. 06. 30, 図 14、[0005]-[0007] (ファミリーなし)	2, 5
Y	JP 2003-258666 A (松下電器産業株式会社) 2003. 09. 12, 図 4 (ファミリーなし)	3-4
Y	Kouichi Yamaguch 他 4 名, A 2.5-GHz four-phase clock generator with scalable no-feedback-loop architecture, IEEE Journal of Solid-State Circuits, 2001. 11, p. 1666-p. 1672	6-8
Y	JP 2001-077632 A (埼玉日本電気株式会社) 2001. 03. 23, 図 1 (ファミリーなし)	9-10
A	Ali Hajimiri 他 1 名, Design issues in CMOS differential LC oscillators, IEEE Journal of Solid-State Circuits, 1999. 05, p. 717-p. 724	11-12