



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년12월12일
(11) 등록번호 10-2741398
(24) 등록일자 2024년12월06일

(51) 국제특허분류(Int. Cl.)
H04L 25/49 (2006.01) H03M 1/66 (2006.01)
H03M 9/00 (2006.01) H04L 25/02 (2006.01)
H04L 25/03 (2006.01)
(52) CPC특허분류
H04L 25/4917 (2013.01)
H03M 1/66 (2019.01)
(21) 출원번호 10-2024-0055534
(22) 출원일자 2024년04월25일
심사청구일자 2024년04월25일
(56) 선행기술조사문헌
KR102413147 B1
KR102109591 B1

(73) 특허권자
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
강진구
서울특별시 서초구 잠원로14길 32, 103동 2602호
(잠원동, 래미안 신반포 리오센트)
김수아
인천광역시 미추홀구 경인남길 10, 401호(용현동)
(74) 대리인
양성보

전체 청구항 수 : 총 6 항

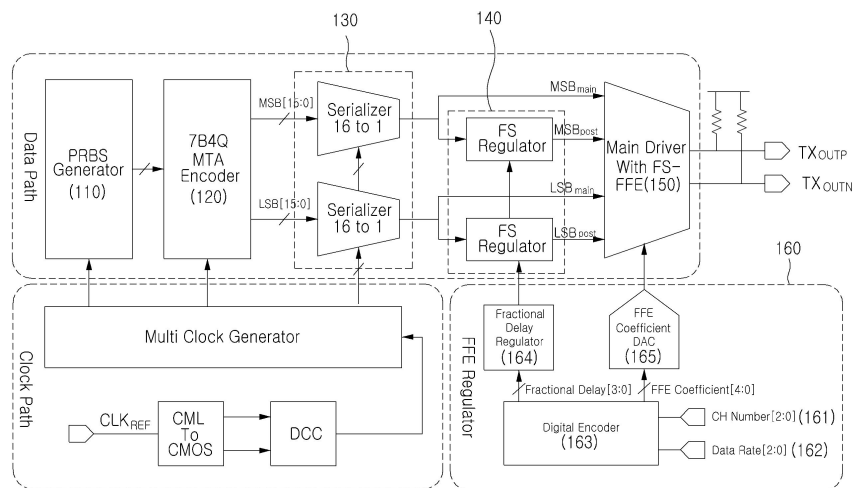
심사관 : 황철규

(54) 발명의 명칭 최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기 및 그 동작 방법

(57) 요약

최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기 및 그 동작 방법이 제시된다. 본 발명에서 제안하는 최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기는 랜덤 데이터를 생성하는 PRBS 생성기; 상기 생성된 랜덤 데이터를 최대 천이가 발생하지 않는 데이터 스트림으로 인코딩하는 최대 천이 회피 인코더; 상기 인코딩된 데이터를 메인 드라이버 및 분수 간격 레귤레이터로 전송하는 직렬 변환기; 상기 인코딩된 데이터에 대해 포스트 커서(post cursor)의 경우 조절 가능한 지연 시간을 갖도록 하는 분수 간격 레귤레이터; 상기 인코딩된 데이터에 대해 아이 오픈링(eye opening)을 증가시키기 위한 분수 간격 피드 포워드 등화기 및 피드 포워드 등화기 레귤레이터를 포함한다.

대표도



(52) CPC특허분류

H03M 9/00 (2013.01)

H04L 25/026 (2013.01)

H04L 25/03885 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711192884
과제번호	2023R1A2C1006578
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	중견연구
연구과제명	[Ezbaro] 다양한 채널환경의 고속 인터페이스를 위한 Dual mode PAM, PWM, Duo-Binary 신호가 혼재된
과제수행기관명	인하대학교
연구기간	2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	2710008712
과제번호	2021-0-02052-003
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	정보통신방송혁신인재양성
연구과제명	[Ezbaro][정부] 스마트 모빌리티를 위한 인공지능 시스템반도체 핵심 기술 개발 및
인력 양성(3차년도)	
과제수행기관명	인하대학교 산학협력단
연구기간	2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711191430
과제번호	S0000163
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	시스템반도체융합전문인력육성(R&D)
연구과제명	산학 밀착형 IoT 반도체 시스템 융합 인력육성 센터
과제수행기관명	성균관대학교
연구기간	2023.01.01 ~ 2023.12.31

명세서

청구범위

청구항 1

랜덤 데이터를 생성하는 PRBS 생성기;

상기 생성된 랜덤 데이터를 최대 천이가 발생하지 않는 데이터 스트림으로 인코딩하는 최대 천이 회피 인코더;

상기 인코딩된 데이터를 메인 드라이버 및 분수 간격 레귤레이터로 전송하는 직렬 변환기;

상기 인코딩된 데이터에 대해 포스트 커서(post cursor)의 경우 조절 가능한 지연 시간을 갖도록 하는 분수 간격 레귤레이터; 및

상기 인코딩된 데이터에 대해 아이 오프닝(eye opening)을 증가시키기 위한 분수 간격 피드 포워드 등화기를 포함하는 메인 드라이버

를 포함하는 PAM4 송신기.

청구항 2

제1항에 있어서,

피드 포워드 등화기 레귤레이터를 더 포함하고,

상기 피드 포워드 등화기 레귤레이터는,

회로의 범용성을 위해 복수의 채널 손실 및 복수의 데이터 레이트에서 동작하도록 외부에서 채널 넘버와 데이터 레이트의 디지털 코드를 입력 받아 디지털 인코더를 통해 변환하여 분수 지연 레귤레이터를 통해 분수 지연을 조절하고, 피드 포워드 등화기 계수 DAC를 통해 피드 포워드 등화기 계수를 조절하는

PAM4 송신기.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 분수 간격 피드 포워드 등화기를 포함하는 메인 드라이버는,

데이터에 대한 보상 범위 주파수를 나이퀴스트 주파수(Nyquist frequency) 이상으로 확장하여 복수의 채널 손실 및 복수의 데이터 레이트에서 아이 오프닝을 증가시키는

PAM4 송신기.

청구항 5

PRBS 생성기를 통해 랜덤 데이터를 생성하는 단계;

최대 천이 회피 인코더를 통해 상기 생성된 랜덤 데이터를 최대 천이가 발생하지 않는 데이터 스트림으로 인코딩하는 단계;

직렬 변환기를 통해 상기 인코딩된 데이터를 메인 드라이버 및 분수 간격 레귤레이터로 전송하는 단계;

분수 간격 레귤레이터를 통해 상기 인코딩된 데이터에 대해 포스트 커서(post cursor)의 경우 조절 가능한 지연 시간을 갖도록 하는 단계; 및

분수 간격 피드 포워드 등화기를 포함하는 메인 드라이버를 통해 상기 인코딩된 데이터에 대해 아이 오프닝(eye opening)을 증가시키는 단계

를 포함하는 PAM4 송신기의 동작 방법.

청구항 6

제5항에 있어서,

피드 포워드 등화기 레귤레이터를 통해 회로의 범용성을 위해 복수의 채널 손실 및 복수의 데이터 레이트에서 동작하도록 외부에서 채널 넘버와 데이터 레이트의 디지털 코드를 입력 받아 디지털 인코더를 통해 변환하여 분수 지연 레귤레이터를 통해 분수 지연을 조절하고, 피드 포워드 등화기 계수 DAC를 통해 피드 포워드 등화기 계수를 조절하는 단계

를 더 포함하는 PAM4 송신기의 동작 방법.

청구항 7

삭제

청구항 8

제5항에 있어서,

상기 분수 간격 피드 포워드 등화기를 포함하는 메인 드라이버를 통해 상기 인코딩된 데이터에 대해 아이 오프닝을 증가시키는 단계는,

데이터에 대한 보상 범위 주파수를 나이퀴스트 주파수(Nyquist frequency) 이상으로 확장하여 복수의 채널 손실 및 복수의 데이터 레이트에서 아이 오프닝을 증가시키는

PAM4 송신기의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 최근 기술 발달로 고속의 데이터 전송을 요구하는 어플리케이션이 증가하고 있다. 그에 따라 고속 인터페이스 분야에서는 고속의 데이터 전송 환경에서도 신호를 정확하게 전달하기 위한 다양한 기술이 제안되고 있다. PAM-4 진폭 변조 방식은 동일한 데이터 전송 속도를 가지는 경우 NRZ(Non-Return-to-Zero)방식에 비해서 절반의 대역폭이 필요한 장점을 갖지만 4개의 신호 레벨을 사용하기 때문에 2개의 신호 레벨을 사용하는 NRZ에 비해 아이 오프닝(eye opening) 측면에서 제한 사항을 가진다. 특히 PAM-4 신호의 최대 천이(maximum transition)의 경우 중간 천이(middle transition), 최소 천이(minimum transition)에 비해 ISI와 크로스토크(crosstalk)에 의한 영향을 가장 크게 받는다. 따라서 최대 천이를 제거한다면 PAM-4 신호에서도 넓은 아이 오프닝을 유지할 수 있다.

선행기술문헌

비특허문헌

[0003] (비특허문헌 0001) [1] SONG, Eunji, et al. A 35-Gb/s PAM-4 Transmitter With 7B4Q Full-Transition Avoidance and Area-Efficient Gm Boosting Techniques. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023.

(비특허문헌 0002) [2] [3] KO, Kyeong-Min; KWON, Dohyeon; KANG, Jin-Ku. Design of 20Gb/s PAM4 transmitter with maximum transition elimination and transition compensation techniques. In: 2021 18th International SoC Design Conference (ISOC). IEEE, 2021. p. 405-406.

(비특허문헌 0003) [3] J. Han and J.-D. Han, "A 16Gb/s Low power PAM4 Transmitter using Dual SST with

Common Mode Switch," Master's Thesis, Hanyang University, Seoul Feb. 2021.

발명의 내용

해결하려는 과제

- [0004] 본 발명이 이루고자 하는 기술적 과제는 7B4Q 최대 천이 회피(Maximum Transition Avoidance; MTA) 알고리즘을 제안하고, 보상 범위를 나이퀴스트 주파수(Nyquist frequency) 이상으로 확장하는 분수 간격(Fractional-Spaced) FFE(Feed-Forward Equalization) 방식을 사용하여 여러 데이터 레이트와 채널 손실 상황에서 향상된 아이 오프닝을 가지는 최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기 및 그 동작 방법을 제공하는데 있다.

과제의 해결 수단

- [0005] 일 측면에 있어서, 본 발명에서 제안하는 최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기는 랜덤 데이터를 생성하는 PRBS 생성기; 상기 생성된 랜덤 데이터를 최대 천이가 발생하지 않는 데이터 스트림으로 인코딩하는 최대 천이 회피 인코더; 상기 인코딩된 데이터를 메인 드라이버 및 분수 간격 레귤레이터로 전송하는 직렬 변환기; 상기 인코딩된 데이터에 대해 포스트 커서(post cursor)의 경우 조절 가능한 지연 시간을 갖도록 하는 분수 간격 레귤레이터; 상기 인코딩된 데이터에 대해 아이 오프닝(eye opening)을 증가시키기 위한 분수 간격 피드 포워드 등화기 및 피드 포워드 등화기 레귤레이터를 포함한다.
- [0006] 상기 피드 포워드 등화기 레귤레이터는, 회로의 범용성을 위해 복수의 채널 손실 및 복수의 데이터 레이트에서 동작하도록 외부에서 채널 넘버와 데이터 레이트의 디지털 코드를 입력 받아 디지털 인코더를 통해 변환하여 분수 지연 레귤레이터를 통해 분수 지연을 조절하고, 피드 포워드 등화기 계수 DAC를 통해 피드 포워드 등화기 계수를 조절한다.
- [0007] 상기 최대 천이 회피 인코더는, 7Bit 데이터가 입력되면 데이터 '1'을 출력 데이터에 추가하여 마지막 코드가 01(-1) 또는 11(+1)로 끝나는 4Q(quaternary code)로 출력하여 다음 데이터와 무관하게 최대 천이가 발생하지 않는 데이터 스트림으로 인코딩한다.
- [0008] 상기 분수 간격 피드 포워드 등화기를 포함하는 메인 드라이버는, 데이터에 대한 보상 범위 주파수를 나이퀴스트 주파수(Nyquist frequency) 이상으로 확장하여 복수의 채널 손실 및 복수의 데이터 레이트에서 아이 오프닝(eye opening)을 증가시킨다.
- [0009] 또 다른 본 발명에서 제안하는 최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기의 동작 방법은 PRBS 생성기를 통해 랜덤 데이터를 생성하는 단계; 최대 천이 회피 인코더를 통해 상기 생성된 랜덤 데이터를 최대 천이가 발생하지 않는 데이터 스트림으로 인코딩하는 단계; 직렬 변환기를 통해 상기 인코딩된 데이터를 메인 드라이버 및 분수 간격 레귤레이터로 전송하는 단계; 분수 간격 레귤레이터를 통해 상기 인코딩된 데이터에 대해 포스트 커서의 경우 조절 가능한 지연 시간을 갖도록 하는 단계; 및 분수 간격 피드 포워드 등화기를 포함하는 메인 드라이버를 통해 상기 인코딩된 데이터에 대해 아이 오프닝을 증가시키는 단계를 포함한다.

발명의 효과

- [0010] 본 발명의 실시예들에 따르면 최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기 및 그 동작 방법을 통해 7B4Q 최대 천이 회피(Maximum Transition Avoidance; MTA) 알고리즘을 제안하고, 보상 범위를 나이퀴스트 주파수(Nyquist frequency) 이상으로 확장하는 분수 간격(Fractional-Spaced) FFE(Feed-Forward Equalization) 방식을 사용하여 여러 데이터 레이트와 채널 손실 상황에서 향상된 아이 오프닝을 가질 수 있다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 일 실시예에 따른 최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기의 회로도이다.

도 2는 본 발명의 일 실시예에 따른 최대 천이 회피 알고리즘을 설명하기 위한 도면이다.

도 3은 본 발명의 일 실시예에 따른 MTA 인코더를 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시예에 따른 MTA 인코더 알고리즘을 설명하기 위한 도면이다.

도 5는 본 발명의 일 실시예에 따른 MTA 인코더를 통해 변환된 출력 데이터 4Q 코드의 예시를 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 MTA 인코더 성능을 종래기술과 비교하기 위한 도면이다.

도 7은 본 발명의 일 실시예에 따른 분수 간격 FFE를 설명하기 위한 도면이다.

도 8은 본 발명의 일 실시예에 따른 아이 오프닝 확장에 대해 설명하기 위한 도면이다.

도 9는 본 발명의 일 실시예에 따른 최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기의 동작 방법을 설명하기 위한 흐름도이다.

도 10은 본 발명의 일 실시예에 따른 채널 손실 특성을 설명하기 위한 도면이다.

도 11은 본 발명의 일 실시예에 따른 시뮬레이션 결과를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명에는 PAM-4 송신기에 대하여 최적화된 최대 천이 회피(Maximum Transition Avoidance; MTA) 알고리즘을 제안하고, 이를 바탕으로 전력 향상 및 사이즈가 감소된 MTA 인코더를 포함한다. 추가로 분수 간격(Fractional-Spaced) FFE(Feed-Forward Equalization) 방식을 사용하여 확장된 아이 오프닝(eye opening) 성능을 가지는 PAM-4 송신기를 설계하였다. 설명하는 회로는 65nm CMOS 기술을 이용하여 검증하였고, 해당 공정은 1.2V의 공급 전압을 가진다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0014] 도 1은 본 발명의 일 실시예에 따른 최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기의 회로도이다.
- [0015] 본 발명의 실시예에 따른 최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기는 4 28Gb/s의 데이터를 전송 가능하며, 다양한 채널 손실의 조건에서 사용 가능하다.
- [0016] 본 발명의 실시예에 따른 PAM4 송신기는 PRBS 생성기(PRBS Generator)(110), 7B4Q 최대 천이 회피 인코더(7B4Q Maximum Transition Avoidance Encoder)(120), 직렬 변환기(Serializer)(130), 분수 간격 레귤레이터(Fractional-Spaced Regulator)(140), 분수 간격 피드 포워드 등화기(Fractional-Spaced Feed-Forward Equalizer)를 포함하는 메인 드라이버(Main Driver)(150) 및 FFE(Feed-Forward Equalizer) 레귤레이터(160)를 포함한다.
- [0017] 본 발명의 실시예에 따른 PRBS 생성기(110)는 랜덤 데이터를 생성한다.
- [0018] 본 발명의 실시예에 따른 7B4Q 최대 천이 회피 인코더(120)는 상기 생성된 랜덤 데이터를 최대 천이가 발생하지 않는 데이터 스트림으로 인코딩한다.
- [0019] 본 발명의 실시예에 따른 직렬 변환기(130)는 상기 인코딩된 데이터를 메인 드라이버(150) 및 분수 간격 레귤레이터(140)로 전송한다.
- [0020] 본 발명의 실시예에 따른 분수 간격 피드 포워드 등화기를 포함하는 메인 드라이버(150)는 상기 인코딩된 데이터에 대해 아이 오프닝(eye opening)을 증가시키도록 동작 한다.
- [0021] 본 발명의 실시예에 따른 분수 간격 레귤레이터(140)는 상기 인코딩된 데이터에 대해 포스트 커서(post cursor)의 경우 조절 가능한 지연 시간을 갖도록 한 후 분수 간격 피드 포워드 등화기에 인가되는 방식으로 등화가 진행된다.
- [0022] 본 발명의 실시예에 따른 FFE(Feed-Forward Equalizer) 레귤레이터(160)는 회로의 범용성을 위해 외부에서 CH 넘버(161)와 데이터 레이트(162)의 디지털 코드를 입력 받고, 이 신호들을 디지털 인코더(163)를 통해 변환하여 분수 지연 레귤레이터(Fractional Delay Regulator)(164)와 FFE 계수 DAC(165)를 통해 분수 지연과 FFE 계수를 조절하여 회로가 여러 채널 손실과 데이터 레이트에서 동작할 수 있도록 한다.

- [0024] 도 2는 본 발명의 일 실시예에 따른 최대 천이 회피 알고리즘을 설명하기 위한 도면이다.
- [0025] PAM-4 신호의 최대 천이의 경우 중간 천이(middle transition), 최소 천이(minimum transition)에 비해 긴 시간 지연을 가짐에 따라 ISI에 의한 영향을 가장 크게 받는다. 이는 아이 오프닝을 감소시키며, 특히 상위(top) 아이와 하위(bottom) 아이에 큰 영향을 끼친다. 따라서 인코딩을 통해 최대 천이를 제거하면, 상위와 하위의 아이 오프닝 개선이 가능하다. 본 발명에서는 기존 최대 천이 회피 인코더들과 비교하여 심볼 당 비트(bit per symbol) 또는 전력과 사이즈를 개선할 수 있는 알고리즘을 제안한다.
- [0027] 도 3은 본 발명의 일 실시예에 따른 MTA 인코더를 설명하기 위한 도면이다.
- [0028] 그레이 코딩(Gray coding)에서 최대 천이의 경우는 00(-3)에서 10(+3) 또는 그 반대의 천이가 발생하는 경우이다. 제안하는 알고리즘은 다음과 같다. 일반적인 경우 7Bit의 입력 데이터가 MTA 인코더에 인가되었을 때 도 3과 같이 데이터 '1'을 출력 데이터에 추가하는 방식으로 최대 천이를 제거할 수 있다. 7Bit 입력 데이터에 '1'을 추가하면 마지막이 01(-1) 또는 11(+1)로 끝나므로 다음 데이터와 무관하게 최대 천이가 발생하지 않는다. 총 128가지의 경우의 수 중 100가지 경우에서 해당 방식을 통해 인코딩 된다. 입력 데이터 7Bit 내에서 최대 천이가 발생하는 28가지 경우에는 이들을 특정 케이스로 분류하여, 입력 데이터에 '1'을 추가하는 일반적인 방식 대신 다른 방식으로 데이터를 인코딩 한다.
- [0030] 도 4는 본 발명의 일 실시예에 따른 MTA 인코더 알고리즘을 설명하기 위한 도면이다.
- [0031] 도 4를 참조하면, 7Bit 데이터가 입력되면(410), 최대 천이(Maximum Transition; MT)가 발생했는지 판별한다(420). 최대 천이가 발생하지 않은 경우, 데이터 '1'을 추가하여(421), 4Q(quaternary code)로 출력한다(450).
- [0032] 최대 천이가 발생하면 경우, 선택(Select) 신호가 0 인지 1인지 판별한다(430). 선택 신호는 다음 입력 데이터의 첫번째 bit이다.
- [0033] 선택 신호가 0인 경우, 다음 신호가 00(-3) 또는 01(-1)로 시작하는 경우이므로, 00(3)으로 끝나는 4 Q로 출력한다(441).
- [0034] 선택 신호가 1인 경우는 다음 신호가 10(+3) 또는 11(+1)로 시작하는 경우이므로, 10(+3)으로 끝나는 4 Q로 출력한다(442). 다음과 같은 방식으로 인코딩을 진행하면 최대 천이가 발생하지 않게 된다.
- [0036] 도 5는 본 발명의 일 실시예에 따른 MTA 인코더를 통해 변환된 출력 데이터 4Q 코드의 예시를 나타내는 도면이다.
- [0037] 도 5는 특정 케이스로 분류된 28가지 경우의 입력 데이터와 MTA 인코더를 통해 변환된 출력 데이터 4Q 코드를 보여준다.
- [0039] 도 6은 본 발명의 일 실시예에 따른 MTA 인코더 성능을 종래기술과 비교하기 위한 도면이다.
- [0040] 도 6은 최대 천이 회피를 수행하는 인코더를 종래기술 [1], [2], [3]과 비교한 표이다. 모두 동일하게 CMOS 180nm 공정을 사용하여 합성을 진행하고 비교하였다. 본 발명의 실시예에 따른 MTA 인코더는 간단한 알고리즘을 바탕으로 [2], [3]과 유사한 전력과 사이즈를 가지는 반면 심볼 당 비트(bit per symbol)는 각 1.6Bit, 1.67Bit에서 1.75Bit로 향상되고, 같은 심볼 당 비트를 가지는 [1]과 비교하였을 때 전력과 사이즈가 약 0.48배, 0.33배로 감소한다.
- [0042] 도 7은 본 발명의 일 실시예에 따른 분수 간격 FFE를 설명하기 위한 도면이다.
- [0043] 도 7과 같이 분수 간격 2-tap FFE의 등화 방식을 거친 출력은 $y[t] = C_0x[t] + C_1x[t - \alpha UI]$ 이다. 해당 입력 출력 관계를 s-domain에서 나타낸 전달 함수를 $H(s) = Y(s)/X(s) = 1 - \beta e^{-\alpha Ts}$ 으로 표현할 수 있다. 이때 $\beta = C_1/C_0$ 이며, α 는 분수 간격의 계수를 말한다. 전달 함수의 크기를 고려하면 $|H(\omega)| = \sqrt{1 + \beta^2 - 2\beta \cos(\alpha \omega T)}$ 므로, $\alpha \omega T = \pi$ 인 지점에서 최대의 크기를 갖는다. 보상 범위 주파수를 라할 때, $f_{CR} = \frac{1}{2\alpha T} = \frac{f_{Nyquist}}{\alpha}$ 이다. 따라서 보-간격(baud-spaced)(1UI) FFE의 경우 나이퀴스트 주파수(Nyquist frequency)에서 보상 피크 게인(compensation peak gain)을 갖고, 분수 간격 FFE의 경우 계수 α 의 값에 따라

α 가 작아질수록 보상 피크 게인을 갖는 지점의 주파수가 증가하게 된다. 따라서 분수 간격 FFE 방식은 등화기의 보상 주파수 범위를 더욱 증가시키는 동작으로 채널 손실이 심한 상황에서 효과적으로 사용할 수 있는 등화 방식이다.

- [0045] 도 8은 본 발명의 일 실시예에 따른 아이 오프닝 확장에 대해 설명하기 위한 도면이다.
- [0046] 분수 간격 FFE는 보상 주파수 범위를 확장하여 포스트 커서의 ISI 성분을 더욱 효과적으로 제거하는 데 기여한다. 동시에 데이터의 스위칭 과정을 빠르게 하기 때문에 아이 너비(eye width)가 확장된다.
- [0047] 도 8을 참조하면, 보-간격(baud-spaced) FFE와 분수 간격 FFE를 적용하였을 때 출력의 아이 다이어그램을 비교한 결과를 나타낸다. 보-간격 FFE가 적용된 아이 다이어그램에서 상위(top) 아이와 하위(bottom) 아이는 MTA의 적용으로 스위칭 지터가 상대적으로 작게 발생하지만, 중간 아이(middle eye)는 중간 천이(middle transition)의 영향으로 큰 스위칭 지터를 갖는다. 즉 보-간격 FFE에서는 각 아이 간의 아이 너비가 불균등하고, 특히 중간 아이의 너비가 감소된 개형을 보인다. 이를 해소하기 위해 분수 간격 FFE를 적용하면, 모든 데이터 천이 경우의 스위칭 과정이 빨라져 아이 너비를 확장할 수 있고, 특히 중간 천이의 스위칭 과정이 빨라지면서 세 아이 너비를 균등하게 확보할 수 있다.
- [0049] 도 9는 본 발명의 일 실시예에 따른 최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기의 동작 방법을 설명하기 위한 흐름도이다.
- [0050] 본 발명의 실시예에 따른 최대 천이 회피 인코더와 분수 간격 피드 포워드 등화기를 포함하는 4-28Gb/s PAM4 송신기의 동작 방법은 PRBS 생성기를 통해 랜덤 데이터를 생성하는 단계(910), 최대 천이 회피 인코더를 통해 상기 생성된 랜덤 데이터를 최대 천이가 발생하지 않는 데이터 스트림으로 인코딩하는 단계(920), 직렬 변환기를 통해 상기 인코딩된 데이터를 메인 드라이버 및 분수 간격 레귤레이터로 전송하는 단계(930), 분수 간격 레귤레이터를 통해 상기 인코딩된 데이터에 대해 포스트 커서(post cursor)의 경우 조절 가능한 지연 시간을 갖도록 하는 단계(940) 및 분수 간격 피드 포워드 등화기를 포함하는 메인 드라이버를 통해 상기 인코딩된 데이터에 대해 아이 오프닝(eye opening)을 증가시키는 단계(950)를 포함한다.
- [0051] 단계(910)에서, PRBS 생성기를 통해 랜덤 데이터를 생성한다.
- [0052] 단계(920)에서, 최대 천이 회피 인코더를 통해 상기 생성된 랜덤 데이터를 최대 천이가 발생하지 않는 데이터 스트림으로 인코딩한다.
- [0053] 본 발명의 실시예에 따르면, 7Bit 데이터가 입력되면 데이터 '1'을 출력 데이터에 추가하여 마지막 코드가 01(-1) 또는 11(+1)로 끝나는 4Q(quaternary code)로 출력하여 다음 데이터와 무관하게 최대 천이가 발생하지 않는 데이터 스트림으로 인코딩한다.
- [0054] 단계(930)에서, 직렬 변환기를 통해 상기 인코딩된 데이터를 메인 드라이버 및 분수 간격 레귤레이터로 전송한다.
- [0055] 본 발명의 실시예에 따르면, 피드 포워드 등화기 레귤레이터를 통해 회로의 범용성을 위해 복수의 채널 손실 및 복수의 데이터 레이트에서 동작하도록 외부에서 채널 넘버와 데이터 레이트의 디지털 코드를 입력 받아 디지털 인코더를 통해 변환하여 분수 지연 레귤레이터를 통해 분수 지연을 조절하고, 피드 포워드 등화기 계수 DAC를 통해 피드 포워드 등화기 계수를 조절한다.
- [0056] 단계(940)에서, 분수 간격 레귤레이터를 통해 상기 인코딩된 데이터에 대해 포스트 커서(post cursor)의 경우 조절 가능한 지연 시간을 갖도록 한다.
- [0057] 단계(950)에서, 분수 간격 피드 포워드 등화기를 포함하는 메인 드라이버를 통해 상기 인코딩된 데이터에 대해 아이 오프닝(eye opening)을 증가시킨다.
- [0058] 본 발명의 실시예에 따르면, 데이터에 대한 보상 범위 주파수를 나이퀴스트 주파수(Nyquist frequency) 이상으로 확장하여 복수의 채널 손실 및 복수의 데이터 레이트에서 아이 오프닝을 증가시킨다.
- [0060] 도 10은 본 발명의 일 실시예에 따른 채널 손실 특성을 설명하기 위한 도면이다.
- [0061] 도 10은 각 채널별 채널 손실 특성을 나타낸다. 회로의 범용성을 위해 여러 종류의 채널과 데이터 레이트를 수용할 수 있도록 설계하였다. PAM-4 송신기가 최적의 등화 정도를 갖도록 하기 위해 3Bit CH 넘버와 3Bit 데이터 레이트가 외부에서 인가되고, 디지털 인코더를 통해 4Bit 분수 지연(Fractional Delay)과 5Bit FFE 계수

(Coefficient)가 조절된다. 채널 손실 정도가 심화됨에 따라 분수 지연과 FFE 계수 값이 증가되고, 메인 드라이버에 인가되는 분수 지연 레귤레이터(Fractional Delay Regulator)와 FFE 계수 DAC의 출력이 변화하여 적절한 등화가 진행된다.

[0063] 도 11은 본 발명의 일 실시예에 따른 시뮬레이션 결과를 나타내는 도면이다.

[0064] 본 발명의 실시예에 따른 PAM-4 송신기는 65nm CMOS 공정으로 설계 및 시뮬레이션을 진행하였다. 도 11은 MTA 인코더와 FS FFE의 적용 전후에서 28Gb/s PAM-4 출력 아니 다이어그램을 보여준다.

[0065] 도 11(a)는 종래기술에 따른 PAM-4, 도 11(b)는 MTA 인코더를 갖는 PAM-4, 도 11(c)는 MTA 인코더 및 FS-FFE를 갖는 PAM-4 송신기의 시뮬레이션 결과이다.

[0066] 표 1은 도 11의 각 경우의 아이 높이(eye height)와 아이 너비(eye width)를 나타낸다.

[0067] <표 1>

	Top	Middle	Bottom
Original PAM-4	14.54 mV	18.48 mV	14.50 mV
With MTA	24.82 mV	19.58 mV	24.02 mV
With MTA, FS FFE	25.25 mV	23.84 mV	24.89 mV

(a) Eye height

	Top	Middle	Bottom
Original PAM-4	0.28 UI	0.34 UI	0.28 UI
With MTA	0.46 UI	0.36 UI	0.47 UI
With MTA, FS FFE	0.53 UI	0.45 UI	0.53 UI

(b) Eye width

[0068]

[0069] 도 11의 (a)와 (c)를 비교하면, 아이 높이의 평균은 15.84mV에서 24.66mV로 확장되었고, RLM은 91.5%에서 96.7%로 향상되었다. 아이 너비의 평균은 0.30UI에서 0.50UI로 크게 확장되었고, FS FFE를 사용함으로써 top, bottom eye width와 middle eye width 사이의 균등성이 향상되었다.

[0070] 제안하는 PAM-4 송신기는 7B4Q 최대 천이 회피 인코더와 분수 간격 FFE를 통해 아이 오프닝을 크게 향상시켰으며, 인코더의 경우 간단한 알고리즘을 사용해 심볼 당 비트(bit per symbol)가 높으면서도 전력 및 사이즈 측면에서 향상된 결과를 보인다. 추가로 여러 채널 및 데이터 레이트에서도 동작 가능하도록 설계하여 범용성이 넓은 PAM-4 송신기 설계가 가능하다.

[0072] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치가 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0073] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0074] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판

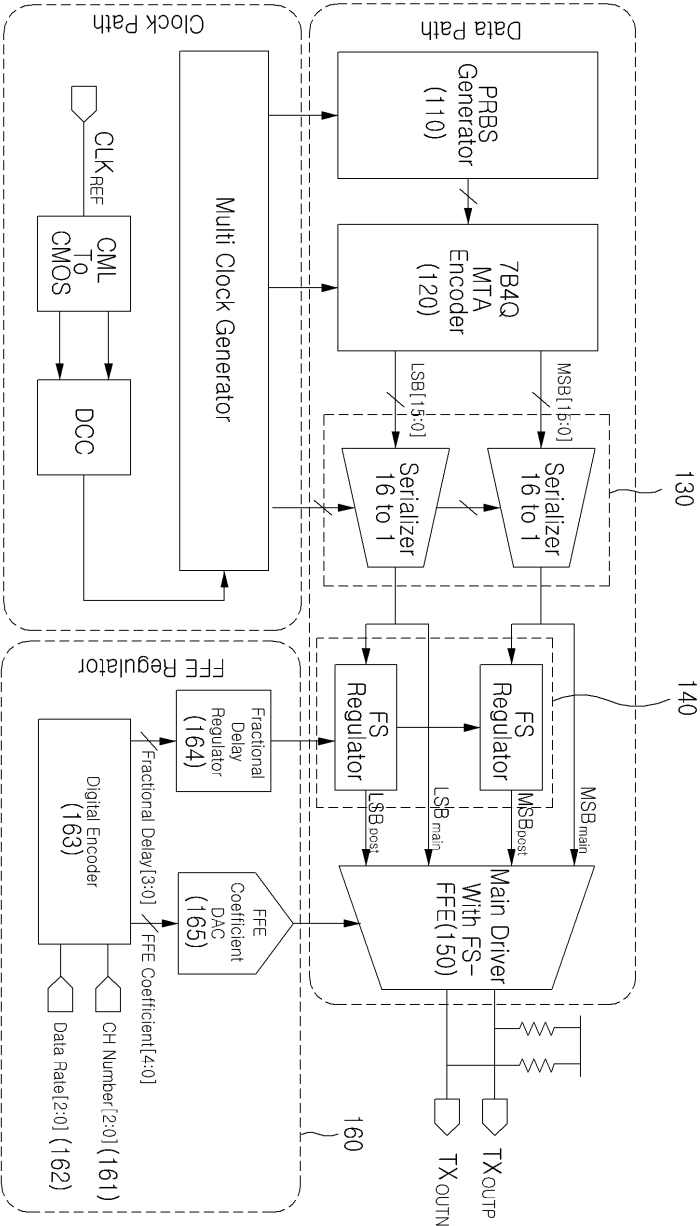
독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0075] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

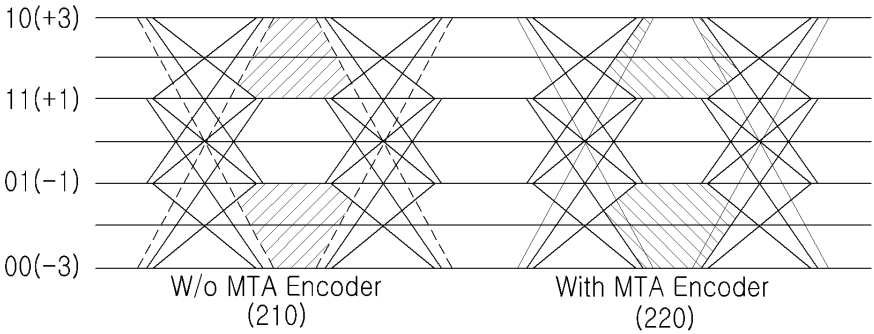
[0076] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

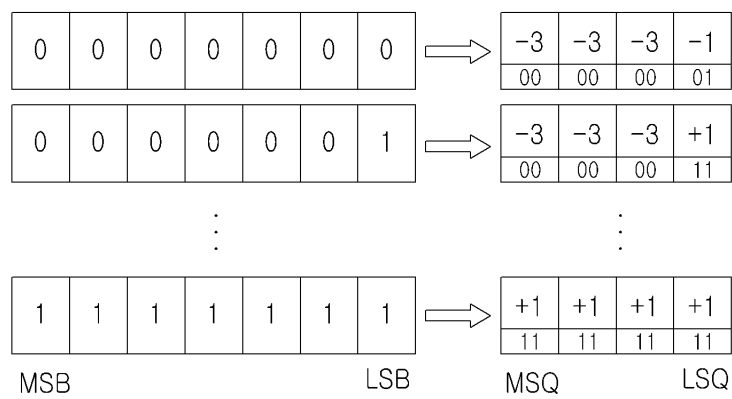
도면1



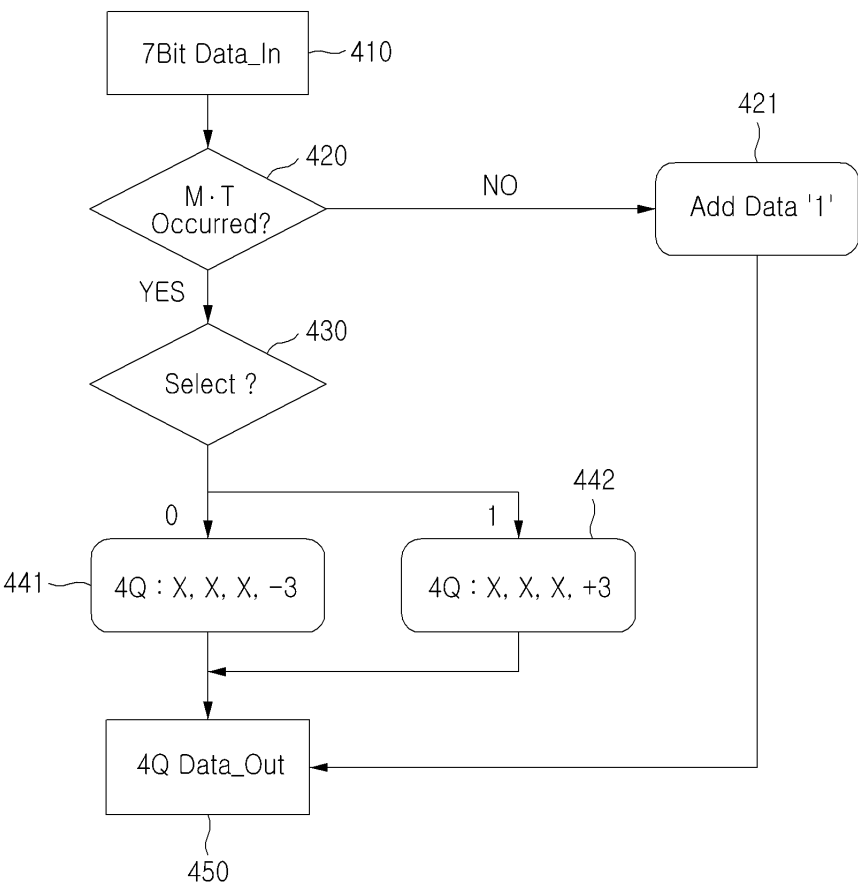
도면2



도면3



도면4



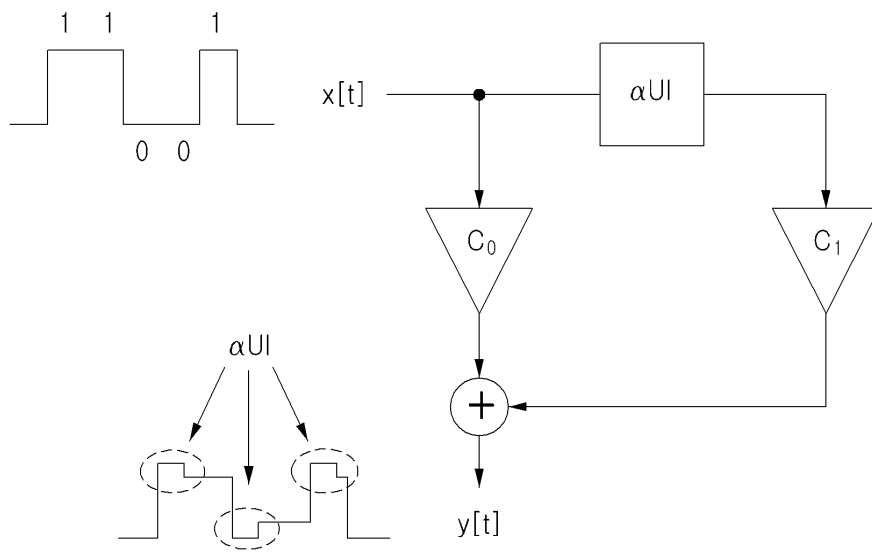
도면5

입력 데이터 [7B]							SELECT : 0인 경우 [4Q] : X, X, X, -3				SELECT : 1인 경우 [4Q] : X, X, X, +3			
D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	Q[3]	Q[2]	Q[1]	Q[0]	Q[3]	Q[2]	Q[1]	Q[0]
0	0	0	0	1	0	0	-3	-3	-1	-3	-3	-3	-1	+3
0	0	0	0	1	0	1	-3	-3	+1	-3	-3	-3	+1	+3
0	0	1	0	0	0	0	-1	-1	+1	-3	-1	-1	+1	+3
0	0	1	0	0	0	1	-1	+1	+1	-3	-1	+1	+1	+3
0	0	1	0	0	1	0	-3	-1	-1	-3	-3	-1	-1	+3
0	0	1	0	0	1	1	-3	+1	-1	-3	-3	+1	-1	+3
0	0	1	0	1	0	0	-1	-1	-1	-3	-1	-1	-1	+3
0	0	1	0	1	0	1	-1	+1	-1	-3	-1	+1	-1	+3
0	0	1	0	1	1	0	-3	-1	+1	-3	-3	-1	+1	+3
0	0	1	0	1	1	1	-3	+1	+1	-3	-3	+1	+1	+3
0	1	0	0	1	0	0	-1	-3	-1	-3	-1	-3	-1	+3
0	1	0	0	1	0	1	-1	-3	+1	-3	-1	-3	+1	+3
0	1	1	0	0	0	0	-1	-3	-1	-3	-1	-3	-1	+3
0	1	1	0	0	0	1	-1	+3	+1	-3	-1	+3	+1	+3
1	0	0	0	0	0	0	+1	-1	+1	-3	+1	-1	+1	+3
1	0	0	0	0	0	1	+1	+1	+1	-3	+1	+1	+1	+3
1	0	0	0	0	1	0	+3	-1	-1	-3	+3	-1	-1	+3
1	0	0	0	0	1	1	+3	+1	-1	-3	+3	+1	-1	+3
1	0	0	0	1	0	0	+1	-1	-1	-3	+1	-1	-1	+3
1	0	0	0	1	0	1	+1	+1	-1	-3	+1	+1	-1	+3
1	0	0	0	1	1	0	+3	-1	+1	-3	+3	-1	+1	+3
1	0	0	0	1	1	1	+3	+1	+1	-3	+3	+1	+1	+3
1	0	1	0	0	0	0	+3	+3	-1	-3	+3	+3	-1	+3
1	0	1	0	0	0	1	+3	+3	+1	-3	+3	+3	+1	+3
1	1	0	0	1	0	0	+1	-3	-1	-3	+1	-3	-1	+3
1	1	0	0	1	0	1	+1	-3	+1	-3	+1	-3	+1	+3
1	1	1	0	0	0	0	+1	+3	-1	-3	+1	+3	-1	+3
1	1	1	0	0	0	1	+1	+3	+1	-3	+1	+3	+1	+3

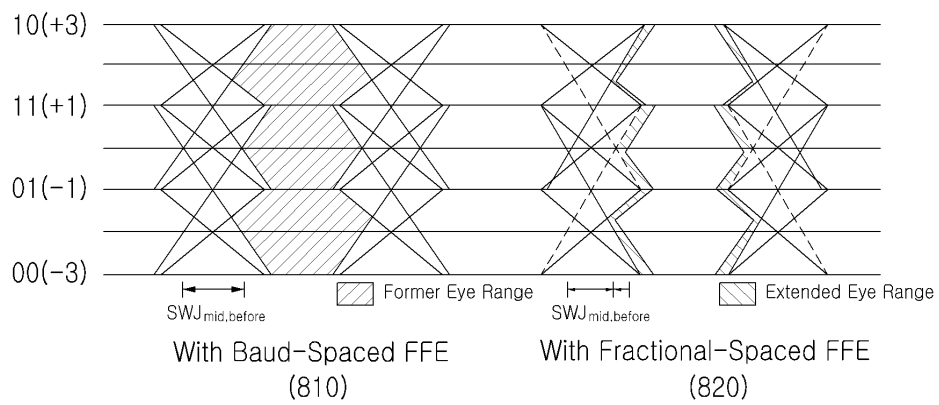
	[1]	[2]	[3]	This Work
Line Coding	7B4Q	4Q5Q	5B3Q	7B4Q
Bit Per Symbol	1.75Bit	1.6Bit	1.67Bit	1.75Bit
Encoding Table	Huge Table	Algorithm and Reduced table	Huge Table	Algorithm and Reduced table
Encoder Power	0.236mW	0.115mW	0.109mW	0.113mW
Encoder Area	2614.6 μm^2	422.5 μm^2	785.1 μm^2	871.5 μm^2

도면6

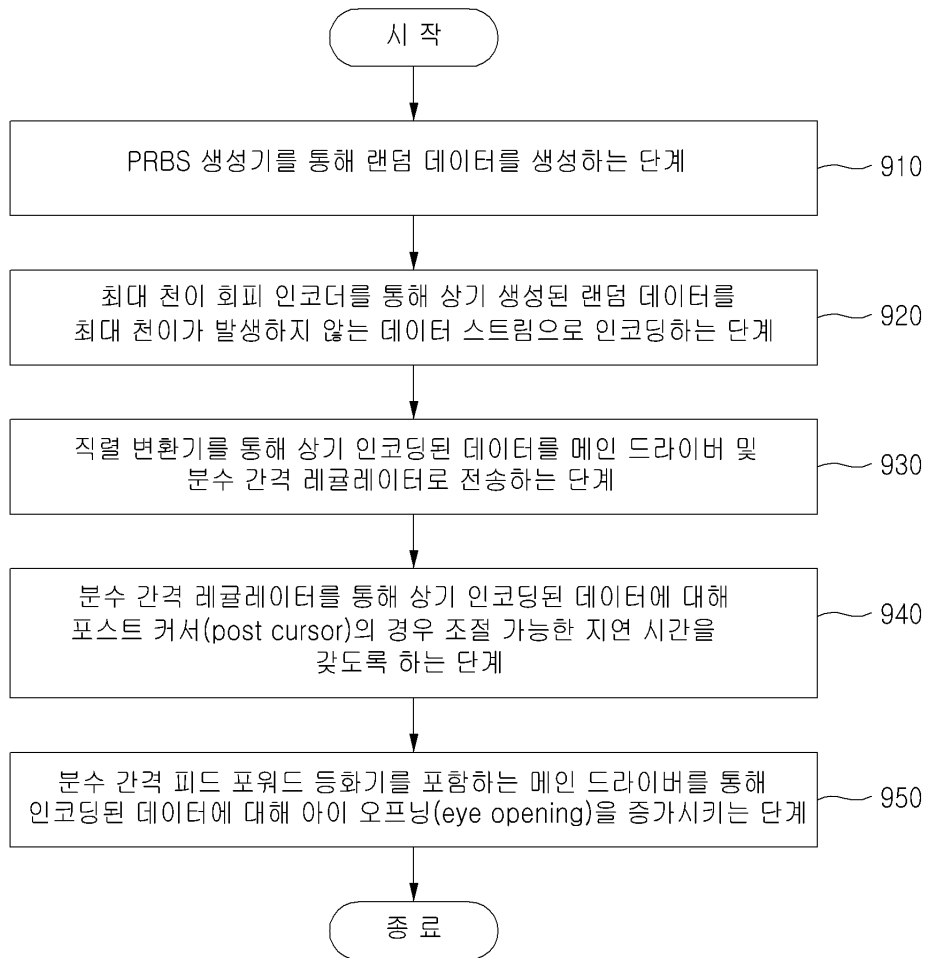
도면7



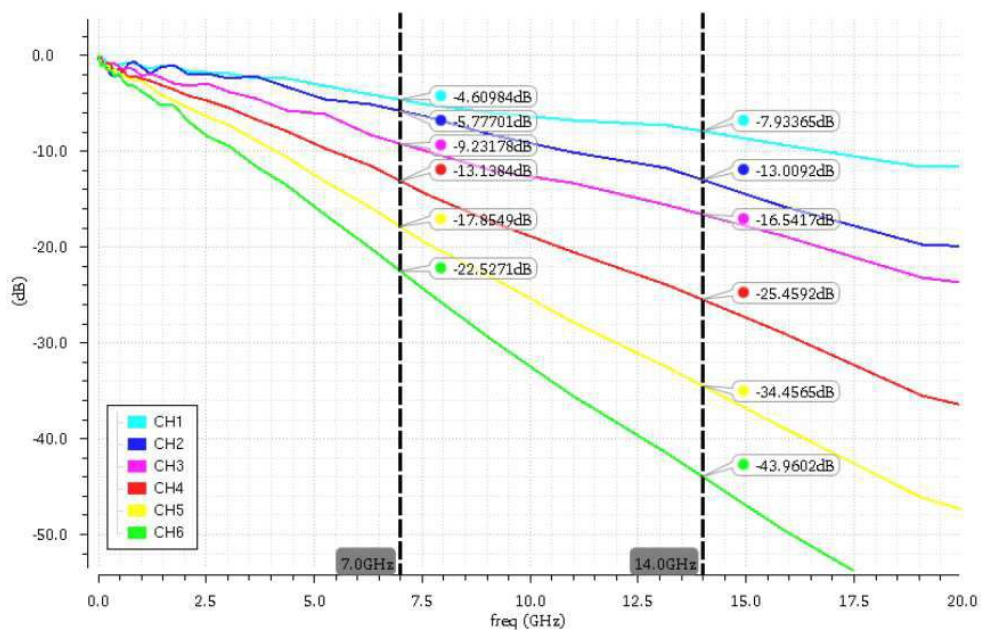
도면8



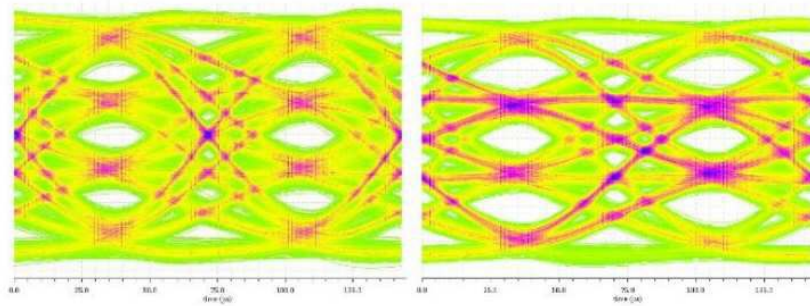
도면9



도면10

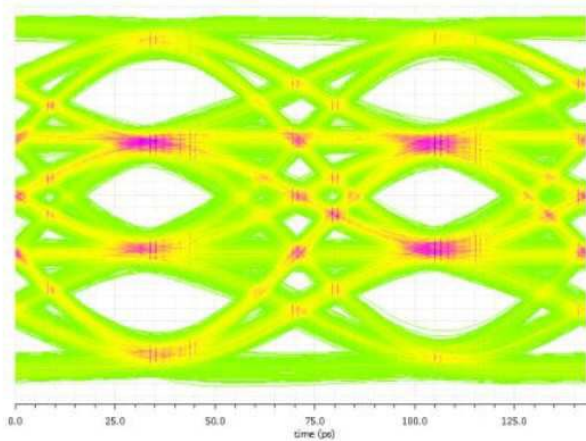


도면11



(a)

(b)



(c)