

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 20 日(20.09.2012)



(10) 国際公開番号
WO 2012/124118 A1

- (51) 国際特許分類:
G06F 12/16 (2006.01) *G01R 31/28* (2006.01)
- (21) 国際出願番号: PCT/JP2011/056458
- (22) 国際出願日: 2011 年 3 月 17 日(17.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 井上 給 (INOUE, Tamoru) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 株式会社富士通コンピュータテクノロジーズ内 Kanagawa (JP).
- (74) 代理人: 伊東 忠彦(ITO, Tadahiko); 〒1000005 東京都千代田区丸の内二丁目 1 番 1 号 丸の内

MY PLAZA (明治安田生命ビル) 1
6 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

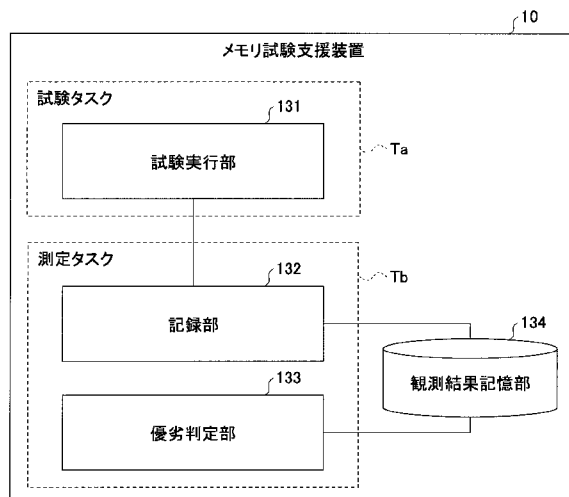
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: MEMORY TESTING SUPPORT METHOD AND MEMORY TESTING SUPPORT DEVICE

(54) 発明の名称: メモリ試験支援方法及びメモリ試験支援装置

[図2]



(57) Abstract: This memory testing support method involves: executing processes in which a plurality of test patterns are used on memory under testing; for each test pattern, recording, in a storage unit, observation results for the value of the current flowing through the memory during the execution of the processes in which the plurality of test patterns are used; and executing processes by computer for determining, on the basis of the observation results for each test pattern recorded in the storage unit, the relative merits of the plurality of test patterns with regard to the effectiveness of testing the memory.

(57) 要約: メモリ試験支援方法は、複数の試験パターンを用いた処理を試験対象のメモリに対して実行させ、前記試験パターンごとに、当該試験パターンを用いた処理の実行中に前記メモリに流れる電流値の観測結果を記憶部に記録し、前記記憶部に記録された前記試験パターンごとの前記観測結果に基づいて、前記メモリに対する試験の有効性に関して前記複数の試験パターンの優劣を判定する処理をコンピュータが実行する。

- 10 Memory testing support device
131 Test execution unit
132 Storage unit
133 Relative merit determination unit
134 Observation result storage unit
Ta Testing tasks
Tb Measurement tasks

WO 2012/124118 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：メモリ試験支援方法及びメモリ試験支援装置

技術分野

[0001] 本発明は、メモリ試験支援方法及びメモリ試験支援装置に関する。

背景技術

[0002] DIMM (Dual Inline Memory Module) 又はSIMM (Single In-line Memory Module) 等のメモリの試験には、プログラム（以下、「メモリ試験プログラム」という。）が利用される。メモリ試験プログラムは、例えば、メモリのアクセスパターンとメモリに書き込むデータパターンとを含む試験パターンに基づいて、メモリへの書き込み及び読み込みを実施し、メモリの故障を検出する。

[0003] 試験パターンの故障検出力は、試験対象装置のシステムアーキテクチャや試験対象のメモリの種類によって異なる。したがって、従来、或るメモリの試験に関して複数の異なる試験パターンが用意され、その中から当該メモリに有効な試験パターンが選択されていた。具体的には、用意された各試験パターンを当該メモリに対して走行させ、故障の検出率の高い試験パターンが当該メモリに対して使用する試験パターンとして選択されていた。

[0004] 但し、全てのメモリに対する万能な試験プログラムは無いため、新規メモリが開発されるたびに、新規メモリに有効な試験パターンの選択を行う必要がある。又は、新規なメモリの特性に着目した新規な試験パターンが開発される場合もある。

先行技術文献

特許文献

[0005] 特許文献1：特開平 1 1－7 7 9 5 号公報

特許文献2：特開 2 0 0 1－2 1 6 2 3 号公報

特許文献3：特開平 6－3 1 3 7 9 1 号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、従来、試験パターンの有効性は、試験対象メモリに対して試験パターンを走行させた場合にメモリの故障が検出されるか否かに基づいて判断されていた。このことは、試験対象メモリに対して有効な試験パターンを探し出す前に、故障しているメモリを探し出す必要があり、その上で、各試験パターンによって故障が検出されるか否かが確認される必要があることを意味する。したがって、試験対象メモリに対して有効な試験パターンの選択には、非常に時間がかかるという問題があった。

[0007] そこで、試験対象のメモリに適した試験パターンの選択を効率化することのできるメモリ試験支援方法及びメモリ試験支援装置の提供を目的とする。

課題を解決するための手段

[0008] そこで上記課題を解決するため、メモリ試験支援方法は、複数の試験パターンを用いた処理を試験対象のメモリに対して実行させ、前記試験パターンごとに、当該試験パターンを用いた処理の実行中に前記メモリに流れる電流値の観測結果を記憶部に記録し、前記記憶部に記録された前記試験パターンごとの前記観測結果に基づいて、前記メモリに対する試験の有効性に関して前記複数の試験パターンの優劣を判定する処理をコンピュータが実行する。

発明の効果

[0009] 試験対象のメモリに適した試験パターンの選択を効率化することができる。

図面の簡単な説明

[0010] [図1]本発明の実施の形態におけるメモリ試験支援装置のシステムボードのハードウェア構成例を示す図である。

[図2]本発明の実施の形態におけるメモリ試験支援装置の機能構成例を示す図である。

[図3]試験タスクと測定タスクとの関係を説明するための図である。

[図4]メモリ試験支援装置の処理手順の一例を説明するためのフローチャート

のである。

[図5]試験タスクと測定タスクとのタイムチャートの一例を示す図である。

[図6]観測結果記憶部の構成例を示す図である。

発明を実施するための形態

- [0011] 以下、図面に基づいて本発明の実施の形態を説明する。図1は、本発明の実施の形態におけるメモリ試験支援装置のシステムボードのハードウェア構成例を示す図である。同図において、メモリ試験支援装置のシステムボードSBは、電源101、ROM102、メモリ103a～d、CPU104、メモリコントローラ105、I/Oコントローラ106、PCIスロット107、LAN (Local Area Network) カード108、グラフィックボード109、及びDC-DCコンバータ110a～c等を有する。
- [0012] 電源101は、システムボードSB上の各部に電流を供給する。ROM102は、本実施の形態で使用されるメモリ試験支援プログラム等を記憶する。なお、当該プログラムは非図示の補助記憶装置が記憶していてもよい。ROM102が記憶するプログラムは、メモリ103a～d（以下、それぞれを区別しない場合、「メモリ103」という。）又はCPU104内のキャッシュにロードされる。メモリ103a～dのそれぞれは、例えば、DIMM (Dual Inline Memory Module) 又はSIMM (Single In-line Memory Module) 等であり、本実施の形態において試験対象とされる。
- [0013] CPU104は、ロードされたプログラムに従った処理を実行する。メモリコントローラ105は、CPU104と、メモリ103又はROM102との間のデータのやりとりの制御等を行う。I/Oコントローラ106は、PCIスロット107やLANカード108等に関する入出力制御を行う。グラフィックカードは、映像を信号として出力する。DC-DCコンバータ110a～cは、電源101からの電流を、メモリ103、CPU104、又はグラフィックボード109等に供給する。
- [0014] システムボードSB上には、更に、メモリ103に供給される電流値を測定（又は計測）するための電流値測定器125が接続されている。電流値測

定器 125 によって測定された電流値は、常時 CPU 104 のレジスタ 121 に記録される。

[0015] 図 2 は、本発明の実施の形態におけるメモリ試験支援装置の機能構成例を示す図である。同図において、メモリ試験支援装置 10 は、試験実行部 131、記録部 132、及び優劣判定部 133 等を有する。これら各部は、メモリ 103 にロードされたメモリ試験支援プログラムが CPU 104 に実行させる処理によって実現される。メモリ試験支援装置 10 は、また、観測結果記憶部 134 を有する。観測結果記憶部 134 は、例えば、レジスタ 121 又はメモリ 103 等を用いて実現される。

[0016] 試験実行部 131 は、複数の試験パターンを用いた処理（又は試験パターンが示す処理）を順次（例えば、シーケンシャルに）実行する。試験パターンとは、メモリ 103 へのアクセスパターンとメモリ 103 に書き込むデータのパターンとに基づいて、メモリ 103 への書き込み及び読み込みを実施し、メモリ 103 の故障を検出するプログラムである。各試験パターンは、アクセスパターン又はデータパターンが相互に相違する。各試験パターンは、試験実行部 131 に含まれていてもよいし（すなわち、試験実行部 131 の一部を構成してもよいし）、試験実行部 131 に含まれていなくてもよい。各試験パターンが試験実行部 131 に含まれている場合、メモリ試験支援プログラムは、メモリ試験プログラムとしても機能する。各試験パターンが試験実行部 131 に含まれていない場合、試験実行部 131 は、試験パターンを含むメモリ試験プログラムを起動することになる。

[0017] なお、本実施の形態において、試験実行部 131 は、一以上のタスク（同図における「試験タスク Ta」）内において動作する。以下において、試験タスク Ta が実行する処理は、試験実行部 131 が実行する処理であるともいえる。また、本実施の形態において、試験パターンを用いた処理の実行を、単に、「試験パターンの実行」という。

[0018] 記録部 132 は、試験パターンの実行中において電流値測定器 125 によって測定される電流値を一定周期で（つまり、定期的に）観測し、観測結果

を試験パターンごとに観測結果記憶部 134 に記録する。なお、記録部 132 は、試験実行部 131 からの試験パターンの開始通知及び終了通知等に基づいて、試験パターンの切り替わりを検知する。

[0019] 優劣判定部 133 は、観測結果記憶部 134 が試験パターン別に記憶する、電流値の観測結果を相互に比較することにより、メモリ 103 に対する試験の有効性又は適性に関して各試験パターンの優劣を判定する。ここでいう、有効性又は適性とは、故障検出力が高い可能性のあることをいう。優劣判定部 133 は、また、優劣の判定結果に基づいて、メモリ 103 の試験に使用する試験パターンを選択する。

[0020] すなわち、本願発明者は、過去に行った試験において、メモリの故障が検出されたときは、メモリに流れる電流値が大きいという点に着眼した。そこで、本願発明者は、試験対象のメモリにより大きな電流値を流すことができる試験パターンであれば、当該メモリの故障を検出できる可能性が高いであろうと考えた。斯かる考えに基づいて、記録部 132 は、試験パターンの実行中の電流値の観測結果を記録し、優劣判定部 133 は、観測結果に基づいて試験パターンの優劣を判定する。

[0021] なお、本実施の形態において、記録部 132 及び優劣判定部 133 は、一つのタスク（同図における「測定タスク T b」）内において動作する。

[0022] 図 3 は、試験タスクと測定タスクとの関係を説明するための図である。同図では、試験タスク T a が、試験パターン A、B、及び C を順次実行している例が示されている。試験タスク T a は、各試験パターンの開始を測定タスク T b に通知する（N a、N b、N c）。測定タスク T b は、開始通知に指定されている、試験パターンの識別名（以下、「試験パターン名」という。）を観測結果記憶部 134 に記録する（R a、R b、R c）。但し、試験パターンの順番を示す数値が試験パターン名として用いられてもよい。この場合、開始通知において試験パターン名は指定されなくてもよい。測定タスク T b は、開始通知の回数で、各試験パターンの順番を識別することが可能だからである。測定タスク T b は、また、開始通知後に、電流値測定器 125

によって測定（又は計測）され、レジスタ 121 に記録されている電流値を一定周期で観測（又は参照）する。測定タスク T b は、該電流値の観測結果を、現在実行中の試験パターンの試験パターン名に関連付けて、観測結果記憶部 134 に記録する（R v）。

[0023] なお、試験タスク T a 及び測定タスク T b は、例えば、CPU 104 がマルチコアであれば別々の CPU コアが実行し、CPU 104 がシングルコアであれば一つの CPU コアがタスクを切り替えながら実行する。また、複数の試験タスク T a が並列的に実行されてもよい。すなわち、同一の試験パターン（例えば、試験パターン A）に関して複数の試験タスク T a が実行されてもよい。同図では、試験タスク T a に関して三つの白抜きの矢印が示されているが、これは、三つの試験タスク T a が並列に実行されていることを示す。各試験タスク T a は、別々の CPU コアが実行してもよいし、一つの CPU コアが実行してもよい。なお、試験タスク T a が複数実行される場合、各試験タスク T a は、試験パターン単位で同期がとられる。

[0024] 以下、メモリ試験支援装置 10 の処理手順について説明する。図 4 は、メモリ試験支援装置の処理手順の一例を説明するためのフローチャートのである。また、図 5 は、試験タスクと測定タスクとのタイムチャートの一例を示す図である。図 5 に記されているステップ番号は、図 4 のステップ番号に対応する。

[0025] 試験タスク T a は、起動されると、変数 n に 1 を代入する（S 101）。変数 n は、実行対象の試験パターンの順番を識別するための変数である。続いて、試験タスク T a は、試験パターンの開始を測定タスク T b に通知する（S 102）。当該通知は、例えば、割り込み、プロセス間通信等を利用して行われればよい。または、測定タスク T b に所定のメモリ領域をポーリングさせ、当該メモリ領域に、試験パターンの開始通知を示す値が記録されてもよい。

[0026] 続いて、試験タスク T a は、n 番目の試験パターン（試験パターン n）を実行させる（S 103）。試験パターン n は、メモリ 103 の各アドレスに

対して、データの書き込み及び読み込み等を実行する。試験パターン n が終了すると、試験タスク T_a は、測定タスク T_b との処理を同期させる（S 104）。例えば、試験タスク T_a は、試験パターン n が終了したことを測定タスク T_b に通知する。また、試験タスク T_a は、終了通知に対する応答を待機する。当該同期は、割り込み、プロセス間通信、又はメモリ領域のポーリング等によって行えばよい。以下における、試験タスク T_a と測定タスク T_b との同期方法も、同様でよい。

[0027] 一方、測定タスク T_b は、試験パターンの開始の通知に応じ、当該試験パターンの試験パターン名を観測結果記憶部 134 に記録する（S 201）。

[0028] 図 6 は、観測結果記憶部の構成例を示す図である。本実施の形態において、観測結果記憶部 134 は、テーブル L 1、テーブル L 2、テーブル L 3、及びテーブル L 4 等を含む。なお、各テーブルは、便宜上、テーブル形式によって示されたものであって、例えば、レジスタ 121 又はメモリ 103 のアドレス（同図におけるアドレス 0～アドレス 18）によって、各テーブルの各項目が区別されてもよい。本実施の形態においても、当該アドレスによって、各項目が区別される。

[0029] テーブル L 1 には、後述される、閾値連続超過回数を計数（カウント）するための、電流値に関する閾値（電流閾値）が予め記録されている。電流閾値は、試験対象のメモリ 103 に流れる電流の最大値以下であって、当該最大値に近い値が好ましい。例えば、当該最大値に、0.9 等の係数を乗じた値が、電流閾値として設定されてもよい。当該最大値は、例えば、ストリーム（stream）等のメモリの性能評価ツールによって測定されてもよい。同図では、電流閾値として、35 A が設定された例が示されている。

[0030] テーブル L 2 には、試験パターンごとに、最大電流値が記録される。最大電流値とは、試験パターンの実行中に観測された最大の電流値をいう。

[0031] テーブル L 3 には、試験パターンごとに、最大電流変動値が記録される。最大電流変動値とは、一定周期に観測される電流値（レジスタ 125 に記録された電流値）に関して、前回の観測値との差分（変動）が最大である値を

いう。具体的には、最大電流変動値とは、一つの試験パターンの実行中において、 N 回目に観測された電流値と $N+m$ ($m \geq 1$) 回目に観測された電流値との差分の中の最大値をいう。なお、電流値は一定周期で観測されているため、当該差分は、所定期間における電流値の変化の大きさを示すといえる。還元すれば、一定周期の回数でなく、時間単位で電流値の変動（変化）の大きさが計測されてもよい。

[0032] テーブルL 4 は、試験パターンごとに、閾値連続超過回数が記録される。最大閾値連続超過回数とは、一定周期で観測される電流値が、一つの試験パターンの実行中において、連続して電流閾値を超えた回数の最大値をいう。例えば、或る試験パターンに関して、 N 回目から $N+6$ 回目に観測された電流値が電流閾値を超えており、更に、 $N+12$ 回目から $N+14$ 回目まで観測された電流値が電流閾値を超えている場合、当該試験パターンに関する最大閾値連続超過回数は、 N 回目から $N+6$ 回目までの7回となる。なお、電流値は一定周期で観測されているため、閾値連続超過回数は、電流値が閾値を超えた期間を示すといえる。換言すれば、一定周期の回数でなく、電流値が電流閾値を超過している状態が時間単位で計測されてもよい。

[0033] 上記したステップS 201において、記録部132は、試験パターン n の試験パターン名を、テーブルL 2、テーブルL 3、及びテーブルL 4の最下位のレコードの試験パターン名の項目に記録する。図6の例では、アドレス5、アドレス11、及びアドレス17に、同一の試験パターン名が記録される。

[0034] なお、本実施の形態において、各テーブルのレコード数は、当初より決まっていることとする。当該レコード数は、試験タスクTaが実行する試験パターンの総数より少なくてもよい。全ての試験パターンの中から、試験対象のメモリ103Nに適した上位 N 個の試験パターンを抽出したい場合、各テーブルは、 $N+1$ 個のレコードを有していればよい。

[0035] 続いて、測定タスクTbの記録部132は、電流値測定器125によって測定され、レジスタ121に記録される電流値を一定周期で観測し、観測結

果を観測結果記憶部 134 に記録する (S202)。具体的には、最大電流値、最大電流変動値、及び最大閾値連続超過回数が、テーブル L2、テーブル L3、又はテーブル L4 のそれぞれの最下位のレコードに記録される。図 6 の例において、最大電流値、最大電流変動値、及び最大閾値連続超過回数は、アドレス 6、アドレス 12、又はアドレス 18 に記録される。

[0036] なお、最大電流値としては、まず、最初に観測された電流値が記録される。その後、最大電流値よりも大きな電流値が観測されると、最大電流値は当該電流値によって更新される。また、最大電流変動値としては、まず、最初に観測された電流値と 2 番目に観測された電流値との差分が記録される。その後、N 番目の観測値と N+1 番目の観測値との差分が、そのときの最大電流変動値を超える場合、当該観測値によって、最大電流変動値は更新される。また、最大閾値連続超過回数としては、まず、電流閾値を超えた電流値が初めて観測されたときに 1 が記録される。当該観測時から連続して観測値が電流閾値を超えるたびに最大閾値連続超過回数に 1 が加算される。その後、観測値が電流閾値以下となり、再度観測値が電流閾値を超えると、レジスタ 121 又はメモリ 103 内においてアドレス 18 とは別のアドレス（例えば、非図示のアドレス 19）に 1 が記録される。当該観測時から連続して観測値が電流閾値を超えるたびにアドレス 19 に 1 が加算される。その後、観測値が電流閾値以下となったときに、アドレス 19 の値の方が、そのときの最大閾値連続超過回数より大きければ、最大閾値連続超過回数は、アドレス 19 に記録されている値によって更新される。

[0037] 以上の処理が、試験パターンの実行中、継続的に行われる。

[0038] 続いて、測定タスク Tb の優劣判定部 133 は、試験パターン n の終了が試験タスク Ta から通知されると、テーブル 2、テーブル 3、及びテーブル 4 ごとに、レコードを観測結果の降順にソートする (S203)。すなわち、観測結果の優劣が判定される。ここで、観測結果とは、最大電流値、最大電流変動値、又は最大閾値連続超過回数をいう。したがって、最初の試験パターンに関してステップ S203 が実行される場合、図 6 において、アドレ

ス5、アドレス11、及びアドレス17の試験パターン名は、アドレス1に、アドレス7、又はアドレス13に転記される。また、アドレス6、アドレス12、アドレス18の値は、アドレス2、アドレス8、又はアドレス14に転記される。なお、図6において、各テーブルにおける順位は、ソート結果の順位を示す。

[0039] 優劣判定部133は、ソートが終了すると、試験パターンの終了通知に対する応答を試験タスクTaに対して行う。試験タスクTaは、当該応答に応じ、次の順番の試験パターンに関してステップS102～S104を実行する（S105でNo、S106）。一方、測定タスクTbは、当該次の順番の試験パターンに関してステップS201～S203を実行する。斯かる処理が、全ての試験パターンの実行が終了するまで繰り返される（S105）。なお、各試験パターンの試験パターン名及び観測結果は、当初は（各試験パターンに関するステップS201及びS202においては）、観測結果記憶部134の各テーブルの最下位のレコードに記録される。すなわち、観測結果記憶部134の各テーブルの最下位のレコードは、試験パターンごとに常に上書きされる。その後、ステップS203のソートによって、当該試験パターンの観測結果の方が上位のレコードのいずれかより大きければ、最下位のレコードの内容は、上位のレコードの内容と入れ替えられる。

[0040] その結果、各テーブルのレコード数がそれぞれNであるとする、全ての試験パターンの終了時において、各テーブルには、最下位以外のレコード以外において、全ての試験パターンの観測結果の上位N-1番目までの試験パターンに関する観測結果が記録された状態となる。なお、ソート結果は、テーブルごとに異なりうる。

[0041] なお、観測結果記憶部134が記録されるレジスタ121又はメモリ103が、全ての試験パターンに関する観測結果を記憶可能な容量を有していれば、試験パターンごとに観測結果がソートされなくてもよい。例えば、各テーブルの上位のレコードから順に、各試験パターンの観測結果が記録され、全ての試験パターンの終了後に、テーブルごとにソートが行われればよい。

- [0042] 全ての試験パターンが終了すると（S 1 0 5でY e s）、試験タスクT aは、全試験パターンの実行の終了を測定タスクT bに通知する（S 1 0 7）。
- [0043] 当該通知に応じ、測定タスクT bの優劣判定部1 3 3は、観測結果記憶部1 3 4のテーブル2、テーブル3、及びテーブル4に基づいて、メモリ1 0 3の試験に使用する試験パターンを自動的に選択する（S 2 0 4）。例えば、優劣判定部1 3 3は、テーブル2、テーブル3、及びテーブル4のそれぞれより、最上位又は上位M番目までのレコードに記録されている試験パターン名を取得する。すなわち、全ての試験パターンの中で、最大電流値が最大若しくは上位M番目までの試験パターン名、最大電流変動値が最大若しくは上位M番目までの試験パターン名、又は最大閾値連続超過回数が最大若しくは上位M番目までの試験パターン名が取得される。なお、各テーブルから取得される試験パターン名は、一致するとは限らない。各テーブルのソート結果は、異なりうるからである。したがって、選択される試験パターンは、必ずしも一つではない。
- [0044] 続いて、優劣判定部1 3 3は、取得された試験パターン名を試験タスクT aに通知する（S 2 0 5）。当該通知に応じ、試験タスクT aは、通知された試験パターン名に係る試験パターンを所定時間（例えば、2時間等）実行する（S 1 0 8）。該当する試験パターンが複数有る場合、各試験パターンが任意の順番で実行されればよい。
- [0045] 図5では、電流値を示す曲線より明らかなように、試験パターンA～Eの中で、最大電流値、最大電流変動値、及び最大閾値連続超過回数のいずれもが最大である試験パターンEが、実行された例が示されている。
- [0046] 但し、自動的に試験は実行されずに、選択された試験パターン名が、ユーザに認識可能な形態で出力（例えば、表示、印刷、又はネットワーク送信等）されてもよい。
- [0047] なお、実行対象とする試験パターンを所定数（例えば、一つ）に限定した場合であって、ステップS 2 0 4において選択された試験パターンが所定

数より多かった場合、多数決によって試験パターンが選択されてもよい。すなわち、三つのテーブルより取得された試験パターン名のうち、二つのテーブルより取得された試験パターン名が一致する場合、当該試験パターン名に係る試験パターンが選択されてもよい。

[0048] また、ユーザが実行したい試験に応じて、選択対象を変換させてもよい。すなわち、メモリ 103 に対する瞬間的な負荷を重視した試験を行いたい場合は、最大電流値が最大である試験パターンが選択されればよい。また、メモリ 103 に対する負荷の変化を重視した試験を行いたい場合は、最大電流変動値が最大である試験パターンが選択されればよい。また、メモリ 103 に対する継続的な負荷を重視した試験を行いたい場合は、最大閾値連続超過回数が最大である試験パターンが選択されればよい。

[0049] ユーザがいずれを重視した試験を行いたいかについては、予め設定情報として ROM 102 又は非図時の補助記憶装置等に記録されていてもよいし、GUI (Graphical User Interface) を表示させて、対話的にユーザに入力させてもよい。

[0050] また、試験パターンは自動的に選択されなくてもよい。例えば、ユーザは、観測結果記憶部 134 の各テーブルに記録された内容を参照することで、各試験パターンの優劣を判断することができる。換言すれば、観測結果記憶部 134 の各テーブルが記録されることで、試験パターンの選択に関して有効な判断材料をユーザに提供することができる。その結果、試験パターンの選択を効率化することができる。観測結果記憶部 134 の各テーブルに記録された内容の参照を容易にするため、例えば、優劣判定部 133 は、当該内容をユーザに認識可能な形態で出力してもよい。

[0051] 上述したように、本実施の形態によれば、試験対象のメモリ 103 の故障を検出し易い試験パターンの選択を効率化することができる。すなわち、従来のように、故障が検出されるまで試験パターンを実行し続けなくても、試験対象のメモリ 103 に適した試験パターンを選択することができる。その結果、メモリ試験全体の工数を削減することもできる。

- [0052] また、選択された試験パターンが自動的に実行されるため、メモリ試験の作業負担を軽減することができる。
- [0053] また、最大電流値、最大電流変動値、又は最大閾値連続超過回数等のパラメータごとに、試験パターンを選択することができるため、ユーザが重視したい観点に合わせた試験パターンを選択することもできる。
- [0054] なお、最大電流値、最大電流変動値、又は最大閾値連続超過回数以外の他のパラメータを記録することにより、当該他のパラメータに基づいて、試験パターンの優劣が判定されてもよい。例えば、観測された電流値が、電流閾値を超えた合計回数の最大値が試験パターンごとに記録されてもよい。また、最小の電流値と最大の電流値との差分が試験パターンごとに記録されてもよい。また、電流値の平均値が試験パターンごとに算出及び記録されてもよい。また、観測された電流値が、電流閾値を超えていた時間が記録されてもよい。または、該時間の試験パターン実行時間に対する割合が算出及び記録されてもよい。
- [0055] 更に、試験パターンが分割された単位ごとに、観測結果が記録されてもよい。当該単位ごとに、優劣が判定されてもよい。換言すれば、本実施の形態において、試験パターンの単位は、任意に定められてよい。
- [0056] 以上、本発明の実施例について詳述したが、本発明は斯かる特定の実施形態に限定されるものではなく、請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

符号の説明

- [0057] 10 メモリ試験支援装置
- 101 電源
- 102 ROM
- 103a～d メモリ
- 104 CPU
- 105 メモリコントローラ
- 106 I/Oコントローラ

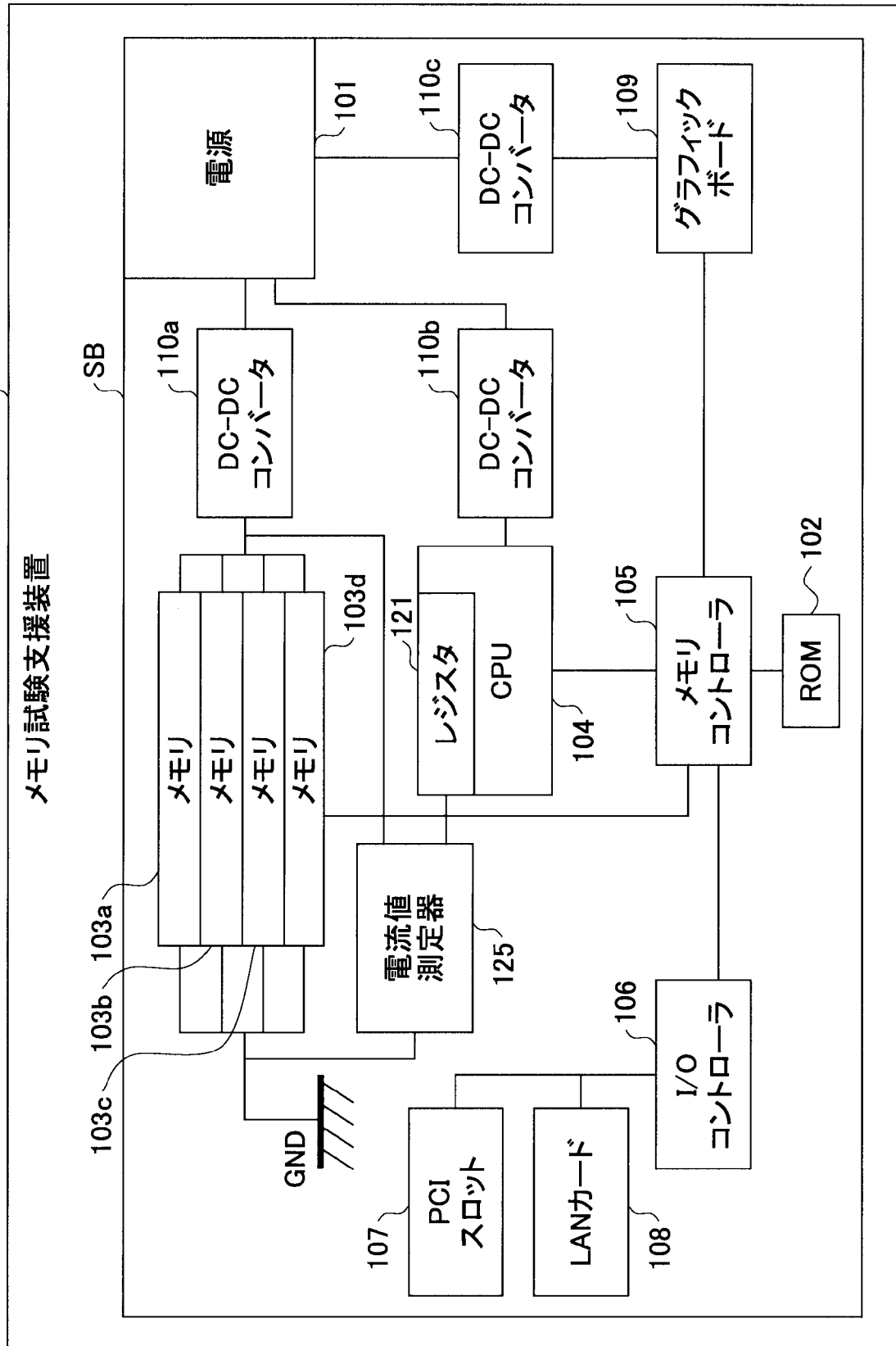
107	PCIスロット
108	LANカード
109	グラフィックボード
110a~c	DC-DCコンバータ
121	レジスタ
125	電流値測定器
131	試験実行部
132	記録部
133	優劣判定部
134	観測結果記憶部
SB	システムボード

請求の範囲

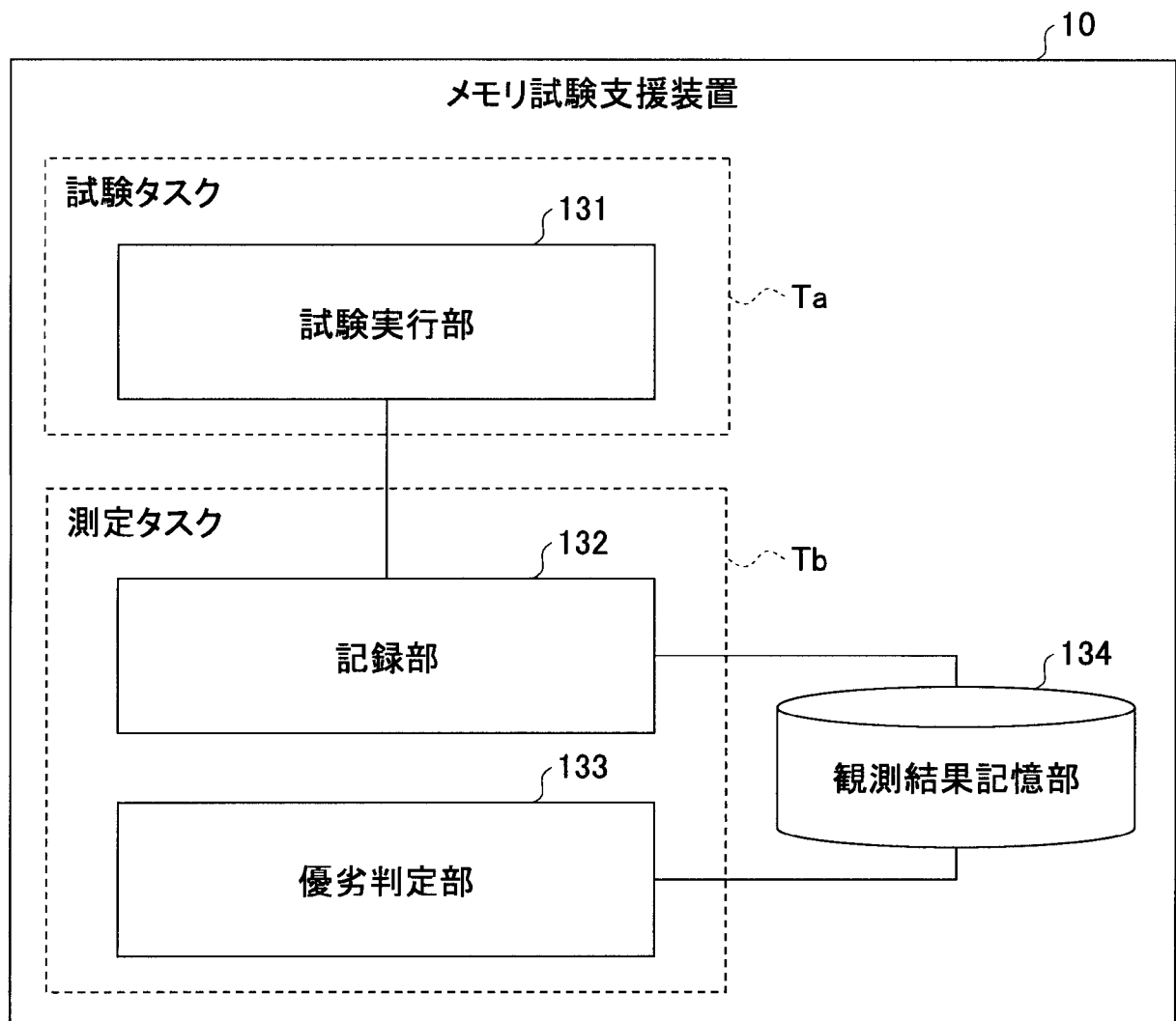
- [請求項1] 複数の試験パターンを用いた処理を試験対象のメモリに対して実行させ、
- 前記試験パターンごとに、当該試験パターンを用いた処理の実行中に前記メモリに流れる電流値の観測結果を記憶部に記録し、
- 前記記憶部に記録された前記試験パターンごとの前記観測結果に基づいて、前記メモリに対する試験の有効性に関して前記複数の試験パターンの優劣を判定する処理をコンピュータが実行するメモリ試験支援方法。
- [請求項2] 前記優劣の判定結果に基づいて、前記メモリの試験に使用する試験パターンを選択し、
- 選択された試験パターンを用いた処理を実行する処理を前記コンピュータが実行する請求項1記載のメモリ試験支援方法。
- [請求項3] 前記判定する処理は、前記試験パターンごとの前記電流値の最大値に基づいて、前記優劣を判定する請求項1又は2記載のメモリ試験支援方法。
- [請求項4] 前記判定する処理は、前記試験パターンごとの前記電流値の所定時間内の変化の大きさに基づいて、前記優劣を判定する請求項1又は2記載のメモリ試験支援方法。
- [請求項5] 前記判定する処理は、前記試験パターンごとの前記電流値が所定の閾値を超えた期間に基づいて、前記優劣を判定する請求項1又は2記載のメモリ試験支援方法。
- [請求項6] 複数の試験パターンを用いた処理を試験対象のメモリに対して実行させる実行部と、
- 前記試験パターンごとに、当該試験パターンを用いた処理の実行中に前記メモリに流れる電流値の観測結果を記憶部に記録する記録部と、
- 前記記憶部に記録された前記試験パターンごとの前記観測結果に基

づいて、前記メモリに対する試験の有効性に関して前記複数の試験パターン¹の優劣を判定する判定部とを有するメモリ試験支援装置。

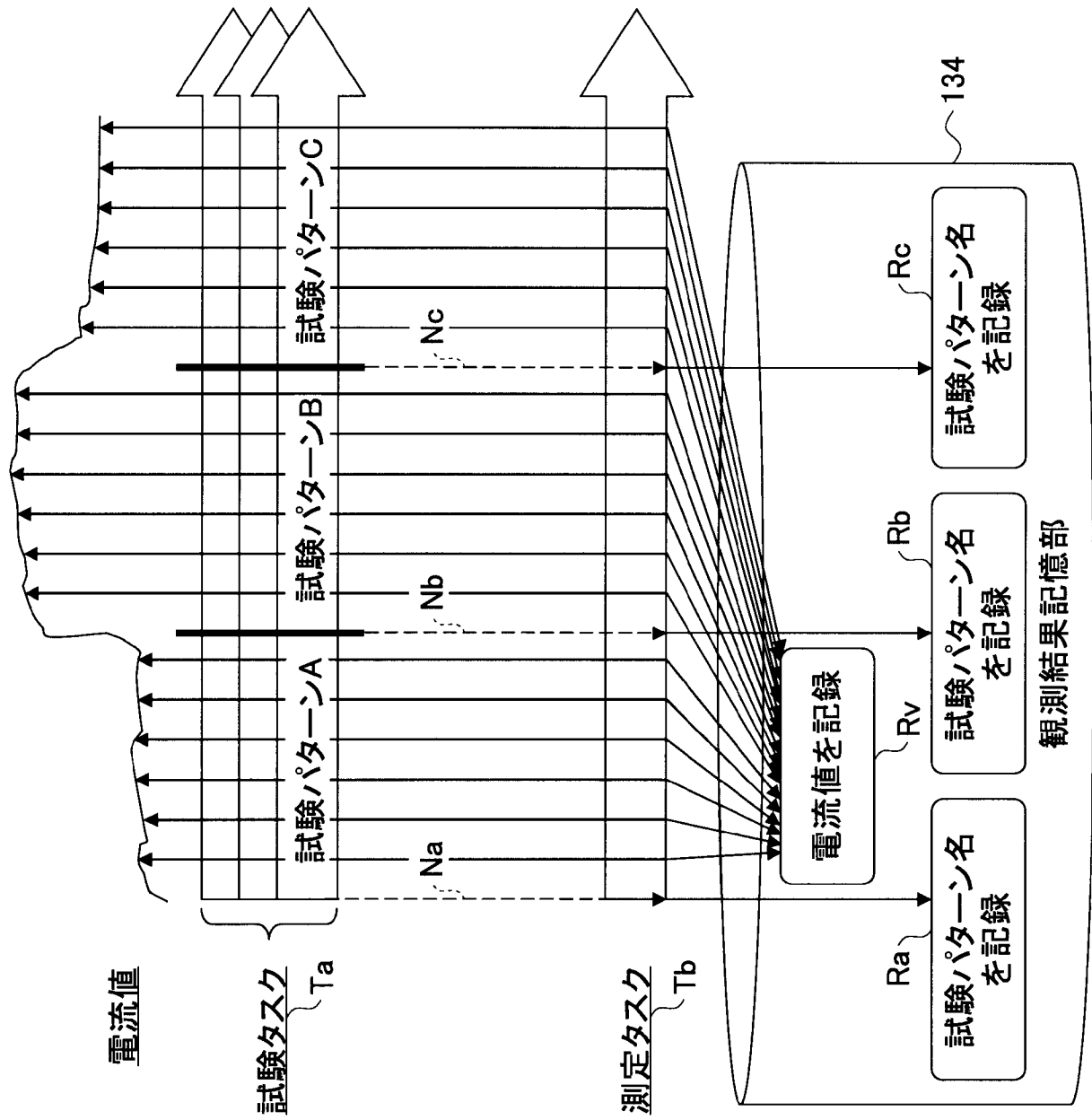
[図1]



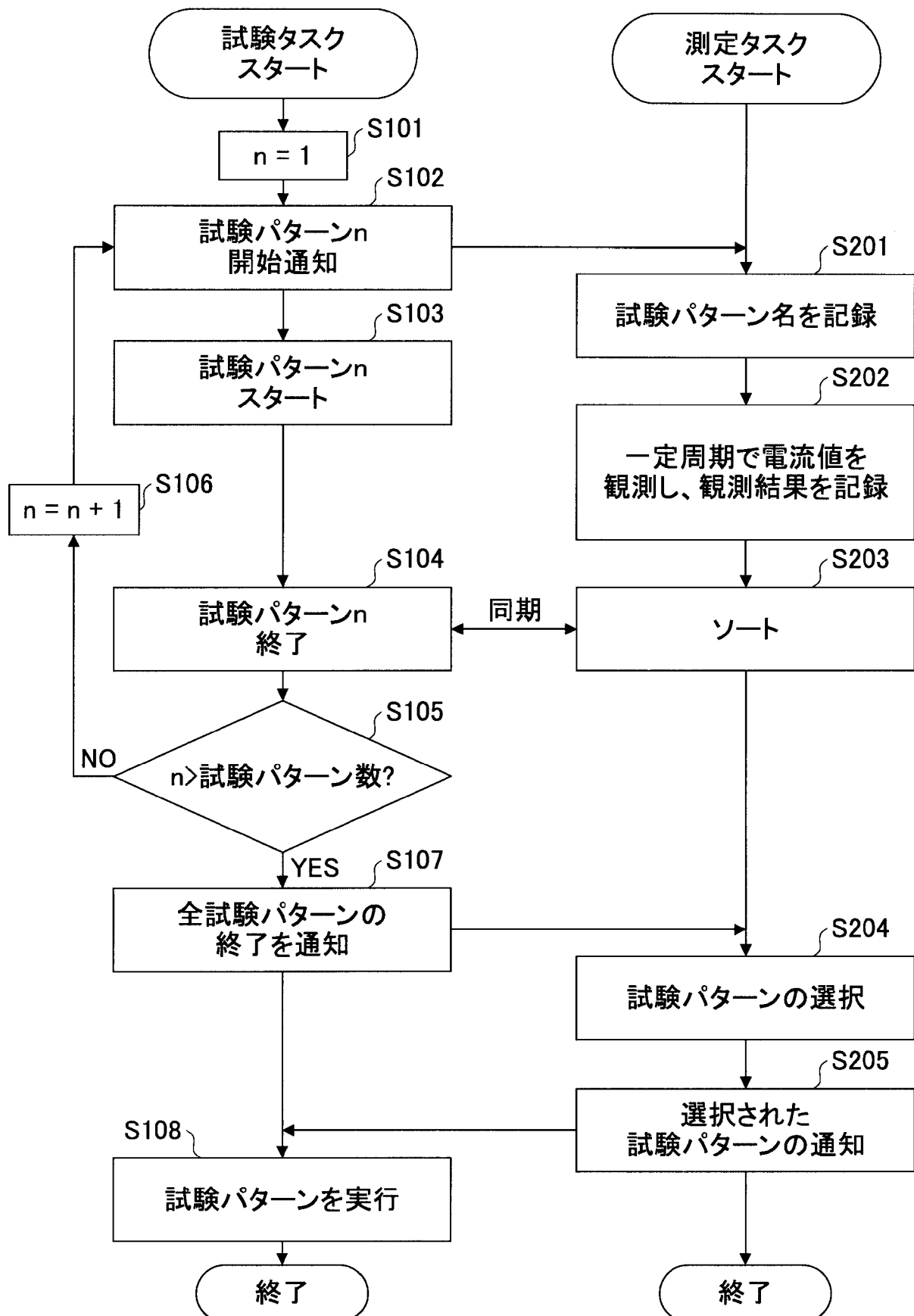
[図2]



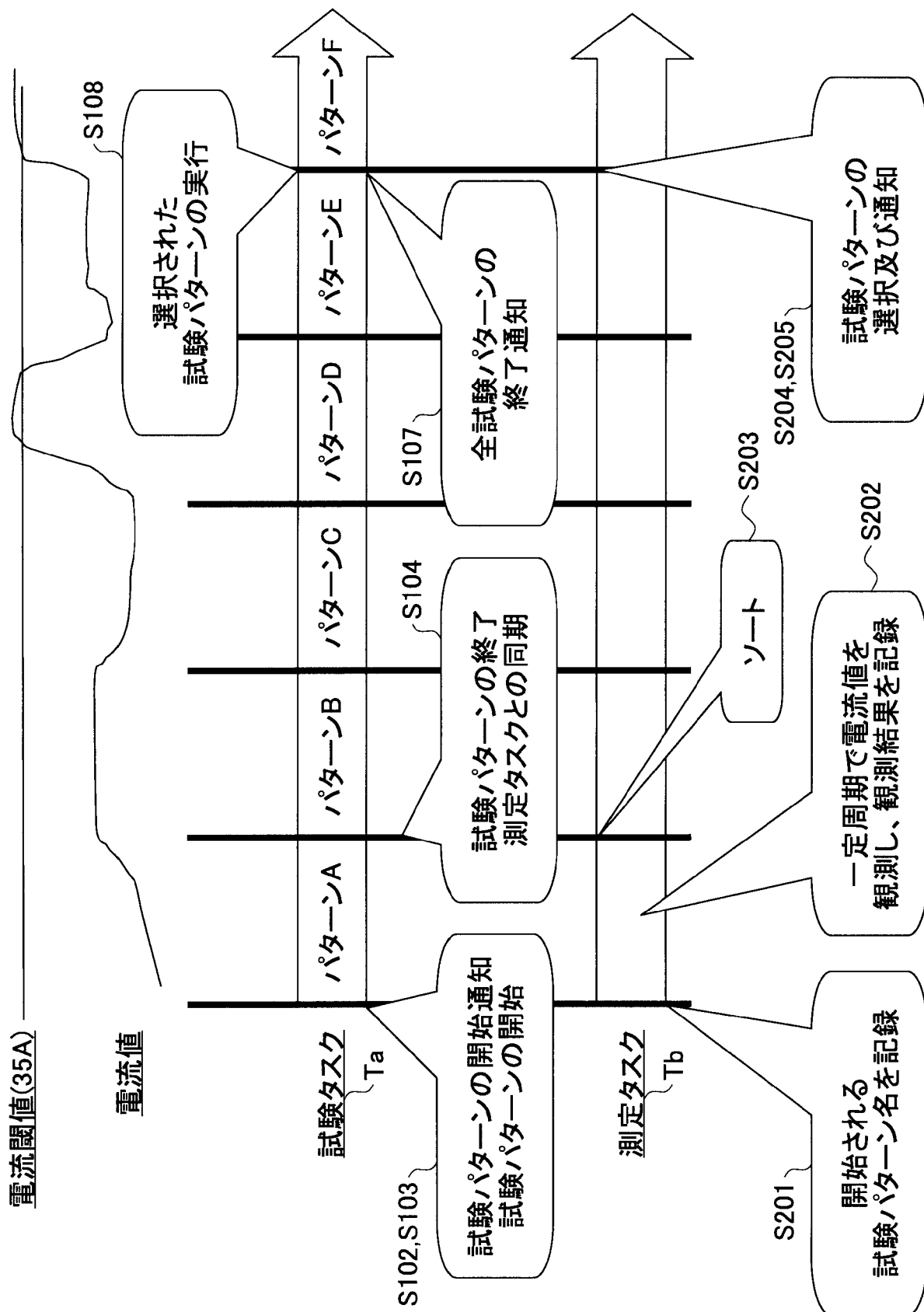
[図3]



[図4]



[図5]



[図6]

134

電流閾値	アドレス0(35A)	L1
------	------------	----

順位	試験パターン名	最大電流値	L2
1	アドレス1	アドレス2	
2	アドレス3	アドレス4	
3	アドレス5	アドレス6	

順位	試験パターン名	最大電流変動値	L3
1	アドレス7	アドレス8	
2	アドレス9	アドレス10	
3	アドレス11	アドレス12	

順位	試験パターン名	最大閾値連続超過回数	L4
1	アドレス13	アドレス14	
2	アドレス15	アドレス16	
3	アドレス17	アドレス18	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056458

A. CLASSIFICATION OF SUBJECT MATTER

G06F12/16(2006.01)i, G01R31/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F12/16, G01R31/28, G06F11/22

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-289909 A (Advantest Corp.), 19 October 2001 (19.10.2001), paragraphs [0008] to [0009] & US 2003/0016044 A1 & US 2004/0160240 A1 & US 2004/0163023 A1 & WO 2001/075463 A1 & DE 10191490 T & TW 500926 B	1-6
Y	JP 11-007795 A (Advantest Corp.), 12 January 1999 (12.01.1999), paragraph [0010] & US 6047393 A & TW 382657 B	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
12 May, 2011 (12.05.11)

Date of mailing of the international search report
24 May, 2011 (24.05.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G06F12/16(2006.01)i, G01R31/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G06F12/16, G01R31/28, G06F11/22

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-289909 A（株式会社アドバンテスト）2001.10.19, 段落 0008-0009 & US 2003/0016044 A1 & US 2004/0160240 A1 & US 2004/0163023 A1 & WO 2001/075463 A1 & DE 10191490 T & TW 500926 B	1-6
Y	JP 11-007795 A（株式会社アドバンテスト）1999.01.12, 段落 0010 & US 6047393 A & TW 382657 B	1-6

☐ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 5 . 2 0 1 1

国際調査報告の発送日

2 4 . 0 5 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

浜岸 広明

5 M

9 8 4 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 9